

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年9月24日(24.09.2015)



(10) 国際公開番号
WO 2015/141146 A1

- (51) 国際特許分類:
H03K 19/0175 (2006.01)
- (21) 国際出願番号: PCT/JP2015/000978
- (22) 国際出願日: 2015年2月26日(26.02.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-057797 2014年3月20日(20.03.2014) JP
- (71) 出願人: 日本電気株式会社(NEC CORPORATION)
[JP/JP]; 〒1088001 東京都港区芝五丁目7番1号
Tokyo (JP).
- (72) 発明者: 黒岩 諭人(KUROIWA, Tsuguhito); 〒
1088001 東京都港区芝五丁目7番1号日本電気
株式会社内 Tokyo (JP).
- (74) 代理人: 下坂 直樹(SHIMOSAKA, Naoki); 〒
1088001 東京都港区芝五丁目7番1号日本電気
株式会社内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

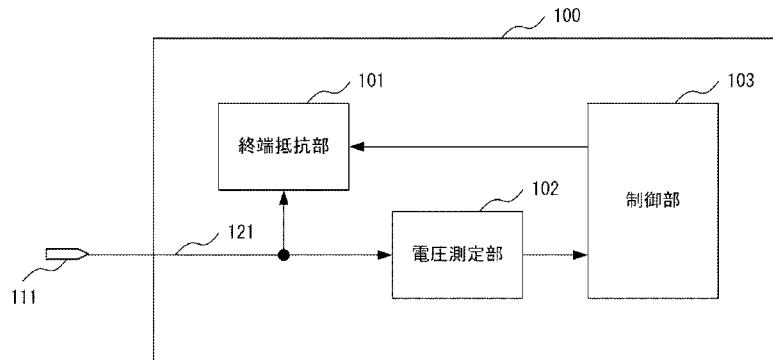
(84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ロアジア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: TERMINATION APPARATUS, TERMINATION CONTROL METHOD, AND STORAGE MEDIUM ON WHICH
TERMINATION CONTROL PROGRAM HAS BEEN STORED

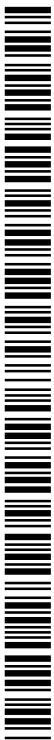
(54) 発明の名称: 終端装置、終端制御方法、及び終端制御プログラムが記憶された記憶媒体



101 Termination resistance unit
102 Voltage measurement unit
103 Control unit

(57) Abstract: [Problem] To provide a termination control apparatus that can provide an optimum termination state. [Solution] In-
cluded are: an input terminal to which an input signal is inputted; a termination resistance unit that terminates the input terminal by
use of a variable resistor the resistance value of which can be set; a voltage measurement unit that measures the voltage of the input
signal; and a control unit that changes the resistance value or a target voltage range when the voltage is not within the target voltage
range having been set for the input signal on the basis of both an absolute maximum rated value and an operation-guaranteed
voltage.

(57) 要約: [課題] 最適な終端状態にすることができる終端制御装置を提供する。 [解決手段] 入力信号
が入力される入力端子と、抵抗値の設定が可能な可変抵抗によって入力端子を終端する終端抵抗部と、入
力信号の電圧を測定する電圧測定部と、絶対最大定格値及び動作保証電圧に基づいて入力信号に設定され
た目標電圧範囲に電圧が含まれないとき、抵抗値又は目標電圧範囲を変更する制御部と、を備える。



WO 2015/141146 A1

明 細 書

発明の名称：

終端装置、終端制御方法、及び終端制御プログラムが記憶された記憶媒体 技術分野

[0001] 本発明は、終端状態の制御が可能な終端装置、終端制御方法、及び終端制御プログラムが記憶された記憶媒体に関し、特に最適な終端状態にすることができる終端制御装置、終端制御方法、及び終端制御プログラムが記憶された記憶媒体に関する。

背景技術

[0002] 半導体デバイス等、電子デバイスへの入力信号には、「絶対最大定格」、「DC (Direct Current) 規格」、「AC (Alternate Current) 規格」等、満たすべき各種の基準が規格で規定されている。入力信号における「絶対最大定格」とは、そのデバイスが破壊される可能性が生じるため、瞬間的であっても超えてはならない電圧の値である。入力信号における「DC規格」は、そのデバイスが所望の正常動作を行うことができる入力電圧の範囲である。入力信号の「AC規格」は、そのデバイスに所望の正常動作を行わせるために満たすべき、信号の入力タイミングなどの時間的な規格である。

[0003] 絶対最大定格やDC規格に違反した信号が電子デバイス間で入出力されると、入力側の電子デバイスを、故障させたり、誤動作させたりするおそれがある。そのため、入力信号が絶対最大定格やDC規格を満足するように、適切な終端抵抗を配置する対策を行う場合がある。その場合の終端抵抗の値（以降、「終端抵抗値」という。）は、入力信号が絶対最大定格やDC規格を満足するように設定された適切な値である必要がある。

[0004] ところで、実装面積の縮小やコストダウンのために、電子デバイスに終端抵抗が内蔵されることがある。例えば、DDR 2 – SDRAM (Double Data Rate 2 – Synchronous Dynamic Random Access Memory) は、ODT (On Die Termination) 機能として、内蔵された終端抵抗を用いて、入力信号の波形

を整形することができる。ただし、終端抵抗値は、予めユーザが適切な値に設定する必要がある。

[0005] 適切な終端抵抗値を求めるための手法の一つに、シミュレーション等の机上計算による手法がある。その手法では、配線パターンの引き回し等、配線の電気的特性に影響を与える、様々なパラメータを考慮する必要がある。しかし、パラメータの正確な値を得ることは容易ではない。そのため、結果として、適切な終端抵抗値の算出に、多くの工数や多額の費用を要する場合が多い。

[0006] または、適切な終端抵抗値を求めるために、終端抵抗値の変更と実機評価とを繰り返す手法が用いられることもある。この手法では、終端抵抗値を変更する度に実機評価をすることが必要なため、短時間で適切な終端抵抗値を得られないこともあり、多大な工数を要することもしばしばある。

[0007] 入力端子の終端抵抗値を変化させるための各種の技術が知られている。特許文献1に記載されているマルチプロセッサ装置は、バスに接続された、信号の出力側のデバイスの個数に応じて、終端抵抗値を変更する。

[0008] 特許文献2に記載されているメモリ制御装置は、アンダーシュート又はオーバーシュートの発生を検出する。そして、特許文献2に記載されているメモリ制御装置は、アンダーシュート又はオーバーシュートが発生する場合は終端抵抗値を変更し、終端抵抗値のみでは対策できないときには、送信側のデバイスの駆動能力を制御する。

先行技術文献

特許文献

- [0009] 特許文献1：特開2002-7360号公報（第3-4頁、図1）
特許文献2：特開2011-81733号公報（第5-6頁、図3）

発明の概要

発明が解決しようとする課題

[0010] 特許文献1に記載されているマルチプロセッサ装置は、実際の入力波形の

観測を行わないで、バスに接続された出力側デバイスの個数に応じて、デバイスに内蔵された終端抵抗の値を変更する。出力側デバイスの出力特性は、通常、デバイスの種類や製造バラつき等によってデバイスごとに異なるだけでなく、温度依存性もあり、さらに端子ごとにも異なる可能性がある。そのため、バスに接続されたデバイスの個数のみに応じて終端抵抗値を設定しても、必ずしも最適な入力信号波形を得られるとは限らない。つまり、特許文献1に記載された技術に基づく対策を講じたとしても、必ずしも、入力信号が規格を満足する適切な波形になるとはいえない。

[0011] 特許文献2に記載されているメモリ制御装置は、アンダーシュート又はオーバーシュートの電圧を所定の閾値と比較することによって、それらの発生を検出する。そして、当該メモリ制御装置は、比較結果に基づいて、終端抵抗又は出力側デバイスの駆動能力を制御し、アンダーシュート又はオーバーシュートの発生を検出しないようになれば、対策が完了したものとみなす。

[0012] しかし、デバイスへ入出力される信号は、試験時に、ある所定の条件を満足すればよい、というものではない。上述したように、デバイスの出力特性には、個々のデバイスや端子ごとの不均一性や温度依存性がある。また、終端抵抗値にも、誤差や温度依存性がある。そのため、アンダーシュート又はオーバーシュートは、被試験装置に対して行った試験時には発生しなくても、実際に使用される装置の動作時には発生する、という可能性がある。そのため、試験時におけるアンダーシュート又はオーバーシュートの発生の有無は、画一的な基準ではなく、柔軟に設定された基準に基づいて判断されることが望ましい。

(発明の目的)

本発明は上記のような技術的課題に鑑みて行われたもので、適切な終端状態にすることができる終端制御装置、終端制御方法、及び終端制御プログラムが記憶された記憶媒体を提供することを目的とする。

課題を解決するための手段

[0013] 本発明の終端装置は、入力信号が入力される入力端子と、抵抗値の設定が

可能な可変抵抗によって入力端子を終端する終端抵抗部と、入力信号の電圧を測定する電圧測定部と、絶対最大定格値及び動作保証電圧に基づいて入力信号に設定された目標電圧範囲に電圧が含まれないとき、抵抗値又は目標電圧範囲を変更する制御部と、を備えることを特徴とする。

[0014] 本発明の終端制御方法は、入力端子に入力された入力信号の電圧を測定し、絶対最大定格値及び動作保証電圧に基づいて入力信号に設定された目標電圧範囲に電圧が含まれないとき、入力端子を終端する抵抗値又は目標電圧範囲を変更することを特徴とする。

[0015] 本発明の終端制御プログラムが記憶された記憶媒体は、入力信号が入力される入力端子、抵抗値の設定が可能な可変抵抗によって入力端子を終端する終端抵抗部、入力信号の電圧を測定する電圧測定部を含む終端装置が備えるコンピュータを、絶対最大定格値及び動作保証電圧に基づいて入力信号に設定された目標電圧範囲に電圧が含まれないとき、抵抗値又は目標電圧範囲を変更する制御手段として機能させることを特徴とする。

発明の効果

[0016] 本発明の終端制御装置、終端制御方法、及び終端制御プログラムが記憶された記憶媒体には、最適な終端状態にすることができるという効果がある。

図面の簡単な説明

[0017] [図1]本発明の第1の実施形態の終端装置の構成例を示すブロック図である。

[図2A]本発明の第1の実施形態の終端抵抗部に含まれる可変抵抗器の接続例である。

[図2B]本発明の第1の実施形態の終端抵抗部に含まれる可変抵抗器の接続例である。

[図2C]本発明の第1の実施形態の終端抵抗部に含まれる可変抵抗器の接続例である。

[図3]本発明の第1の実施形態において、終端抵抗値を変化させたときの入力信号の立ち上がり波形の変化を示すグラフである。

[図4]本発明の第1の実施形態の制御部による、終端抵抗値の制御動作の例を

示すフローチャートである。

[図5]本発明の第1の実施形態の終端装置を内蔵する電子デバイスの構成例を示すブロック図である。

[図6]本発明の第2の実施形態の半導体装置の構成例を示すブロック図である。

[図7]本発明の第2の実施形態の電圧測定部及び制御部の内部構成例を示すブロック図である。

[図8]本発明の第2の実施形態の電圧測定部の他の内部構成例を示すブロック図である。

[図9A]本発明の第2の実施形態の終端抵抗部の内部構成例を示す回路図である。

[図9B]本発明の第2の実施形態の終端抵抗部の内部構成例を示す回路図である。

[図10]本発明の第2の実施形態の制御部による、終端抵抗値の制御動作の例を示すフローチャートである。

[図11]本発明の第3の実施形態の終端装置の構成例を示すブロック図である。

[図12]本発明の第4の実施形態の終端装置の構成例を示すブロック図である。

発明を実施するための形態

[0018] (第1の実施形態)

次に本発明の実施形態について図面を参照して詳細に説明する。図1は本発明の第1の実施形態の終端装置の構成例を示すブロック図である。

[0019] 本実施形態の終端装置100は、終端抵抗部101、電圧測定部102、および制御部103を備える。

[0020] 終端抵抗部101は、入力端子111に接続された可変抵抗器(図示なし)を含み、入力端子111を終端する。可変抵抗器の抵抗値、すなわち、終端抵抗値は、制御部103によって設定される。

- [0021] 図2A～Cには、終端抵抗部101に含まれる可変抵抗器101aの具体的な接続例が示されている。図2A～Cに示されているように、可変抵抗器101aは、プルダウン型（図2A）、プルアップ型（図2B）、又はテブナン型（図2C）等の回路形式で、入力端子111へ入力された入力信号121を終端する。なお、プルアップ型及びテブナン型の場合には、可変抵抗器の高電位側の電位は、後述の「目標電圧範囲」が考慮されて、適宜設定される。通常、可変抵抗器の高電位側の電位は、入力端子111に接続されるデバイスの電源電圧に設定される。
- [0022] なお、終端抵抗部101の可変抵抗器101aの回路形式は限定されない。最も適切な終端状態が得られるように、すなわち、入力信号121がより大きな余裕をもって規格を満足するように、適宜、回路形式を選択すればよい。
- [0023] 電圧測定部102は、入力信号121の電圧（以降、「入力電圧」という。）を測定し、測定結果を制御部103へ通知する。電圧検出部102は、入力電圧の過渡的な変化に対応するために、電圧測定を連続的に行う。
- [0024] 制御部103は、電圧測定部102から連続的に入力された測定結果を保持する。また、制御部103は、入力電圧が満たすべき電圧範囲を示す「目標電圧範囲」を保持する。制御部103は、目標電圧範囲を変更することができる。
- [0025] 制御部103は、保持している測定結果を用いて、入力信号121で発生したオーバーシュート及びアンダーシュートの振幅を求める。オーバーシュートの振幅の最高電圧は入力電圧の最大値として、アンダーシュートの振幅の最低電圧は入力電圧の最小値から求めることができる。そして、制御部103は、検出したアンダーシュートの振幅の最高電圧又はアンダーシュートの振幅の最低電圧と、目標電圧範囲との比較結果に基づいて、終端抵抗部102の終端抵抗値を変更する。
- [0026] 図3は、終端抵抗値を変化させたときの、入力信号121の立ち上がり波形の変化を示すグラフである。グラフの横軸は時間を、縦軸は電圧を示す。

図3には、オーバーシュートの対策のために、終端抵抗値が調整された場合について例示されている。

[0027] 図3に示す例では、終端抵抗値が大きいときは、入力信号121には、入力信号121についての絶対最大定格の最大値 V_{IA} [V] を超えるレベルのオーバーシュートが発生している（波形A）。

[0028] そこで、入力信号121でオーバーシュートが発生せず、入力信号121がハイレベル入力電圧 V_{IH} [V] を上回るレベルまで立ち上がるような波形（波形B）が得られるように、制御部103は終端抵抗値を小さくする。

[0029] ただし、終端抵抗値を極端に小さくすると、入力信号121でオーバーシュートは発生しないが、入力信号121がハイレベル入力電圧 V_{IH} を上回るレベルまで立ち上がらないようになる（波形C）。その場合、制御部103は終端抵抗値を大きくする。

[0030] このように、制御部103は、入力信号121の瞬時最大電圧が絶対最大定格の最大値 V_{IA} 以下であり、入力信号121の安定時の電圧がハイレベル入力電圧 V_{IH} 以上であるように、終端抵抗値を制御する。すなわち、制御部103は、入力信号121の波形が、図3に示す波形Bのような状態になるように、終端抵抗値を制御する。このようにして得られた終端抵抗値が、最適終端抵抗値である。

[0031] なお、入力信号121でオーバーシュートが発生しないように終端抵抗値を小さくすると、安定時における入力信号121のレベルが低下し、波形Cのように、入力信号121がハイレベル入力電圧 V_{IH} まで立ち上がらない可能性もある。そのような場合は、入力信号121でオーバーシュートが発生するものの、入力信号121は、絶対最大定格の最大値 V_{IA} 以下に留まり、ハイレベル入力電圧 V_{IH} まで立ち上がる波形Dのようになるように、終端抵抗値が設定されてもよい。または、そのような場合は、制御部103は終端抵抗値の調整に失敗した旨のアラームを出力してもよい。

[0032] 次に、制御部103による終端抵抗値の制御動作について説明する。図4は、制御部103による、終端抵抗値の制御動作の例を示すフローチャート

である。制御部103には、入力電圧が満たすべき目標電圧範囲の初期値がユーザによって予め設定されているものとする。

[0033] 初めに、制御部103は、電圧測定部102から、入力電圧の測定結果を入力する（ステップS11）。

[0034] 次に、制御部103は、測定結果が目標電圧範囲を満たすか否か、つまり、測定結果が目標電圧範囲内であるか否かを判断する（ステップS12）。

[0035] 測定結果が目標電圧範囲を満たすとき（S12：Yes）、制御部103は、目標電圧範囲を変更する（ステップS13）。ここでの目標電圧範囲の変更は、入力電圧が目標電圧範囲を満たすことから、絶対最大定格及びDC規格に対して、余裕が増加する方向に行うことが望ましい。

[0036] 制御部103は、目標電圧範囲を変更すると、入力電圧の測定結果の入力（S11）の処理へ戻る。

[0037] 測定結果が目標電圧範囲を満たさないとき（S12：No）、制御部103は、終端抵抗値の変更が可能か否かを判断する（ステップS14）。なぜなら、終端抵抗値は可変ではあるが、可変範囲は必然的に有限であるからである。

[0038] 終端抵抗値の変更が可能であるとき（S14：Yes）、制御部103は、終端抵抗値を変更し（ステップS15）、入力電圧の測定結果の入力（S11）の処理へ戻る。

[0039] 終端抵抗値の変更が不可能であるとき（S14：No）、制御部103は処理を終了する。なぜなら、終端抵抗値の変更が不可能であるということは、入力電圧が目標電圧範囲を満たすように終端抵抗値を設定することができないということであるからである。

[0040] なお、入力電圧がその時点における目標電圧範囲を満足するように終端抵抗値を設定することが不可能であっても、異なる目標電圧範囲であれば終端抵抗値を設定できる可能性がある。そこで、終端抵抗値の変更が不可能であるとき（S14：No）、制御部103は目標電圧範囲の変更（S13）の処理に戻ってもよい。この場合の目標電圧範囲の変更は、入力電圧が目標電

圧範囲を満たさないことに応じて、絶対最大定格及びDC規格に対して、余裕が減少する方向、つまり近づく方向に行う必要がある。

[0041] 以上のように、本実施形態の終端装置100は、入力電圧が目標電圧範囲を満足する場合であっても、目標電圧範囲を変更し、さらに終端抵抗値の調整を繰り返す。従って、絶対最大定格及びDC規格に対する目標電圧範囲の余裕を、実際の入力信号121の波形に合わせて、適宜、変更できるので、より適切な終端状態にすることができる。

[0042] ところで、図2に示したように、終端抵抗部101の可変抵抗器101aは種々の回路形式をもつことができる。そこで、終端抵抗値の変更が不可能であるとき(S14:No)、制御部103は、終端抵抗部101の回路形式を変更し、入力電圧の測定結果の入力(S11)の処理へ戻ってもよい。なぜなら、終端抵抗部101がある回路形式であるときには入力電圧が目標電圧範囲を満足するように終端抵抗値を設定することが不可能であっても、異なる回路形式であるときには終端抵抗値を設定できる可能性があるからである。

[0043] また、終端抵抗値の変更が可能(S14:Yes)であっても、回路形式を変更しても差し支えない。なぜなら、回路形式を変更することによって、目標電圧範囲をより狭い範囲に設定できる可能性があるためである。

[0044] なお、終端装置100は、半導体装置等の電子デバイス120に内蔵されてもよい。図5は、本実施形態の終端装置100を内蔵する電子デバイスの構成例を示すブロック図である。電子デバイス120では、入力信号121は、終端装置100のみでなく、内部回路104へも入力される。

(第2の実施形態)

上記のように、本発明の終端装置は、LSI (Large Scale Integrated circuit) 等の半導体装置に内蔵されてもよい。半導体装置は、FET (Field Effect Transistor) 等のスイッチ、抵抗、電圧測定回路、所定の処理を行う制御回路を内蔵することができる。そうすると、半導体装置は、電圧測定回路からの入力電圧の測定結果に基づいて、制御回路がスイッチのON/OFF

Fを制御し、内蔵された抵抗の接続や組合せを変更することによって終端抵抗値を制御する、といった制御が可能である。

[0045] 本発明の第2の実施形態として、終端装置を内蔵する半導体装置について、図面を参照して詳細に説明する。図6は、本実施形態の半導体装置220の構成例を示すブロック図である。

[0046] 半導体装置220には、終端部200が内蔵されている。入力端子211は内部端子212に接続されている。そして、入力端子211へ入力された入力信号221は、半導体装置220の内部回路の入力信号になる。

[0047] 終端部200は、終端抵抗部201、電圧測定部202、および制御部203を備える。

[0048] 終端抵抗部201は、入力端子211に接続された可変抵抗器を含み、入力端子211を終端する。可変抵抗器の抵抗値、すなわち終端抵抗値は、制御部203からの抵抗値制御信号222によって設定される。終端抵抗部201に含まれる可変抵抗部の構造、及び終端抵抗値の制御方法については後述する。

[0049] 電圧測定部202は、入力信号221の電圧（以降、「入力電圧」という。）を測定し、測定結果を制御部203へ通知する。電圧検出部202は、複数の比較器202aを含む。

[0050] 複数の比較器202aのすべての非反転入力端子には、入力信号221が入力される。

複数の比較器202aのそれぞれの反転入力端子には、互いに異なる基準電圧が入力される。従って、複数の比較器202aの出力を参照することによって、入力電圧の範囲を知ることができる。なお、基準電圧は、任意の方法で生成可能である。本実施形態では、基準電圧は、分割抵抗202bによる電源電圧の分割によって生成される。

[0051] 制御部203は、予め設定された目標電圧範囲を保持し、電圧測定部202から通知された測定結果が目標電圧範囲内であるか否かを判定する。そして、制御部203は、判定結果に基づいて、終端抵抗部201の終端抵抗値

を変更する。具体的には、制御部 203 は、入力電圧が目標電圧範囲内になるように、終端抵抗部 201 の終端抵抗値を変更する。

[0052] 入力電圧が目標電圧範囲内になった後も、制御部 203 は、目標電圧範囲の設定と、上述の調整を継続する。すなわち、制御部 203 が、目標電圧範囲を、より狭い範囲に変更することによって、より適切な終端抵抗値への調整を図る。

[0053] 制御部 203 は、変更可能な範囲において終端抵抗値を変更しても測定結果が目標電圧範囲に入らない場合、アラーム端子 213 へアラーム信号を出力する。

[0054] ところで、制御部 203 は、オーバーシュートやアンダーシュートのように、過渡的に発生する非常に狭い幅のパルスの最大電圧を検知しなければならない。そのため、制御部 203 は、電圧測定部 202 から通知された測定結果を保持する保持部を備える。さらに、制御部 203 は、所定の判断を行い、終端抵抗部 201 の終端抵抗値を制御する処理部を備える。

[0055] 図 7 は、電圧測定部 202 及び制御部 203 の内部構成例を示すブロック図である。このように、制御部 203 は、保持部として、RS (Reset Set) ラッチ 203 a を備える。RS ラッチは、「RS フリップフロップ」と呼ばれることもある。

[0056] RS ラッチ 203 a は、電圧測定部 202 内の比較器 202 a の出力がハイレベルになるとセットされる。上記のように、複数の比較器 202 a のそれぞれによる比較に使用される基準電圧は互いに異なる。従って、複数の比較器 202 a の基準電圧をそれぞれ適切に設定することによって、複数の RS ラッチ 203 a の出力から、入力信号 221 に発生したオーバーシュートの最大値を検知することができる。また、オーバーシュートが発生していないときには、入力信号 221 の最大値は安定時におけるハイレベル入力電圧とみなすことができる。

[0057] 制御部 203 内の処理部 203 b は、複数の RS ラッチ 203 a の出力に基づいて、オーバーシュートの最大値及び安定時におけるハイレベル入力電

圧を検知する。そして、処理部203bは、検知結果と目標電圧範囲との比較結果に基づいて、抵抗値制御信号222を用いて、終端抵抗部201の終端抵抗値を制御する。

[0058] なお、RSラッチ203aは、リセット信号223が入力されたことに応じてリセットされる。リセット信号223は、処理部203bは、後述する入力電圧に対する判断が終了するごとに、測定結果をクリアするためにリセット信号を各RSラッチ203aに入力する。

[0059] ところで、オーバーシュートの時間幅が非常に短く、RSラッチ203aが応答できず、RSラッチ203aがセットされない可能性がある。そのような場合は、適切な方法でパルス幅を拡大すればよい。パルス幅を拡大する方法は、例えば、特表2006-520113号公報に記載されている。

[0060] 図7に示す制御部203は、RSラッチ203aによって、入力信号221で発生したオーバーシュートの最大値を検知する。オーバーシュートの最大値を検知するために、ピークホールド回路が用いられてもよい。図8は、電圧測定部202の内部構成例を示すブロック図である。図8に示すように、電圧測定部202は、ピークホールド回路202fを備えてもよい。ピークホールド回路202fは、ダイオード202c、キャパシタ202d、および放電用スイッチ202eを含む。キャパシタ202dによって保持されている電荷は、上述のリセット信号223が入力されたことに応じて放電用スイッチ202eがON状態に設定されることによって、リセットされる。

[0061] ピークホールド回路202fは入力信号221の電圧の最大値を保持するので、複数のRSラッチ203aの出力によって、直接、入力電圧の最大値が示される。従って、制御部203は、比較器202aの出力を保持する必要がない。

[0062] なお、図6、図7および図8における電圧測定部202の各比較器202aの2つの入力端子には、入力信号221で発生するオーバーシュートの最大電圧及びハイレベル入力電圧を検知するように接続されている。入力信号221に発生するアンダーシュートの最小電圧及びロウレベル入力電圧を検

知するためには、各比較器 202 a の 2 つの入力端子の接続を図 6、図 7 および図 8 に示す例とは逆にし、基準電圧として、負の電圧が入力されるようにすればよい。アンダーシュートの最小電圧及びロウレベル入力電圧を検知するために図 6、図 7 および図 8 の構成に加えるべき変更は、当業者にとっては明らかなので、詳細な説明は省略する。

[0063] 終端抵抗部 201 の内部構成の詳細について説明する。図 9 は、終端抵抗部 201 の内部構成例を示す回路図である。本実施形態の終端抵抗部 201 は、プルダウン型に回路構成されている。なお、終端抵抗部 201 に含まれる可変抵抗の構成は任意であり、図 9 に示されたものに限定されない。

[0064] 終端抵抗部 201 は、並列接続用スイッチ 201 a、直列接続用スイッチ 201 b、および固定抵抗 201 c を備える。並列接続用スイッチ 201 a、および直列接続用スイッチ 201 b は、例えば、FET 等のトランジスタによるスイッチである。

[0065] 並列接続用スイッチ 201 a は、2 個で 1 対とし、全部で n (n は自然数) 対だけ備えられる。1 対の並列接続用スイッチ 201 a を ON 状態にすることにより、終端抵抗部 201 の内部において並列接続される固定抵抗 201 c の個数が 1 つ増加する。逆に、1 対の並列接続用スイッチ 201 a を OFF 状態にすれば、並列接続される固定抵抗 201 c の個数が 1 つ減少する。

[0066] 直列接続用スイッチ 201 b は、 n 個備えられる。直列接続用スイッチ 201 b を 1 つ ON 状態にすることにより、終端抵抗部 201 の内部において直列接続される固定抵抗 201 c の個数が 1 つ増加する。逆に、直列接続用スイッチ 201 b を 1 つ OFF 状態にすれば、直列接続される固定抵抗 201 c の個数が 1 つ減少する。

[0067] 固定抵抗 201 c は、 $(n + 1)$ 個備えられる。

[0068] 以上に述べたように、並列接続用スイッチ 201 a、および直列接続用スイッチ 201 b のそれぞれを ON 状態又は OFF 状態にすることによって、固定抵抗 201 c の接続態様が変更され、終端抵抗部 201 の等価抵抗値を

変化させることができる。図9Aには、すべての固定抵抗201cが直列に接続されている場合が例示され、図9Bには、1対の固定抵抗201cのみが並列に直接され、他の固定抵抗201cはすべて直列に接続されている場合が例示されている。

[0069] 本実施形態では、ON状態の並列接続用スイッチ201aの対の数を増加させた場合、ON状態の直列接続用スイッチ201bの対の数を同数減少させるとする。OFF状態のスイッチの対の数、個数を増加させる場合も同様である。並列接続用スイッチ201a、直列接続用スイッチ201bのON/OFF状態を上記のように制御するときの、終端抵抗部201の等価抵抗値について具体的に説明する。

[0070] 固定抵抗201c、並列接続用スイッチ201a、直列接続用スイッチ201b、状態変更の対象とするスイッチの位置については以下の4つの条件を満たすものとする。

1) 固定抵抗201c

(n+1)個の固定抵抗201cの抵抗値はすべて r [Ω] であるとする。

。

2) 並列接続用スイッチ201a

n対の並列接続用スイッチ201aのうち、k (kはn以下の自然数)組がON状態で、他の(n-k)組はOFF状態であるとする。

3) 直列接続用スイッチ201b

n個の直列接続用スイッチ201bのうち、(n-k)個がON状態で、他のk個はOFF状態であるとする。

4) 状態変更の対象とするスイッチの位置

複数対の並列接続用スイッチ201a、及び複数個の直列接続用スイッチ201bの状態を変更するときは、隣接するもの、すなわち連続した位置にあるものをまとめて変更するとする。

[0071] このとき、入力端子211とグラウンドレベルとの間の終端抵抗部201の等価抵抗値 R [Ω] は、

$$R = \{ (n - k) + 1 / (k + 1) \} r$$

となる。従って、 k の値を0から n まで変えることによって、 R の値を、 $n r [\Omega]$ から $1 / (n + 1) [\Omega]$ まで変化させることができる。

[0072] 図10は、制御部203の動作を示すフローチャートである。図10を参照して、制御部203の動作を説明する。

[0073] 初めに、制御部203は、目標電圧範囲内に初期値を設定する（ステップS21）。「目標電圧範囲」とは、入力端子211に入力される入力信号221が満足すべき電圧範囲で、具体的には絶対最大定格及びDC規格を満足するように設定される。

[0074] 次に、制御部203は、可変抵抗部201の内部の n 対の並列接続用スイッチ201aをすべてOFF状態に設定し、 n 個の直列接続用スイッチ201bのすべてをON状態に設定する（ステップS22）。併せて、制御部203は、並列接続用スイッチ201aにおいてON状態に設定されている対の数、及び直列接続用スイッチ201bにおいてON状態に設定されている個数を記憶する。

[0075] 次に、制御部203は入力信号221のピーク電圧を検知する（ステップS23）。具体的には、制御部203は、入力信号221の電圧（入力電圧）の測定結果、すなわち複数の電圧比較器202aのそれぞれによる入力電圧と基準電圧との比較結果を入力する。そして、制御部203は、複数の比較結果に基づいて、入力信号221のピーク電圧を検出する。

[0076] そして、制御部203は、ピーク電圧と目標電圧範囲とを比較する（ステップS24）。ピーク電圧が目標電圧範囲内であれば（S24：Yes）、制御部203は後述のステップS30の処理に移る。

[0077] ピーク電圧が目標電圧範囲外であれば（S24：No）、制御部203は、ON状態の並列接続用スイッチ202aの対の数、及びOFF状態の直列接続用スイッチ202bの個数が n に達している否かを確認する（ステップS25）。対の数及び個数が n に達している場合とは、並列接続用スイッチ202aの対が全てON状態であり、直列接続用スイッチ202bが全てO

OFF状態である場合であり、抵抗値Rが設定可能な最小値に達していることを意味する。対の数及び個数がnに達している場合（S25：Yes）、制御部203は後述のステップS29の処理に移る。

[0078] 対の数及び個数がnに達していない場合（S25：No）、制御部203は、入力信号221のピーク電圧が目標電圧範囲より高いか否かを判断する（ステップS26）。

[0079] ピーク電圧が目標電圧範囲より低い場合（S26：No）、制御部203は、ON状態の並列接続用スイッチ202aを1対だけOFF状態に変更し、OFF状態の直列接続用スイッチ103を1個だけON状態に変更する（ステップS27）。そして、制御部203はS23の処理に戻る。

[0080] ピーク電圧が目標電圧範囲より高い場合（S26：Yes）、制御部203は、OFF状態の並列接続用スイッチ202aを1対だけON状態に変更し、ON状態の直列接続用スイッチ202bを1個だけOFF状態に変更する（ステップS28）。そして、制御部203はS23の処理に戻る。

[0081] S25の処理において、対の数及び個数がnに達している（S25：Yes）ということは、設定可能な抵抗値Rの範囲内では、入力信号221のピーク電圧を目標電圧範囲内にできなかった、つまり、終端抵抗値の自動調整に失敗したことを意味する。このような場合、制御部203は、アラーム端子213からアラーム信号を出力する（ステップS29）。

[0082] S24の処理において、入力信号221のピーク電圧が目標電圧範囲内であれば（S24：Yes）、制御部203は、目標電圧範囲の変更の要否を確認する（ステップS30）。変更の要否は、ユーザによって指示される。または、制御部203が、現在の目標電圧範囲よりも狭い範囲に設定可能であるか否かを判断し、設定可能である場合には目標電圧範囲の変更が必要であると判断してもよい。

[0083] 目標電圧範囲が変更される場合、制御部203は、現在の目標電圧範囲を新しい目標電圧範囲に変更する（ステップS31）。

[0084] 目標電圧範囲が変更されない場合、制御部203は、処理を終了する。

[0085] 以上に述べたように、本実施形態の半導体装置は、入力電圧が目標電圧範囲を満足する場合であっても、目標電圧範囲を変更し、さらに終端抵抗値の調整を繰り返す。従って、絶対最大定格及びDC規格に対する目標電圧範囲の余裕を、実際の入力信号の波形に合わせて、適宜、変更できるので、より適切な終端状態にすることができる。そのため、本実施形態の半導体装置は、自動的に内部の終端抵抗値をより適切な値に設定することができる。従って、本実施形態の半導体装置は、定格や規格を単に満足するのみならず、余裕をもって満足するような終端状態で、より適切な波形の入力信号を受信することができる。

[0086] また、半導体装置が自動的に終端抵抗値を調整するので、ハードウェア開発者が終端抵抗値を調整するための評価工数を必要としない。そのため、開発者の作業工数を大きく削減することができる。

(第3の実施形態)

一般に、半導体装置等の電子デバイスは、複数の入力端子を備えることが多い。そのような場合、外部に接続されて信号を出力する出力デバイスが入力端子ごとに異なっていたり、出力デバイスごとに出力駆動能力が異なっていたりする。そのため、各々の入力端子に適切な終端抵抗の値は必ずしも互いに同じになるとは限らない。そこで、複数の入力端子がある場合は、入力端子ごとに終端抵抗の値を制御できることが望ましい。そのためには、入力端子ごとに終端部を備え、入力端子ごとに適切な終端抵抗の値であるか否かを判断する必要がある。ただし、電圧測定部と制御部とは、入力端子ごとに備えられる必要はない。

[0087] 図11は、本発明の第3の実施形態の終端装置300の構成例を示すブロック図である。

[0088] 終端装置300は、入力端子ごとに終端抵抗値を変更する。終端装置300は、入力端子ごとの終端抵抗部301a、301bと、共通の電圧測定部302及び制御部303とを備える。

[0089] 本実施形態では、終端装置300は、入力端子111a、111bを備え

る。

- [0090] 入力端子 111 a、111 b のそれぞれについての、終端装置 300 の動作は、第 1 の実施形態における終端装置 100 と同じである。すなわち、終端装置 300 は、入力端子 111 a、111 b のそれぞれについて、適切な終端抵抗値を求める。
- [0091] 入力端子ごとの適切な終端抵抗値は、順次決定される。すなわち、まず、終端抵抗部 301 a、電圧測定部 302、および制御部 303 が用いられて、入力端子 111 a に適切な終端抵抗値が求められる。そして、続いて、終端抵抗部 301 b、電圧測定部 302、および制御部 303 が用いられて、入力端子 111 b に適切な終端抵抗値が求められる。
- [0092] このように、入力端子 111 a、111 b のそれぞれに適切な終端抵抗値の決定時に、電圧測定部 302、および制御部 302 が共通に用いられる。
- [0093] 入力端子ごとに適切な終端抵抗値が決定された後は、制御部 303 は、入力端子 111 a、111 b のそれぞれに適切な終端抵抗値を終端抵抗部 301 a、301 b のそれぞれに適用する。
- [0094] このように、本実施形態の終端装置 300 は、入力端子を複数備え、各入力端子に対応して適切な終端抵抗値を終端抵抗部 301 a、301 b のそれぞれに適用する。終端装置 300 は、入力端子のそれぞれに適切な終端抵抗値を決定する際に、電圧測定部 302、および制御部 302 を共通に用いる。従って、終端装置 300 が適切な終端抵抗値を決定するために備えるべきハードウェアを最小限に留めることができる。
- [0095] なお、入力端子の数が 3 以上である場合も、上記と同様に、電圧測定部 302、および制御部 302 を共通に用いて、入力端子ごとに適切な終端抵抗値を求めればよい。
- [0096] また、終端の形態は、図 2 に示すように、プルアップ型、プルダウン型、およびテブナン型のいずれでもよい。また、終端装置 300 は、第 1 の実施形態のように、目標規格内での終端抵抗値の調整に失敗した旨を通知するアラームを出力してもよい。

(第4の実施形態)

入力端子に接続される外部のデバイスの個数は1個には限られない。例えば、メモリLSIの場合は、複数個のデバイスがバスに接続される場合が多い。そのような場合、各デバイスから入力される信号に適切な終端抵抗値は必ずしも互いに同じであるとは限らない。そこで、複数のデバイスが入力端子に接続されている場合は、デバイスごとに終端抵抗値を制御できることが望ましい。

[0097] 図12は、本発明の第4の実施形態の終端装置400の構成例を示すブロック図である。

[0098] 終端装置400は、接続された外部のデバイスごとに終端抵抗値を変更する。終端装置400は、終端抵抗部101、電圧測定部102、および制御部403を備える。本実施形態では、終端装置400の入力信号線411に、出力デバイス410a、410bが接続されているものとする。

[0099] 出力デバイス410a、410bは、入力信号線411へ信号を入力するデバイスとして選択されるとき、それぞれに選択信号412a、412bが入力される。選択信号412a、412bは、制御部403にも入力される。当然ながら、出力デバイス410a、410bが入力信号線411へ信号を入力するデバイスとして選択されるときは、いずれか一方のみが選択される。

[0100] 出力デバイス410a又は出力デバイス410bが選択されているときの、終端装置400の動作は、第1の実施形態における終端装置200の動作と同様である。すなわち、終端装置400は、出力デバイス410a、410bのそれぞれに適切な終端抵抗値を求める。そして、制御部403は、出力デバイス410a、410bのそれぞれに適切な終端抵抗値を記憶する。そして、制御部403は、選択信号412aが入力されたときは、出力デバイス410aに適切な終端抵抗値を終端抵抗部101に適用し、選択信号412bが入力されたときは、出力デバイス410bに適切な終端抵抗値を終端抵抗部101に適用する。

- [0101] このように、本実施形態の終端装置400は、ある入力端子の外部に複数の出力デバイスが接続されている場合には、その入力端子への出力デバイスとして選択された出力デバイスに対応してより適切な終端抵抗値を適用する。従って、どの出力デバイスが選択されたときであっても、適切な終端処理を行うことができる。
- [0102] なお、外部のデバイスの個数が3以上である場合も、上記と同様に、デバイスごとに適切な終端抵抗値を求めて記憶し、選択されたデバイスに対応して適切な終端抵抗値を終端抵抗部101に適用すればよい。
- [0103] 図4、図10のフローチャートに示された、制御部による終端制御の各処理を実行する主体は限定されない。終端制御は、ハードウェアによって実行されてもよい。あるいは、終端装置がCPU (Central Processing Unit) (図示なし) を備え、CPUが所定の記憶手段(図示なし)から終端制御プログラムを読み込んで実行することによって、終端制御が行われてもよい。
- [0104] なお、上記のプログラムは、ROM (Read Only Memory)、RAM (Random Access Memory)、フラッシュメモリ等の半導体記憶装置、あるいは光ディスク、磁気ディスク、光磁気ディスク等、非一時的な媒体に格納されてもよい。
- [0105] なお、以上の実施形態は、各々他の実施形態と組み合わせることができる。
- [0106] 以上、実施形態を参照して本願発明を説明したが、本願発明は上記実施形態に限定されるものではない。本願発明の構成や詳細には、本願発明のScope内で当業者が理解し得る様々な変更をすることができる。
- [0107] この出願は、2014年3月20日に提出された日本出願特願2014-057797を基礎とする優先権を主張し、その開示の全てをここに取り込む。

符号の説明

- [0108] 100 終端装置
 101 終端抵抗部

- 1 0 1 a 可変抵抗器
- 1 1 1、1 1 1 a、1 1 1 b 入力端子
- 1 2 0 電子デバイス
- 1 2 1 入力信号
- 2 0 0 終端部
- 2 0 1 終端抵抗部
- 2 0 1 a 並列接続用スイッチ
- 2 0 1 b 直列接続用スイッチ
- 2 0 1 c 固定抵抗
- 2 0 2 電圧測定部
- 2 0 2 a 比較器
- 2 0 2 b 分割抵抗
- 2 0 2 c ダイオード
- 2 0 2 d キャパシタ
- 2 0 2 e 放電用スイッチ
- 2 0 2 f ピークホールド回路
- 2 0 3 a R S ラッチ
- 2 1 1 入力端子
- 2 1 2 内部端子
- 2 1 3 アラーム端子
- 2 2 0 半導体装置
- 2 2 1 入力信号
- 2 2 2 抵抗値制御信号
- 2 2 3 リセット信号
- 3 0 0 終端装置
- 4 0 0 終端装置
- 4 1 1 入力信号線
- 4 1 2 a、4 1 2 b 選択信号

請求の範囲

- [請求項1] 入力信号が入力される入力端子と、
抵抗値の設定が可能な可変抵抗によって前記入力端子を終端する終端抵抗手段と、
前記入力信号の電圧を測定する電圧測定手段と、
絶対最大定格値及び動作保証電圧に基づいて前記入力信号に設定された目標電圧範囲に前記電圧が含まれないとき、前記抵抗値又は前記目標電圧範囲を変更する制御手段と、
を備えることを特徴とする終端装置。
- [請求項2] 前記制御手段は、前記電圧のピーク値であるピーク電圧を保持し、前記ピーク電圧が前記目標電圧範囲内でないときに、前記抵抗値又は前記目標電圧範囲を変更することを特徴とする請求項1に記載の終端装置。
- [請求項3] 前記可変抵抗は、複数の抵抗素子を含み、複数の抵抗素子の相互の接続関係を切り替えることによって、前記抵抗値を設定することを特徴とする請求項1又は2に記載の終端装置。
- [請求項4] 前記可変抵抗は、前記複数の抵抗素子の各々が、前記入力端子と前記固定電位端子との間に直列に接続される、又は前記複数の抵抗素子の他の抵抗素子と並列に接続されることによって、前記抵抗値を変化させることを特徴とする請求項3に記載の終端装置。
- [請求項5] 前記終端手段は、プルアップ型、プルダウン型、又はテブナン型のうちの、指定された回路形式で前記入力端子を終端し、
前記制御手段は、前記電圧が目標電圧範囲内でないときに、前記回路形式を変更することを特徴とする請求項1乃至4のいずれかに記載の終端装置。
- [請求項6] 複数の前記入力端子を備え、
前記電圧測定手段は、前記複数の入力端子のうちの、選択された前

記入力端子に入力された前記入力信号の前記電圧を測定し、

前記制御手段は、前記電圧が目標電圧範囲内でないときに、前記抵抗値又は前記目標電圧範囲を変更する

ことを特徴とする請求項 1 乃至 5 のいずれかに記載の終端装置。

[請求項7]

前記入力信号は、外部の複数の出力装置のいずれかによって入力され、

前記制御手段は、前記入力信号を入力した前記出力装置に応じて、前記抵抗値を変更する

ことを特徴とする請求項 1 乃至 6 のいずれかに記載の終端装置。

[請求項8]

請求項 1 乃至 7 のいずれかに記載の終端装置と、

前記入力信号を内部信号として入力し、所定の処理を行う内部回路と、

を備えることを特徴とする電子デバイス。

[請求項9]

入力端子に入力された入力信号の電圧を測定し、

絶対最大定格値及び動作保証電圧に基づいて前記入力信号に設定された目標電圧範囲に前記電圧が含まれないとき、前記入力端子を終端する抵抗値又は前記目標電圧範囲を変更する

ことを特徴とする終端制御方法。

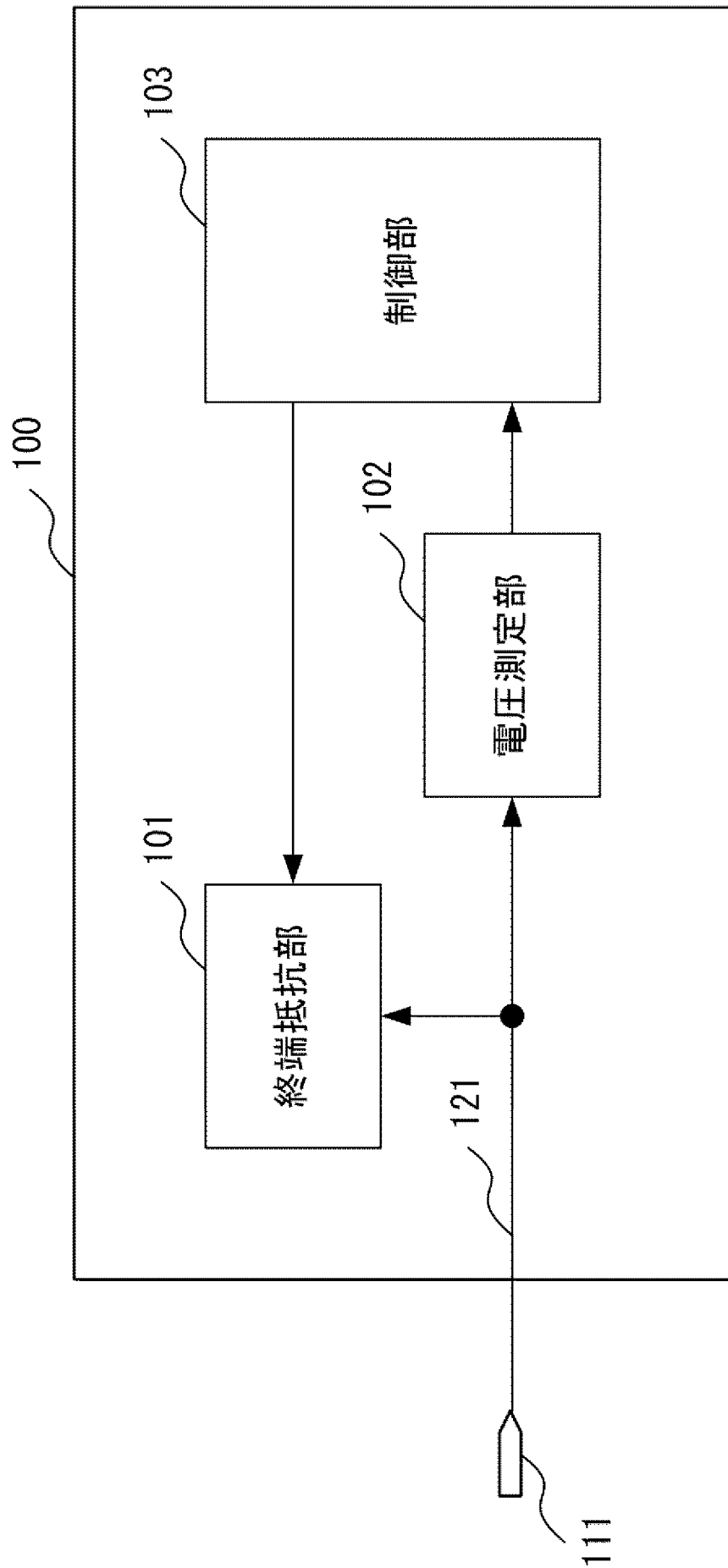
[請求項10]

入力信号が入力される入力端子、抵抗値の設定が可能な可変抵抗によって前記入力端子を終端する終端抵抗手段、前記入力信号の電圧を測定する電圧測定手段を含む終端装置が備えるコンピュータを、

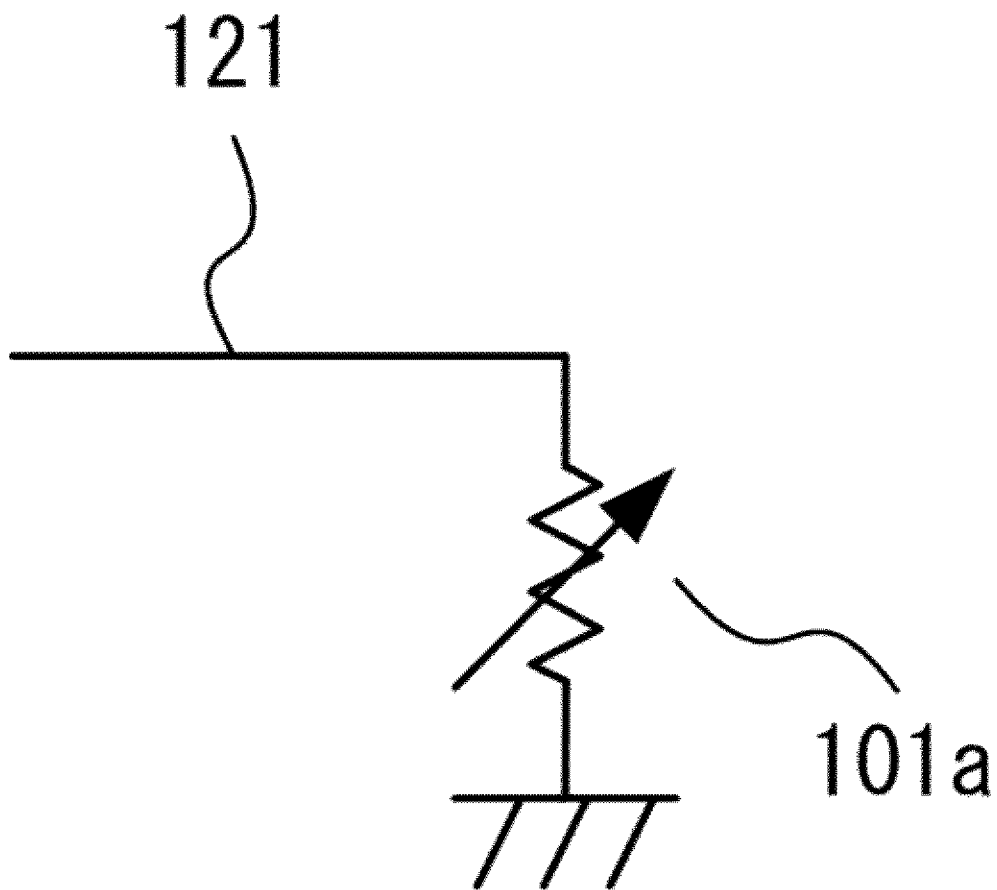
絶対最大定格値及び動作保証電圧に基づいて前記入力信号に設定された目標電圧範囲に前記電圧が含まれないとき、前記抵抗値又は前記目標電圧範囲を変更する制御手段

として機能させるための終端制御プログラムが記憶された記憶媒体。

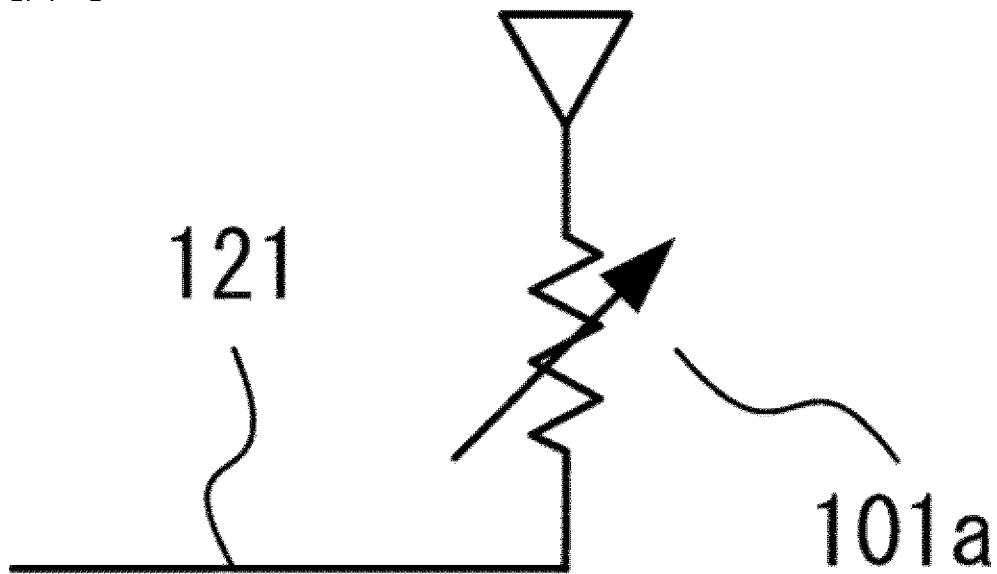
[図1]



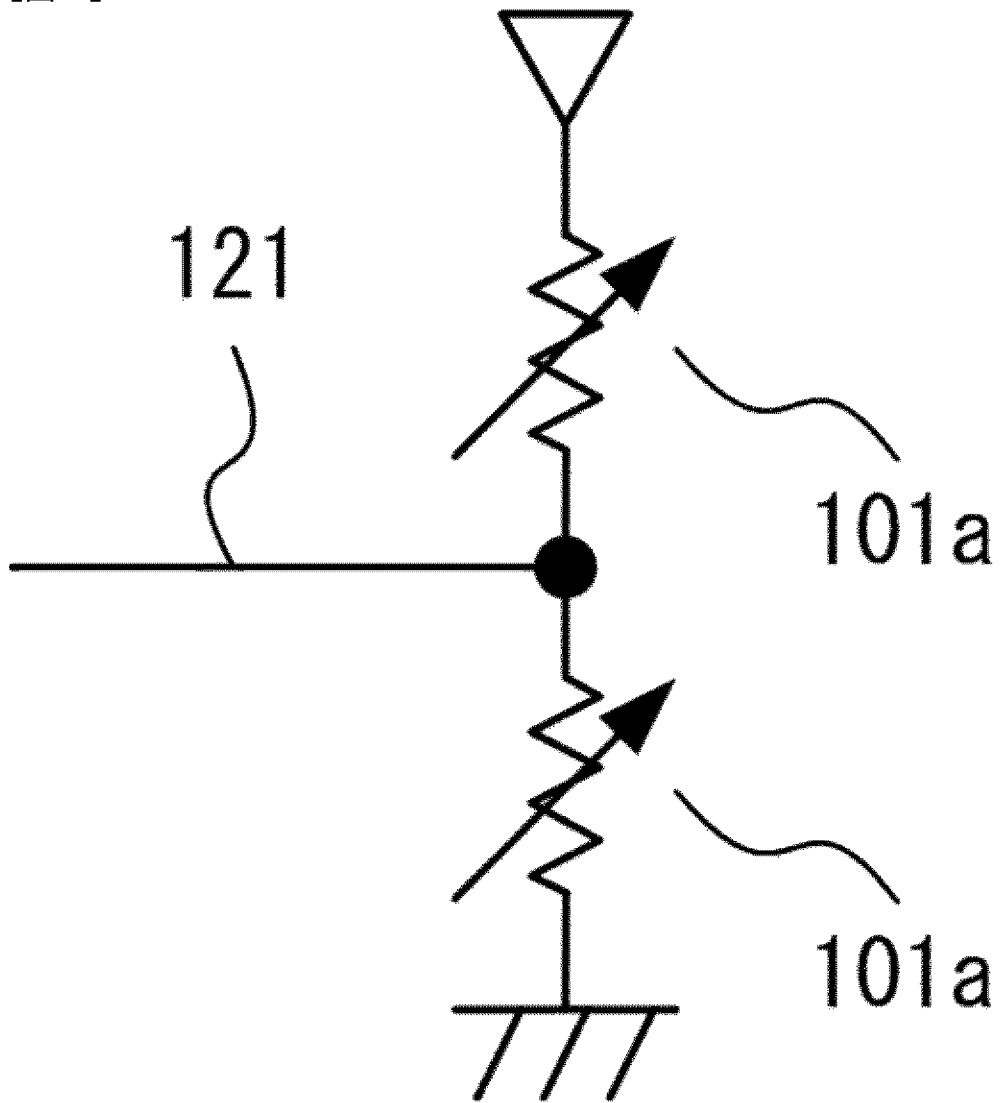
[図2A]



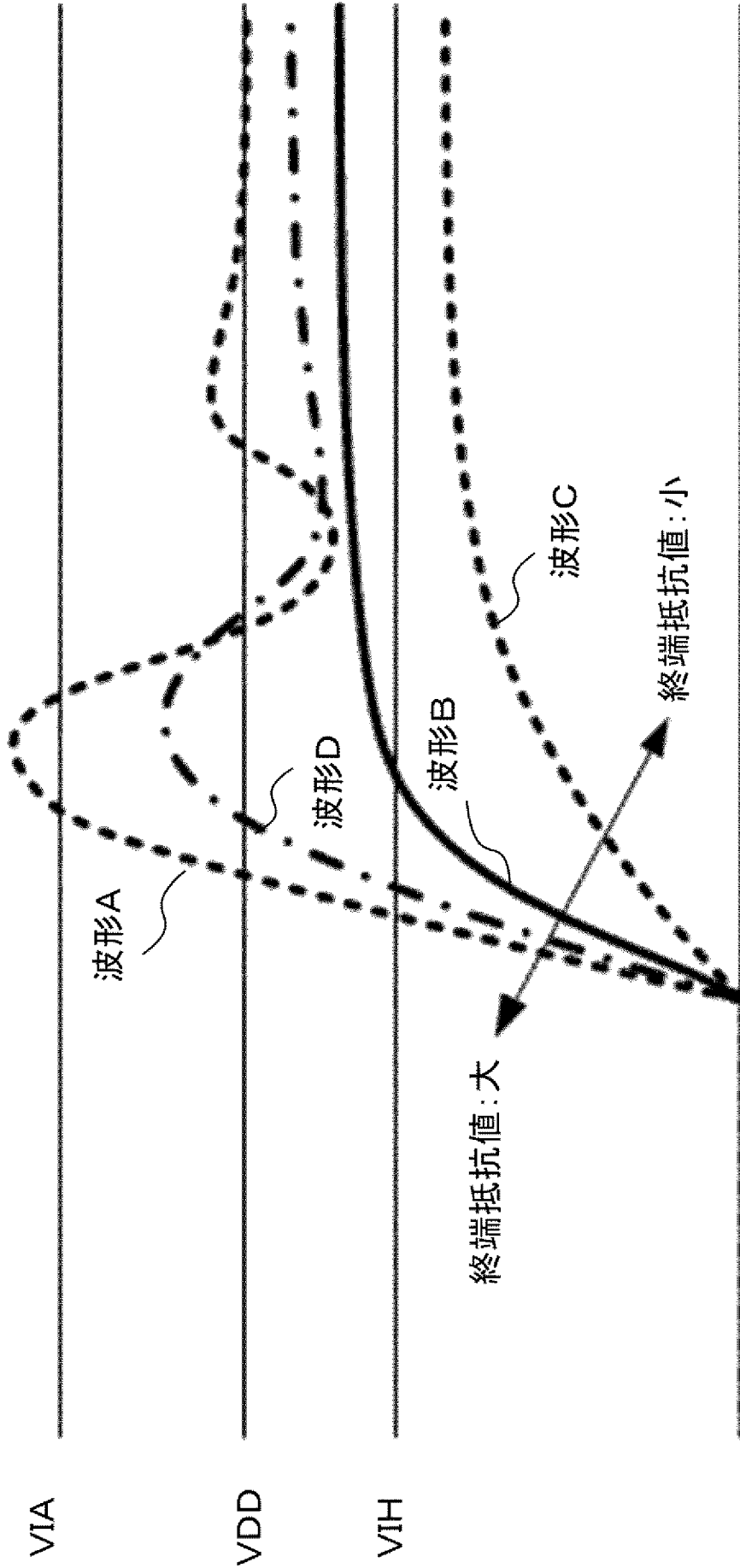
[図2B]



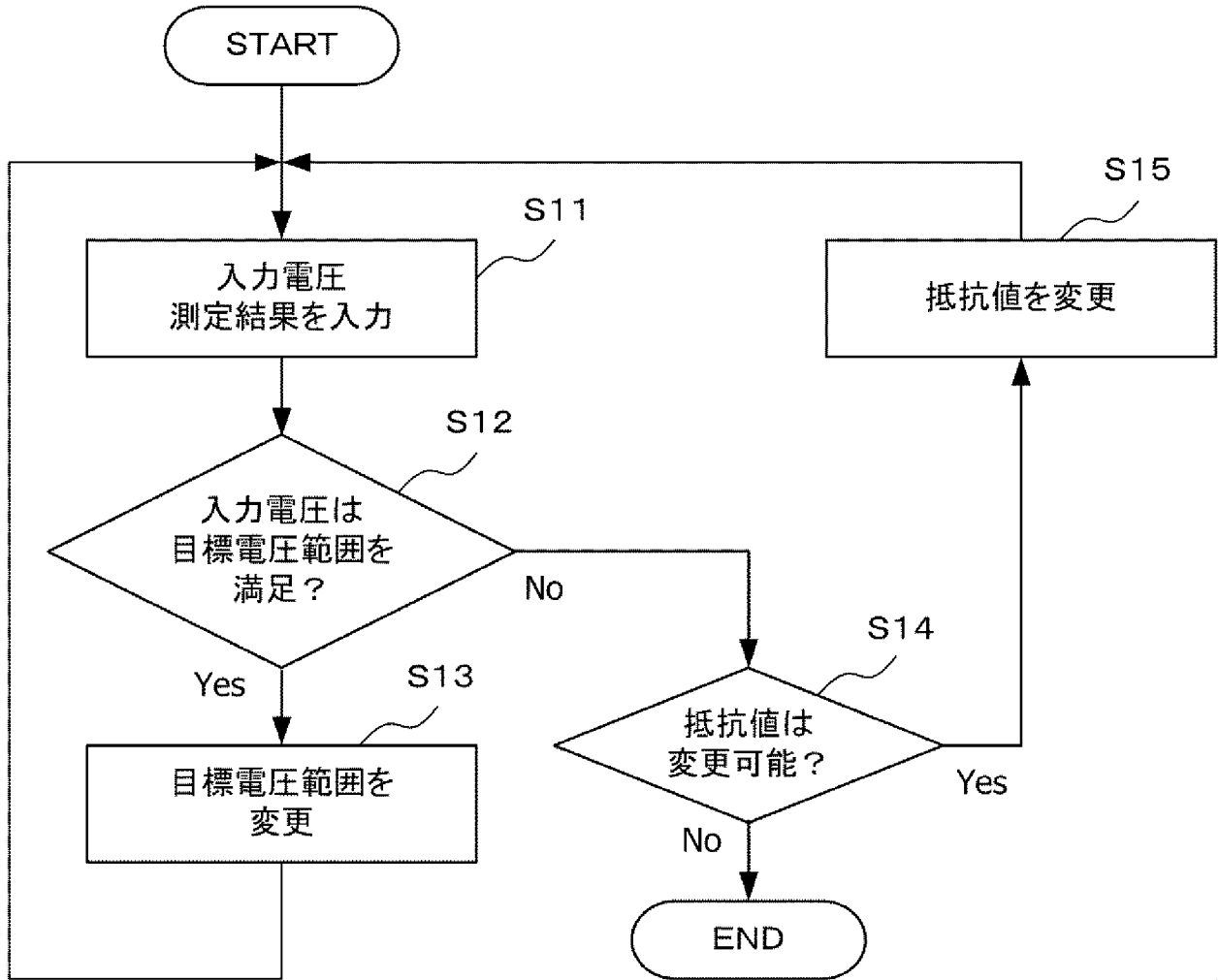
[図2C]



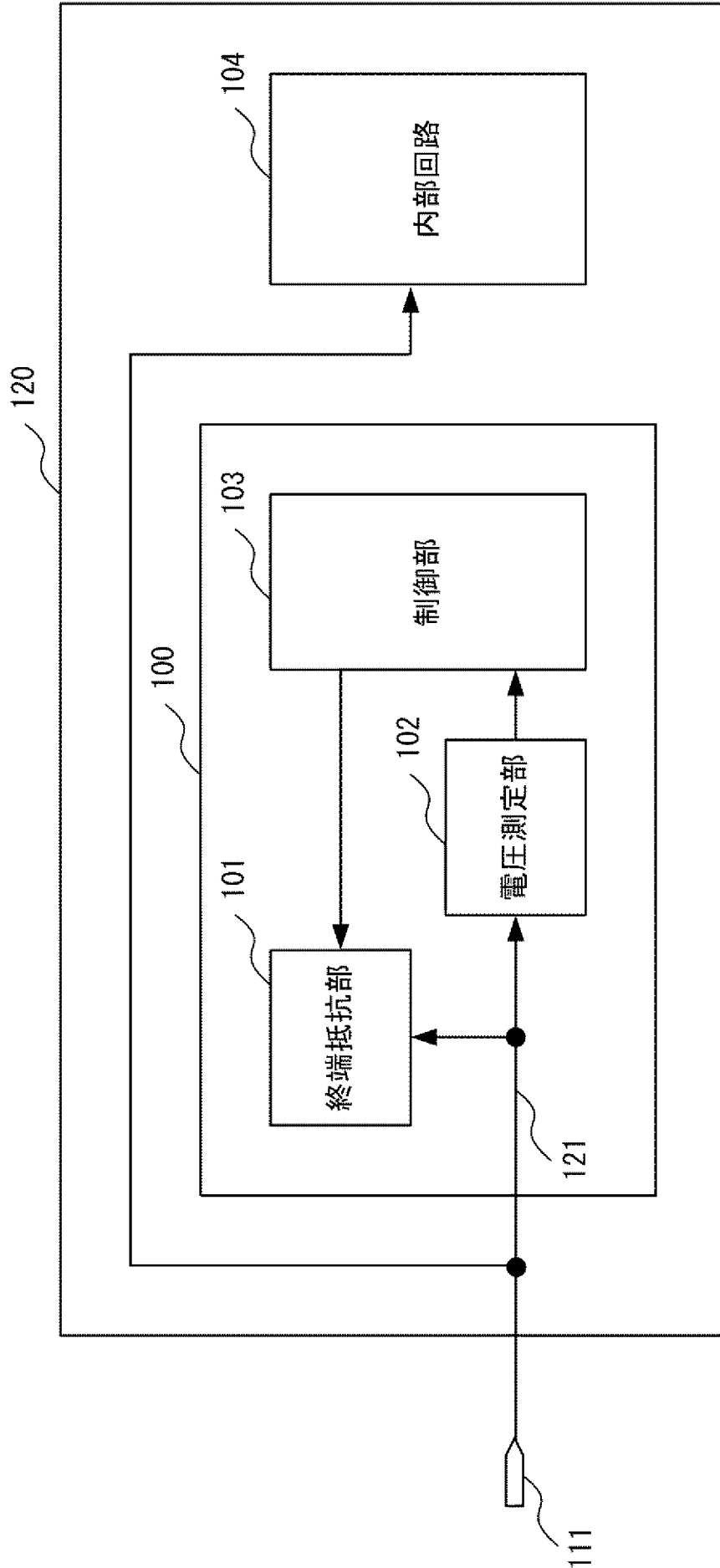
[圖3]



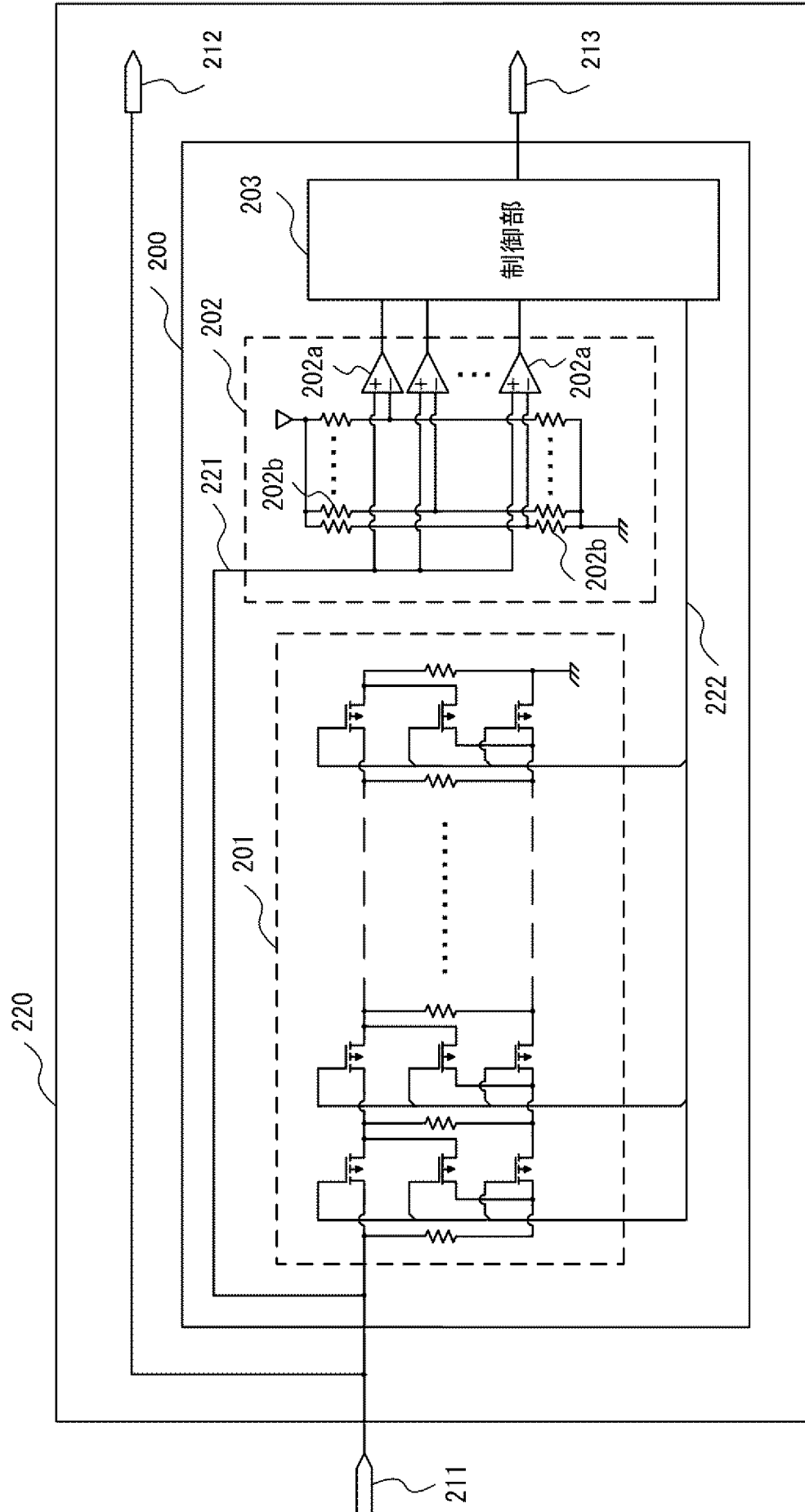
[図4]



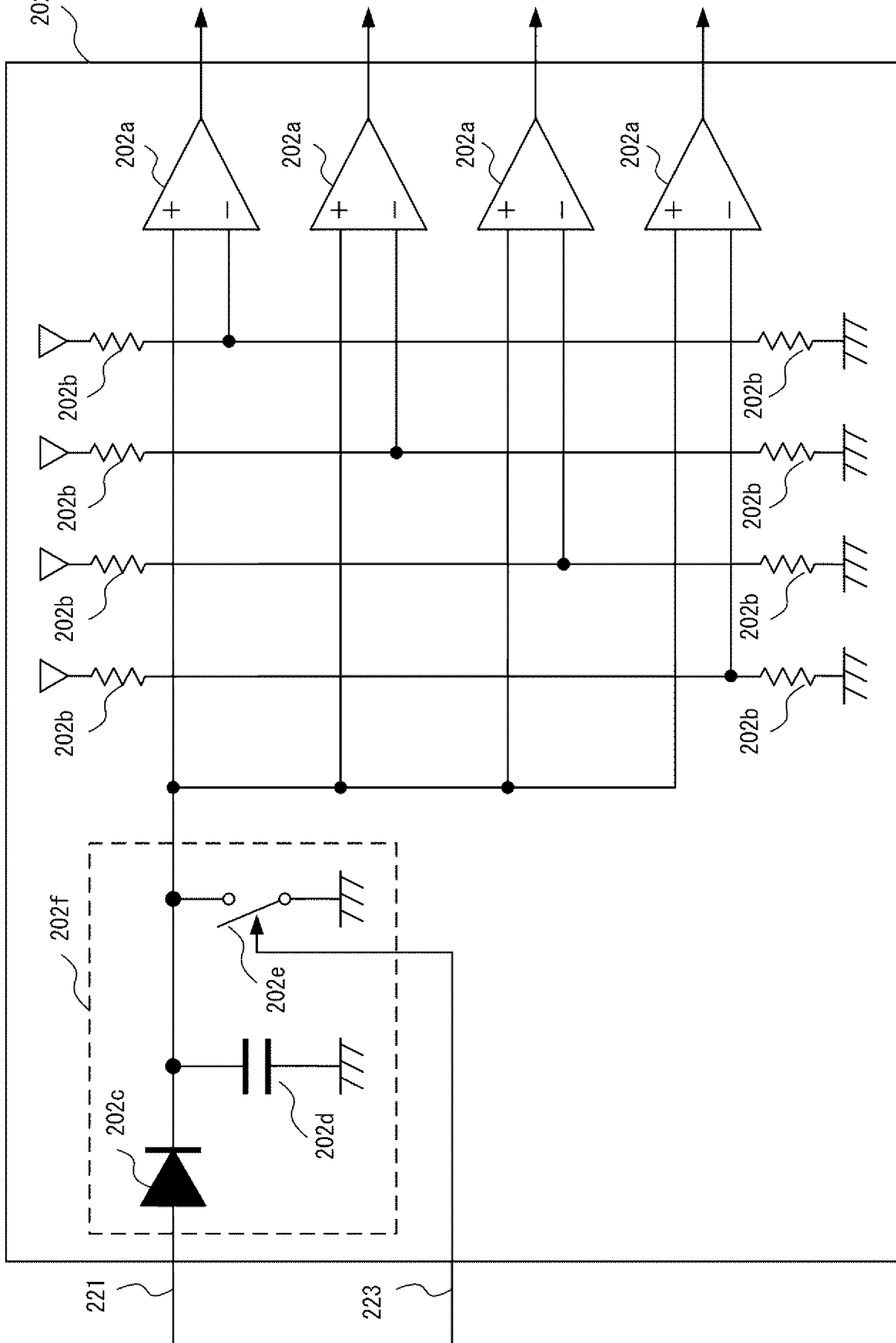
[図5]



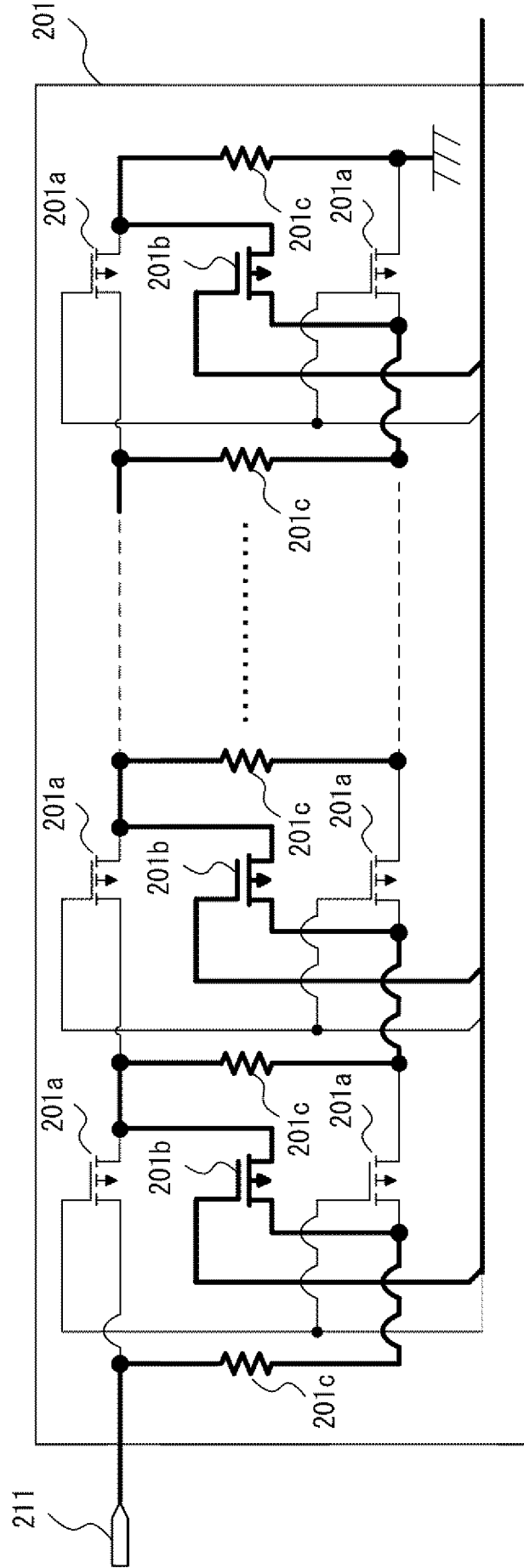
[図6]



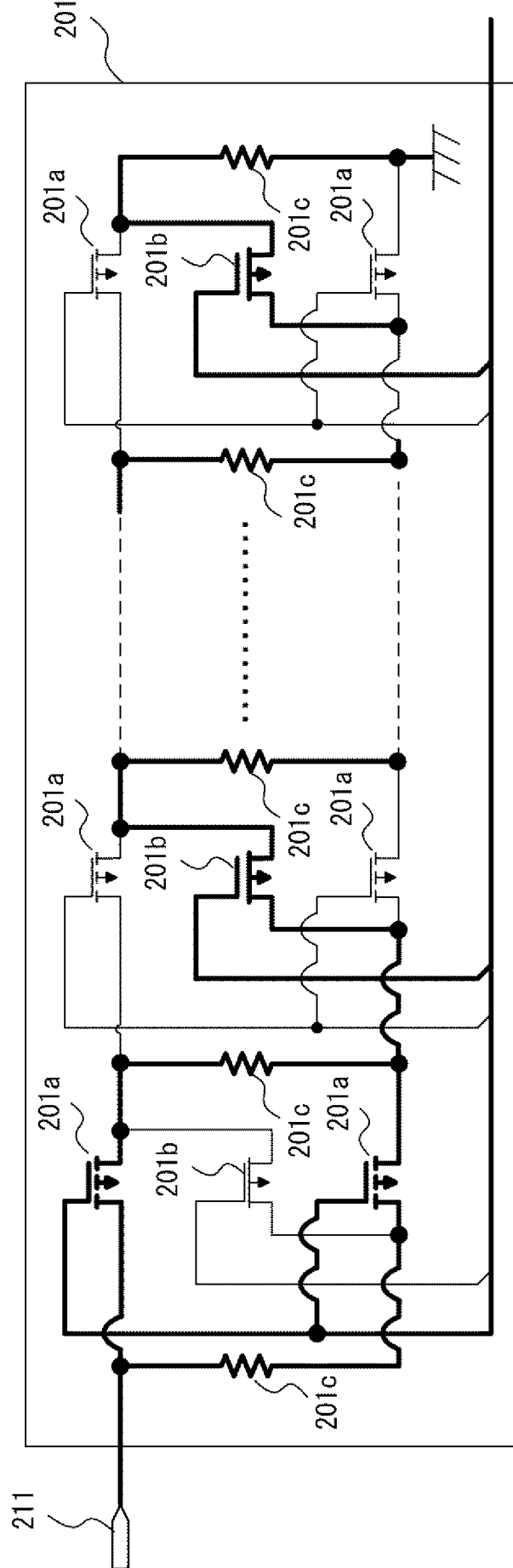
[8]



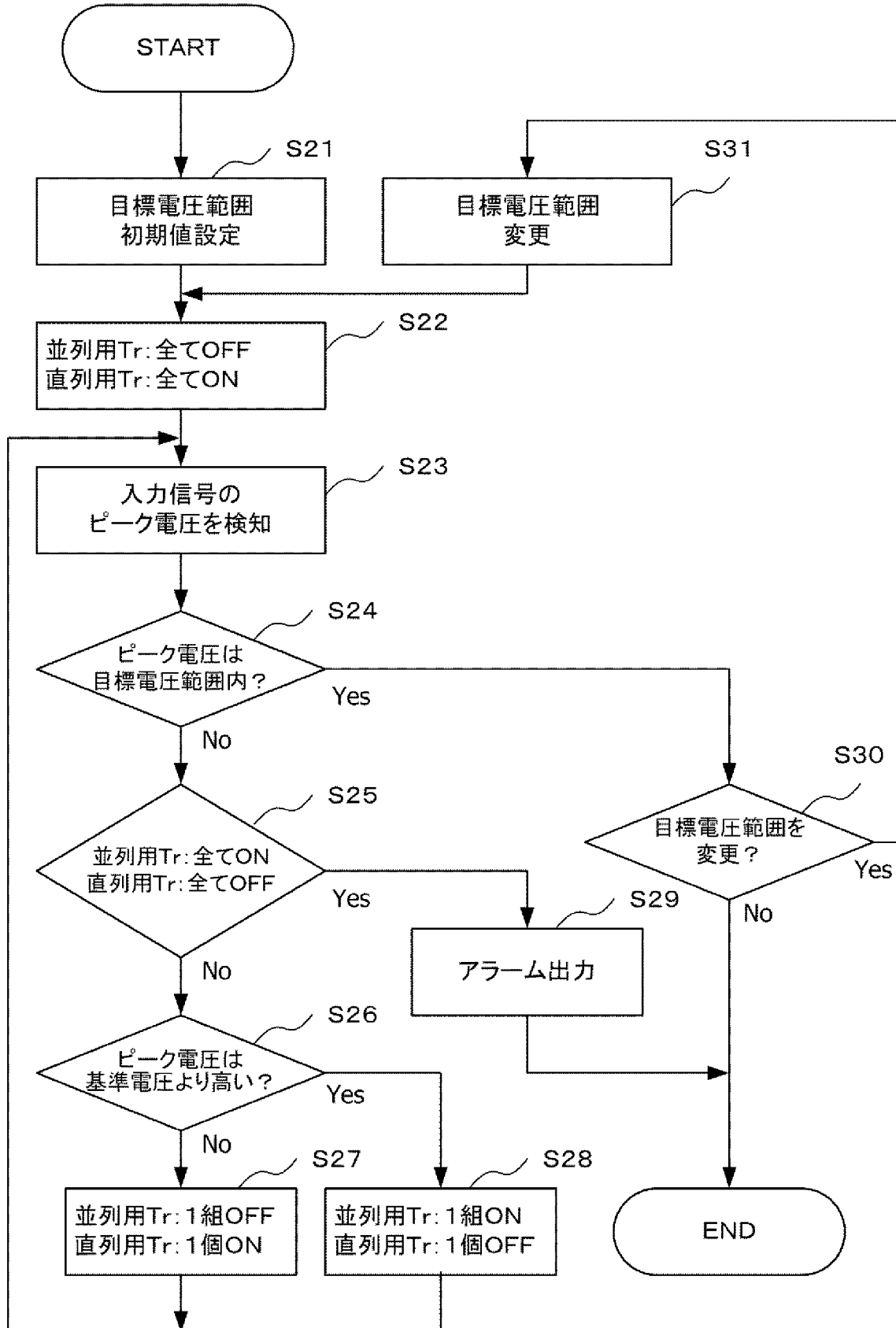
[9A]



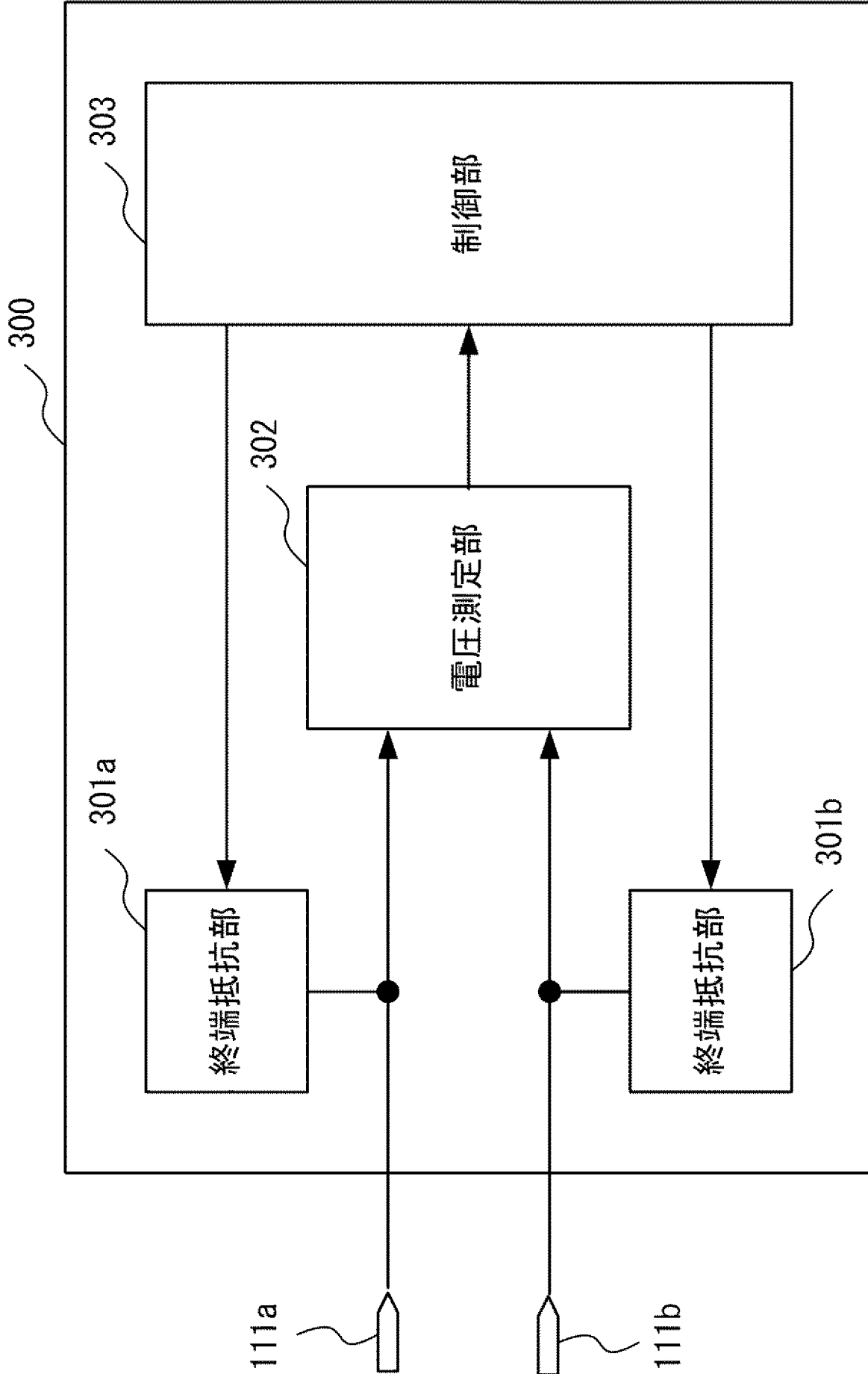
[9B]



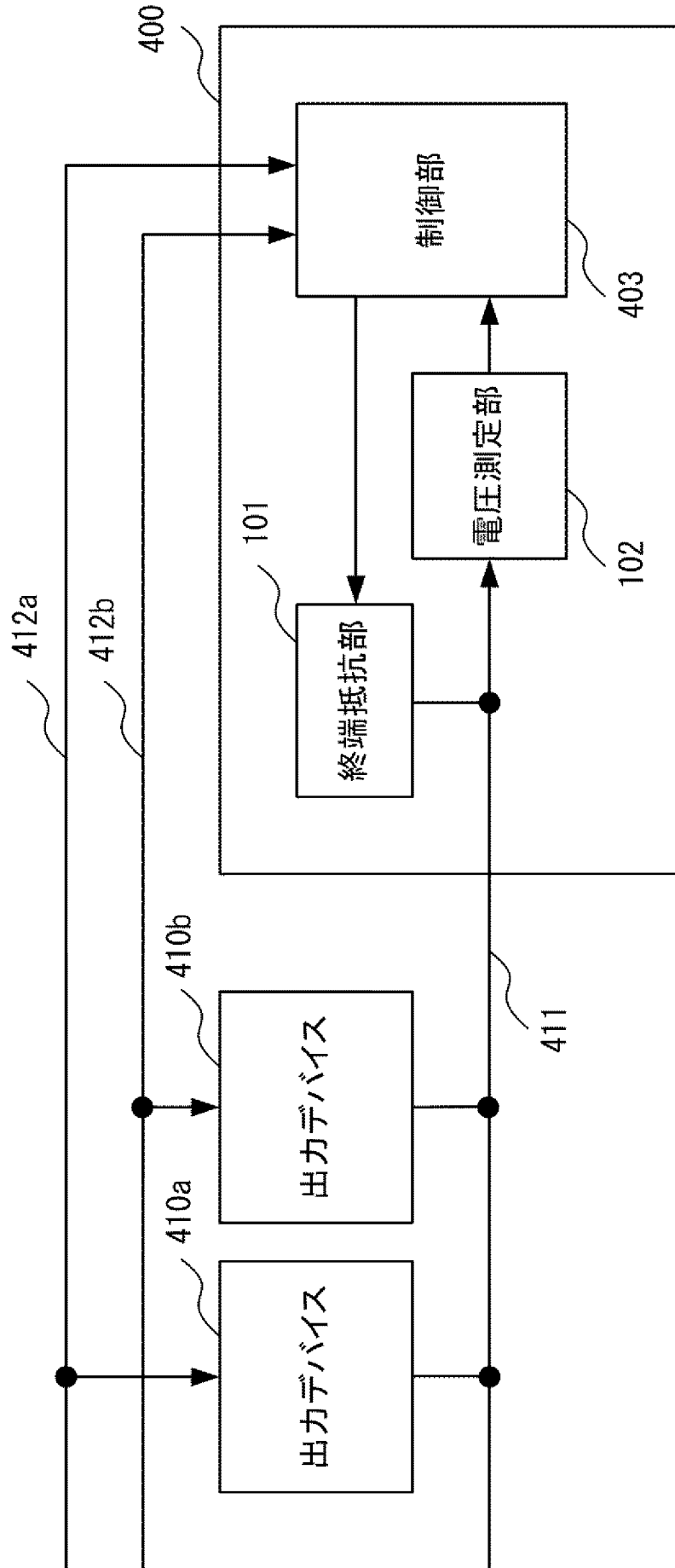
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/000978

A. CLASSIFICATION OF SUBJECT MATTER
H03K19/0175(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K19/0175

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2012/157031 A1 (Panasonic Corp.), 22 November 2012 (22.11.2012), paragraphs [0051] to [0054]; fig. 9 & US 2014/0043084 A1 & CN 103493375 A	1, 2, 8-10 3-5 6, 7
Y	JP 6-125261 A (Mitsubishi Electric Corp.), 06 May 1994 (06.05.1994), entire text; fig. 1 to 12 (Family: none)	3-5
A	US 2005/0052200 A1 (Huy M. Nguyen), 10 March 2005 (10.03.2005), entire text; fig. 1 to 7 & US 2005/0174143 A1 & US 2007/0085562 A1 & US 2007/0290714 A1 & US 2009/0278565 A1 & US 2010/0259295 A1 & US 2011/0193591 A1 & US 2013/0021056 A1	1-10

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 22 April 2015 (22.04.15)	Date of mailing of the international search report 12 May 2015 (12.05.15)
---------------------------------------------------------------------------------------	------------------------------------------------------------------------------

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--------------------------------------------------------------------------------------------------------------------------	-----------------------------------------

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H03K19/0175(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H03K19/0175		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A Y	WO 2012/157031 A1（パナソニック株式会社）2012.11.22, 【0051】 - 【0054】, 図9 & US 2014/0043084 A1 & CN 103493375 A JP 6-125261 A（三菱電機株式会社）1994.05.06, 全文、図1-12（ファミリーなし）	1, 2, 8-10 3-5 6, 7 3-5
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 22.04.2015	国際調査報告の発送日 12.05.2015	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 宮島 郁美 電話番号 03-3581-1101 内線 3596	5 X 8 5 2 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2005/0052200 A1 (Huy M. Nguyen) 2005.03.10, 全文、図1-7 & US 2005/0174143 A1 & US 2007/0085562 A1 & US 2007/0290714 A1 & US 2009/0278565 A1 & US 2010/0259295 A1 & US 2011/0193591 A1 & US 2013/0021056 A1	1-10