

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年6月23日(23.06.2016)



(10) 国際公開番号

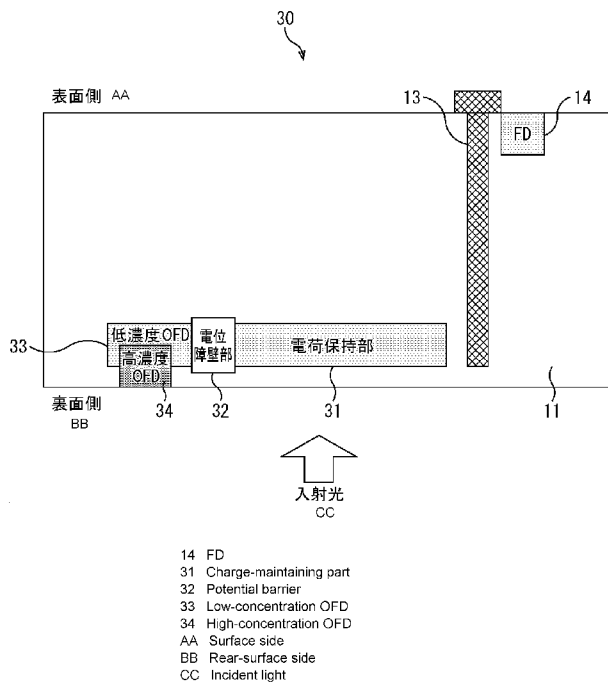
WO 2016/098696 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H04N 5/369 (2011.01)
H04N 5/359 (2011.01)
- (21) 国際出願番号: PCT/JP2015/084783
- (22) 国際出願日: 2015年12月11日(11.12.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-256043 2014年12月18日(18.12.2014) JP
特願 2015-239945 2015年12月9日(09.12.2015) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION)
[JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者: 渡部 泰一郎 (WATANABE Taiichiro); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 中村 良助 (NAKAMURA Ryosuke); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 佐藤 友亮 (SATO Yusuke); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 古閑 史彦 (KOGA Fumihiko); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番2号 西新宿木村屋ビルディング9階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SOLID-STATE IMAGING ELEMENT AND ELECTRONIC DEVICE

(54) 発明の名称: 固体撮像素子、および電子装置



(57) Abstract: This technology pertains to: a solid-state imaging element capable of stably performing overflow from a PD, and preventing the occurrence of Qs decline and color mixing; and an electronic device. A solid-state imaging element according to one embodiment of this technology is equipped, on the light-receiving surface side inside a semiconductor substrate, with a charge-maintaining part for producing and maintaining a charge according to incident light, an OFD section from which the charge saturated by the charge-maintaining part is discharged, and a potential barrier for forming a barrier for the charge flowing from the charge-maintaining part to the OFD section. Therein, the OFD section comprises a low-concentration OFD section and a high-concentration OFD section which have different concentrations of the same type of impurity, and the high-concentration OFD section and the potential barrier are formed with an interval interposed therebetween. This technology is applicable to CMOS image sensors, for example.

(57) 要約: 本技術は、PDからのオーバーフローを安定的に行い、Qsの低下や混色の発生を抑止することができるようにする固体撮像素子、および電子装置に関する。本技術の一側面である固体撮像素子は、入射光に応じて電荷を発生、保持する電荷保持部と、前記電荷保持部で飽和した前記電荷が排出されるOFD部と、前記電荷保持部から前記OFD部に流れ出る前記電荷の障壁

となる電位障壁部とを半導体基板内の受光面側に備え、前記OFD部は、同じ型の不純物の濃度が異なる低濃度OFD部および高濃度OFD部から成り、前記高濃度OFD部と前記電位障壁部は、間隔を開けて形成されている。本技術は、例えば、CMOSイメージセンサに適用できる。

WO 2016/098696 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 固体撮像素子、および電子装置

技術分野

[0001] 本技術は、固体撮像素子、および電子装置に関し、特に、フォトダイオードからのオーバーフローを安定的に行うことができるようにした固体撮像素子、および電子装置に関する。

背景技術

[0002] デジタルスチルカメラやデジタルビデオカメラなどに搭載する固体撮像素子としてCMOS (Complementary Metal Oxide Semiconductor) イメージセンサが知られている。CMOSイメージセンサ（以下、CISと称する）においては、画素毎に形成されているPD (Photodiode) による光電変換によって入射光に応じた電荷が発生され、発生された電荷が転送トランジスタを介してFD (Floating Diffusion) に転送され、FDにおいて電荷が電気信号（画素信号）に変換されて読み出される。

[0003] また、従来、CISの Q_s （飽和電荷量）を向上させたり、縦方向に複数のPDを積層させた縦方向分光CISを形成したりすることなどを目的として、PDをSi（シリコン）基板の深部（裏面側）に形成する構成が提案されている。PDにて発生、蓄積された電荷の読み出しは、例えば、Si基板に対して垂直方向（縦方向）に設けられた縦型トランジスタを介してSi基板の表面側に設けられたFDに転送される。

[0004] 上述したような構成の場合、PDとFDの距離が長く、また、PDにて電荷蓄積中は縦型トランジスタが低電圧に固定されているので、オーバーフローの設計が困難である。そのため、Si基板の裏面側にオーバーフロードレイン（以下、OFDと称する）を設ける構造が提案されている（例えば、特許文献1）。

[0005] 図1は、Si基板の裏面側にPDとOFDを設けたCMOSイメージセンサの構成の一例を示している。なお、同図Aは断面図、同図Bは該CISの各部のポテン

シャルを示している。

[0006] このCIS10は、Si基板11の裏面側（深部）にPD12が形成され、表面側にFD14が形成されている。また、Si基板11に対して垂直方向（縦方向）に縦型トランジスタ13が形成されている。さらに、Si基板11の裏面側（深部）には、電位障壁部15を介してPD12に繋がるOFD16が形成されている。OFD16は電源電圧に設定される、高濃度の拡散層からなる。

[0007] PD12、電位障壁部15、およびOFD16のポテンシャルの高さは同図Bに示される通りであり、PD12にて発生、蓄積された電荷が飽和した場合、飽和した電荷は電位障壁部15を超えてOFD16に排出されることになる。

先行技術文献

特許文献

[0008] 特許文献1：特開2013-38118号公報

発明の概要

発明が解決しようとする課題

[0009] 図1のAに示された構成の場合、PD12、電位障壁部15、およびOFD16のポテンシャルの高さは理論的には図1のBに示されたものとなる。しかしながら、OFD16が高濃度の拡散層であり、OFD16と電位障壁部15の距離が近いことから、PD12、電位障壁部15、およびOFD16を形成するに際し、これらの配置がずれたり、それぞれの不純物濃度がばらついたりすると、電位障壁部15のポテンシャルの高さが大きく変化し易くなる。その場合、 Q_s が低下したり、隣接画素との混色が発生したりすることが起こり得る。

[0010] 本技術は、このような状況に鑑みてなされたものであり、PDからのオーバーフローを安定的に行えるようにして、 Q_s の低下や混色の発生を抑止できるようにするものである。

課題を解決するための手段

- [0011] 本技術の第1の側面である固体撮像素子は、入射光に応じて電荷を発生、保持する電荷保持部と、前記電荷保持部で飽和した前記電荷が排出されるOFD部と、前記電荷保持部から前記OFD部に流れ出る前記電荷の障壁となる電位障壁部とを半導体基板内の受光面側に備え、前記OFD部は、同じ型の不純物の濃度が異なる低濃度OFD部および高濃度OFD部から成り、前記高濃度OFD部と前記電位障壁部は、間隔を開けて形成されている。
- [0012] 前記電荷保持部と前記低濃度OFD部とは、同じ型の不純物の濃度が等しいようにすることができる。
- [0013] 本技術の第1の側面である固体撮像素子は、前記半導体基板の前記受光面とは反対の面から形成され、前記高濃度OFD部に接する第1の縦型トランジスタをさらに備えることができる。
- [0014] 前記第1の縦型トランジスタと前記電位障壁部は、間隔を開けて形成されているようにすることができる。
- [0015] 本技術の第1の側面である固体撮像素子は、前記半導体基板に形成される画素トランジスタと前記電荷保持部との間に、前記第1の縦型トランジスタから横方向に延伸されているドレイン層をさらに備えることができる。
- [0016] 前記ドレイン層は、前記電荷保持部と同じ型の不純物の拡散層から形成されているようにすることができる。
- [0017] 本技術の第1の側面である固体撮像素子は、前記半導体基板のウェル領域のうち、所定の画素トランジスタの下部領域と、その他の領域とを電氣的に分離する、前記第1の縦型トランジスタから横方向に延伸されているウェル分離層をさらに備えることができる。
- [0018] 前記ウェル分離層によって電氣的に分離された、前記所定の画素トランジスタの前記下部領域の電位は、前記その他の領域の電位よりも低くすることができる。
- [0019] 前記所定の画素トランジスタは、AMPトランジスタおよびSELトランジスタとすることができる。
- [0020] 前記所定の画素トランジスタとしての前記AMPトランジスタの入力電圧とな

るRST電位は、前記AMPトランジスタのドレイン電圧よりも低くすることができる。

[0021] 前記所定の画素トランジスタは、RSTトランジスタとすることができる。

[0022] 本技術の第1の側面である固体撮像素子は、前記半導体基板の前記受光面とは反対の面から形成され、前記電荷保持部から前記電荷を読み出す第2の縦型トランジスタをさらに備えることができる。

[0023] 前記高濃度OFD部には、前記電荷保持部に電荷が蓄積したときに前記電荷保持部に生じる電圧よりも高い電圧が印可されているようにすることができる。

[0024] 前記高濃度OFD部には、前記半導体基板の前記受光面とは反対の面から前記半導体基板を貫く貫通電極を介して供給される、前記電荷保持部に電荷が蓄積したときに前記電荷保持部に生じる電圧よりも高い電圧が印可されているようにすることができる。

[0025] 前記貫通電極は、複数の画素毎に設けられ、前記複数の画素により共有されるようにすることができる。

[0026] 本技術の第1の側面である固体撮像素子は、前記電位障壁部のポテンシャルを制御する制御部をさらに備えることができる。

[0027] 前記高濃度OFD部は、前記複数の画素により共有されるようにすることができる。

[0028] 前記電荷保持部は、前記半導体基板内に複数層積層されているようにすることができる。

[0029] 本技術の第1の側面である固体撮像素子は、前記半導体基板の前記受光面の外側に形成された光電変換膜をさらに備えることができる。

[0030] 本技術の第2の側面である電子装置は、固体撮像素子が搭載された電子装置において、前記固体撮像素子は、入射光に応じて電荷を発生、保持する電荷保持部と、前記電荷保持部で飽和した前記電荷が排出されるOFD部と、前記電荷保持部から前記OFD部に流れ出る前記電荷の障壁となる電位障壁部とを半導体基板内の受光面側に備え、前記OFD部は、同じ型の不純物の濃度が異なる

低濃度0FD部および高濃度0FD部から成り、前記高濃度0FD部と前記電位障壁部は、間隔を開けて形成されている。

発明の効果

[0031] 本技術の第1の側面によれば、電荷保持部からのオーバーフローを安定的に行い、 Q_s の低下や混色の発生を抑止することが可能となる。

[0032] 本技術の第2の側面によれば、固体撮像素子の Q_s の低下や混色の発生を抑止することが可能となる。

図面の簡単な説明

[0033] [図1]従来のCISの構成の一例を示す図である。

[図2]本技術を適用した固体撮像素子の第1の構成例を示す断面図である。

[図3]第1の構成例におけるPD周辺におけるポテンシャルを示す図である。

[図4]固体撮像素子の第1の構成例の製造方法を説明するための図である。

[図5]本技術を適用した固体撮像素子の第2の構成例を示す断面図である。

[図6]第2の構成例におけるPD周辺におけるポテンシャルを示す図である。

[図7]固体撮像素子の第2の構成例の製造方法を説明するための図である。

[図8]本技術を適用した固体撮像素子の第3の構成例を示す断面図である。

[図9]画素毎に貫通電極を設けた場合の構成例を示す断面図である。

[図10]複数の画素で貫通電極を共有する場合の構成例を示す断面図である。

[図11]図10に示した構成例に対応する上面図である。

[図12]電位障壁部のポテンシャル制御のための構成例を示す断面図である。

[図13]複数の画素で高濃度0FDを共有する場合の構成例の断面図である。

[図14]図13に示した構成例に対応する上面図である。

[図15]第1の構成例にPDを追加積層した変形例を示す断面図である。

[図16]第1の構成例に光電変換膜を追加した変形例を示す断面図である。

[図17]第2の構成例にドレイン層を追加した変形例を示す断面図である。

[図18]第2の構成例にウェル分離層を追加した変形例を示す断面図である。

[図19]ウェル分離層を有する構成例を示す断面図である。

[図20]ウェル分離層を有する構成例を示す断面図である。

[図21] ウェル分離層を有する構成例を示す断面図である。

[図22] ウェル分離層を用いず同様の効果を得られる構成例を示す断面図である。

[図23] 第2の構成例にドレイン層とウェル分離層を追加した変形例を示す断面図である。

[図24] 図23に示した変形例の上面図である。

[図25] 複数の画素で縦型トランジスタを共有する場合の構成例を示す上面図である。

[図26] 本技術の実施の形態である固体撮像素子の使用例を示す図である。

発明を実施するための形態

[0034] 以下、本技術を実施するための最良の形態（以下、実施の形態と称する）について、図面を参照しながら詳細に説明する。

[0035] <本技術の実施の形態である固体撮像素子の第1の構成例>

図2は、本技術の実施の形態である固体撮像素子の第1の構成例を示すブロック断面図である。なお、図2は、1画素分を図示しており、図1に示された従来のCISと共通する構成要素については同一の符号を付しているため、その説明は適宜省略する。

[0036] この固体撮像素子30の第1の構成例は、Si基板11の裏面近傍に形成されたPD（電荷保持部）31を有し、裏面側から照射される光に応じて画素信号を出力する、いわゆる裏面照射型CISである。

[0037] 固体撮像素子30の第1の構成例には、Si基板11に対して垂直方向（縦方向）に縦型トランジスタ13が形成されており、表面側にFD14が形成されており、PD31にて変換、蓄積された電荷は、縦型トランジスタ13を介してFD14に転送される。

[0038] PD31は、例えば、Si基板11のP型ウェルに形成されたN⁺領域（N型の不純物濃度1E16乃至1E18/cm³）であり、Si基板11の裏面に接触しないように、その裏面から所定の間隔を隔てたSi基板11の内部に形成されている。

[0039] また、固体撮像素子30には、PD31の横方向に隣接して形成されたN⁺領域（P型の不純物濃度 $1E16$ 乃至 $1E18/cm^3$ ）からなる電位障壁部32、および、電位障壁部32の横方向に隣接して形成されたPD31と同じ濃度のN⁺領域（N型の不純物濃度 $1E16$ 乃至 $1E18/cm^3$ ）からなる低濃度0FD33が形成されている。電位障壁部32のポテンシャル制御については、図12を参照して後述する。

[0040] さらに、固体撮像素子30には、低濃度0FD33と重複し、電位障壁部32から間隔を開けた位置に、Si基板11の裏面側に接触するように、低濃度0FD33よりも高濃度のN⁺領域（N型の不純物濃度 $1E18$ 乃至 $1E20/cm^3$ ）からなる高濃度0FD34が形成されている。高濃度0FD34は、PD31に電荷が蓄積したときのPD31に生じる電位よりも高い電圧に固定される（詳細は図9乃至図11を参照して後述する）。

[0041] 図3は、固体撮像素子30の第1の構成例におけるPD31周辺のポテンシャルを示している。同図に示されるように、PD31において電荷の蓄積時間中に飽和した電荷は、電位障壁部32を超えて低濃度0FD33に流れ、さらに、高濃度0FD34に排出される。

[0042] <固体撮像素子30の第1の構成例の製造方法>

次に、固体撮像素子30の第1の構成例の製造方法を説明する。図4は、固体撮像素子30の第1の構成例の製造過程を示している。

[0043] 始めに、同図Aに示されるように、Si薄膜(SOI)41にN型のイオンを注入することにより、PD（電荷保持部）31および低濃度0FD33を形成する。ただし、PD31と低濃度0FD33は同一素材から成り、この段階において両者は区別されず一体的に形成される。次に、同図Bに示されるように、PD31と低濃度0FD33の間にP型のイオンを注入することにより、電位障壁部32を形成する。電位障壁部32が形成されたことにより、PD31と低濃度0FD33が区別される。

[0044] 次に、同図Cに示されるように、Si薄膜41と低濃度0FDに重なるようにN型のイオンを注入することにより、高濃度0FD34を形成する。このとき、

高濃度0FD34を、低濃度0FD33と重複し、電位障壁部32から間隔を開けた位置に、Si薄膜41の裏面側に接触するように形成する。なお、電位障壁部32よりも先に高濃度0FD34を形成し、高濃度0FD34を形成した後に電位障壁部32を形成するようにしてもよい。

[0045] 最後に、同図Dに示されるように、Si薄膜41からSiをエピタキシャル成長させることによってSi部42を形成し、Si部42に縦型トランジスタ13やFD14などを形成する。なお、PD31とSi薄膜41の裏面の間にP型のイオンを注入してもよい。

[0046] 以上のようにして生成された固体撮像素子30の第1の構成例においては、PD31で発生された電荷を読み出す場合、該電荷は縦型トランジスタ13を介してFD14に転送される。また、PD31で発生された電荷が飽和した場合、飽和した電荷は電位障壁部32を超えて、低濃度0FD33に流れて高濃度0FD34に排出される。

[0047] このように、固体撮像素子30の第1の構成例では、電荷を読み出すときと、飽和した電荷を排出するときの経路が異なるので、例えば、PD31から電荷を読み出すときの経路を利用して電荷の排出も行う構成と比較して、より安定的に電荷を排出させることができる。

[0048] また、固体撮像素子30の第1の構成例では、高濃度0FD34が直に電位障壁部32に接することなく形成されているので、高濃度0FD34が電位障壁部32のポテンシャルの高さに対して影響を及ぼすことを抑止できる。よって、Qsの低下や、隣接画素との混色の発生を抑止することができる。

[0049] <本技術の実施の形態である固体撮像素子の第2の構成例>

図5は、本技術の実施の形態である固体撮像素子の第2の構成例を示すブロック断面図である。なお、図5は、1画素分を図示しており、図2に示された第1の構成例と共通する構成要素については同一の符号を付しているで、その説明は適宜省略する。

[0050] この固体撮像素子30の第2の構成例は、第1の構成例と同様に裏面照射型CISであり、第1の構成例における高濃度0FD34を削除し、その代わりに

縦型トランジスタ（V G）5 1 および0FD 5 2 を設けたものである。

[0051] 縦型トランジスタ 5 1 は、低濃度0FD 3 3 に接し、かつ、電位障壁部 3 2 に接しない位置に S i 基板 1 1 に対して垂直方向（縦方向）に形成される。縦型トランジスタ 5 1 は P D 3 1 に電荷が蓄積したときの P D 3 1 に生じる電位よりも高い電圧に固定される。0FD 5 2 は、S i 基板 1 1 の表面側に形成される。

[0052] 図 6 は、固体撮像素子 3 0 第 2 の構成例における P D 3 1 周辺のポテンシャルを示している。

[0053] 同図に示されるように、P D 3 1 において電荷の蓄積時間中に飽和した電荷は電位障壁部 3 2 を超えて低濃度0FD 3 3 に流れ、さらに、縦型トランジスタ 5 1 を介して0FD 5 2 に排出される。

[0054] <固体撮像素子 3 0 の第 2 の構成例の製造方法>

次に、固体撮像素子 3 0 の第 2 の構成例の製造方法を説明する。図 7 は、固体撮像素子 3 0 の第 2 の構成例の製造過程を示している。

[0055] 始めに、同図 A に示されるように、S i 薄膜(SOI) 4 1 に N 型のイオンを注入することにより、P D（電荷保持部）3 1 および低濃度0FD 3 3 を形成する。ただし、P D 3 1 と低濃度0FD 3 3 は同一素材から成り、この段階において両者は区別されず一体的に形成される。次に、同図 B に示されるように、P D 3 1 と低濃度0FD 3 3 の間に P 型のイオンを注入することにより、電位障壁部 3 2 を形成する。電位障壁部 3 2 が形成されたことにより、P D 3 1 と低濃度0FD 3 3 が区別される。

[0056] 最後に、同図 C に示されるように、S i 薄膜 4 1 から S i をエピタキシャル成長させることによって S i 部 4 2 を形成し、S i 部 4 2 に縦型トランジスタ 5 1 および0FD 5 2 の他、縦型トランジスタ 1 3 や F D 1 4 などを形成する。なお、P D 3 1 と S i 薄膜 4 1 の裏面の間に P 型のイオンを注入してもよい。

[0057] 以上のように、固体撮像素子 3 0 の第 2 の構成例は、第 1 の構成例に比較して少ない工程で製造することができる。

[0058] 生成された固体撮像素子30の第2の構成例においては、PD31で発生された電荷を読み出す場合、該画素が縦型トランジスタ13を介してFD14に転送される。また、PD31で発生した電荷が飽和した場合、飽和した電荷が電位障壁部32を超え、低濃度0FD33に流れて縦型トランジスタ51を介して0FD52に排出される。

[0059] このように、固体撮像素子30の第2の構成例では、電荷を読み出すときと、飽和した電荷を排出するときの経路が異なるので、例えば、PD31から電荷を読み出すときの経路を利用して電荷の排出も行う構成と比較して、より安定的に電荷を排出させることができる。

[0060] また、固体撮像素子30の第2の構成例では、縦型トランジスタ51が直接に電位障壁部32に接することなく形成されているので、縦型トランジスタ51に印可されている電圧が電位障壁部32のポテンシャルの高さに対して影響を及ぼすことを抑止できる。よって、Qsの低下や、隣接画素との混色の発生を抑止することができる。

[0061] <本技術の実施の形態である固体撮像素子の第3の構成例>

図8は、本技術の実施の形態である固体撮像素子の第3の構成例を示すブロック断面図である。なお、図8は、1画素分を図示しており、図2に示された第1の構成例または第図5に示された第2の構成例と共通する構成要素については同一の符号を付しているため、その説明は適宜省略する。

[0062] この固体撮像素子30の第3の構成例は、第1の構成例に、第2の構成例の縦型トランジスタ51および0FD52を追加したものである。縦型トランジスタ51は、高濃度0FD34に接続されている。

[0063] 固体撮像素子30の第3の構成例においては、PD31で発生された電荷を読み出す場合、該電荷が縦型トランジスタ13を介してFD14に転送される。また、PD31で発生された電荷が飽和した場合、飽和した電荷が電位障壁部32を超えて低濃度0FD33に流れ、高濃度0FD34に排出されるか、または縦型トランジスタ51を介して0FD52に排出される。

[0064] このように、固体撮像素子30の第3の構成例では、電荷を読み出すとき

と、飽和した電荷を排出するときの経路が異なるので、例えば、PD31から電荷を読み出すときの経路を利用して電荷の排出も行う構成と比較して、より安定的に電荷を排出させることができる。

[0065] また、固体撮像素子30の第3の構成例では、高濃度0FD34や縦型トランジスタ51が直に電位障壁部32に接することなく形成されているので、これらが電位障壁部32のポテンシャルの高さに対して影響を及ぼすことを抑止できる。よって、Qsの低下や、隣接画素との混色の発生を抑止することができる。

[0066] <高濃度0FD34の電位固定方法>

上述したように、PD31から飽和した電荷の排出先である高濃度0FD34は、PD31に電荷が蓄積しているときのPD31に生じる電位よりも高い電圧に固定する必要がある。そこで、高濃度0FD34の電極がSi基板11の裏面側に存在する場合、Si基板11に貫通電極を設けて表面側の電源と高濃度0FD34とを電氣的に接続すればよい。

[0067] 図9は、画素毎に貫通電極を設けた場合の構成例である。この場合、高電圧の電源71と高濃度0FD34は、配線72、貫通電極73、および配線74を介して接続されて、高濃度0FD34が高電圧に固定される。

[0068] 図10および図11は、複数の画素で貫通電極を共有する場合の構成例であり、図10は断面図を、図11は上面図を示している。この場合、画素毎に貫通電極73を設ける場合に比較して、各画素が占める面積を貫通電極73の分だけ削減することができる。

[0069] <電位障壁部32のポテンシャル制御>

次に、図12は、電位障壁部32のポテンシャルを制御するための構成例を示している。同図Aは、Si基板11の裏面側にゲート電極81を設けて電位障壁部32と接続した構成例である。この場合、ゲート電極81から所定の電圧を印可することにより、電位障壁部32のポテンシャルを制御することができる。同図Bは、Si基板11の表面側から縦型トランジスタ82を設けた電位障壁部32と接続した構成例である。この場合、縦型トランジ

スタ 8 2 から所定の電圧を印可することにより、電位障壁部 3 2 のポテンシャルを制御することができる。

[0070] <本技術の実施の形態である固体撮像素子の第 1 の構成例の変形例>

次に、図 1 3 および図 1 4 は、図 2 に示された固体撮像素子の第 1 の構成例の変形例（第 1 の変形例）として、高濃度 0FD 3 4 を複数の画素で共有する場合の構成例であり、図 1 3 は断面図を、図 1 4 は上面図を示している。なお、図 1 4 の A および図 1 4 の B は、高濃度 0FD 3 4 を 2 画素で共有する場合の例を示し、図 1 4 の C は、高濃度 0FD 3 4 を 4 画素で共有する場合の例を示している。

[0071] 隣接する複数の画素で高濃度 0FD 3 4 を共有することにより、画素毎に高濃度 0FD 3 4 を設ける場合に比較して、各画素で高濃度 0FD 3 4 が占める面積を削減することができる。

[0072] 図 1 5 は、固体撮像素子の第 1 の構成例の他の変形例（第 2 の変形例）として、S i 基板 1 1 内に P D 9 1 を追加積層した構成例の断面図を示している。

[0073] 同図に示されるように、S i 基板 1 1 内に複数の P D（画素保持部 3 1 と P D 9 1）が形成されている場合、裏面側に近い方の P D 3 1 では主に短波長側の光を光電変換し、遠い方の P D 9 1 では主に長波長側の光を光電変換するようにする。複数の P D によって異なる波長の光に応じて光電変換することにより分光が可能となる。また、複数の P D の出力を組み合わせれば、Q s の拡大が可能となる。なお、S i 基板 1 1 内に P D を 3 層以上形成するようにしてもよい。

[0074] 図 1 6 は、固体撮像素子の第 1 の構成例のさらに他の変形例（第 3 の変形例）として、図 1 5 の第 2 の変形例に、S i 基板 1 1 の裏面から離れた外側にさらに有機光電変換膜などの光電変換膜 9 2 を追加した構成例の断面図を示している。

[0075] 同図に示されるように、光電変換膜 9 2 を設けた場合、光電変換膜 9 2 により光電変換された成分を出力として取り出すことができ、かつ、光電変換

膜 9 2 を透過した光を P D 3 1 , 9 1 それぞれにより光電変換することができる。複数の P D 3 1 , 9 1 と光電変換膜 9 2 によって異なる波長の光に応じて光電変換すれば、分光が可能となる。

[0076] <本技術の実施の形態である固体撮像素子の第 2 の構成例の変形例>

次に、図 1 7 は、図 5 に示された固体撮像素子の第 2 の構成例の変形例（第 4 の変形例）を示している。

[0077] この第 4 の変形例は、図 5 の第 2 の構成例に対して、S i 基板 1 1 の表面から離れた外側に有機光電変換膜などの光電変換膜 1 0 1 を追加するとともに、S i 基板 1 1 の表面内側には、光電変換膜 1 0 1 が発生した電荷を蓄積するための F D 1 0 3 が追加されている。

[0078] さらに、光電変換膜 1 0 1 の暗電流対策として、F D 1 0 3 には、RST トランジスタ 1 0 4 を介して GND 端子 1 0 5 が接続されている。なお、GND 端子 1 0 5 の電圧は、0 V に限られるものではなく、VDD よりも低い電圧であればよい。他の構成例や変形例においても同様とする。

[0079] またさらに、F D 1 0 3 および GND 端子 1 0 5 と電荷保持部 3 1 との間には、横方向に伸びる N 型拡散層からなるドレイン層 1 0 6 が形成されており、縦型トランジスタ 5 1 に接続されている。

[0080] 第 4 の変形例においては、電源に接続されている縦型トランジスタ 5 1 からの電力によって N 型拡散層のドレイン層 1 0 6 を常時オンとすることにより、ドレイン層 1 0 6 が F D 1 0 3 や GND 端子 1 0 5 の画素トランジスタ、P 型ウェルコンタクト 1 0 7 などから漏れる電荷を回収するためのドレインとして機能する。したがって、電荷保持部 3 1 の暗電流の悪化を抑止することができる。また、電力が供給されている縦型トランジスタ 5 1 には、ドレイン層 1 0 6 と同様に、漏れる電荷を回収するためのドレインとして作用が期待できる。縦型トランジスタ 5 1 によるドレインとしても作用が効果的である場合、ドレイン層 1 0 6 を省略してもよい。

[0081] なお、上述した第 4 の変形例は、図 8 に示された第 3 の構成例に適用することもできる。

[0082] <本技術の実施の形態である固体撮像素子の第2の構成例の他の変形例>
次に、図18は、図5に示された固体撮像素子の第2の構成例の他の変形例（第5の変形例）である。

[0083] この第5の変形例は、図5の第2の構成例に対して、Si基板11の表面から離れた外側に有機光電変換膜などの光電変換膜101を追加するとともに、Si基板11の表面内側には、光電変換膜101が発生した電荷を蓄積するためのFD103が追加されている。

[0084] さらに、光電変換膜101の暗電流対策として、FD103には、RSTトランジスタ104を介してGND端子105が接続されている。

[0085] そして、第5の変形例では、ここまで説明された構成例や変形例で省略されていた、AMPトランジスタ112およびSELトランジスタ113が図示されている。

[0086] この第5の変形例は、AMPトランジスタ112およびSELトランジスタ113を間に挟んでSi基板11内に絶縁部111、114が形成されている。

[0087] また、AMPトランジスタ112およびSELトランジスタ113の下方には、横方向に伸びるN型拡散層からなるウェル分離層115が形成されている。ウェル分離層115は、縦型トランジスタ51から横方向に延伸されており、絶縁部111、114とも接している。

[0088] このような構造により、ウェル領域のうち、AMPトランジスタ112およびSELトランジスタ113の下方領域は、その他の領域（FD103をリセットするRSTトランジスタ104）などが形成されている領域）から電氣的に分離されたことになり、両領域の電位は異なるものとなる。第5の変形例の場合、AMPトランジスタ112およびSELトランジスタ113の下方領域は、その他のウェル領域よりも電位が低くなる。

[0089] これにより、FD103のリセット電位をAMPトランジスタ112の入力電圧に拘わりなく任意に設定できるので、AMPトランジスタ112の動作点に起因したランダムノイズや駆動能力（gm）などの撮像特性の劣化を抑止することができる。

- [0090] なお、AMPトランジスタ 1 1 2 およびSELトランジスタ 1 1 3 の下方領域と、RSTトランジスタ 1 0 4 などが形成されている領域の電位を異なるものとすることによって得られる上記効果についてのみ着目した場合、ウェル分離層 1 1 5 は縦型トランジスタ 5 1 に接続していなくてもよい。その場合、以下に説明する図 1 9 乃至図 2 2 に示す構成例が考えられる。
- [0091] すなわち、図 1 9 に示される構成例は、Drainに接続されているN型領域 1 2 1 から、AMPトランジスタ 1 1 2 およびSELトランジスタ 1 1 3 の下方にウェル分離層 1 1 5 を延伸したものである。この場合も、AMPトランジスタ 1 1 2 およびSELトランジスタ 1 1 3 の下方領域は、その他のウェル領域よりも電位が低くなり、上述した効果を得ることができる。
- [0092] 図 2 0 に示される構成例は、Drainに接続されているN型領域 1 2 1 から、RSTトランジスタ 1 0 4 の下方にウェル分離層 1 1 5 を延伸することにより、ウェル領域のうち、RSTトランジスタ 1 0 4 の下方領域は、その他の領域（AMPトランジスタ 1 1 2 およびSELトランジスタ 1 1 3 などが形成されている領域）から電氣的に分離されたことになり、両領域の電位は異なるものとなる。この場合、RSTトランジスタ 1 0 4 の下方領域は、その他のウェル領域よりも電位が高くなり、上述した効果を得ることができる。
- [0093] なお、図 1 8 の示された第 5 の変形例を図 20 に構成例と同様に変形し、縦型トランジスタ 5 1 から延伸したウェル分離層 1 1 5 によって、RSTトランジスタ 1 0 4 の下方領域と、その他の領域（AMPトランジスタ 1 1 2 およびSELトランジスタ 1 1 3 などが形成されている領域）とを電氣的に分離してもよい。
- [0094] 図 2 1 に示される構成例は、図 2 0 に示された構成例における各半導体の導電性を反転させたものである。この場合、RSTトランジスタ 1 0 4 の下方領域の電位は、その他のウェル領域よりも低くなり、上述した効果を得ることができる。
- [0095] 図 2 2 に示される構成例は、AMPトランジスタ 1 1 2 およびSELトランジスタ 1 1 3 をPMOSにより形成して、その下部をN型のウェル領域によって形成

している。これにより、ウェル分離層 115 を形成することなく、AMP トランジスタ 112 および SEL トランジスタ 113 の下方領域と、RST トランジスタ 104 などが形成されているその他の領域を電氣的に分離して、両領域の電位を異なるものとしている。この場合、AMP トランジスタ 112 および SEL トランジスタ 113 の下方領域は、その他のウェル領域よりも電位が高くなり、上述した効果を得ることができる。

[0096] <本技術の実施の形態である固体撮像素子の第 2 の構成例のさらに他の変形例>

次に、図 23 は、図 5 に示された固体撮像素子の第 2 の構成例のさらに他の変形例（第 6 の変形例）である。具体的には、図 17 に示された第 4 の変形例と、図 18 に示された第 5 の変形例を組み合わせたものである。図 24 は、図 23 に示された第 6 の変形例の上面図である。

[0097] この第 6 の変形例においては、電源に接続されている縦型トランジスタ 51 からの電力によってドレイン層 106 を常時オンとすることにより、ドレイン層 106 が FD 103 および GND 端子 105 から漏れる電荷を回収するためのドレインとして機能する。したがって、電荷保持部 31 の暗電流の悪化を抑止することができる。

[0098] また、ウェル分離層 115 が、ウェル領域のうち、AMP トランジスタ 112 および SEL トランジスタ 113 の下方領域と、その他の領域を電氣的に分離し、両領域の電位が異なるものとなる。これにより、FD 103 のリセット電位を AMP トランジスタ 112 の入力電圧に拘わりなく任意に設定できるので、AMP トランジスタ 112 の動作点に起因したランダムノイズや駆動能力（gm）などの撮像特性の劣化を抑止することができる。

[0099] なお、上述した第 6 の変形例は、図 8 に示された第 3 の構成例に適用することもできる。

[0100] 次に、図 25 は、図 23 に示された第 6 の変形例における縦型トランジスタ 51 を複数の画素で共有する場合の構成例の上面図を示している。この場合、画素毎に縦型トランジスタ 51 を設ける場合に比較して、各画素が占め

る面積を縮小することができる。

[0101] <固体撮像素子30の使用例>

図26は、本技術の実施の形態である固体撮像素子30の使用例を示している。

[0102] 固体撮像素子30は、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0103] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0104] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0105] 本技術は以下のような構成も取ることができる。

(1)

入射光に応じて電荷を発生、保持する電荷保持部と、

前記電荷保持部で飽和した前記電荷が排出される0FD部と、
前記電荷保持部から前記0FD部に流れ出る前記電荷の障壁となる電位障壁部
と
を半導体基板内の受光面側に備え、
前記0FD部は、同じ型の不純物の濃度が異なる低濃度0FD部および高濃度0FD
部から成り、
前記高濃度0FD部と前記電位障壁部は、間隔を開けて形成されている
固体撮像素子。

(2)

前記電荷保持部と前記低濃度0FD部とは、同じ型の不純物の濃度が等しい
前記(1)に記載の固体撮像素子。

(3)

前記半導体基板の前記受光面とは反対の面から形成され、前記高濃度0FD部
に接する第1の縦型トランジスタをさらに備える
前記(1)または(2)に記載の固体撮像素子。

(4)

前記第1の縦型トランジスタと前記電位障壁部は、間隔を開けて形成され
ている
前記(3)に記載の固体撮像素子。

(5)

前記半導体基板に形成される画素トランジスタと前記電荷保持部との間に
、前記第1の縦型トランジスタから横方向に延伸されているドレイン層をさ
らに備える

前記(3)に記載の固体撮像素子。

(6)

前記ドレイン層は、前記電荷保持部と同じ型の不純物の拡散層から形成さ
れている

前記(5)に記載の固体撮像素子。

(7)

前記半導体基板のウェル領域のうち、所定の画素トランジスタの下部領域と、その他の領域とを電氣的に分離する、前記第1の縦型トランジスタから横方向に延伸されているウェル分離層をさらに備える

前記(3)から(6)のいずれかに記載の固体撮像素子。

(8)

前記ウェル分離層によって電氣的に分離された、前記所定の画素トランジスタの前記下部領域の電位は、前記その他の領域の電位よりも低い

前記(7)に記載の固体撮像素子。

(9)

前記所定の画素トランジスタは、AMPトランジスタおよびSELトランジスタである

前記(7)または(8)に記載の固体撮像素子。

(10)

前記所定の画素トランジスタとしての前記AMPトランジスタの入力電圧となるRST電位は、前記AMPトランジスタのドレイン電圧よりも低い

前記(9)に記載の固体撮像素子。

(11)

前記所定の画素トランジスタは、RSTトランジスタである

前記(7)に記載の固体撮像素子。

(12)

前記半導体基板の前記受光面とは反対の面から形成され、前記電荷保持部から前記電荷を読み出す第2の縦型トランジスタをさらに備える

前記(1)から(11)のいずれかに記載の固体撮像素子。

(13)

前記高濃度0FD部には、前記電荷保持部に電荷が蓄積したときに前記電荷保持部に生じる電圧よりも高い電圧が印可されている

前記(1)から(12)のいずれかに記載の固体撮像素子。

(14)

前記高濃度OFD部には、前記半導体基板の前記受光面とは反対の面から前記半導体基板を貫く貫通電極を介して供給される、前記電荷保持部に電荷が蓄積したときに前記電荷保持部に生じる電圧よりも高い電圧が印可されている

前記(1)から(13)のいずれかに記載の固体撮像素子。

(15)

前記貫通電極は、複数の画素毎に設けられ、前記複数の画素により共有される

前記(14)に記載の固体撮像素子。

(16)

前記電位障壁部のポテンシャルを制御する制御部をさらに備える

前記(1)から(15)のいずれかに記載の固体撮像素子。

(17)

前記高濃度OFD部は、前記複数の画素により共有される

前記(1)から(16)のいずれかに記載の固体撮像素子。

(18)

前記電荷保持部は、前記半導体基板内に複数層積層されている

前記(1)から(17)のいずれかに記載の固体撮像素子。

(19)

前記半導体基板の前記受光面の外側に形成された光電変換膜を

さらに備える前記(1)から(18)のいずれかに記載の固体撮像素子。

(20)

固体撮像素子が搭載された電子装置において、

前記固体撮像素子は、

入射光に応じて電荷を発生、保持する電荷保持部と、

前記電荷保持部で飽和した前記電荷が排出されるOFD部と、

前記電荷保持部から前記OFD部に流れ出る前記電荷の障壁となる電位障壁部と

を半導体基板内の受光面側に備え、

前記0FD部は、同じ型の不純物の濃度が異なる低濃度0FD部および高濃度0FD部から成り、

前記高濃度0FD部と前記電位障壁部は、間隔を開けて形成されている電子装置。

符号の説明

[0106] 30 固体撮像素子, 31 電荷保持部, 32 電位障壁部, 33 低濃度0FD, 34 高濃度0FD, 51 縦型トランジスタ, 52 0FD, 71 電源, 73 貫通電極, 81 ゲート電極, 82 縦型トランジスタ, 91 PD, 92 光電変換膜, 101 光電変換膜, 106 ドレイン層, 115 ウェル分離層

請求の範囲

- [請求項1] 入射光に応じて電荷を発生、保持する電荷保持部と、
前記電荷保持部で飽和した前記電荷が排出されるOFD部と、
前記電荷保持部から前記OFD部に流れ出る前記電荷の障壁となる電位障壁部と
を半導体基板内の受光面側に備え、
前記OFD部は、同じ型の不純物の濃度が異なる低濃度OFD部および高濃度OFD部から成り、
前記高濃度OFD部と前記電位障壁部は、間隔を開けて形成されている
固体撮像素子。
- [請求項2] 前記電荷保持部と前記低濃度OFD部とは、同じ型の不純物の濃度が等しい
請求項1に記載の固体撮像素子。
- [請求項3] 前記半導体基板の前記受光面とは反対の面から形成され、前記高濃度OFD部に接する第1の縦型トランジスタをさらに備える
請求項2に記載の固体撮像素子。
- [請求項4] 前記第1の縦型トランジスタと前記電位障壁部は、間隔を開けて形成されている
請求項3に記載の固体撮像素子。
- [請求項5] 前記半導体基板に形成される画素トランジスタと前記電荷保持部との間に、前記第1の縦型トランジスタから横方向に延伸されているドレイン層をさらに備える
請求項3に記載の固体撮像素子。
- [請求項6] 前記ドレイン層は、前記電荷保持部と同じ型の不純物の拡散層から形成されている
請求項5に記載の固体撮像素子。
- [請求項7] 前記半導体基板のウェル領域のうち、所定の画素トランジスタの下

部領域と、その他の領域とを電氣的に分離する、前記第 1 の縦型トランジスタから横方向に延伸されているウェル分離層をさらに備える
請求項 3 に記載の固体撮像素子。

[請求項 8] 前記ウェル分離層によって電氣的に分離された、前記所定の画素トランジスタの前記下部領域の電位は、前記その他の領域の電位よりも低い

請求項 7 に記載の固体撮像素子。

[請求項 9] 前記所定の画素トランジスタは、AMP トランジスタおよび SEL トランジスタである

請求項 7 に記載の固体撮像素子。

[請求項 10] 前記所定の画素トランジスタとしての前記 AMP トランジスタの入力電圧となる RST 電位は、前記 AMP トランジスタのドレイン電圧よりも低い

請求項 9 に記載の固体撮像素子。

[請求項 11] 前記所定の画素トランジスタは、RST トランジスタである

請求項 7 に記載の固体撮像素子。

[請求項 12] 前記半導体基板の前記受光面とは反対の面から形成され、前記電荷保持部から前記電荷を読み出す第 2 の縦型トランジスタをさらに備える

請求項 2 に記載の固体撮像素子。

[請求項 13] 前記高濃度 OFD 部には、前記電荷保持部に電荷が蓄積したときに前記電荷保持部に生じる電圧よりも高い電圧が印可されている

請求項 2 に記載の固体撮像素子。

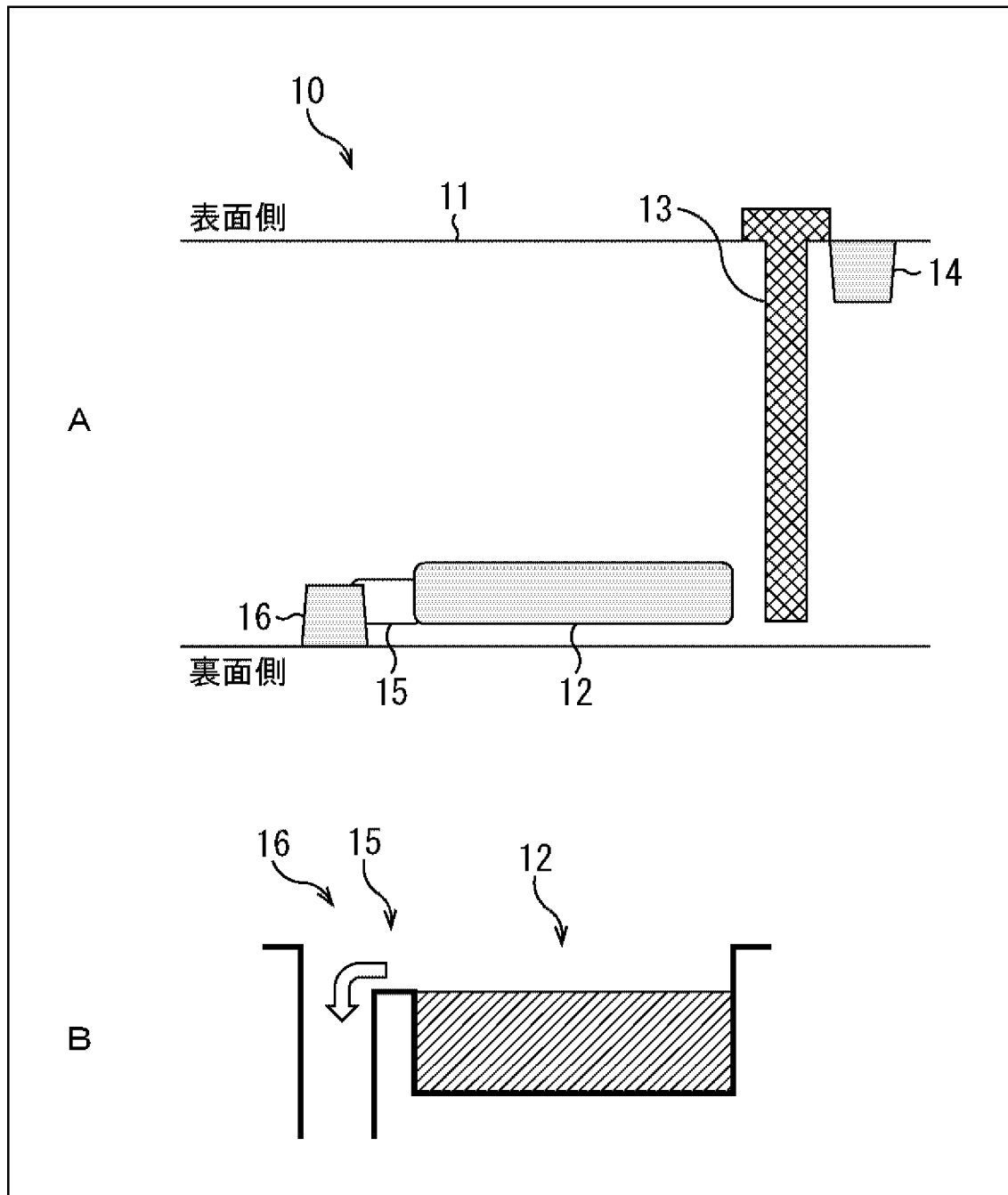
[請求項 14] 前記高濃度 OFD 部には、前記半導体基板の前記受光面とは反対の面から前記半導体基板を貫く貫通電極を介して供給される、前記電荷保持部に電荷が蓄積したときに前記電荷保持部に生じる電圧よりも高い電圧が印可されている

請求項 1 3 に記載の固体撮像素子。

- [請求項15] 前記貫通電極は、複数の画素毎に設けられ、前記複数の画素により共有される
- 請求項 1 4 に記載の固体撮像素子。
- [請求項16] 前記電位障壁部のポテンシャルを制御する制御部をさらに備える
- 請求項 2 に記載の固体撮像素子。
- [請求項17] 前記高濃度OFD部は、前記複数の画素により共有される
- 請求項 2 に記載の固体撮像素子。
- [請求項18] 前記電荷保持部は、前記半導体基板内に複数層積層されている
- 請求項 2 に記載の固体撮像素子。
- [請求項19] 前記半導体基板の前記受光面の外側に形成された光電変換膜を
- さらに備える請求項 2 に記載の固体撮像素子。
- [請求項20] 固体撮像素子が搭載された電子装置において、
- 前記固体撮像素子は、
- 入射光に応じて電荷を発生、保持する電荷保持部と、
- 前記電荷保持部で飽和した前記電荷が排出されるOFD部と、
- 前記電荷保持部から前記OFD部に流れ出る前記電荷の障壁となる電位障壁部と
- を半導体基板内の受光面側に備え、
- 前記OFD部は、同じ型の不純物の濃度が異なる低濃度OFD部および高濃度OFD部から成り、
- 前記高濃度OFD部と前記電位障壁部は、間隔を開けて形成されている
- 電子装置。

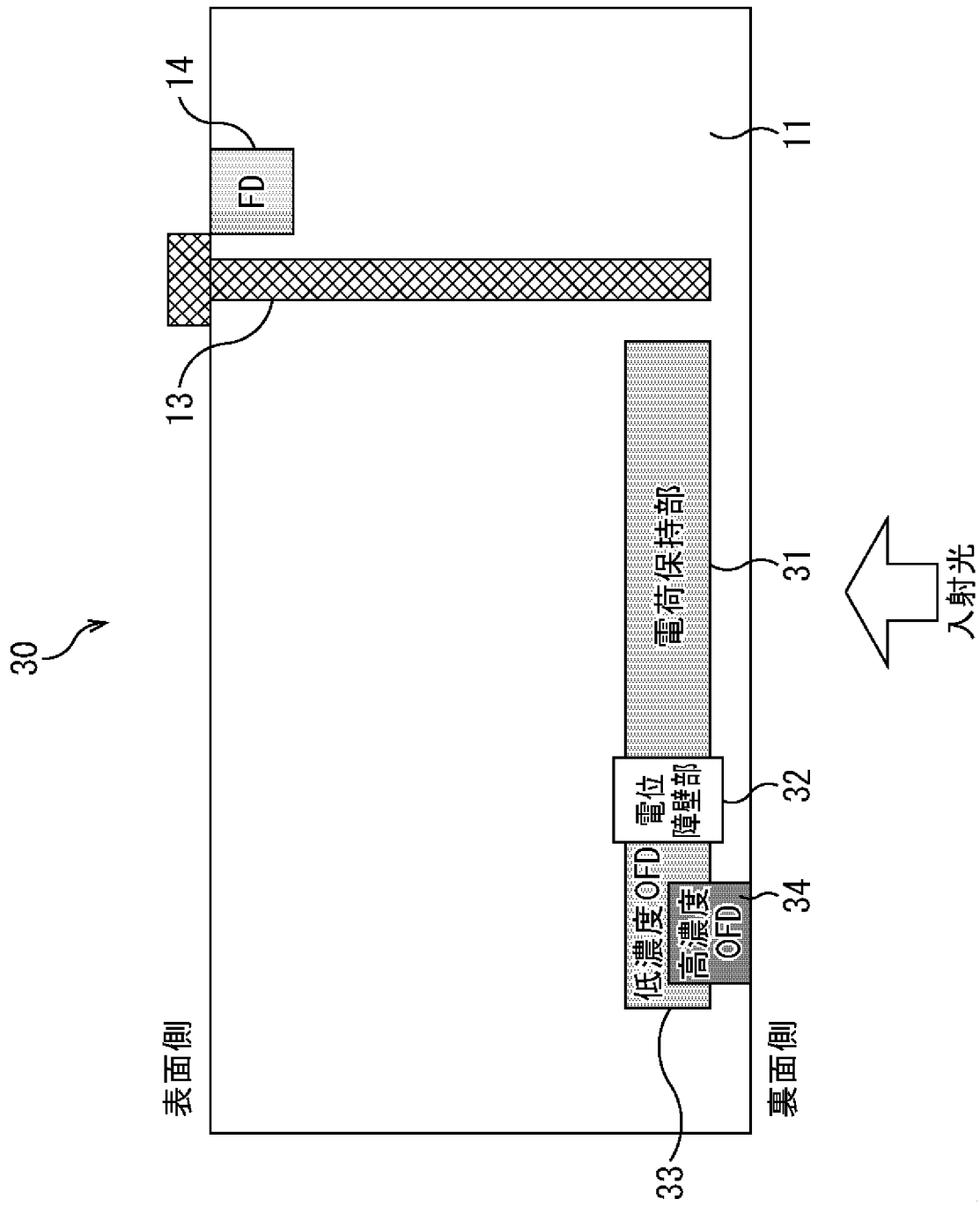
[図1]

図1



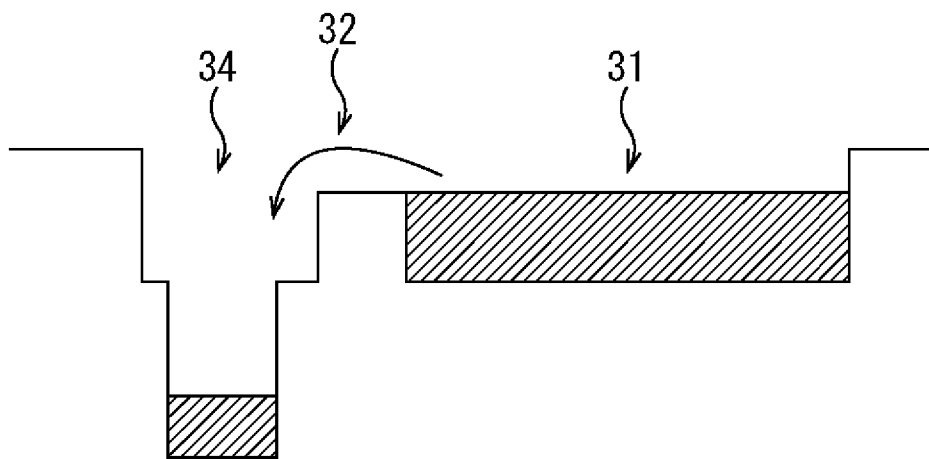
[図2]

図2



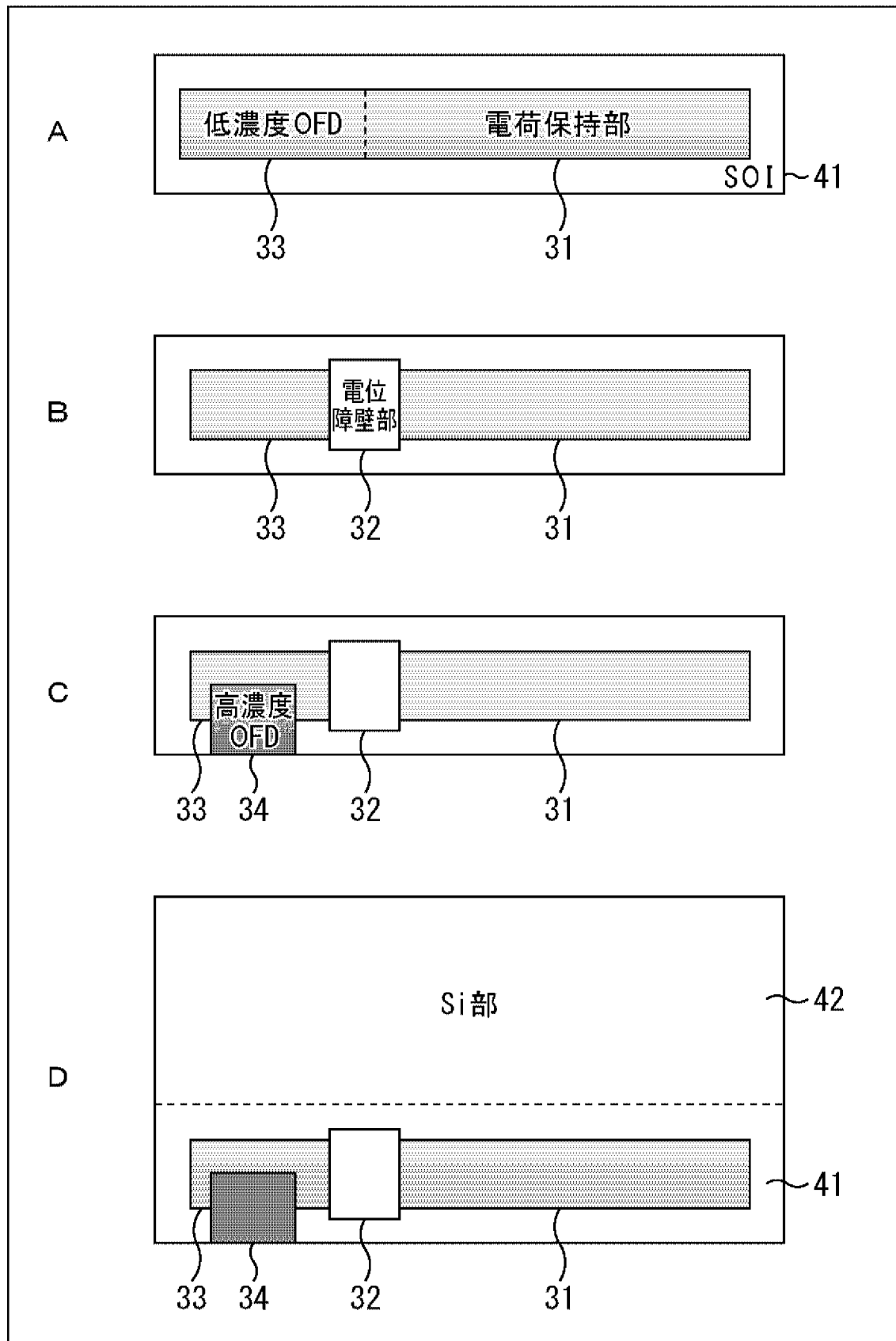
[図3]

図3



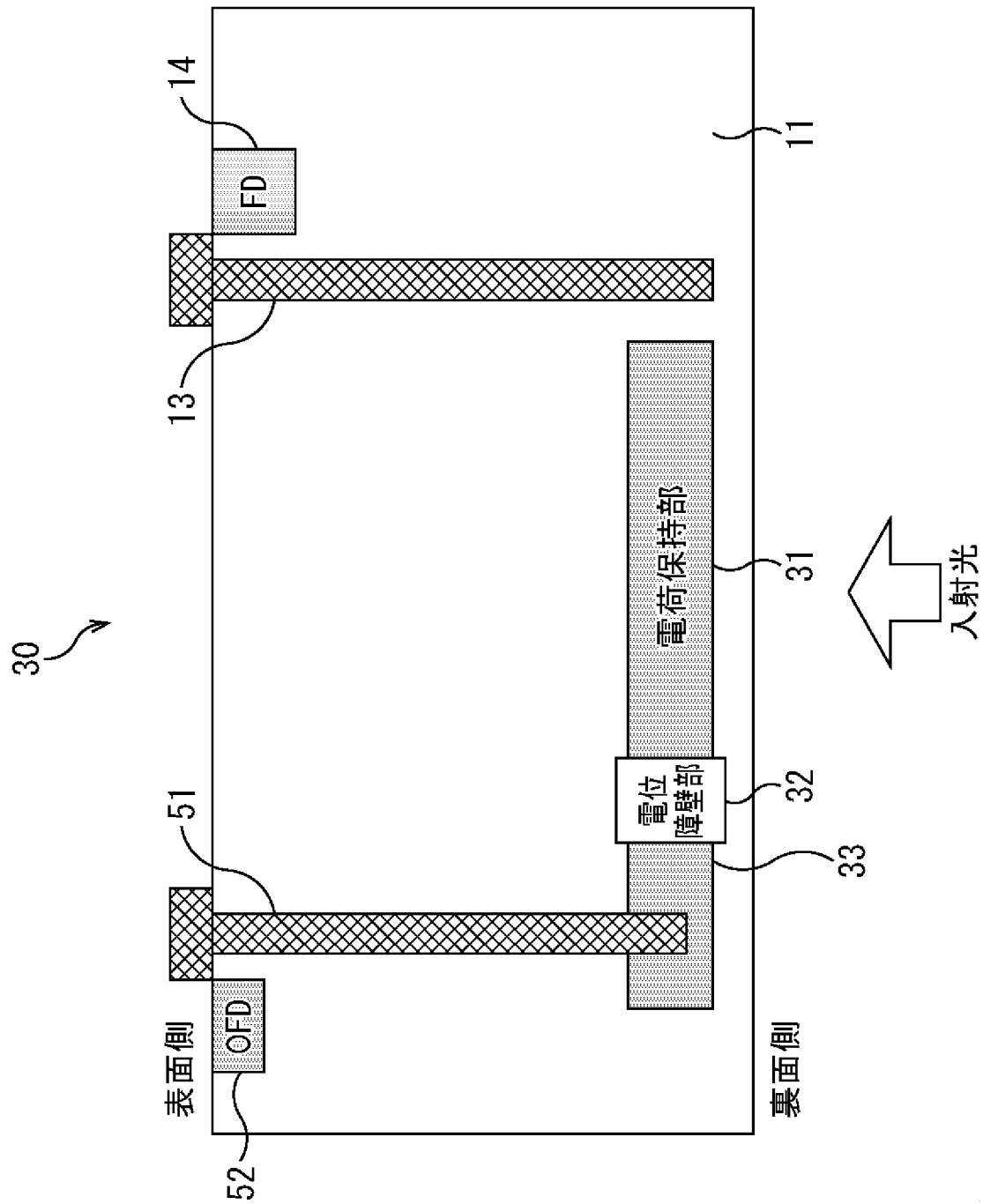
[図4]

図4



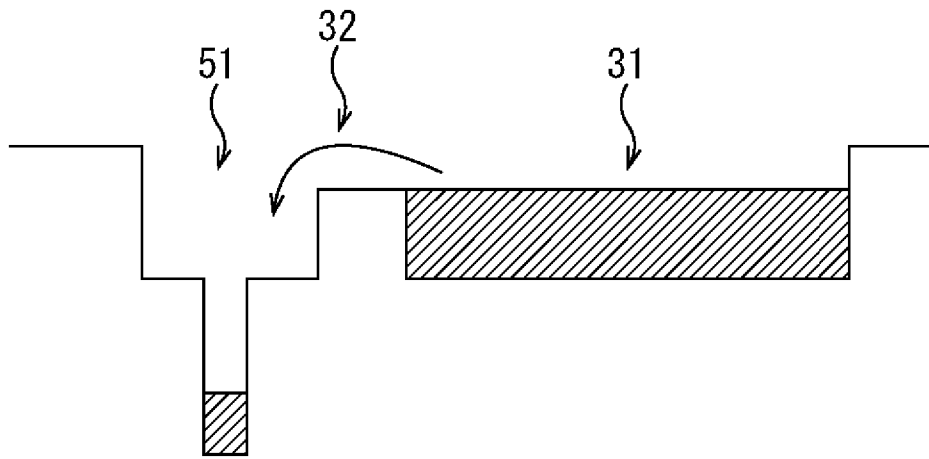
[図5]

図5



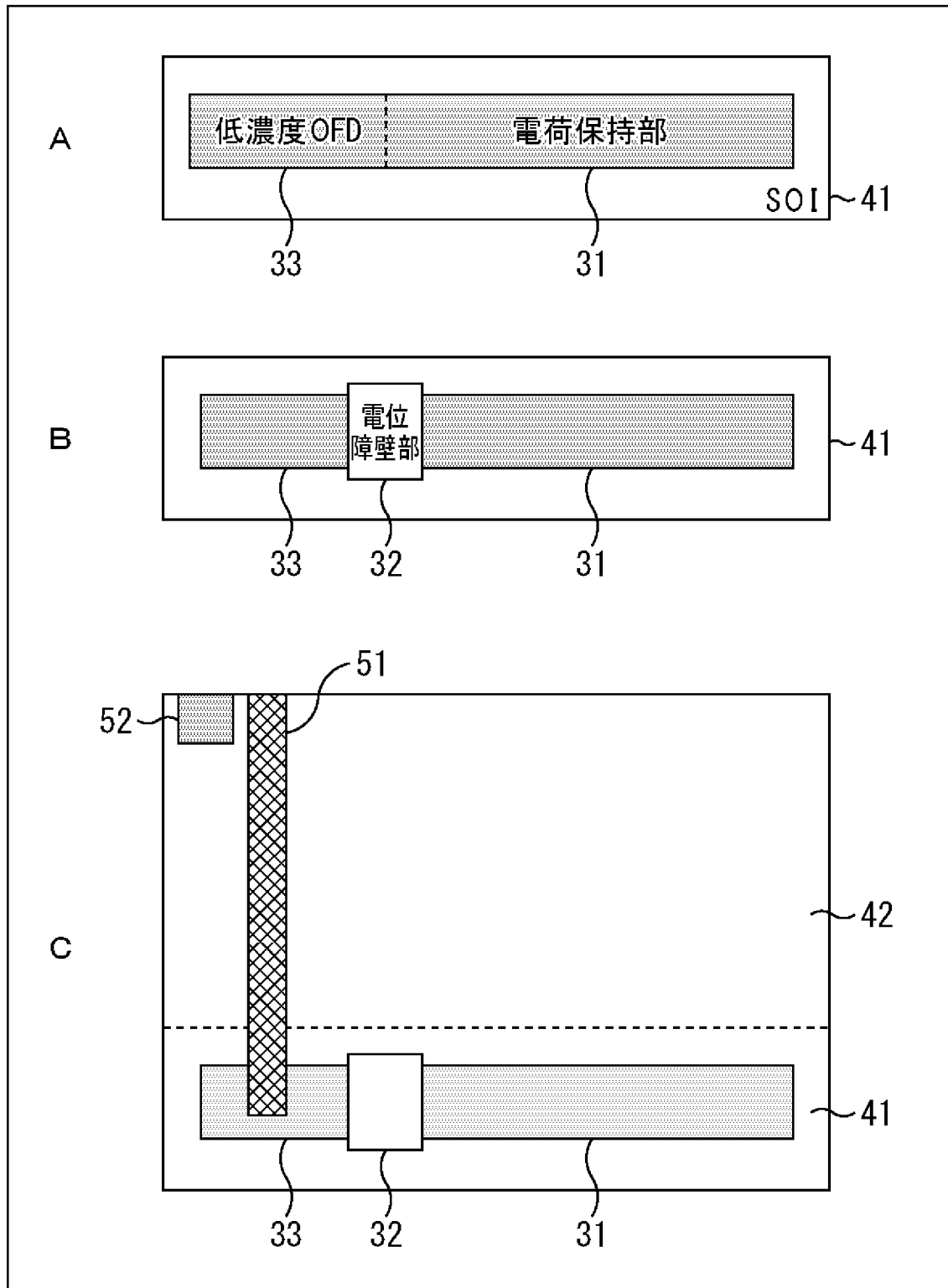
[図6]

図6



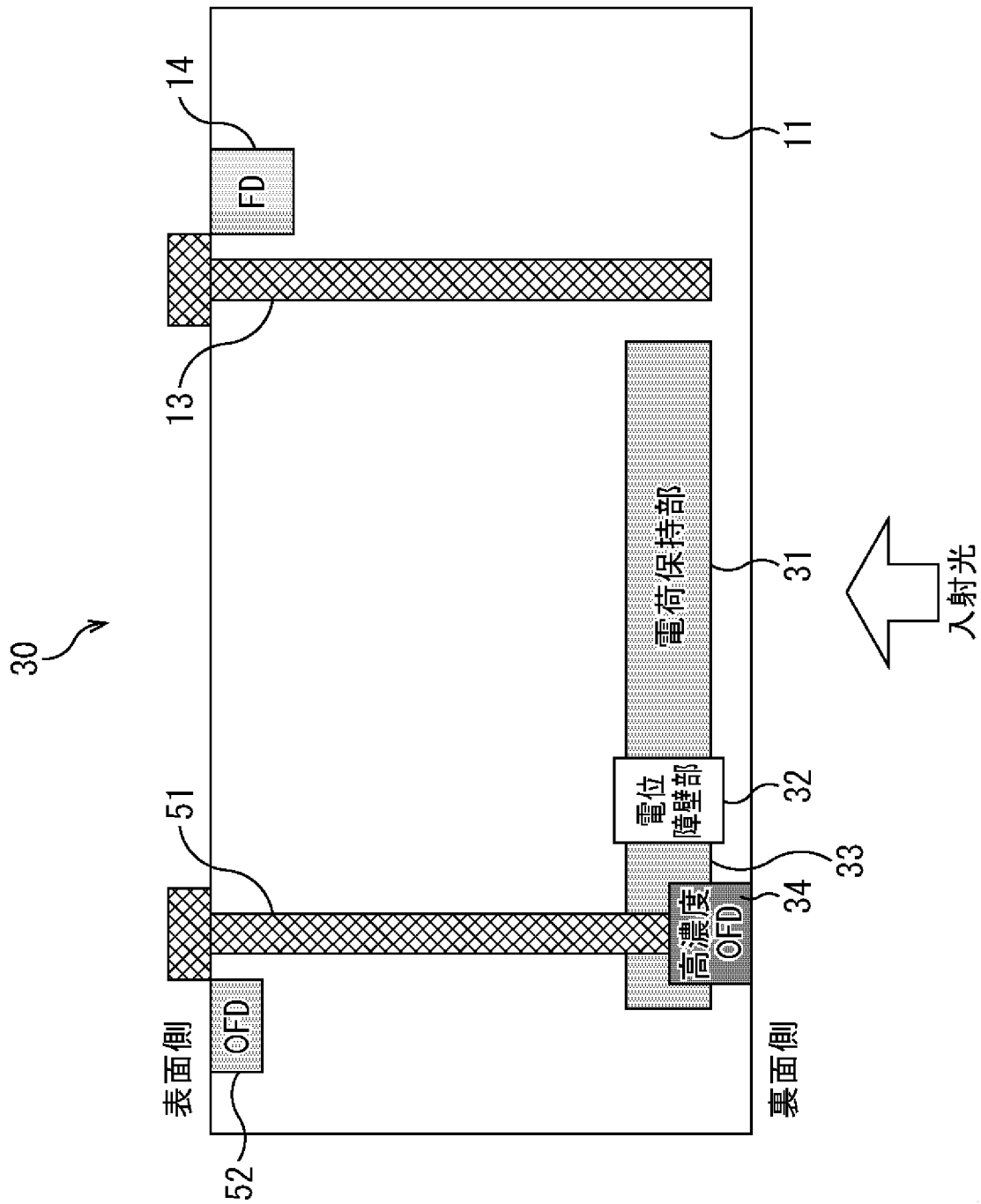
[図7]

図7



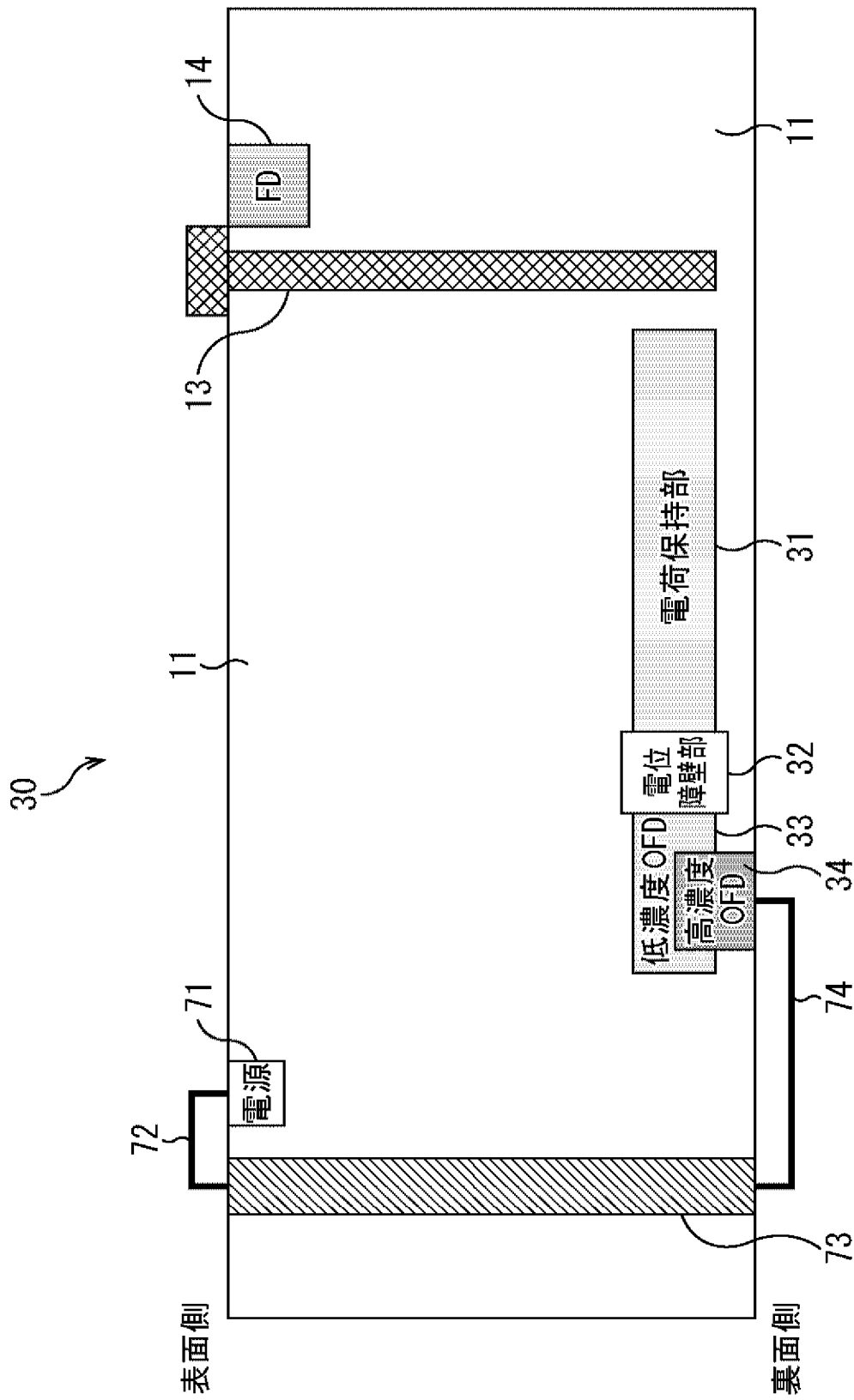
[図8]

図8



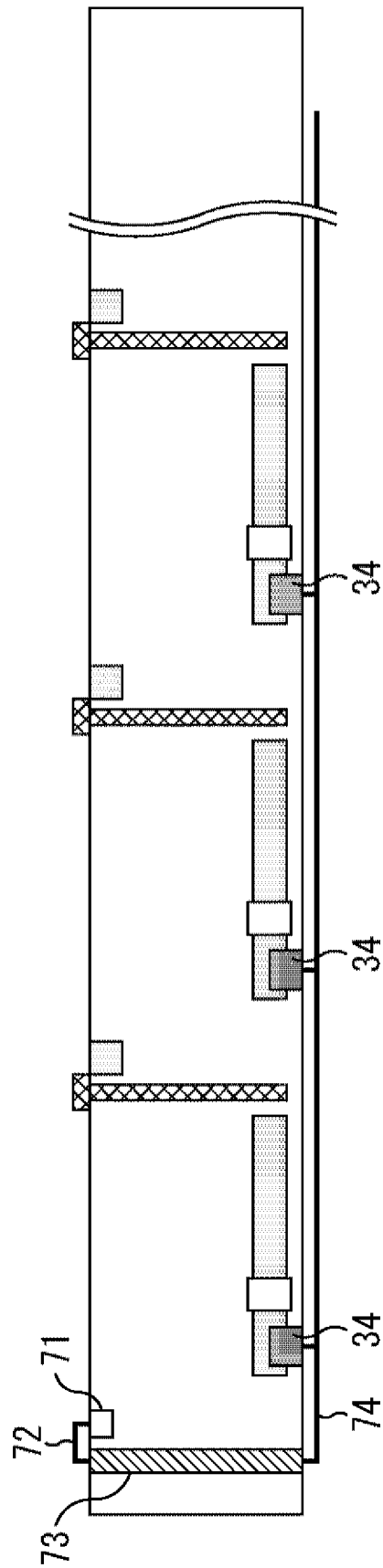
[図9]

図9



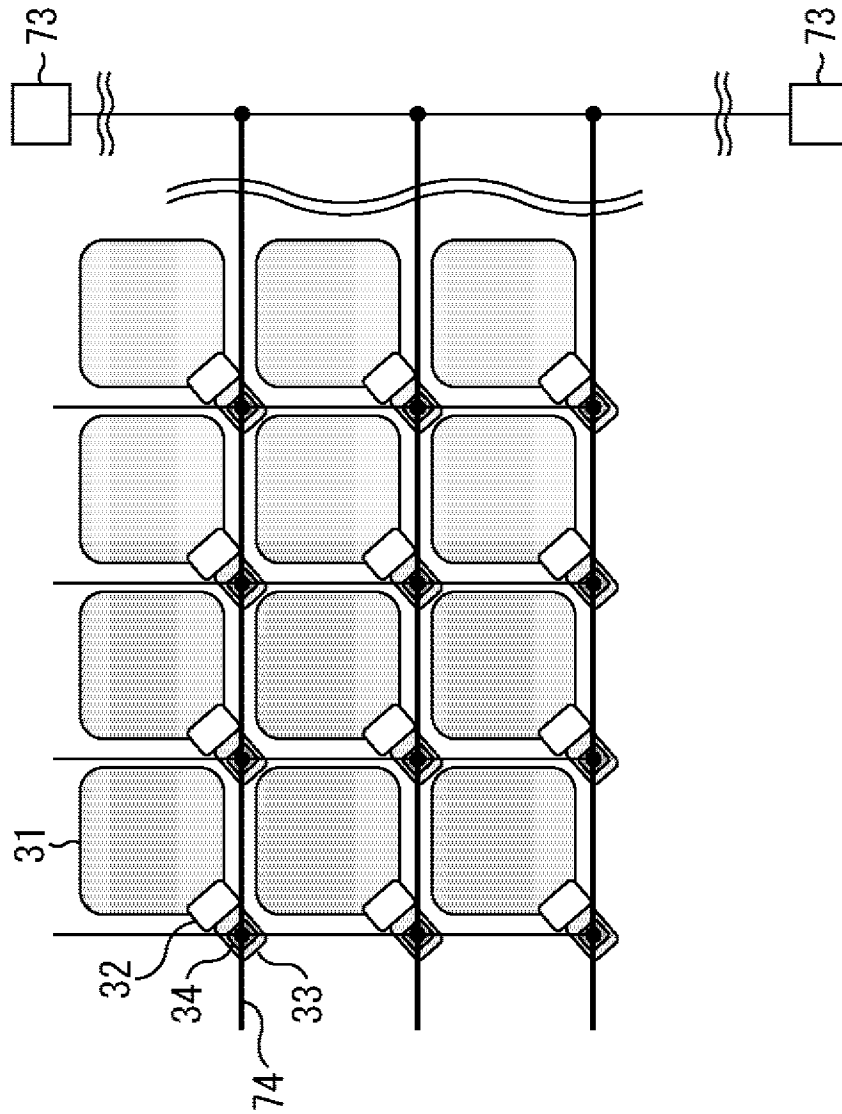
[図10]

図10



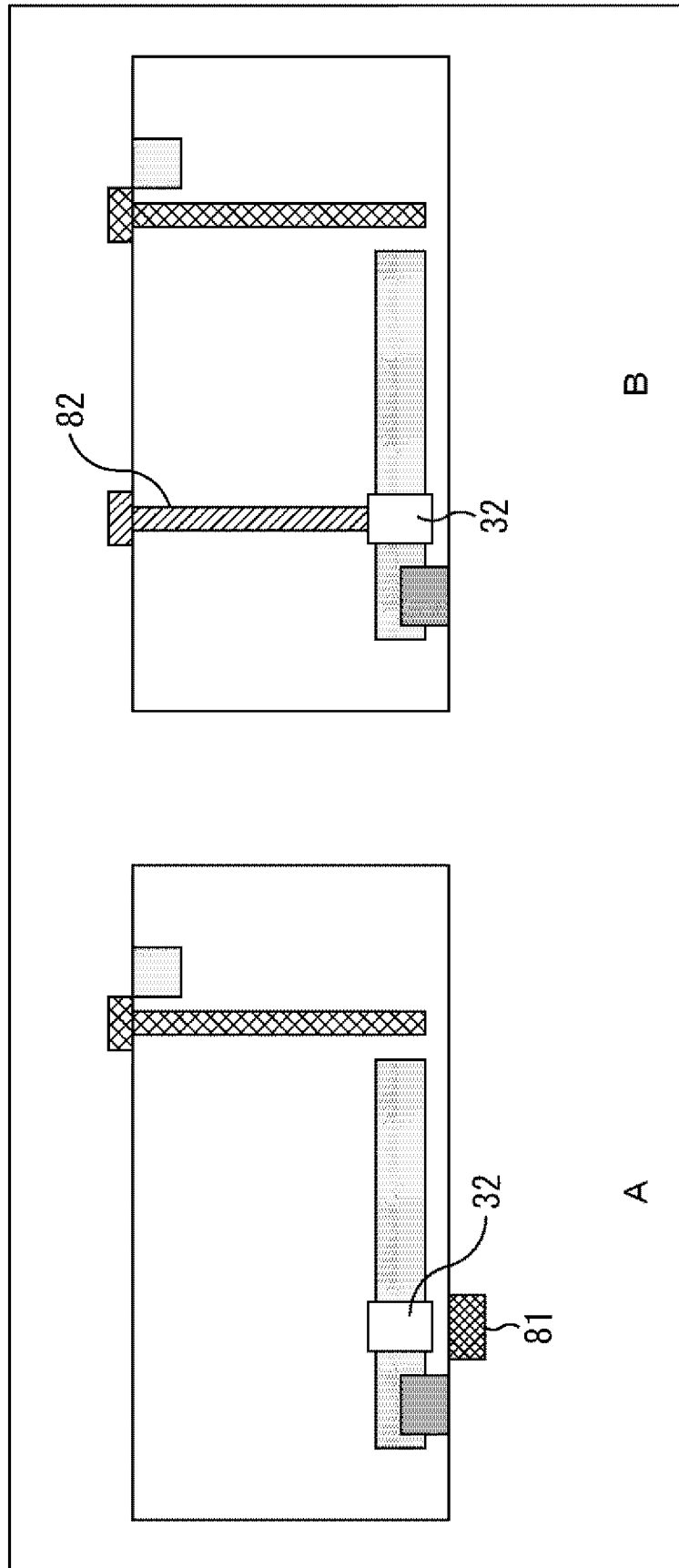
[図11]

図11



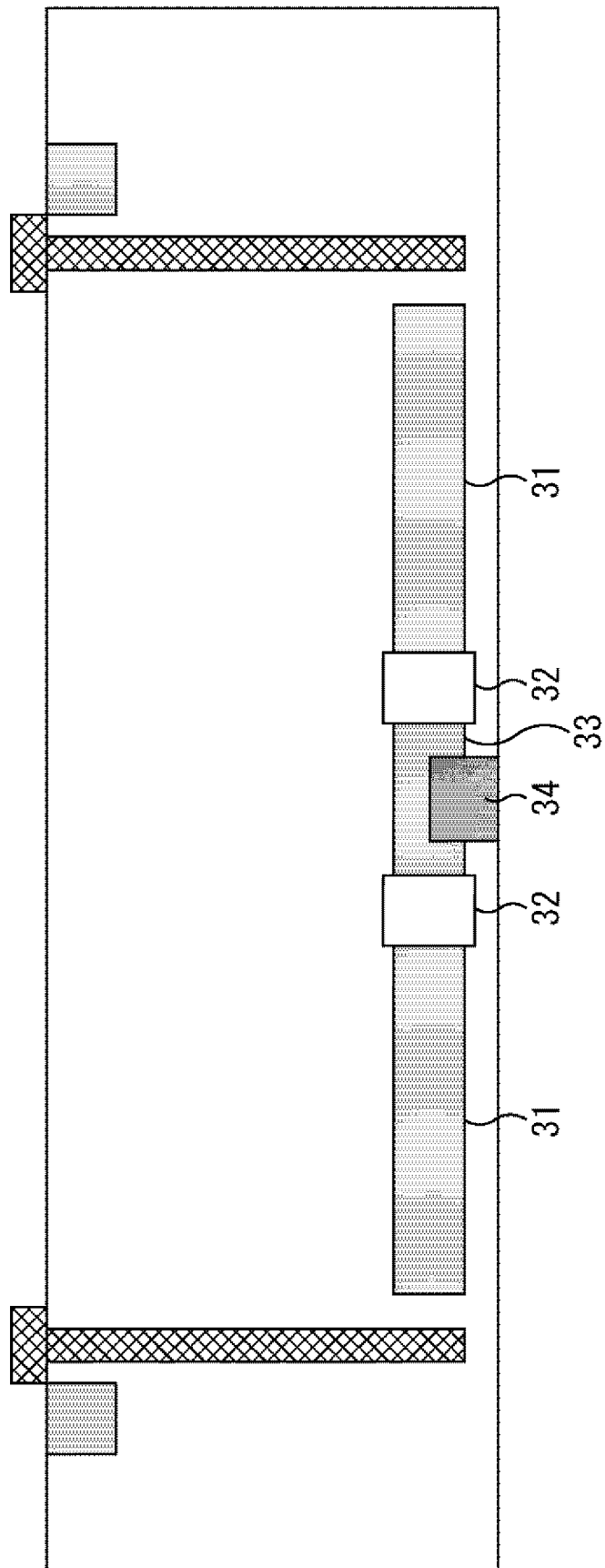
[図12]

図12



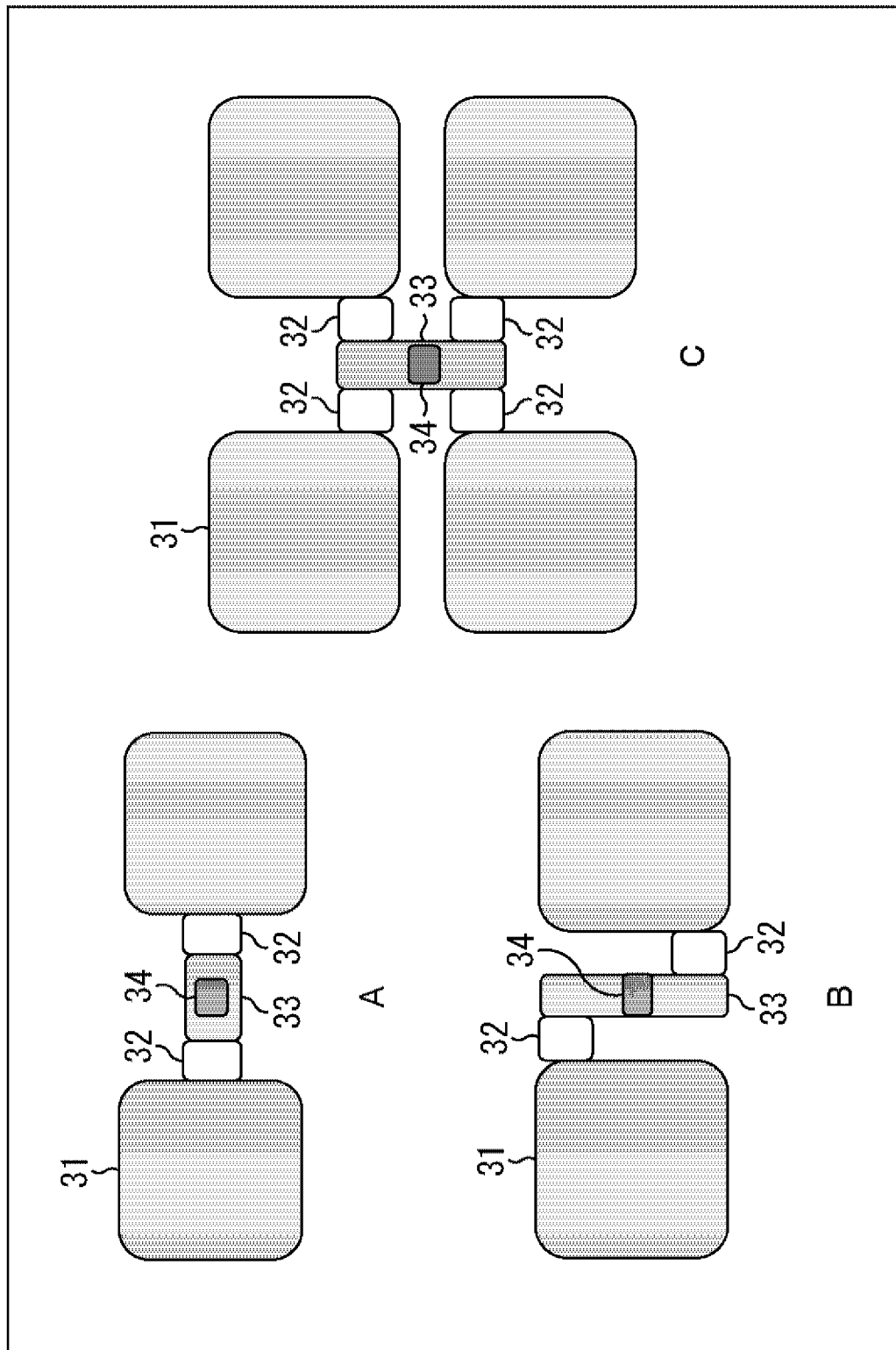
[図13]

図13



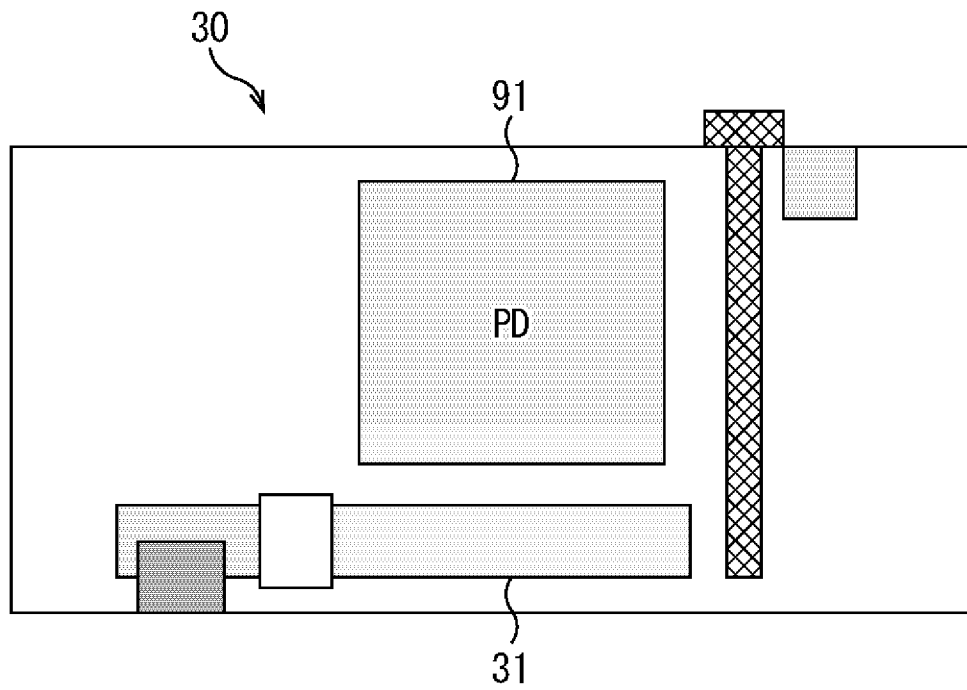
[図14]

図14



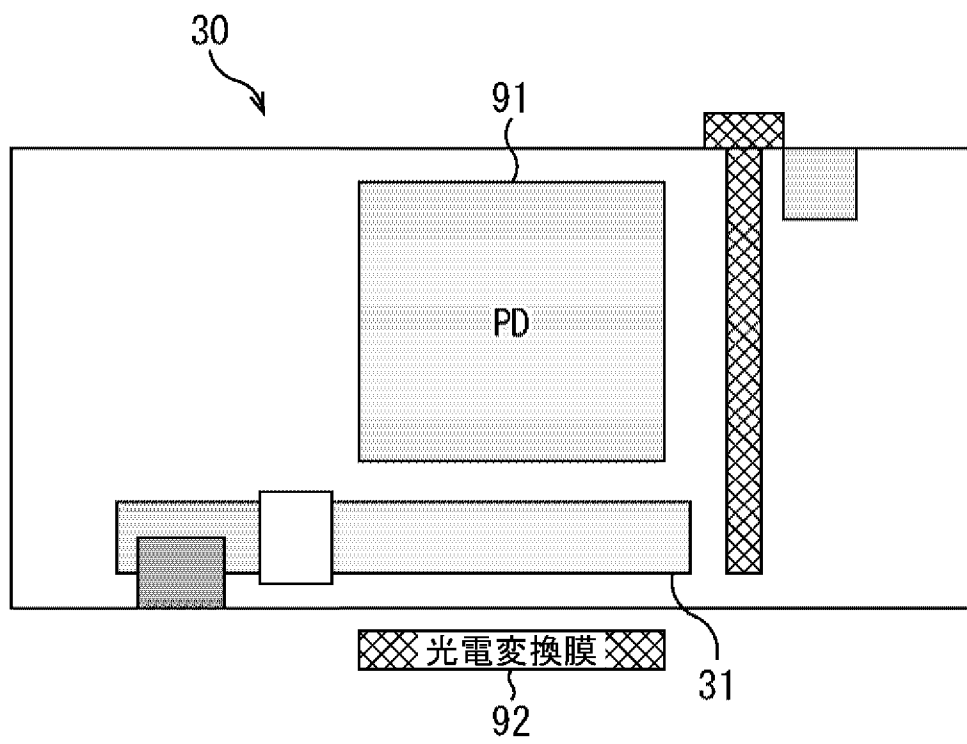
[図15]

図15



[図16]

図16



[図18]

図18

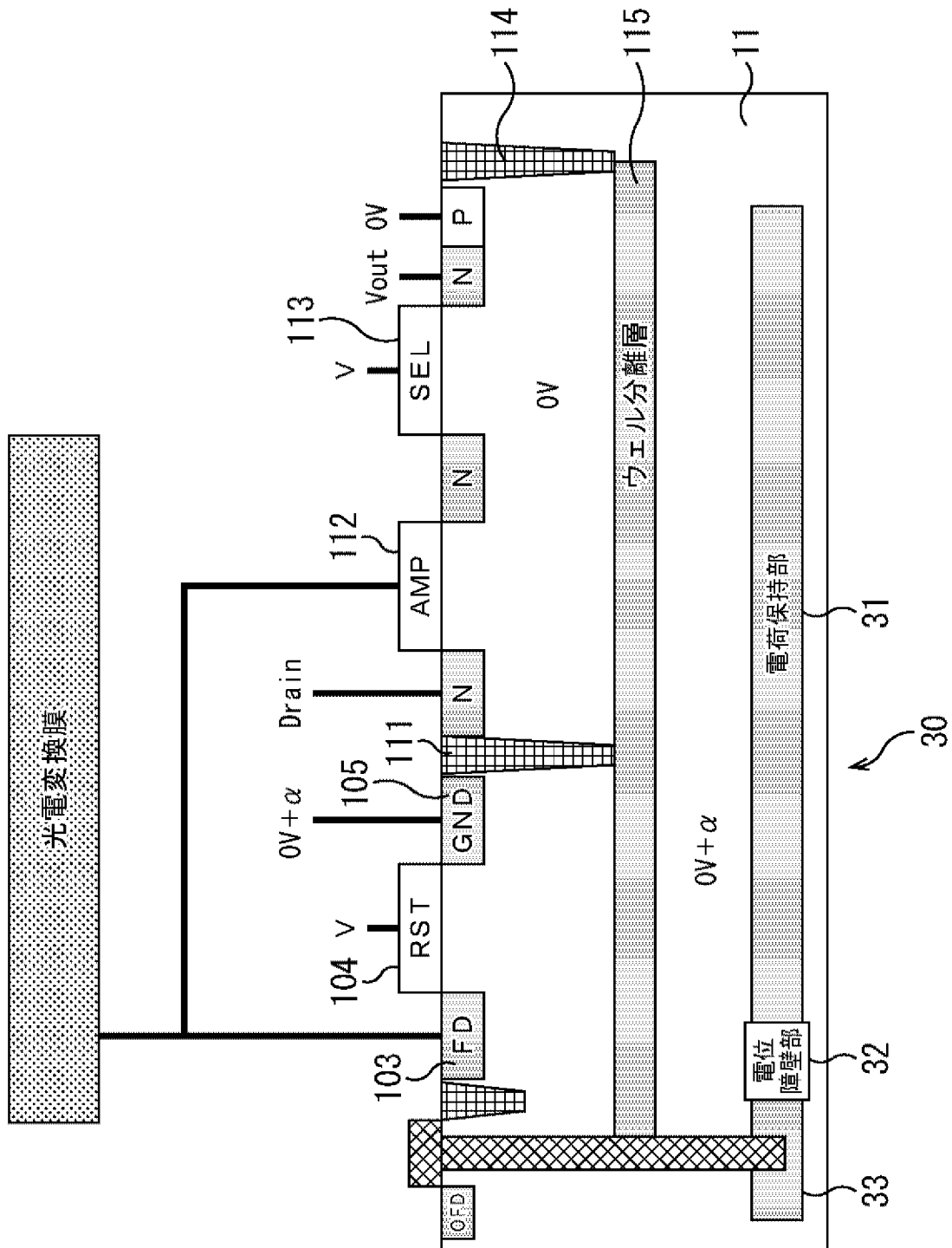


图22

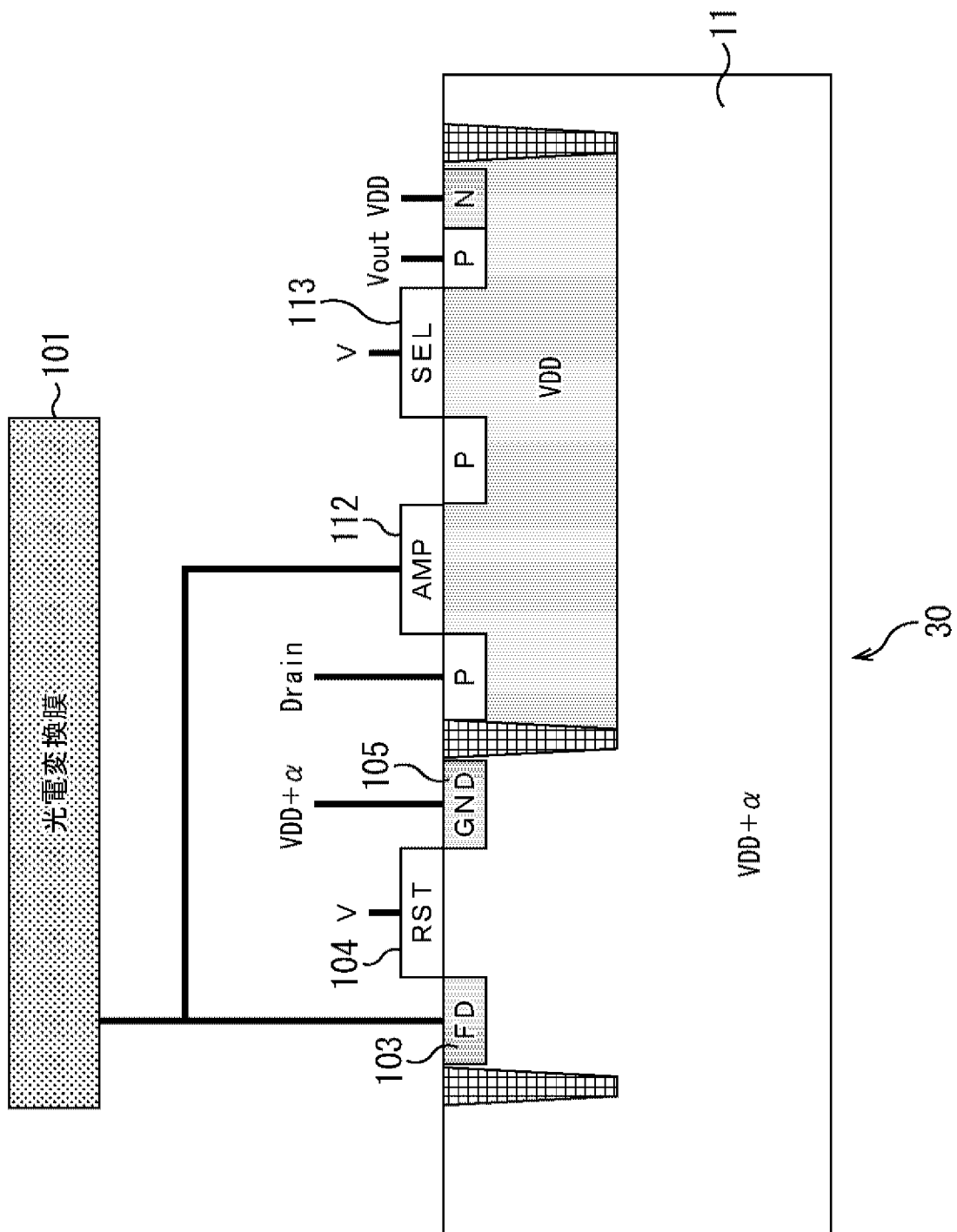
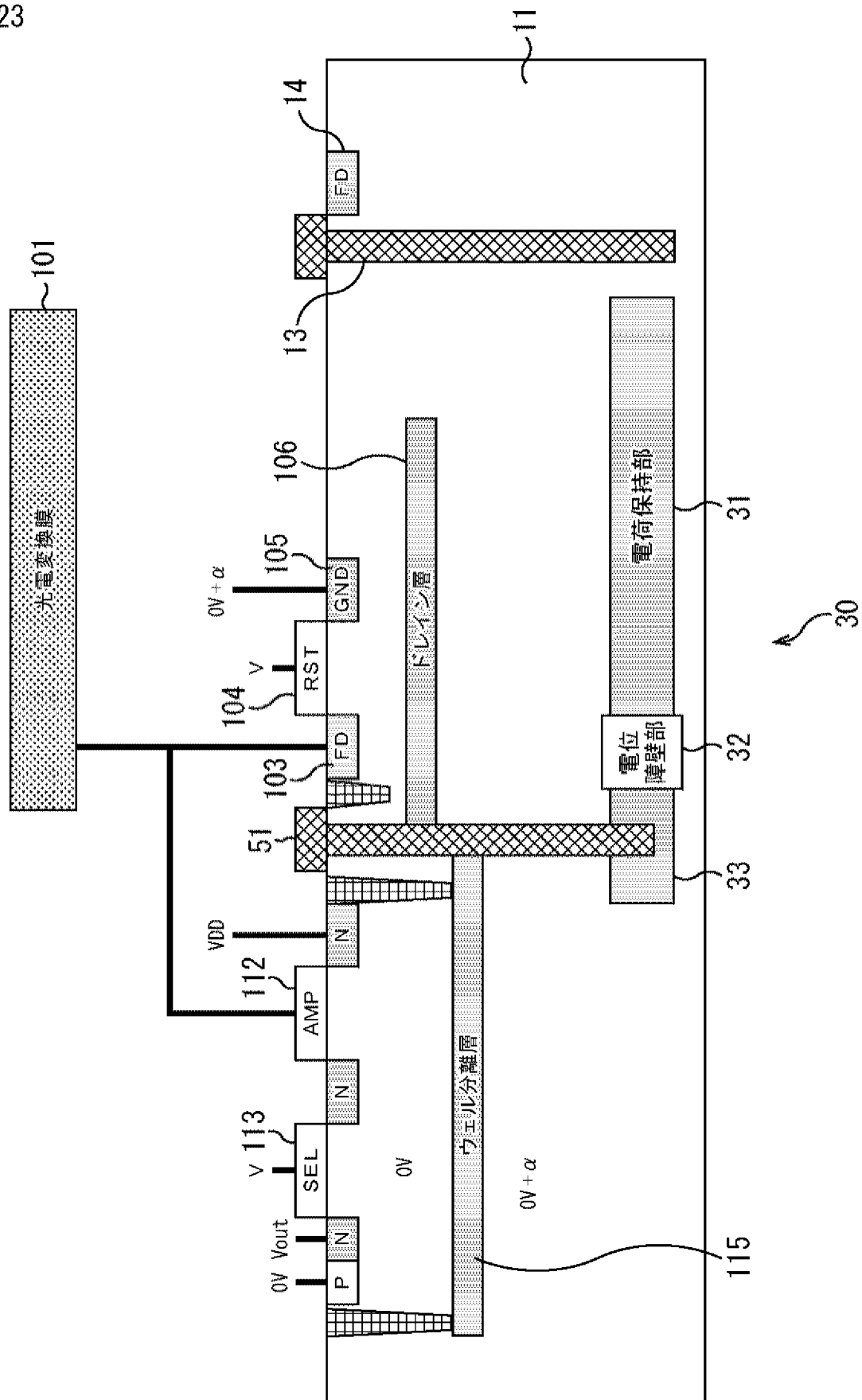
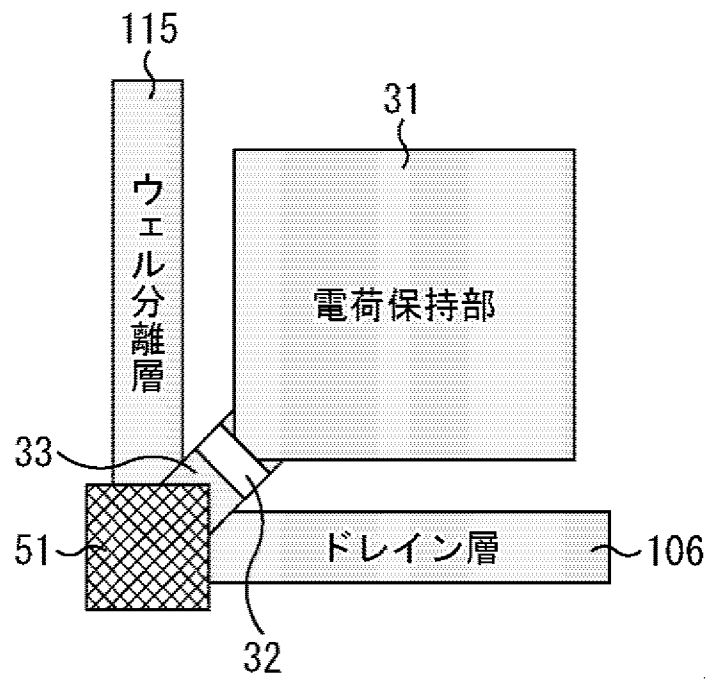


图23



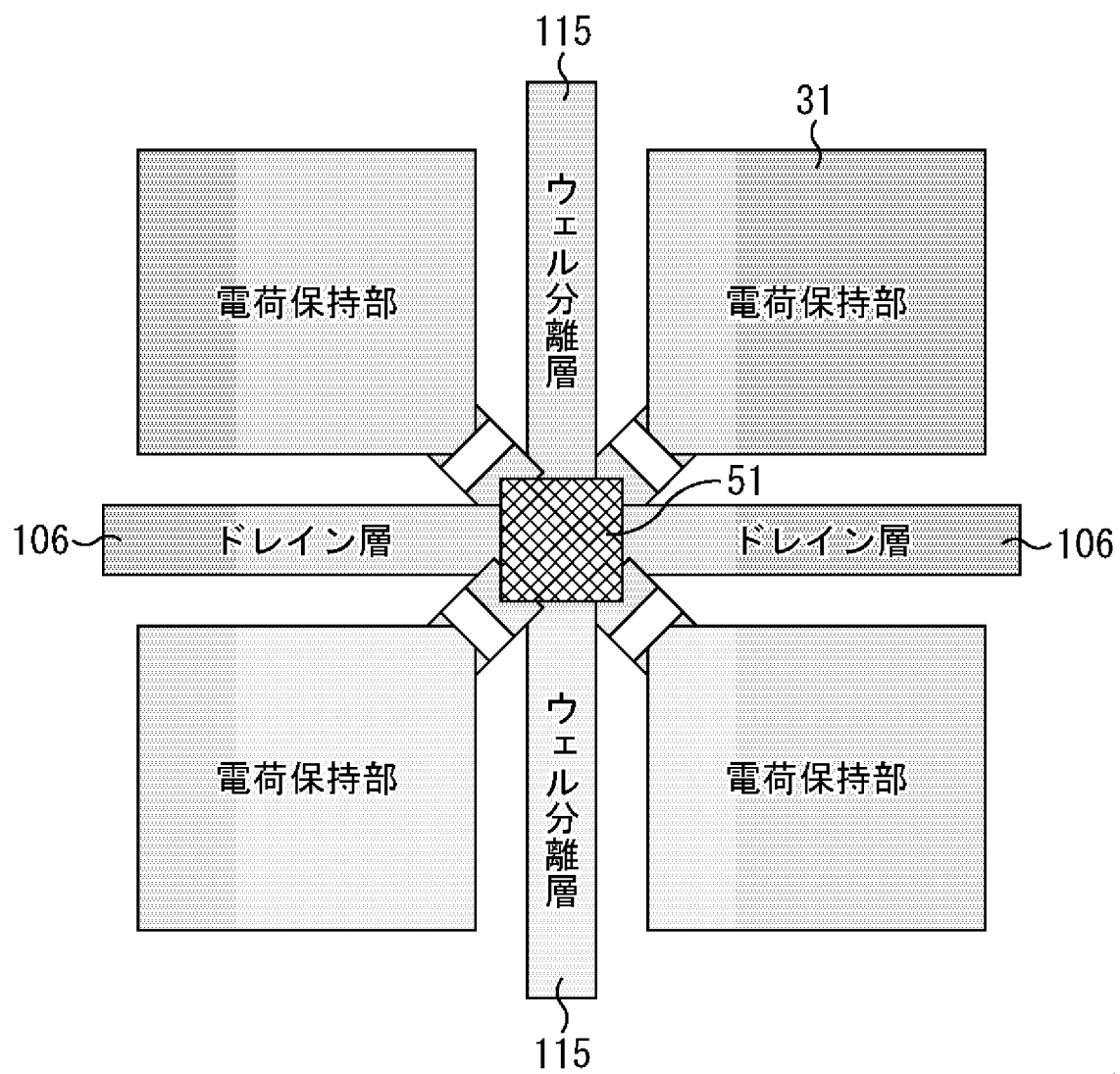
[図24]

図24



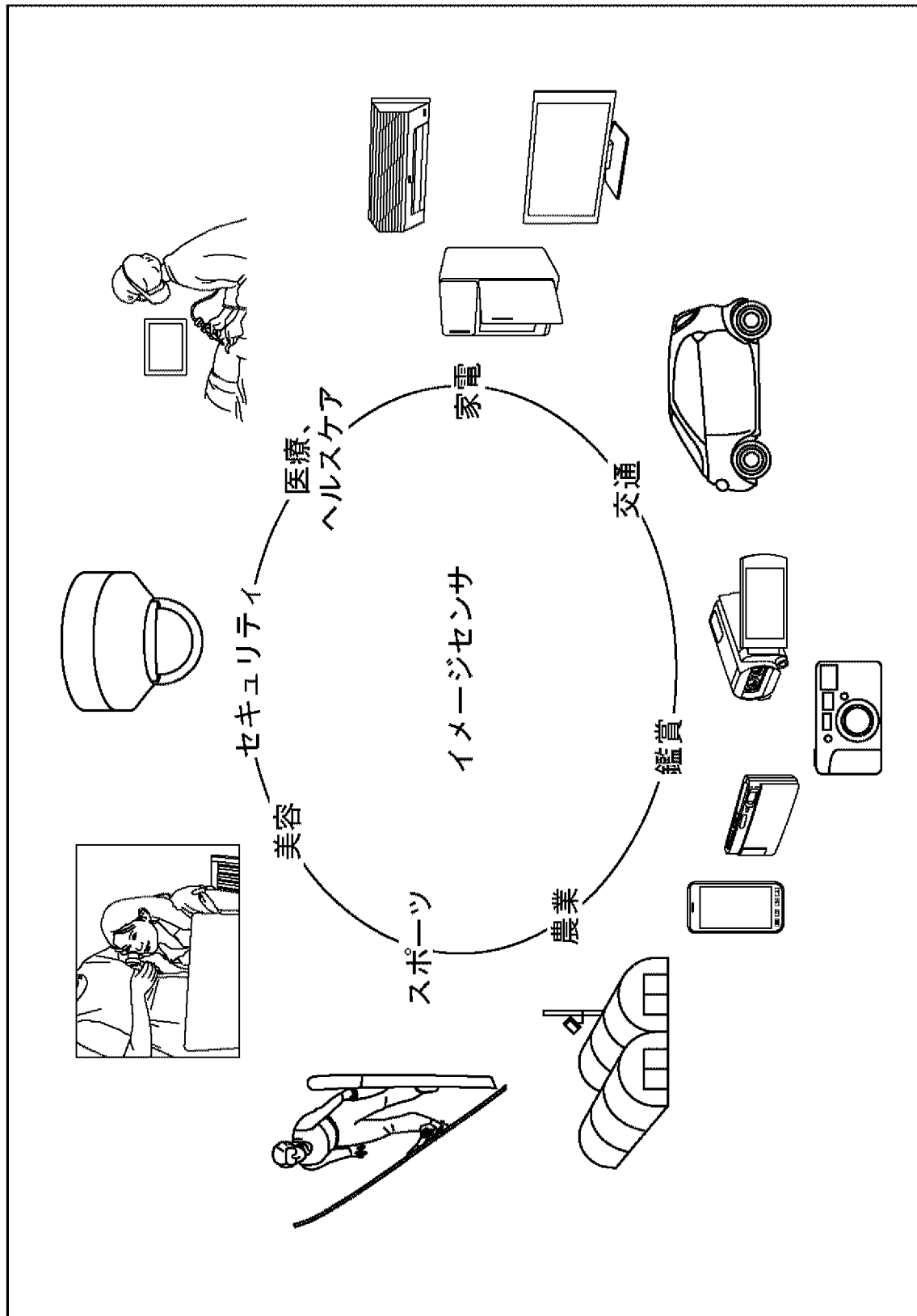
[図25]

図25



[図26]

図26



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/084783

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146(2006.01)i, H04N5/359(2011.01)i, H04N5/369(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146, H04N5/359, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2011/043432 A1 (National University Corporation Shizuoka University), 14 April 2011 (14.04.2011), fig. 7 and explanation thereof & US 2012/0193692 A1 fig. 7 and explanation thereof & EP 2487714 A1 & KR 10-2012-0060915 A & JP 5648923 B	1, 2, 13, 16, 20
X Y	JP 6-303528 A (Sony Corp.), 28 October 1994 (28.10.1994), fig. 1 to 4 and explanations thereof & US 5455443 A fig. 9 to 12 and explanations thereof	1, 20 1, 2, 12-20

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 February 2016 (03.02.16)

Date of mailing of the international search report
16 February 2016 (16.02.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/084783

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 62-230273 A (Toshiba Corp.), 08 October 1987 (08.10.1987), fig. 11, 12 and explanations thereof (Family: none)	1, 2, 12-20
Y	JP 2013-38118 A (Sony Corp.), 21 February 2013 (21.02.2013), fig. 1 to 10 and explanations thereof & US 2013/0032919 A1 fig. 1 to 10 and explanations thereof & CN 102917179 A	1, 2, 12-20
X	US 5235196 A (EASTMAN KODAK CO.), 10 August 1993 (10.08.1993), fig. 1 to 4 and explanations thereof (Family: none)	1, 20
A	JP 2014-127519 A (Sony Corp.), 07 July 2014 (07.07.2014), entire text; all drawings & US 2015/0325721 A1 & WO 2014/103239 A1 & EP 2939267 A1 & CN 104854700 A & KR 10-2015-0099724 A	1-20
A	JP 2007-96271 A (Toshiba Corp.), 12 April 2007 (12.04.2007), entire text; all drawings & US 2007/0052056 A1 & CN 1929146 A	1-20
A	JP 2014-225560 A (Sony Corp.), 04 December 2014 (04.12.2014), entire text; all drawings & WO 2014/185039 A1 & TW 201507122 A & CN 105009292 A	1-20
A	JP 2013-172202 A (Canon Inc.), 02 September 2013 (02.09.2013), entire text; all drawings & US 2013/0214129 A1	1-20
P, X	US 2015/0237276 A1 (SEMICONDUCTOR COMPONENTS INDUSTRIES, LLC), 20 August 2015 (20.08.2015), fig. 2 to 8 and explanations thereof (Family: none)	1, 20

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/146(2006.01)i, H04N5/359(2011.01)i, H04N5/369(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/146, H04N5/359, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2011/043432 A1（国立大学法人静岡大学） 2011.04.14, 図7 及びその説明箇所 & US 2012/0193692 A1, 図7 及びその説明箇所 & EP 2487714 A1 & KR 10-2012-0060915 A & JP 5648923 B	1, 2, 13, 16, 20
X Y	JP 6-303528 A（ソニー株式会社） 1994.10.28, 図1-4 及びその説明箇所 & US 5455443 A, 図9-12 及びその説明箇所	1, 20 1, 2, 12-20

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

03.02.2016

国際調査報告の発送日

16.02.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

今井 聖和

5 F

4666

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 62-230273 A (株式会社東芝) 1987. 10. 08, 第 11 図, 第 12 図及びその説明箇所 (ファミリーなし)	1, 2, 12-20
Y	JP 2013-38118 A (ソニー株式会社) 2013. 02. 21, 図 1-10 及びその説明箇所 & US 2013/0032919 A1, 図 1-10 及びその説明箇所 & CN 102917179 A	1, 2, 12-20
X	US 5235196 A (EASTMAN KODAK COMPANY) 1993. 08. 10, 図 1-4 及びその説明箇所 (ファミリーなし)	1, 20
A	JP 2014-127519 A (ソニー株式会社) 2014. 07. 07, 全文全図 & US 2015/0325721 A1 & WO 2014/103239 A1 & EP 2939267 A1 & CN 104854700 A & KR 10-2015-0099724 A	1-20
A	JP 2007-96271 A (株式会社東芝) 2007. 04. 12, 全文全図 & US 2007/0052056 A1 & CN 1929146 A	1-20
A	JP 2014-225560 A (ソニー株式会社) 2014. 12. 04, 全文全図 & WO 2014/185039 A1 & TW 201507122 A & CN 105009292 A	1-20
A	JP 2013-172202 A (キヤノン株式会社) 2013. 09. 02, 全文全図 & US 2013/0214129 A1	1-20
P, X	US 2015/0237276 A1 (SEMICONDUCTOR COMPONENTS INDUSTRIES, LLC) 2015. 08. 20, 図 2-8 及びその説明箇所 (ファミリーなし)	1, 20