

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 1월 26일 (26.01.2017)



(10) 국제공개번호
WO 2017/014615 A1

- (51) 국제특허분류:
H01L 35/32 (2006.01) H01L 35/14 (2006.01)
H01L 35/02 (2006.01) H01L 35/34 (2006.01)
- (21) 국제출원번호: PCT/KR2016/008124
- (22) 국제출원일: 2016년 7월 25일 (25.07.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2015-0104535 2015년 7월 23일 (23.07.2015) KR
- (71) 출원인: 서울시립대학교 산학협력단 (UNIVERSITY OF SEOUL INDUSTRY COOPERATION FOUNDATION.) [KR/KR]; 02504 서울시 동대문구 서울시립대로 163, Seoul (KR).
- (72) 발명자: 정재필 (JUNG, Jae Pil); 02463 서울시 동대문구 제기로 131, 105동 1904호, Seoul (KR). 이준형 (LEE, Jun Hyeong); 37691 경상북도 포항시 북구 양학로 96번길 11-12, 203동 1209호, Gyeongsangbuk-do (KR).
- (74) 대리인: 특허법인 태웅 (TW INTERNATIONAL PATENT AND LAW FIRM); 06252 서울시 강남구 역삼로 114, 13층, Seoul (KR).

- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

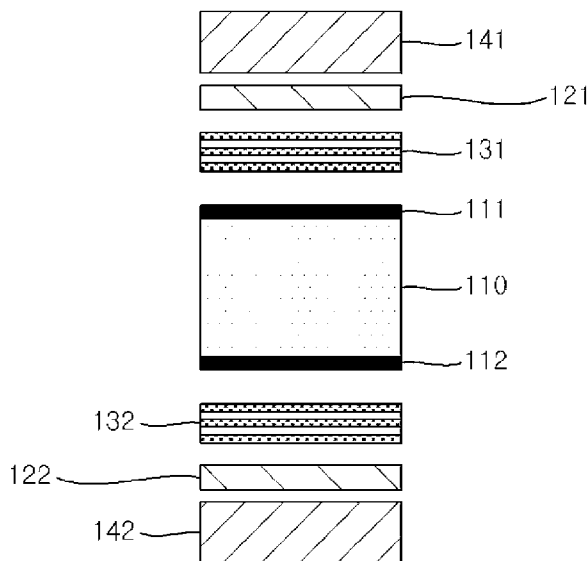
공개:

- 국제조사보고서와 함께 (조약 제 21 조(3))
- 청구범위 보장 기한 만료 전의 공개이며, 보정서를 접수하는 경우 그에 관하여 별도 공개함 (규칙 48.2(h))

(54) Title: THERMOELEMENT USING AMORPHOUS AND EXOTHERMIC BINDER, AND PRODUCTION METHOD THEREFOR

(54) 발명의 명칭 : 비정질 및 발열 접합재를 이용한 열전소자 및 그 제조방법

[Fig. 4]



(57) Abstract: The present invention relates to a thermoelement and a production method therefor and to a thermoelement and a method for producing said thermoelement, the thermoelement comprising an upper electrode, a thermoelectric semiconductor, and a lower electrode, wherein a predetermined multilayered thin film bonding part is formed in a first predetermined bonding part between the upper electrode and thermoelectric semiconductor or in a second predetermined bonding part between the thermoelectric semiconductor and lower electrode. The exothermic multilayered thin film, which has amorphous properties and is formed in the first predetermined bonding part between the upper electrode and thermoelectric semiconductor or in the second predetermined bonding part between the thermoelectric semiconductor and lower electrode, melts at a low temperature by an exothermic reaction caused by changing from amorphous to crystalline, thereby triggering bonding. According to the present invention, the thermoelement provides excellent adhesion between a semiconductor element and electrodes and thus can increase the stability and generating efficiency of the thermoelement, and the thermoelement production method can provide excellent bonding strength and bonding reliability even at a low temperature while minimizing bonding process

changes.

(57) 요약서:

[다음 쪽 계속]



본 발명은 열전소자 및 그 제조방법에 관한 것으로, 상부 전극, 열전 반도체 및 하부 전극을 포함하고, 상기 상부 전극과 열전 반도체 사이의 제 1 접합 예정부 또는 열전 반도체와 하부 전극 사이의 제 2 접합 예정부에 다층 박막 접합 예정부가 형성되어 있는 열전소자 및 이러한 열전소자의 제조방법에 관한 것이다. 상기 상부 전극과 열전 반도체 사이의 제 1 접합 예정부 또는 열전 반도체와 하부 전극 사이의 제 2 접합 예정부에 형성된 비정질 특성을 갖는 발열 다층 박막은 비정질에서 결정질로의 변화에 의한 발열 반응에 의해 저온에서 용융되고, 접합이 일어난다. 본 발명에 의하면, 열전소자는 반도체 소자와 전극간의 우수한 접합성을 제공하여, 열전소자의 안정성 및 발전 효율을 증가시킬 수 있고, 열전소자의 제조방법은 접합 공정변화를 최소화 하면서 저온에서도 우수한 접합강도 및 접합 신뢰성을 제공할 수 있는 효과가 있다.

명세서

발명의 명칭: 비정질 및 발열 접합재를 이용한 열전소자 및 그 제조방법

기술분야

- [1] 본 발명은 비정질 및 발열 특성을 갖는 전해도금법으로 제조된 다층 금속소재를 접합 재료로 사용한 열전소자 및 그 제조방법에 관한 것으로, 반도체 소자와 전극간의 우수한 접합성을 제공하여, 열전소자의 안정성 및 발전 효율을 증가시킬 수 있고, 저온에서 접합하여도 우수한 접합강도 및 접합 신뢰성을 제공할 수 있는 열전소자 및 그 제조방법에 관한 것이다. 고온(접합재의 용점 이상, Sn계 솔더: 250-300°C)에서 접합되는 기존의 열전 반도체와 달리 저온(Sn계 솔더: 160-180°C)에서 접합하여 열전 반도체 및 전극의 열팽창계수차이에 의한 열응력을 감소시켜 취성을 가지고 있는 열전 반도체의 열 손상을 억제한다. 이를 통하여 열전소자의 수명 및 발전 효율을 증가시킬 수 있다.

배경기술

- [2] 열전현상은 열과 전기 사이의 가역적, 직접적인 에너지 변환을 의미하며, 재료 내부의 전자(electron)와 정공(홀, hole)의 이동에 의해 열(Phonon)이 이동함으로써 발생하는 현상이다. 이러한 열전현상을 이용하는 열전소자는 구체적으로 펠티어 효과(Peltier effect)를 이용하여 능동냉각 분야에 활용되는 열전소자 및 제벡 효과(Seebeck effect)를 이용하여 폐열발전 등의 분야에 활용되는 열전소자로 크게 분류할 수 있다.
- [3] 펠티어 효과는 외부에서 DC 전압을 가해주었을 때 p 타입 재료의 정공과 n 타입 재료의 전자가 이동함으로써 재료 양단에 발열과 흡열을 일으키는 현상이고, 제벡 효과는 외부 열원에서 재료가 열을 공급받을 때 기전력이 발생하여 전자와 정공이 이동하면서 재료에 전류의 흐름이 생겨 발전을 일으키는 현상을 말한다.
- [4] 열전소자를 이용한 능동냉각은 소자의 열적 안정성을 개선시키고 진동과 소음이 없으며 별도의 응축기와 냉매를 사용하지 않아 부피가 작고 환경 친화적인 방법으로서 인식되고 있다. 이러한, 능동냉각의 응용분야로서는 무냉매 냉장고, 에어컨, 각종 마이크로 냉각 시스템 등에 사용할 수 있으며, 특히, 각종 메모리 소자에 열전소자를 부착시키면 기존의 냉각방식에 비해 부피는 줄이면서 소자를 균일하고 안정한 온도로 유지시킬 수 있으므로 소자의 성능을 개선할 수 있다.
- [5] 한편 제벡 효과(Seebeck effect)를 이용하는 열전소자를 열전발전에 활용하면 폐열(waste heat)을 에너지 원으로 활용할 수 있어서 자동차 엔진 및 배기장치, 쓰레기 소각장, 제철소 폐열, 인체 열을 이용한 인체 내 의료기기의 전원 등 에너지의 효율을 높이거나 폐열을 수거하여 사용하는 다양한 분야에 응용할 수

있다.

- [6] 열전소자는 일반적으로 Mg_2Si 계, Zn_4Sb_3 계, $AgSbTe_2$ 계, 및 Bi_2Te_2 계 등의 반도체 재료로 만든 p-n 접합을 이용하는 열전모듈 형태로 제조된다. 이때, Mg_2Si 계, Zn_4Sb_3 계, $AgSbTe_2$ 계, 및 Bi_2Te_2 계 등의 반도체 재료는 p 타입 또는 n 타입 열전 반도체로 제조되어 전극들과의 접합에 의해 외부 회로 등과 연결된다.
- [7] 도 1에는 종래 열전소자를 포함하는 열전모듈의 개략도가 도시되어 있고, 도 2에는 도1의 열전모듈의 정면도가 도시되어 있다.
- [8] 이들 도면을 참조하면, 열전 모듈(100)은 크게 세라믹 절연 기판(13a, 13b), 금속 전극(12a, 12b), 열전 반도체(11)들로 구성되며, 정공이 이동하는 p형 열전 반도체와 전자가 이동하는 n형 열전 반도체가 금속 전극(12a, 12b)을 통해 직렬로 연결된 직렬형 단일모듈 형태를 가진다. 여기서 열전 반도체(11)와 금속 전극(12a, 12b)들 사이에는 접합매개물(14a, 14b)들이 배치되어 열전 반도체(11)들과 금속 전극(12a, 12b)들 사이의 안정적인 결합력을 제공한다.
- [9] 이와 같은 종래 열전 모듈(10)이 구동되는 작동 상태는 n형 열전 반도체와 p 형 열전 반도체가 상부와 하부에 각각 배치된 금속 전극(12a, 12b)을 매개로 전기적으로 직렬 연결되어 금속 전극(12b)과 연결된 외부로부터의 리드선(15)을 통해 외부로부터 직류 전류(D.C)를 전송 받거나 전송한다.
- [10] 예를 들어 이러한 열전모듈(10)이 직류 전류를 전송 받는 경우, (-)로 대전된 하부 금속전극(12b)/열전 반도체(11) 접점에서는 주위로부터 열에너지를 흡수한 전자가 열전반도체 내부로 이동되어 흡열이 일어나고, (+)로 대전된 상부 금속전극(12a)/열전 반도체(11) 접점에서는 전자의 열에너지 방출에 의해 방열이 일어나게 된다.
- [11] 반대로, 열전모듈(10)이 직류전류를 전송하는 경우에는, 하부 세라믹 절연기판(13b)을 통해 외부로부터 열을 흡수한 하부 금속전극(12b)/열전 반도체(11) 접점은 주위로부터 열에너지를 흡수한 전자가 열전반도체(11) 내부로 이동하면서 하부 금속전극(12b)/열전 반도체(11)와 상부 금속전극(12a)/열전 반도체(11) 사이에 기전력을 발생시켜 리드선(15)을 통해 외부로 전류를 전송하게 된다.
- [12] 이러한 종래 열전모듈(10)에서 전극들(12a, 12b)과 열전 반도체(11) 사이에 배치된 접합매개물(14a, 14b)들은 상대적으로 열을 많이 받게 되어 열적 안정성이 저하되고, 전극들(12a, 12b)과 열전 반도체(11) 사이의 열팽창계수 차이에 의하여 고온에서 부정합이 일어나 계면 분리 현상이 나타날 수 있다.
- [13] 종래 열전모듈(10)에 사용되는 접합매개물(14a, 14b)로는 연납재 (솔더, 융점 $450^{\circ}C$ 이하)와 브레이징용 경납재 (필러메탈, 융점 $450^{\circ}C$ 이상)가 있다.
- [14] 연납재를 사용하는 솔더링의 경우, 융점이 낮아서 접합이 용이하고, 접합 후 잔류응력이 적은 장점은 있지만, 사용 중 고온 환경 하에서 고온강도가 낮고 접합 계면이 용융될 수 있다는 단점이 있다. 또 Sn 혹은 Sn-Ag, Sn-Cu 계 솔더를 사용 할 수 있는데, 이 경우에는 열전모듈의 사용 중 접합계면을 따라서 Cu_6Sn_5 ,

Cu₃Sn 등의 취성(Brittleness)이 있는 화합물이 생성된다. 이 과정에서 Cu의 확산 속도는 빠르고 Sn의 확산 속도는 느려서 Cu회로 측에 기공(Kirkendall void)이 생성되어, 이 부분을 따라 파괴가 일어나거나 전자의 이동이 저하되기 때문에, 열전소자의 수명 단축 원인이 되고 있다.

- [15] 브레이징은 경납재의 용점이 높기 때문에 접합이 고온에서 이루어진다. 이 경우 접합온도가 너무 높으면, 접합 후 접합계면에 높은 응력이 발생하여 열전소자에 손상을 줄 수 있다. 브레이징 온도를 낮추기 위해 Ag가 함유된 은납(대부분 Ag 40% 이상 함유)을 사용하기도 하지만, 이는 가격이 높아지는 단점이 있다.
- [16] 이러한 연납재 (솔더, 용점 450°C 이하)와 브레이징용 경납재를 사용하는 금속 용융 접합은 합금재료의 용융온도에 의해 접합 온도가 결정되며, 접합매개물로 사용이 되는 합금은 접합재료의 용점보다 낮아야 한다. 또한 열전 소자는 고온 환경에서 사용이 되는데 이 경우 용점이 낮은 재료의 경우 크리프 현상이 일어날 수도 있다.
- [17] 따라서, 전극과 열전 반도체 접합 시, 접합매개물은 열전소자가 사용되는 온도에서 용융되지 않을 정도의 용점이 높은 브레이징용 필러메탈의 성능을 나타내면서, 열전소자의 변형, 훼손을 최소화할 수 있도록 저온에서도 용이하게 접합할 수 있고, 가격은 낮은 재료인 성능과 스펙이 요구되고 있다.

발명의 상세한 설명

기술적 과제

- [18] 본 발명의 목적은 상기한 바와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 반도체 소자와 전극간의 우수한 접합성을 제공하여, 열전소자의 안정성 및 발전 효율을 증가시킬 수 있는 열전소자 및 접합 공정변화를 최소화하는데 있다.

과제 해결 수단

- [19] 상기한 바와 같은 목적을 달성하기 위한 본 발명은, 상부 전극, 열전 반도체 및 하부 전극을 포함하고, 상기 상부 전극과 열전 반도체, 하부 전극을 접합하여 열전소자를 제조하기 위해 상기 상부 전극과 열전 반도체 사이의 제1접합 예정부 또는 열전 반도체와 하부 전극 사이의 제2접합 예정부에 비정질 특성을 갖는 발열 다층 박막 접합 예정부가 형성되어 있는 열전소자를 통해 달성된다.

발명의 효과

- [20] 본 발명에 의하면, 열전 반도체 소자와 전극간의 우수한 접합성을 제공하여, 열전소자의 안정성 및 발전 효율을 증가시킬 수 있고, 열전소자의 제조방법은 접합 공정변화를 최소화 하면서 비정질에서 결정질로의 변화에 의한 발열 반응에 의해 안전하고, 저온에서 접합하여도 우수한 접합강도 및 접합 신뢰성을 제공할 수 있는 효과가 있다. 고온(접합재의 용점 이상, Sn계 솔더: 250-300°C)에서 접합되는 기존의 열전 반도체와 달리 저온(Sn계 솔더:

160-180°C)에서 접합하여 열전 반도체 및전극의 열팽창계수차이에 의한 열응력을 감소시켜 취성을 가지고 있는 열전 반도체의 열 손상을 억제한다. 이를 통하여 열전소자의 수명 및 발전 효율을 증가시킬 수 있다.

- [21] 또한 저온 접합에 의해 접합재와 전극 또는 열전소자 계면에 생성되는 취성이 있는 금속간 화합물의 두께가 얇아진다. 이를 통해 접합 강도가 개선되고, 접합 계면에 커캔달보이드가 억제되어 열전소자의 수명 및 발전 효율이 증가된다.

도면의 간단한 설명

- [22] 도 1은 종래 열전소자를 포함하는 열전모듈의 개략도이다.
- [23] 도 2는 도 1의 열전모듈의 정면도이다.
- [24] 도 3은 본 발명의 일실시예에 따른 열전소자의 열전 반도체와 전극의 접합부위를 나타낸 개략도이다.
- [25] 도 4는 본 발명의 일실시예에 따른 열전소자의 열전 반도체와 전극의 접합부위를 나타낸 정면도이다.
- [26] 도 5는 본 발명의 일실시예에 따른 열전소자의 열전 반도체와 전극의 접합 상태를 나타낸 개략도이다.
- [27] 도 6은 본 발명의 제2 실시예에 따른 열전소자의 제조방법을 나타낸 블록도이다.
- [28] 도 7은 본 발명의 일실시예에 따른 열전소자에서 발열 접합 예정부에 포함되는 금속 분말의 입자크기에 따른 융점을 나타낸 그래프이다.
- [29] 도 8은 본 발명의 일실시예에 따른 열전소자에서 Sn-Cu 발열 접합 예정부의 시차 주사 열량계(DSC)를 이용한 가열 그래프이다.
- [30] 도 9는 본 발명의 일실시예에 따른 열전소자에서 Sn-Cu 발열 접합 예정부의 접합 전 단면 모습을 나타낸 사진이다.
- [31] 도 10는 본 발명의 일실시예에 따른 열전소자에서 Ni-Cu 발열 접합 예정부의 시차 주사 열량계(DTA)를 이용한 가열 그래프이다.
- [32] 도 11은 본 발명의 일실시예에 따른 열전소자에서 Ni-Cu 발열 접합 예정부의 접합 전 단면 모습을 나타낸 사진이다.
- [33] 도 12는 본 발명의 일실시예에 따른 열전소자에서 Cu-Ag 발열 접합 예정부의 시차 주사 열량계(DTA)를 이용한 가열 그래프이다.
- [34] 도 13은 본 발명의 일실시예에 따른 열전소자에서 Cu-Ag 발열 접합 예정부의 접합 전 단면 모습을 나타낸 사진이다.
- [35] 도 14는 본 발명에서 제조된 발열 특성이 나타나는 Sn-Cu 발열 접합 예정부의 가열 전 도금된 상태 그대로의 발열 접합 예정부를 XRD로 상분석한 결과 비정질 특성(좌)이 나타나는 그래프와, 가열 후 확산으로 제1 및 제 2도금층이 소멸된 상태를 XRD로 상분석한 결과 결정질 특성(우)이 나타나는 모습의 그래프이다.
- [36] 도 15는 본 발명의 일실시예에 따른 저온계 열전소자에서 발열 접합 예정부의 접합 후 실제 단면부를 나타낸 광학현미경 사진이다.

- [37] 도 16은 저온계 기존 열전소자의 접합 후 실제 단면부(좌)와 본 발명의 일실시예에 따른 저온계 열전소자에서 발열 접합 예정부의 접합 후 실제 단면부(우)를 나타낸 광학현미경 사진이다.
- [38] 도 17은 본 발명의 일실시예에 따른 저온계 열전소자에서 발열 접합 예정부의 접합 후 실제 단면부의 원소를 분석한 EDS 사진이다.
- [39] 도 18은 본 발명의 일실시예에 따른 고온계 열전소자에서 발열 접합 예정부의 접합 후 실제 단면부를 나타낸 전자현미경(SEM) 사진이다.
- [40] 도 19는 본 발명의 일실시예에 따른 고온계 열전소자에서 발열 접합 예정부의 접합 후 실제 단면부의 원소를 분석한 EDS 사진이다.
- [41] 도 20은 본 발명의 일실시예에 따른 발열 접합 예정부의 각 두 개의 도금층 두께의 합이 $5\mu\text{m}$ 로 두껍게 제조하여 단면부를 나타낸 전자현미경(SEM) 사진이다.
- [42] 도 21은 열전소자의 제조방법에서 발열 접합 예정부의 각 두 개의 도금층 두께의 합이 $5\mu\text{m}$ 로 두껍게 제조하여 시차 주사 열량계(DSC)를 이용한 열특성을 측정한 가열 그래프이다.
- [43] 도 22은 열전소자의 제조방법에서 발열 접합 예정부의 각 두 개의 도금층 두께의 합이 $5\mu\text{m}$ 로 두껍게 제조하여 발열 접합 예정부의 접합 후 실제 단면부를 나타낸 광학현미경 사진이다.
- [44] 도 23는 열전소자의 제조방법에서 발열 접합 예정부의 층 수를 6층으로 적게 하여 제조하여 저온접합 한 구리전극 단면부를 나타낸 광학현미경 사진이다.
- [45] 도 24는 열전소자의 제조방법에서 다층막 금속 소재의 도금 시간을 길게 하여 전체 도금 두께가 $300\mu\text{m}$ 인 것으로 제조한 Sn-Cu계 금속 도금 박막의 단면부를 나타낸 광학현미경 사진이다.

발명의 실시를 위한 형태

- [46] 본 명세서 및 청구범위에 사용된 용어나 단어는 발명자가 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다.
- [47] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [48] 이하 도면을 참조하여 본 발명에 의한 열전소자 및 그 제조방법에 대해 상세하게 설명하기로 한다.
- [49] 도 3에는 본 발명의 일실시예에 따른 열전소자의 열전 반도체와 전극의 접합부위를 나타낸 개략도가 도시되어 있고, 도 4에는 본 발명의 일실시예에 따른 열전소자의 열전 반도체와 전극의 접합부위를 나타낸 정면도가 도시되어 있으며, 도 5에는 본 발명의 일실시예에 따른 열전소자의 열전 반도체와 전극의

접합 상태를 나타낸 개략도가 도시되어 있다.

- [50] 이들 도면을 참조하면, 본 발명의 열전소자(100)는 상부 전극(121)과 하부 전극(122) 사이에 열전 반도체(110)가 배치되어 상부 전극(121)과 하부 전극(122)을 전기적으로 연결하는 구조로 이루어져 있으며, 상부 전극(121)과 열전 반도체(110) 사이의 제1 접합 예정부와 열전 반도체(110)와 하부 전극(122) 사이의 제2 접합 예정부에 각각 발열 접합 예정부(131, 132)가 형성된 구조로 이루어져 있다. 또한, 상부 전극(121)과 하부 전극(122) 쪽에는 각각 상부 세라믹 기판(141) 및 하부 세라믹 기판(142)을 각각 배치하여 열전모듈로 제조될 수 있다.
- [51] 따라서, 본 발명에 따른 열전소자(100)는 제1접합 예정부와 제2접합 예정부에 형성된 발열 접합 예정부(131, 132)에 의해 열전 반도체(110)와 전극들(121, 122) 사이의 접합 계면에서 크랙(crack)이나 커캔달 보이드(Kirkendall void)의 생성을 억제하여 우수한 접합성을 나타내며, 계면 정합이 잘 이루어져 인장력에 대한 강성이 우수하고, 고온에서도 계면 분리가 일어나지 않으므로 고온에서의 신뢰성이 높아서 열전소자(100)의 안정성 및 발전 효율을 증가시킬 수 있다.
- [52] 경우에 따라서, 열전 반도체(110)의 접합표면에는 열전 반도체 내에 발열 접합 소재를 구성하는 금속 원자의 확산을 방지하기 위해 Ni, Cu, Sn, Ag, Pt, Pd, Ti 및 Au 로 이루어진 군에서 선택된 1종 이상의 금속 코팅층(111, 112)을 형성할 수 있다. 여기서 열전 반도체(110)는 p형 반도체와 n형 반도체가 전극들(121, 122) 사이에서 교대로 배열되어, 고온부에서 흡수된 열을 저온부로 전달하는 구조로 이루어질 수 있다. 이 경우, 고온부와 저온부의 온도차에 의해 p형 반도체에서는 정공(hole)이 고온부로부터 저온부 방향으로 움직이게 되고, n형 반도체에서는 전자(electron)가 고온부로부터 저온부 방향으로 움직이게 되며, 이러한 정공과 전자의 움직임에 따라 전류가 흐르게 된다.
- [53] 상기 비정질 특성을 갖는 발열 접합 예정부(131, 132)는 다양한 형태로 제1 접합 예정부와 제2접합 예정부 사이에 배치될 수 있으며, 예를 들어, 전극들(121, 122) 또는 열전 반도체(110)의 표면에 도금된 다층 도금막 형태, 발열 포일 시트(foil sheet) 형태, 발열 포일 시트의 분쇄입자 형태, 발열 포일 시트의 분쇄입자를 액체와 혼합하여 제조한 페이스트 형태, 및 표면에 발열층을 형성한 금속입자 형태로 이루어진 군에서 선택된 1종 이상의 형태로 배치될 수 있다.
- [54] 상기 비정질 특성을 갖는 발열 포일 시트의 분쇄입자를 액체와 혼합하여 제조한 페이스트 형태에서 액체는 용제로서 예를 들어, 알콜류, 페놀류, 에테르류, 아세톤류, 탄소수 5~18의 지방족 탄화수소, 등유, 경유, 톨루엔, 크실렌 등의 방향족 탄화수소, 실리콘 오일 등을 사용할 수 있으며, 이중에서도 물에 대한 용해도를 어느 정도 가진 알콜류, 에테르류, 또는 아세톤류가 바람직하게 사용될 수 있다.
- [55] 상기 비정질 특성을 갖는 발열 접합 예정부(131, 132)의 구성은 바람직하게는 서로 다른 원소로 이루어진 적어도 2개의 박막층이 서로 교대로 적층되어 있는

구조로 형성할 수 있으며, 비정질특성을 갖기 위해 서로 다른 원소로 이루어진 적어도 2개의 박막층의 두께의 합이 0.1 nm에서 5 μ m까지의 두께로 형성될 수 있다.

- [56] 상기 서로 다른 원소로 이루어진 2개의 박막층의 두께가 0.1 nm 미만으로 형성될 경우, 발열 반응에 의해 일반적인 금속전극의 접합온도보다 현저히 낮은 온도에서도 열전 반도체와 접합할 수 있는 장점이 있으나, 박막층 형성이 까다롭고, 제조비용이 크게 증가할 수 있다. 또한, 상기 박막층의 두께가 5 μ m를 초과할 경우에는 접합 온도가 상승하며, 접합강도 및 접합 신뢰도가 저하될 수 있다.
- [57] 상기 다층 박막 접합 예정부를 이루는 비정질 특성을 갖는 발열 접합 소재는 전체의 두께가 0.6nm 내지 300 μ m까지 범위의 두께로 형성되는 것이 바람직하다.
- [58] 상기 비정질 특성을 갖는 발열 접합 예정부(131, 132)는 비정질에서 결정질로의 상변화 과정에서 적절한 접합을 이루는 충분한 발열량을 발생시키기 위해 적어도 6층 이상의 도금층으로 구성된다.
- [59] 또한, 서로 다른 원소로 이루어진 적어도 2개의 박막층이 서로 교대로 적층되어 있는 구조는 전극(121, 122)과 열전 반도체(110)의 접합 시 일반적인 금속의 접합온도보다 낮은 온도로 접합할 경우에도, 박막층들의 상호 농도 차이에 의한 확산이 일어난다. 또한, 비정질에서 결정질로 상변화가 일어나면서 발열반응이 나타나서, 각 도금층의 용점보다 낮은 온도에서 발열 접합 예정부는 용융된다.
- [60] 또한, 서로 다른 원소로 이루어진 적어도 2개의 박막층이 서로 교대로 적층되어 있는 구조는 접합 시 온도는 일반적인 금속의 접합온도보다 낮지만, 접합 시 용융되어 응고된 후에는 다시 용점이 일반적인 금속의 용점으로 높아지는 우수한 특성을 갖고 있다.
- [61] 상기 발열 접합 예정부(131, 132)를 이루는 각각의 박막층은 Sn, Cu, Zn, Ni, Ti, V, Cr, Mn, Fe, Co, Ga, Ge, As, Al, Zr, Nb, Mo, Tc, Ru, Rh, Pd, Ag, Cd, In, Sb, Te, Hf, Ta, W, Re, Os, Ir, Pt, Au, Tl, Bi 및 Po로 이루어진 군에서 선택된 1종 이상의 금속원소를 사용할 수 있다.
- [62] 이러한 금속원소로 이루어진 다층 박막은 예를 들어, Sn-Cu, Sn-Ag, Cu-Zn, Cu-Ni, Al-Ni 등의 원소 또는 이들의 합금으로 이루어진 박막을 교대로 적층하는 구조로 형성할 수 있다.
- [63] 상기 상부 전극(121) 또는 하부 전극(122)을 구성하는 소재는 전기 전도성이 있는 소재이면 특별히 제한되지 않으며, 바람직하게는 금속 전극, 세라믹 전극, 및 플라스틱 전극으로 이루어진 군에서 선택된 전극일 수 있다.
- [64] 본 발명은 또한, 상부 전극, 열전 반도체, 및 하부 전극을 각각 준비하는 단계, 상기 상부 전극과 열전 반도체 사이의 제1접합 예정부, 또는 상기 열전 반도체와 하부 전극 사이의 제2접합 예정부, 또는 상기 제1접합 예정부 및 제2접합 예정부 모두에 비정질 특성을 갖는 소재를 형성하는 발열 접합 예정부 형성단계, 및 상기 상부 전극과 하부전극 사이에 열전 반도체를 배치하고, 상기 발열 접합

예정부가 형성된 접합 예정부를 상기 발열 접합 예정부의 용융 온도범위로 가열하고, 상기 열전 반도체와 전극을 가압함으로써 접합하는 접합단계를 포함하는 열전소자의 제조방법을 제공한다.

- [65] 도 6에는 본 발명의 제2 실시예에 따른 열전소자의 제조방법을 나타낸 블록도가 도시되어 있고, 도 7에는 발열 접합 예정부에 포함되는 금속 분말의 입자크기에 따른 용점을 나타낸 그래프가 도시되어 있다.
- [66] 이들 도면을 참조하면, 본 발명에 따른 열전소자의 제조방법은, 전극의 산화 피막제거 전처리를 수행하여, 상부 전극 및 하부 전극을 각각 준비(S300)하고, 열전 반도체를 준비하는 단계, 상부 전극과 하부 전극에 각각 비정질 특성을 갖는 발열 접합 예정부를 형성(S310)하는 단계, 열전 반도체와 상기 발열 접합 예정부를 형성한 전극들을 정렬(S320)하여, 발열 접합 예정부를 용융 온도 범위로 가열하여 전극과 열전 반도체를 접합(S330)하는 단계, 상부 전극과 하부 전극에 각각 세라믹 절연 기판을 접합(S340)하는 단계, 열전 소자(열전 모듈) 제조완료(S350) 단계를 순차적으로 수행하는 것으로 이루어질 수 있다.
- [67] 본 발명의 열전소자 제조방법은 열전 반도체와 전극들의 접합 시, 각각의 접합 예정부를 비정질 특성을 갖는 발열 접합 예정부로 형성함으로써, 접합 온도가 낮아서 접합제와 전극 또는 열전소자 계면에 생성되는 취성이 있는 금속간 화합물의 두께가 얇아진다. 이를 통해 접합 강도가 개선되고, 접합계면에 커캔달보이드가 억제되어 열전소자의 수명 및 발전 효율이 증가된다. 또한, 용융-응고 후에는 용점이 다시 높아지는 발열 접합 소재의 특성을 이용하여 고온 환경에서 열전소자의 접합부 등에서 발생할 수 있는 크리프(Creep)를 억제할 수 있다.
- [68] 또한, 일반적인 전극의 접합방법보다 훨씬 낮은 온도에서 접합할 수가 있어서, 접합 시 열응력에 의한 열전소자의 손상을 줄일 수 있는 장점이 있다.
- [69] 상기 발열 접합 소재는 분말의 형태가 아닌 비정질특성을 갖는 안전한 다층 금속으로 이루어져 있지만, 나노 사이즈의 금속의 분말 상태와 유사하게 그 용점이 통상의 덩어리(bulk)에 비해 낮아지는 현상을 갖는다. 참고로, 재료의 분말은 그 입자의 크기가 작아짐에 따라 용점이 점점 낮아진다. 예를 들어, 금속분말은 입자 직경(d)에 따라 그 용점 (TM(d))이 아래의 Gibbs Thomson 식과 같이 덩어리 금속의 용점 (TMB)에 비해 저하된다. 따라서, 입자의 직경 d가 작아질수록 그 용점은 저하된다.
- [70] [Gibbs Thomson Equation]

[71]

$$T_M(d) = T_{MB} \left(1 - \frac{4\sigma_{sl}}{H_f \rho_s d} \right)$$

T_{MB} = bulk melting temperature

σ_{sl} = solid-liquid interface entergy

ρ_s = density of solid

H_f = bulk heat of fusion

d = particle diameter

[72]

도 7에서 볼 수 있는 바와 같이 다층 박막 접합부를 구성하는 입자크기가 작아질수록, 그 융점이 서서히 작아지다가 입자크기가 3nm 이하가 되는 시점부터는 그 융점이 현저하게 떨어지는 것을 관찰할 수 있다.

[73]

상기 비정질 특성을 갖는 발열 접합 예정부 형성단계는 예를 들어, 도금법을 이용하여 전극 또는 열전 반도체의 표면에 발열 다층 도금막을 형성하는 단계, 발열 포일 시트(foil sheet)를 전극과 열전 반도체 사이에 배치하는 단계, 발열 포일 시트의 분쇄입자들을 전극과 열전 반도체 사이에 배치하는 단계, 발열 포일 시트의 분쇄입자를 액체와 혼합하여 제조한 페이스트를 전극과 열전 반도체 사이에 배치하는 단계, 및 표면에 다층 도금 박막을 형성한 금속입자를 전극과 열전 반도체 사이에 배치하는 단계로 이루어진 군에서 선택된 단계로 수행될 수 있다.

[74]

여기서 도금법을 이용하여 전극 또는 열전 반도체의 표면에 다층 도금막을 형성하는 단계는 예를 들어, 전해 도금법으로 수행될 수 있다.

[75]

이러한 비정질 특성을 갖는 발열 다층 도금 박막의 장점은 다음과 같다.

[76]

첫째, 나노사이즈 분말 등의 분말형 접합매개물은 금속 분말표면에 산화막이 존재하게 된다. 반면, 발열 다층 도금 박막은 도금액 내에서 도금되기 때문에 대기와 직접 접촉하지 않아서 산화도 거의 없다.

[77]

둘째, 곡면이나 수직면 등에 구애되지 않고 적용 가능하기 때문에, 전극 등의 피접합재의 곡면이나 수직면에 발라서 사용하기 어려운 솔더 페이스트 형태의 접합매개물의 단점을 보완할 수 있다.

[78]

셋째, 도금된 다층 도금 박막을 떼어내서 포일(foil)형태로 사용하면, 피접합재와 독립적으로 따로 취급 가능하며 저온 접합재료로 사용할 수 있다.

[79]

넷째, 귀금속은 물론 일반 금속(예; 구리, 주석, 아연, 니켈 등의 다양한 금속)도 모두 도금하여 다층 도금 박막으로 형성할 수 있으므로, 접합매개물의 가격이 분말형 접합매개물에 비해 매우 저렴해진다.

[80]

다섯째, 분말형 접합매개물은 급격한 산화 및 발열로 인한 폭발이나 화재의 위험이 있는 반면, 상기 발열 접합 소재는 다층으로 이루어진 벌크형태로 취급이

용이하고, 안전하다.

- [81] 여섯째, 진공 증 증착(sputtering) 등의 물리적 증착법(PVD, physical vapor deposition)에 비해, 상기 다층 도금 박막 형성 방법은 전해도금을 사용하여 간편하게 대량 생산이 가능한 방법이다.
- [82] 일곱째, 상기 다층 도금 박막은 도금조건을 조절하여 각 도금층이 비정질에서 결정질로의 상변화에서 생성되는 발열특성을 갖도록 얇은 두께로 제조가 가능하다.
- [83] 여덟째, 기존의 접합법에 비해 접합 온도를 크게 낮출 수 있어서 에너지 가격을 크게 절약할 수 있다. 구체적으로, 전자산업에서 많이 사용하는 Sn-3.5wt%Ag 접합매개물은 융점이 약 221°C로서, 통상 250°C 내외의 온도에서 피 접합재를 접합해야 한다. 반면 Sn과 Ag과 같은 금속원소를 포함하는 박막층을 교대로 적층한 구조의 다층 도금 박막을 이용하면, 이를 도금한 피 접합재는 약 160°C 내외 또는 그 이하의 온도에서 접합할 수 있는 장점이 있다.
- [84] 상기 발열 접합 예정부의 접합온도범위는 피접합재 융점이하이며, 또한, 상기 발열 접합 예정부를 이루는 각각의 박막층에 포함되는 원소들의 융점 또는 상기 원소들의 합금의 융점이하의 온도범위로 설정할 수 있다.
- [85] 상기 발열 접합 예정부의 접합온도범위는 상기 발열 접합 예정부의 발열반응이 나타나는 피크 이상의 온도범위로 설정할 수 있다.
- [86] 예를 들어 본 발명에서의 실시 예에서는 BiTe계 저온용 열전 소자를 Sn-Cu 발열 다층 박막을 이용하여 접합하였으며, 접합온도는 Sn-Cu 발열 다층 박막의 발열반응의 피크온도 144°C이상인 160, 170°C에서 접합하였다. 또 다른 실시 예에서는 PbTe계 중온용 열전 소자를 Ni-Cu 발열 다층 박막을 이용하여 접합하였으며, 접합온도는 Ni-Cu 발열 다층 박막의 발열반응의 피크온도 567°C 이상인 600°C에서 접합하였다.
- [87] 기존의 열전소자의 제조 시, 전극과 열전 반도체의 접합을 위한 브레이징 또는 솔더링 기술에서는 접합을 위해 접합매개물을 융점 이상으로 가열하여 접합해왔다. 구체적으로, 구리를 솔더링으로 접합할 때, Sn-Cu 접합매개물을 사용하면 Sn-Cu계 합금 중 융점이 가장 낮은 것은 공정조성인 Sn-0.7%Cu로 융점이 227°C 이며, 통상의 솔더링 접합온도는 융점보다 30°C 이상 높은 약 260°C 내외 이다. 또 다른 예로서, Cu-Ni 합금이나 Ni합금을 접합매개물로 브레이징 접합할 때는 접합 온도는 이들의 융점보다 높은(구리의 융점 1083°C) 온도이며, 통상의 브레이징 접합온도는 약 1150 내지 1200°C 이다.
- [88] 반면, 본 발명의 열전소자의 제조방법에서는 전극과 열전 반도체 사이의 접합 예정부에 발열 접합 예정부를 형성하여 접합하므로, 예를 들어 Sn과 Cu로 이루어진 박막층을 교대로 적층한 발열 접합 예정부의 경우, 170°C 내외 또는 그 이하 온도(박막층이 얇아지면 더 낮은 온도에서 접합 가능)에서 접합 가능하다.
- [89] 이러한 비정질 특성을 갖는 발열 접합 예정부의 특징은 Sn, Cu 외에 다른 금속들, 예를 들어 Cu-Ni, Cu-Ag 등의 원소를 포함하는 박막층을 교대로 적층한

발열접합 예정부의 경우에도 동일하게 나타난다. 이러한 발열 접합 예정부의 접합매개물로서의 우수한 성능은 박막층들이 가열, 가압되면 상호 농도차에 의한 확산 시 비정질에서 결정질로 상변화가 일어나고, 그 과정에서 발열반응이 일어나 저온에서도 용이하게 접합이 이루어지는 원리에 의해 구현된다. 이때의 저온접합에서 접합재와 전극 또는 열전소자 계면에 생성되는 취성이 있는 금속간 화합물의 두께가 얇아진다. 이를 통해 접합 강도가 개선되고, 접합계면에 커캔달보이드가 억제되어 열전소자의 수명 및 발전 효율이 증가된다.

[90] 도 8에는 본 발명의 일실시예에 따른 열전소자에서 Sn-Cu 발열 접합 예정부의 시차 주사 열량계(DSC)를 이용한 가열 그래프가 나타나있고, 도 9에는 본 발명의 일실시예에 따른 열전소자에서 Sn-Cu 발열 접합 예정부의 접합전 단면 모습 사진이 나타나있으며, 도 10에는 본 발명의 일실시예에 따른 열전소자에서 Ni-Cu 발열 접합 예정부의 시차 주사 열량계(DSC)를 이용한 가열 그래프가 나타나있고, 도 11에는 본 발명의 일실시예에 따른 열전소자에서 Ni-Cu 발열 접합 예정부의 접합 전 단면 모습 사진이 나타나있으며, 도 12에는 본 발명의 일실시예에 따른 열전소자에서 Cu-Ag 발열 접합 예정부의 시차 주사 열량계(DSC)를 이용한 가열 그래프가 나타나 있다.

[91] 도 13에는 본 발명의 일실시예에 따른 열전소자에서 Cu-Ag 발열 접합 예정부의 접합 전 단면 모습 사진이 나타나있다.

[92] 도 14에는 본 발명의 일실시예에 따른 열전소자에서 Sn-Cu 발열 접합 예정부의 가열 전 도금된 상태 그대로의 다층 금속 도금 박막을 XRD로 상분석한 결과 비정질 특성(좌)이 나타나는 그래프와, 가열 후 확산으로 각 금속 다층이 소멸된 상태를 XRD로 상분석한 결과 결정질 특성(우)이 나타나는 모습의 그래프가 도시되어 있다.

[93] 도 15에는 본 발명의 일실시예에 따른 저온계 열전소자에서 발열 접합 예정부의 접합 후 실제 단면부를 나타낸 광학현미경 사진이 나타나있고, 도 16에는 저온계 기존 열전소자의 접합 후 실제 단면부(좌)와 본 발명의 일실시예에 따른 저온계 열전소자에서 발열 접합 예정부의 접합 후 실제 단면부(우)를 나타낸 광학현미경 사진이 나타나있으며, 도 17에는 본 발명의 일실시예에 따른 저온계 열전소자에서 발열 접합 예정부의 접합 후 실제 단면부의 원소를 분석한 EDS 사진이 나타나있다.

[94] 도 18에는 본 발명의 일실시예에 따른 고온계 열전소자에서 발열 접합 예정부의 접합 후 실제 단면부를 나타낸 전자현미경(sem) 사진이 나타나있고, 도 19에는 본 발명의 일실시예에 따른 고온계 열전소자에서 발열 접합 예정부의 접합 후 실제 단면부의 원소를 분석한 EDS 사진이 나타나있으며, 도 20에는 본 발명의 일실시예에 따른 발열 접합 예정부의 각 두 개의 도금층 두께의 합이 $5\mu\text{m}$ 로 두겹게 제조하여 단면부를 나타낸 전자현미경(SEM) 사진이 나타나있다.

[95] 도 21에는 열전소자의 제조방법에서 발열 접합 예정부의 각 두 개의 도금층 두께의 합이 $5\mu\text{m}$ 로 두겹게 제조하여 시차 주사 열량계(DSC)를 이용한 열특성을

측정한 가열 그래프가 도시되어 있고, 도 22에는 열전소자의 제조방법에서 발열 접합 예정부의 각 두 개의 도금층 두께의 합이 $5\mu\text{m}$ 로 두껍게 제조하여 발열 접합 예정부의 접합 후 실제 단면부를 나타낸 광학현미경 사진이 나타나있으며, 도 23에는 열전소자의 제조방법에서 발열 접합 예정부의 층 수를 6층으로 적게 제조하여 저온접합 한 구리전극 단면부를 나타낸 광학현미경 사진이 나타나있다.

- [96] 도 24에는 열전소자의 제조방법에서 다층막 금속 소재의 도금 시간을 길게 하여 전체 도금 두께가 $300\mu\text{m}$ 인 것으로 제조한 Sn-Cu계 금속 도금 박막의 단면부를 나타낸 광학현미경 사진이 나타나있다.
- [97] 이들 도면의 그래프와 사진들을 참조하면,
- [98] 본 발명의 일실시예에 따른 Sn-Cu 발열 접합 예정부의 다층 금속 도금 박막을 XRD로 상분석한 결과 도 14에서 가열을 통해서 비정질에서 결정질로의 상변화가 일어나는 것을 확인할 수 있다. 이때의 비정질에서 결정질로의 상변화과정에서 생성되는 발열을 확인하기 위해 저온계 열전 소자의 경우, 구리전극표면에 Sn과 Cu로 이루어진 박막층을 교대로 적층한 발열 접합 예정부를 형성하고, 시차 주사 열량계(DSC)를 이용하여 가열하였을 때 도 8의 그래프에서 알 수 있는 바와 같이, 144°C 에서 비정질에서 결정질로의 상변화에 의해 나타나는 발열 반응 피크가 측정되었으며, 구간이 종료되는 약 160°C 의 온도가 접합 온도로 결정될 수 있음을 확인할 수 있다.
- [99] 또한 고온계 열전소자의 경우, 구리전극표면에 Ni과 Cu 또는 Cu와 Ag로 이루어진 박막층을 교대로 적층한 발열 접합 예정부를 형성하고, 시차 주사 열량계(DSC)를 이용하여 가열하였을 때 도 10 및 도 12의 그래프에서 알 수 있는 바와 같이, 대략 567°C 와 678°C 에서 각각 비정질에서 결정질로의 상변화에 의해 나타나는 발열 반응 피크가 측정되었으며, 발열구간이 종료되는 약 600°C 에서 700°C 의 온도가 접합 온도로 결정될 수 있음을 확인할 수 있다.
- [100] 즉, 본 발명에 따른 발열 접합 예정부의 용융 온도는 상기 발열 접합 예정부를 이루는 각각의 박막층에 포함되는 원소들 중 융점이 낮은 원소의 융점 또는 상기 원소들의 합금의 융점에 대해 52.3%(Ni-Cu계 다층박막), 87.1%(Cu-Ag계 다층박막)에서 측정되었고, 상기 발열 접합 예정부의 용융 온도는 144°C (Cu-Sn계 다층박막), 678.54°C (Cu-Ag계 다층박막)에서 측정되었다.
- [101] 또한, 상기 발열 접합 소재를 이용하여 열전소자를 접합하는 온도범위는 발열 접합 예정부의 용융 온도를 포함하며, 발열 접합 소재에 포함되는 원소들 중 융점이 낮은 원소의 융점 또는 상기 원소들의 합금의 융점 이하의 온도에서 접합된다.
- [102] 이러한 다층 박막 접합 예정부에 열전 반도체를 배치하고, 저온계 열전소자의 경우 160°C 및 170°C 의 진공로에서, 고온계 열전소자의 경우 600°C 및 700°C 의 유도 가열로에서 접합한 후의 접합 예정부의 실제 단면 모습을 도 15에서 도 19까지의 도면 사진에서 확인할 수 있다. 각 도면의 사진에서 확인할 수 있는

바와 같이, 본 발명의 열전소자의 제조방법은 전극과 열전 반도체의 접합 예정부에 발열 접합 예정부를 형성하여 접합함으로써, 저온에서도 견고하고 안정적인 접합을 달성할 수 있다.

[103] 이하, 본 발명의 발열 접합 소재를 이용한 구체적인 열전소자 제조방법의 실시예에 대해 설명한다.

[104] <실시예 1> 발열 접합 소재 비정질 및 발열 특성

[105] 본 발명에 따른 발열 접합 소재는 비정질특성을 갖는 적층된 도금층 간에 저온에서 결정질로의 상변화가 일어나 열이 발생하게 되어 저온에서 용융된다. 이를 확인하기 위해 XRD로 상분석을 하였고, DSC 및 DTA로 열 분석 하였으며, 발열 접합 소재의 단면을 관찰하였다.

[106] 일반적으로 Ni-Cu계 합금(벌크 소재)을 접합 매개물로 사용할 경우 Ni이 증가함에 따라 용점이 증가하므로, 가장 낮은 용융온도는 100%Cu-0%Ni 일 때 (실질적으로 Cu)의 용점인 1083°C이다. 반면에 본 발명의 열전소자의 제조방법에 사용되는 다층으로 제조된 Cu-Ni 발열 접합 소재는 DTA를 이용하여 열특성을 측정한 결과 일반적 벌크소재 합금 보다 낮은 온도인 567°C에서 피크(peak)가 나타나고, Ni-Cu 발열 접합 소재는 용융되었다. 이때의 Ni-Cu 발열 접합 소재의 열 특성을 DTA로 측정하여 도 10에 나타내었다. 도 10의 피크는 Ni-Cu계 합금의 최저용점인 혹은 이 합금을 구성하는 원소 중 용점이 낮은 원소인 Cu의 용점인 1083°C의 약 52.3%에 해당한다. 이때의 다층으로 제조된 Ni-Cu 발열 접합 소재의 단면을 전자현미경으로 확인하여 도 11에 나타내었다.

[107] 또한, 본 발명에 따른 다층으로 제조된 Sn-Cu 발열 접합 소재는 저온에서 확산하며 열이 발생하여 DSC로 측정하면 144°C에서 피크(peak)가 나타나고, Sn-Cu 발열 접합 소재는 용융된다. 이때의 열 특성을 DSC로 측정하여 도 8에 나타내었다.

[108] 도 8의 피크는 Sn-Cu계 합금의 최저용점 (eutectic 온도)인 227°C의 약 63.4%에 해당한다. 또, 이 합금을 구성하는 원소 중 용점이 낮은 원소인 Sn의 용점인 232°C의 약 62.1%에 해당한다. 이때의 다층으로 제조된 Sn-Cu 발열 접합 소재의 단면을 전자현미경으로 확인하여 도 9에 나타내었다.

[109] 또 다른 실시예로, 본 발명에 따른 다층으로 제조된 Cu-Ag 발열 접합 소재를 제조 하였으며, 이때의 열 특성을 DTA로 측정하여 도 12에 나타내었다. 이때 678.54°C에서 피크(peak)가 나타나고, 이는 Cu-Ag계 벌크합금의 최저용점(eutectic 온도, Cu-40%Ag)인 779°C의 약 87.1%에 해당한다. 또, 이 합금을 구성하는 원소 중 용점이 낮은 원소인 Ag의 용점인 960°C의 약 70.6%에 해당한다. 이때의 다층으로 제조된 Cu-Ag 발열 접합 소재의 단면을 전자현미경으로 확인하여 도 13에 나타내었다.

[110] 또 다른 실시예로 본 발명에 따른 다층으로 제조된 발열 접합 소재의 비정질에서 결정질로의 상변화를 확인하기 위해서 XRD를 이용하여 Sn-Cu 발열 접합 소재를 상 분석하였다. 가열 전 도금된 상태 그대로의 다층 금속 도금

박막을 XRD로 상분석한 결과 비정질 특성(좌)이 나타나는 그래프와, 가열 후 확산으로 각 금속 다층이 소멸된 상태를 XRD로 상분석한 결과 결정질 특성(우)이 나타나는 모습의 그래프를 도 14에 나타내었다.

[111] 이러한 분석 결과에서 나타는 발열 피크는 순수한 발열량이며 이때의 발열량은 발열접합소재가 확산 및 결정화될 때의 발열량에서 동시에 발열접합소재가 용융될 때의 흡열량을 뺀 열량만큼 피크가 나타난다. 즉, 발열 접합소재는 비정질에서 결정질로 상 변화될 때, 발열량이 흡열량보다 큰 경우에서 접합이 가능하다.

[112] <실시예 2> 저온용 열전소자 접합

[113] 본 실시예에서는 저온용 열전소자를 접합하기 위해 접합 매개물로 사용되는 여러 원소 중 Sn, Cu를 포함하는 발열 접합 소재를 사용하여, 160 내지 170°C 진공로에서 (Bi, Sb)₂Te₃ 저온용 열전 반도체를 구리전극에 접합하였으며 열전소자와 전극의 접합부를 전자현미경으로 관찰한 결과를 도 15에 나타내었다. 또한, 기존의 Sn_{0.7}Cu 접합 매개물을 이용한 열전소자 접합방법과 비교하기 위해 기존의 열전소자와 전극의 접합부와 Sn-Cu 발열 접합 소재로 접합한 열전소자와 전극의 접합부를 광학현미경으로 관찰한 결과를 도 16에 나타내었다. 기존 열전소자 제품의 접합부가 Sn-Cu 발열 접합 소재로 접합한 열전 반도체의 접합부에 비해 접합계면의 결함이 많이 발견되었다.

[114] 또한, 에너지분산스펙트럼(EDS)으로 접합부의 성분을 분석하였고 그 결과는 도 17과 같다. EDS를 분석한 결과 열전소자, 도금층 및 전극간 확산이 이루어져 양호한 접합을 이루었음을 알 수 있다.

[115] 또한, 기존 열전소자 제품의 열전 반도체-구리판 접합부와 Sn-Cu 발열 접합 소재로 접합한 열전 반도체-구리판 접합부의 전단강도를 측정해 본 결과, 기존 제품의 접합부의 전단강도는 최대 1365gf로 측정되었고, Sn-Cu 발열 접합 소재로 접합한 열전 반도체의 전단강도는 최대 1708gf로 측정되어 기존 제품 대비 약 25.1%의 향상을 나타내었다.

[116] <실시예3> 고온용 열전소자 접합

[117] 본 실시예에서는 고온용 열전소자를 접합하기 위해 접합 매개물로 사용되는 여러 원소 중 Cu, Ni를 포함하는 발열 접합 소재를 사용하여, 600 내지 700°C 유도 가열로에서 Pb-Te계 고온용 열전 반도체를 구리전극에 접합하였다. 기존 고온계 열전소자의 경우 접합에 어려움이 있어 현재 상용화되지 않은 소자이다.

[118] 고온용 열전소자와 Cu-Ni 발열 접합 소재 간 접합부의 주사전자현미경(SEM) 사진은 도 18과 같으며, 접합계면에 결함이 많이 없고 치밀하게 접합되어 있음을 알 수 있다.

[119] 또한, 에너지분산스펙트럼(EDS)으로 접합부의 성분을 분석하였고 이를 도 19에 나타내었다. EDS를 분석한 결과 Cu-Ni 발열 접합 소재와 Pb-Te 고온용 열전 반도체 간 확산이 이루어졌으며 양호한 접합을 이루었음을 알 수 있다.

[120] <비교예 1> 발열 반응이 없는 다층 금속 소재

- [121] 다층 금속 도금층의 각 층의 두께가 두꺼워지거나, 도금층의 수가 줄어들면 다층 금속 도금층 내 계면의 면적이 작아진다. 본 실시예에서는 발열 반응을 갖지 않도록 두 층의 두께의 합이 $5\mu\text{m}$ 로 두껍게 제조된 Sn-Cu계 접합소재를 제조하였다. 이때의 두 층의 두께의 합이 $5\mu\text{m}$ 로 제조된 Sn-Cu 다층 소재의 단면을 전자현미경으로 확인하여 도 20에 나타내었다. 또한, 이 다층 소재의 열 특성을 DTA로 측정하여 도 21에 나타내었다. 그 결과 DSC측정에서 저온발열피크가 나타나지 않고, 고온에서 도금을 구성하는 원소인 주석이 용융되는 온도인 228°C 에서 흡열 피크가 나타났다. 즉, 두 층의 두께의 합이 40nm 로 얇게 제조된 Sn-Cu계 접합소재에서 나타났던 144°C 의 발열 피크가 $5\mu\text{m}$ 로 두껍게 제조된 소재에서는 나타나지 않았다.
- [122] 이때의 발열 반응을 갖지 않도록 각 도금층이 두껍게 제조된 소재를 이용하여 저온계 BiTe 열전소자를 구리전극에 170°C 온도에서 가열하였다. 이때의 열전소자와 전극의 접합부를 광학현미경으로 관찰한 결과 접합되지 않았으며, 그 결과를 도 22에 나타내었다. 각 도금층이 두껍게 제조된 접합소재는 열분석결과 흡열피크만을 나타냈고 흡열량이 발열량보다 크기 때문에 접합되지 않은 것으로 판단할 수 있다.
- [123] 또한 도금층 수를 6층으로 제조된 Sn-Cu계 다층 금속 도금 박막을 제조하여 구리전극을 160°C 에서 저온 접합하였으며, 이때의 단면을 도 23에 나타내었다. 이때의 접합부는 부분적으로 접합되었다. 이는 도금층 수가 적어 발열량이 충분하지 않았으며, 용융금속도 충분하지 않았기 때문이다.
- [124] 위 실시예를 바탕으로 하여 본 발명의 다층 박막 접합부를 이용하면 저온계 열전 반도체의 경우 접합 온도가 대략 160°C 내외로, 일반적인 전극과 저온계 열전 반도체의 접합온도 보다 약 100°C 낮은 온도에서 접합이 가능하다. 즉, 접합매개물을 구성하는 원소의 융점온도인 대략 260 내지 270°C 의 기존 접합 온도의 대략 61.5%에서 접합이 가능하다. 따라서, 기존의 접합온도 대비, 본 발명에 따른 열전소자 제조방법에서 접합온도의 소모 에너지는 약 62%에 불과하므로 매우 경제적이다. 또한, 고온계 열전 반도체의 경우 접합 온도가 대략 600 에서 700°C 내외로, 상용화 되지 않은 고온계 열전소자의 접합이 가능한 장점이 있다. 또한, 다층 박막 접합 예정부에서 다층 박막을 이루는 박막층의 두께가 더욱 얇아지면 더 낮은 온도에서도 접합이 가능하다.
- [125] 이를 통해 소모 에너지 비용 절감, 전자부품의 열적 손상 방지 및 고온 가열에 의한 접합 예정부의 강도 저하 (입자 (grain) 성장으로 인한 강도저하)와 고온 가열에 따른 접합 예정부의 금속간 화합물의 성장 등도 억제할 수 있다.
- [126] 또한, 이러한 다층 박막 접합 예정부의 특징은 Sn, Cu, Ni, Ag 외에 다른 금속들, 예를 들어 Sn-Ag, Cu-Zn, Ag-Ni 등 다양한 원소를 포함하는 박막층을 교대로 적층한 다층 박막 접합 예정부의 경우에도 유사한 결과를 얻을 수 있다.
- [127] 또한 도금 시간을 길게 하여 전체의 도금 두께가 $300\mu\text{m}$ 인 Sn-Cu계 다층 금속 도금 박막을 제조하였으며, 이때의 단면을 도 24에 나타내었다. 본 발명을 통해

제조하는 다층 금속 박막은 도금이 진행이 되면서 도금층 표면에 결함이 생길 수 있으며, 결함은 수직면으로 계속하여 성장하고 300 μm 이상의 두께로 도금층이 형성되면 다층 도금층 내의 결함의 비율이 높아져 다층 도금층이 잘 형성되지 않고 비정질 및 발열특성이 나타나지 않으며, 저온 접합이 되지 않는다.

[128] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[129] 그러므로 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

[130] **[부호의 설명]**

[131] 121: 상부 전극

[132] 110: 열전 반도체

[133] 122: 하부 전극

[134] 131, 132: 다층 박막 접합 예정부

[135] 141: 상부 세라믹 기판

[136] 142: 하부 세라믹 기판

[137]

[138]

청구범위

- [청구항 1] 상부 전극;
열전 반도체; 및
하부 전극;을 포함하고,
상기 상부 전극과 열전 반도체, 하부 전극을 접합하여 열전소자를
제조하기 위해 상기 상부 전극과 열전 반도체 사이의 제1접합
예정부 또는 열전 반도체와 하부 전극 사이의 제2접합 예정부에
비정질 특성을 갖는 발열 다층 박막 접합 예정부가 형성되어 있는
열전소자.
- [청구항 2] 제1항에 있어서,
상기 상부 전극과 열전 반도체, 하부 전극을 접합하여 열전소자를
제조하기 위해 상기 제1접합 예정부 및 제2접합 예정부 모두에
비정질 특성을 갖는 발열 다층 박막 접합 예정부가 형성되어 있는
열전소자.
- [청구항 3] 제1항 또는 제2항에 있어서,
상기 다층 박막 접합 예정부는 전극 또는 열전 반도체의 표면에
도금된 다층 도금막 형태, 다층 박막 포일 시트(foil sheet) 형태,
다층 박막 포일 시트의 분쇄 입자 형태, 다층 박막 포일 시트의
분쇄입자를 액체와 혼합하여 제조한 페이스트 형태, 및 표면에
다층 도금 박막을 형성한 금속입자 형태로 이루어진 군에서
선택된 1종 이상의 형태로 비정질 특성을 갖는 발열 접합 예정부가
형성되는 열전소자.
- [청구항 4] 제1항 또는 제2항에 있어서,
상기 다층 박막 접합 예정부의 다층 박막은 적어도 6개 이상의
박막층이 적층되어 있는 구조의 비정질 특성을 갖는 발열 다층
박막인 열전소자.
- [청구항 5] 제1항 또는 제2항에 있어서,
상기 다층 박막 접합 예정부에서 다층 박막은 서로 다른 원소로
이루어진 적어도 2개의 박막층이 서로 교대로 적층되어 있는
구조의 비정질 특성을 갖는 발열 다층 박막인 열전소자.
- [청구항 6] 제1항 또는 제2항에 있어서,
상기 다층 박막 접합 예정부를 이루는 각각의 박막층은 Sn, Cu, Zn,
Ni, Ti, V, Cr, Mn, Fe, Co, Ga, Ge, As, Al, Zr, Nb, Mo, Tc, Ru, Rh, Pd,
Ag, Cd, In, Sb, Te, Hf, Ta, W, Re, Os, Ir, Pt, Au, Tl, Pb, Bi, 및 Po로
이루어진 군에서 선택된 1종 이상의 금속원소를 포함하는
열전소자.
- [청구항 7] 제1항 또는 제2항에 있어서,

- 상기 다층 박막 접합 예정부를 이루는 비정질 특성을 갖는 발열 접합 소재는 서로 다른 원소로 이루어진 2개의 박막층의 두께의 합이 0.1nm에서 5 μ m까지의 두께로 형성된 열전소자.
- [청구항 8] 제1항 또는 제2항에 있어서,
상기 다층 박막 접합 예정부를 이루는 비정질 특성을 갖는 발열 접합 소재는 전체의 두께가 0.6nm 내지 300 μ m까지 범위의 두께로 형성되는 열전소자.
- [청구항 9] 제1항 또는 제2항에 있어서,
상기 상부 전극 또는 하부 전극은 금속 전극, 세라믹 전극, 및 플라스틱 전극으로 이루어진 군에서 선택된 전극인 열전소자.
- [청구항 10] 상부 전극, 열전 반도체, 및 하부 전극을 각각 준비하는 단계;
상기 상부 전극과 열전 반도체 사이의 제1접합 예정부, 또는 상기 열전 반도체와 하부 전극 사이의 제2접합 예정부, 또는 상기 제1접합 예정부 및 제2접합 예정부 모두에 비정질 특성을 갖는 발열 다층 박막 접합부를 형성하는 다층 박막 접합부 형성단계; 및
상기 상부 전극과 하부전극 사이에 열전 반도체를 배치하고, 상기 비정질 특성을 갖는 발열 다층 박막 접합부가 형성된 접합 예정부의 용융 온도범위로 가열하고, 상기 열전 반도체와 전극을 가압함으로써 접합하는 접합단계;
를 포함하는 열전소자의 제조방법.
- [청구항 11] 제10항에 있어서,
상기 다층 박막 접합 예정부 형성단계는 도금법을 이용하여 전극 또는 열전 반도체의 표면에 비정질 특성을 갖는 발열 다층 도금막을 형성하는 단계, 다층 박막 포일 시트(foil sheet)를 전극과 열전 반도체 사이에 배치하는 단계, 다층 박막 포일 시트의 분쇄입자들을 전극과 열전 반도체 사이에 배치하는 단계, 다층 박막 포일 시트의 분쇄입자를 액체와 혼합하여 제조한 페이스트를 전극과 열전 반도체 사이에 배치하는 단계, 및 표면에 다층 도금 박막을 형성한 금속입자를 전극과 열전 반도체 사이에 배치하는 단계로 이루어진 군에서 선택된 단계인 열전소자의 제조방법.
- [청구항 12] 제10항에 있어서,
상기 다층 박막 접합 예정부를 이루는 각각의 박막층은 Sn, Cu, Zn, Ni, Ti, V, Cr, Mn, Fe, Co, Ga, Ge, As, Al, Zr, Nb, Mo, Tc, Ru, Rh, Pd, Ag, Cd, In, Sb, Te, Hf, Ta, W, Re, Os, Ir, Pt, Au, Tl, Pb, Bi, 및 Po로 이루어진 군에서 선택된 1종 이상의 금속원소를 포함하는 열전소자의 제조방법.
- [청구항 13] 제10항에 있어서,
상기 제1접합 예정부 및 제2접합 예정부를 이루는 접합소재는

서로 다른 원소로 이루어진 2개의 박막층의 두께의 합이 0.1nm에서 5 μ m까지의 두께로 형성된 비정질 특성을 갖는 발열 다층 금속도금 박막인 열전소자의 제조방법.

[청구항 14]

제10항에 있어서,

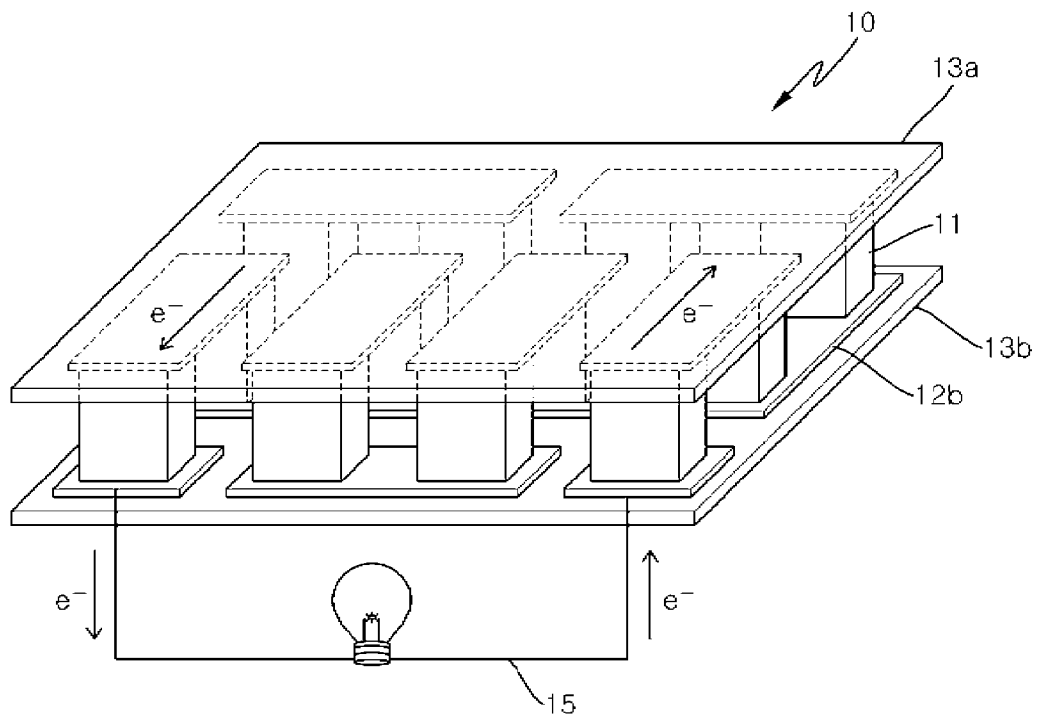
상기 다층 박막 접합 예정부의 용융 온도범위는 상기 다층 박막 접합 예정부를 이루는 각각의 박막층에 포함되는 원소들 중 용점이 낮은 원소의 용점에 대해 52.3% 이상에서 또는 상기 원소들의 합금의 최저용점에 대해 52.3% 이상에서 피접합재가 용융되는 온도 이하인 열전소자의 제조방법.

[청구항 15]

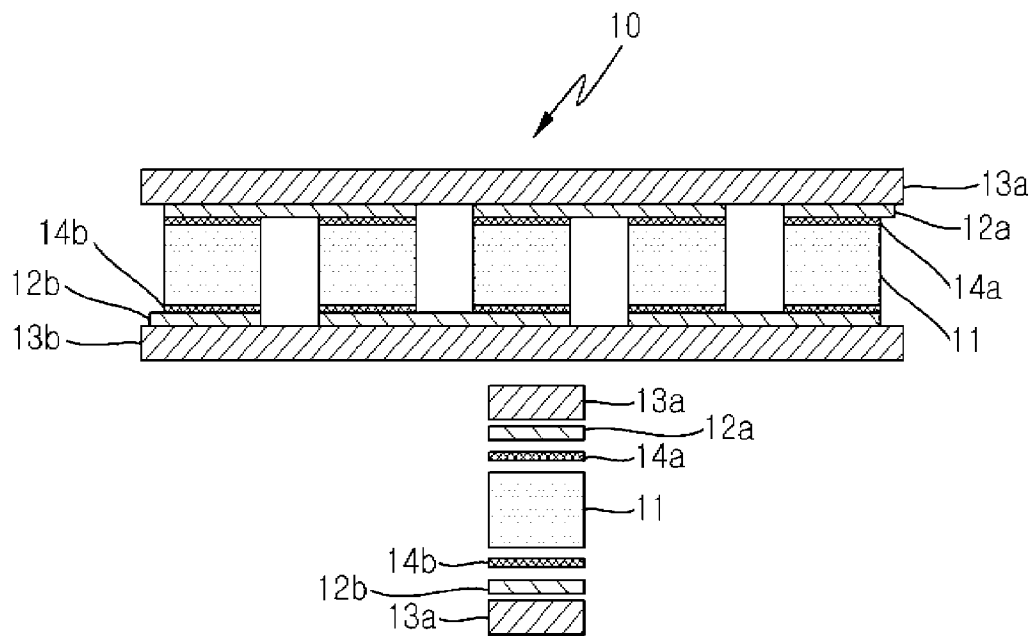
제10항에 있어서,

상기 다층 박막 접합 예정부의 용융 온도범위는 발열 다층 박막의 발열반응이 나타나는 온도 144°C 이상에서 피접합재가 용융되는 온도 이하인 열전소자의 제조방법.

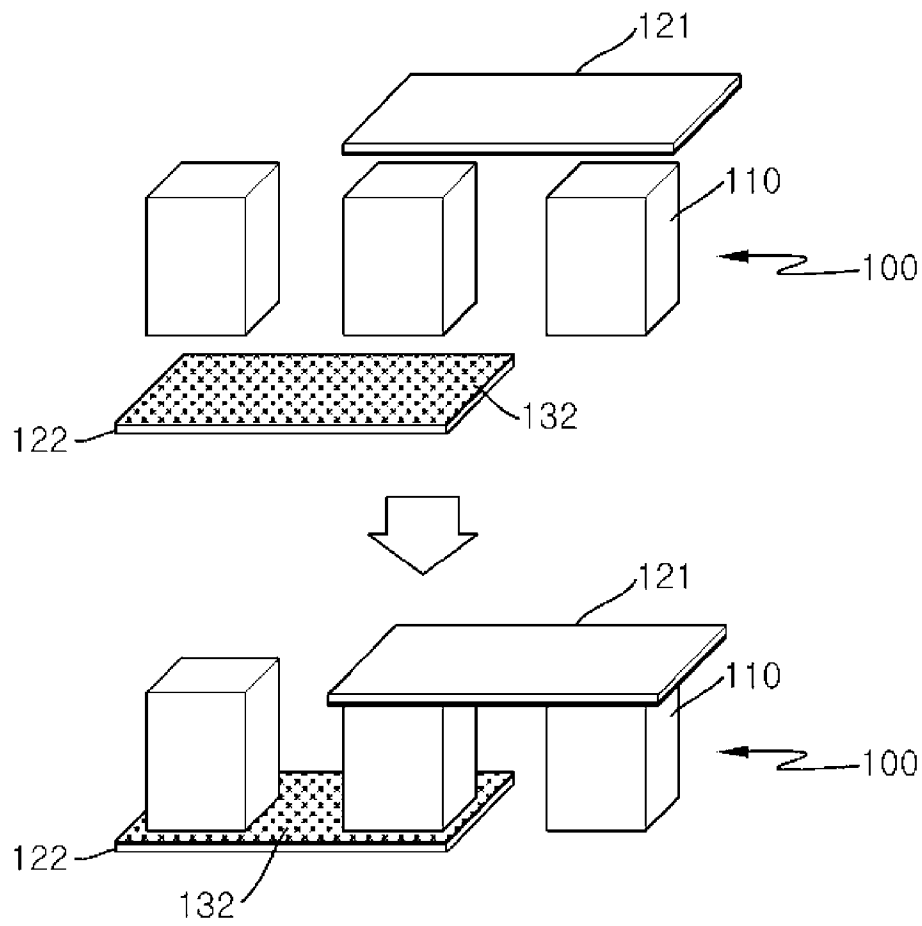
[Fig. 1]



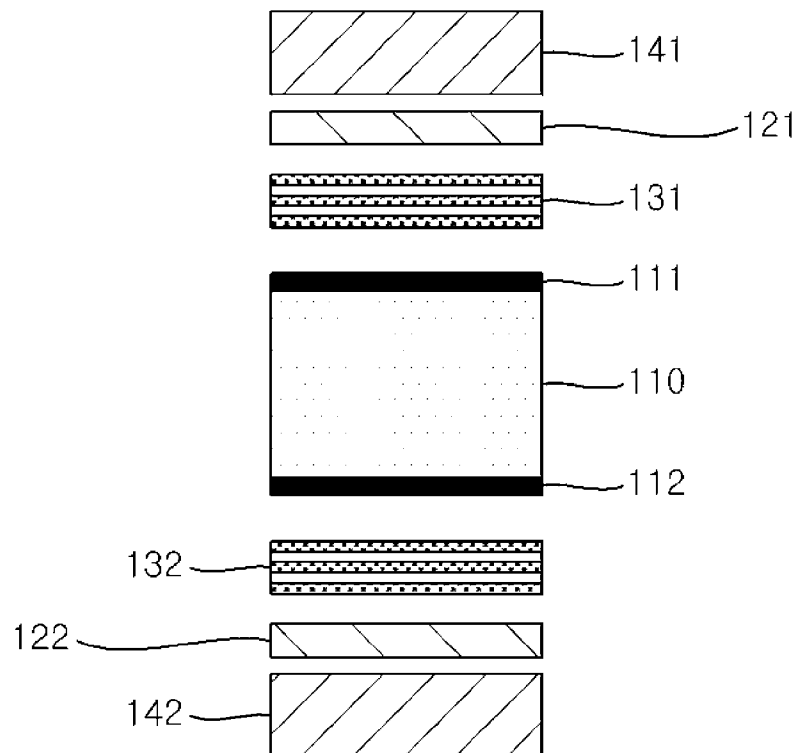
[Fig. 2]



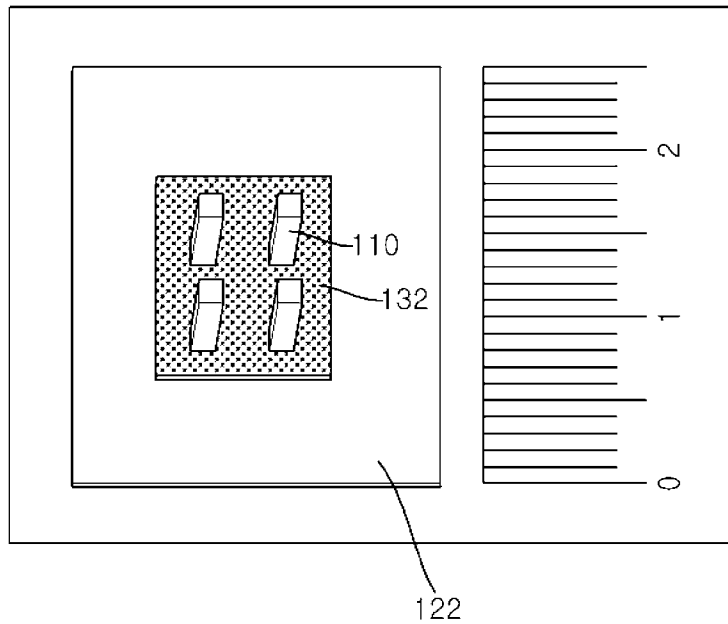
[Fig. 3]



[Fig. 4]

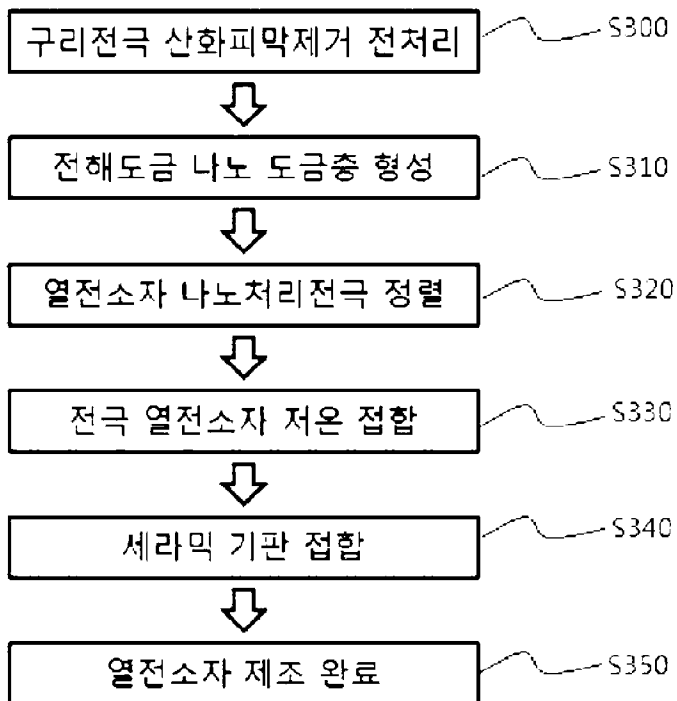


[Fig. 5]

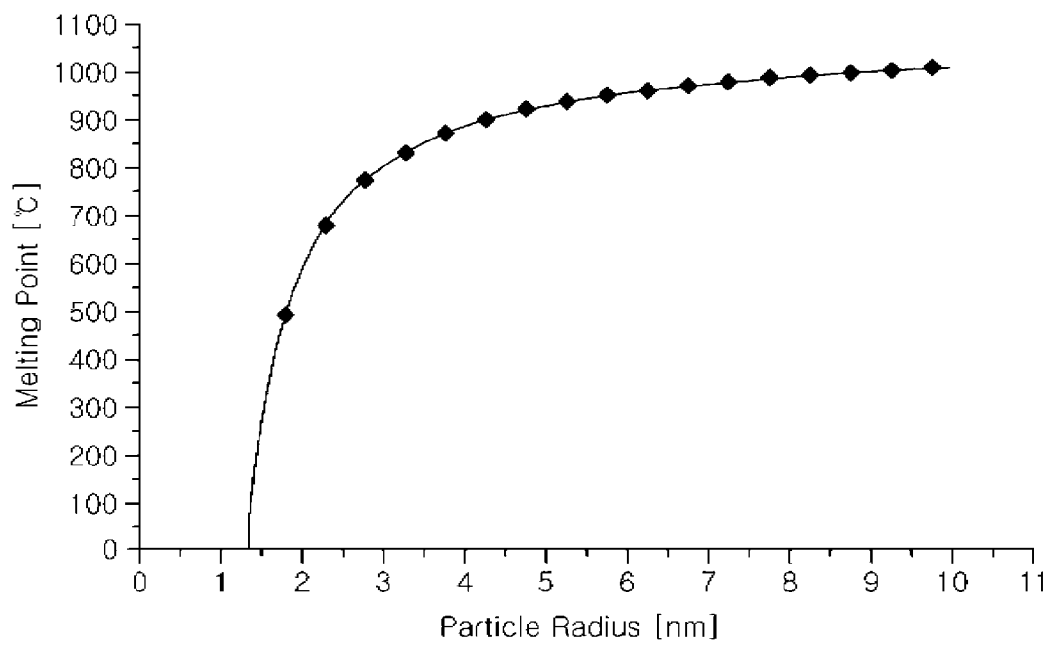


[Fig. 6]

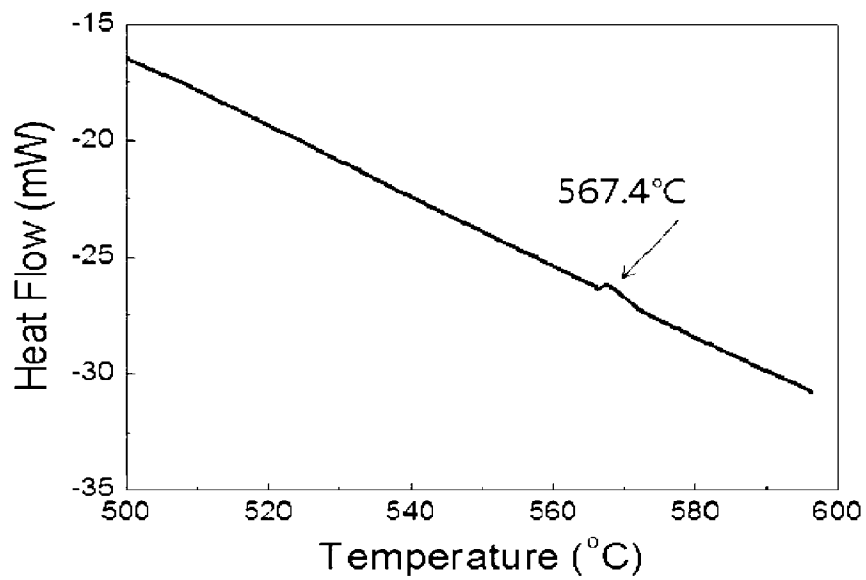
저온 접합 열전소자 제조



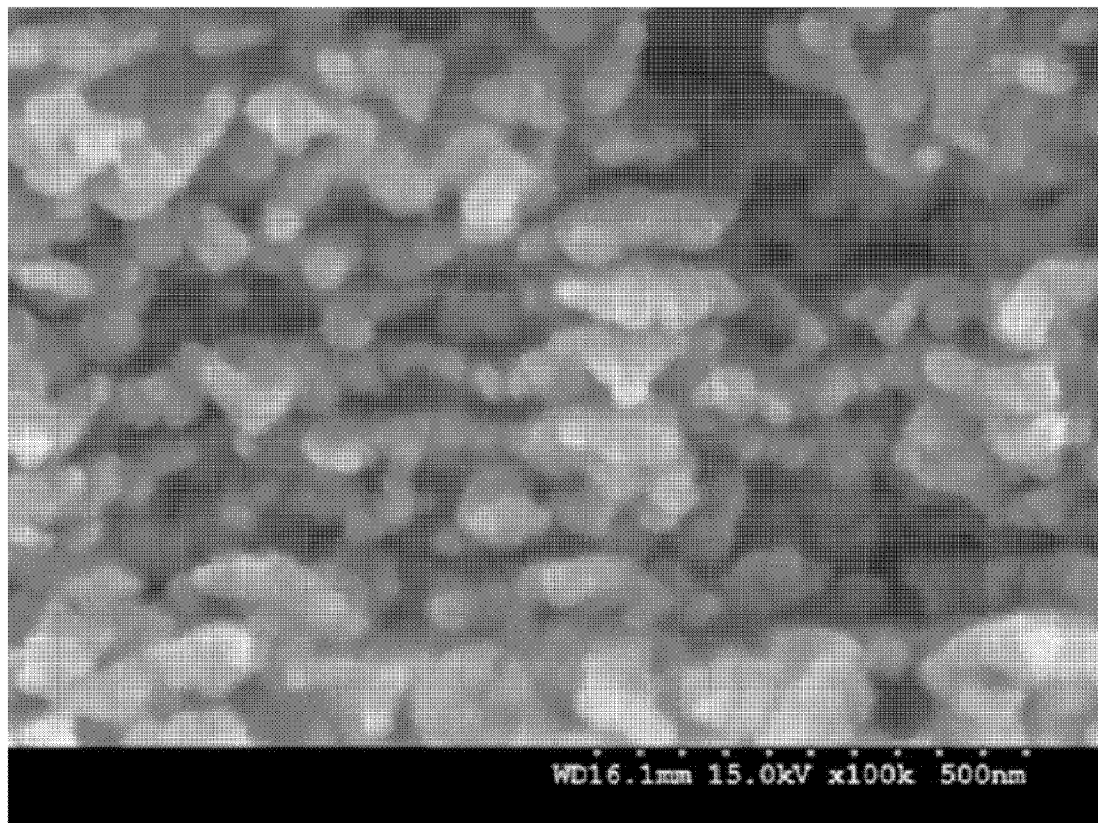
[Fig. 7]



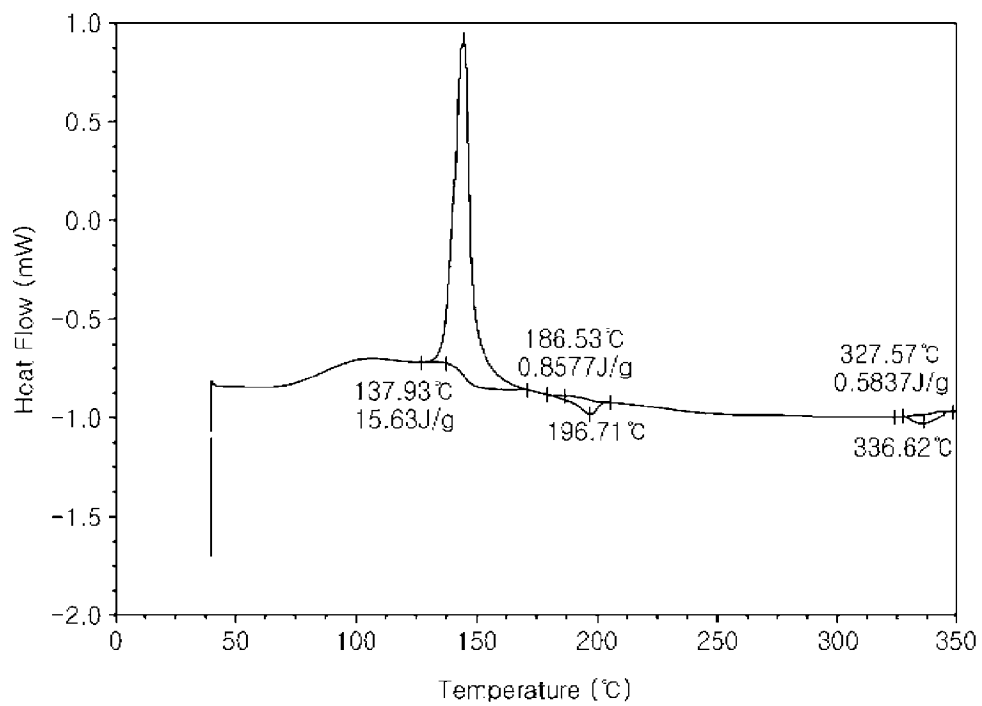
[Fig. 8]



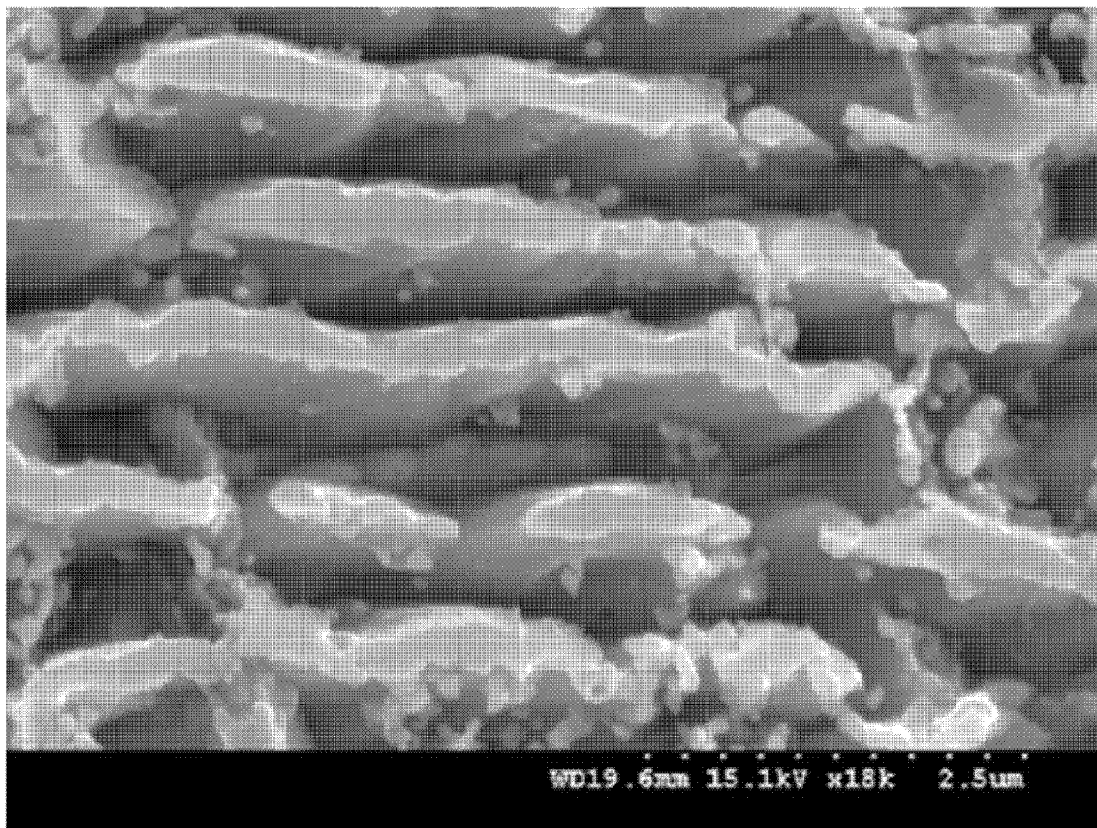
[Fig. 9]



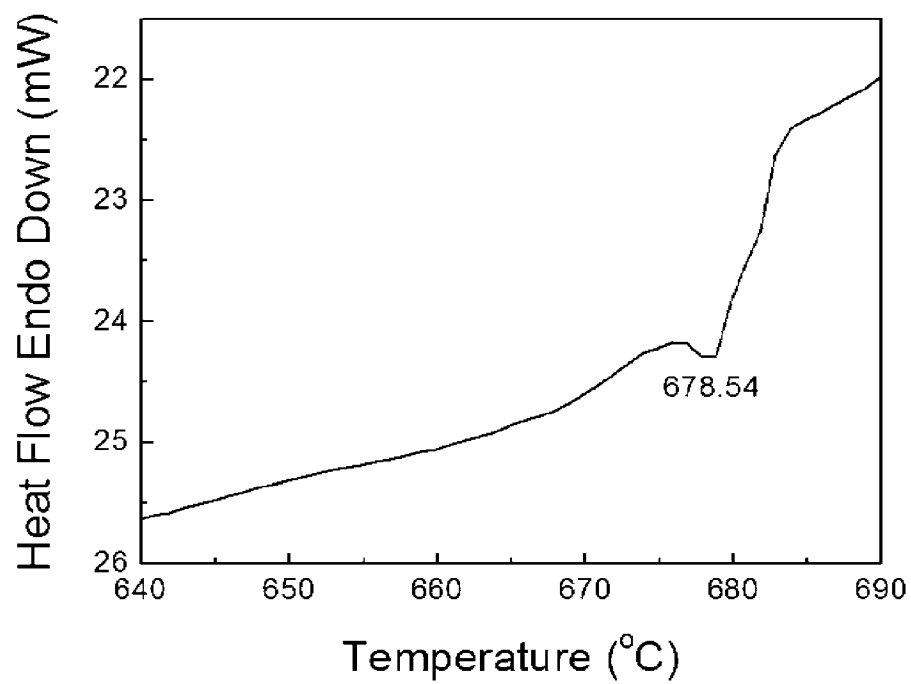
[Fig. 10]



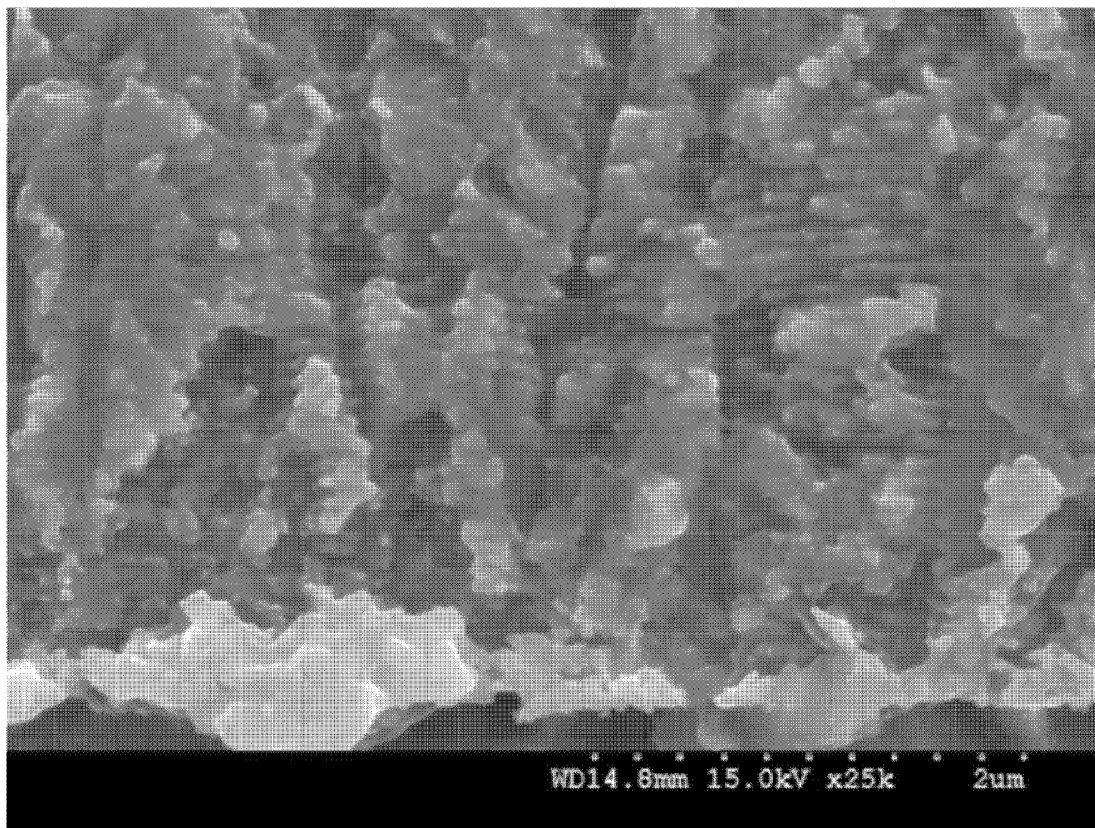
[Fig. 11]



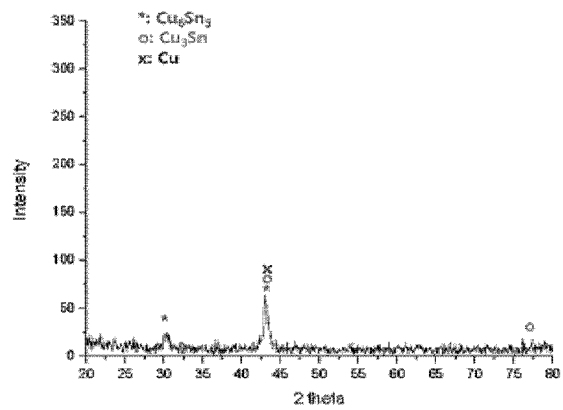
[Fig. 12]



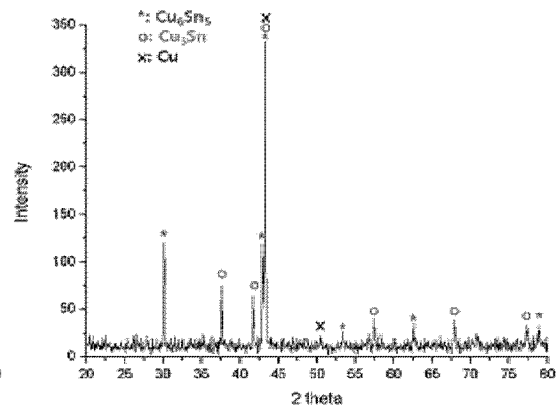
[Fig. 13]



[Fig. 14]

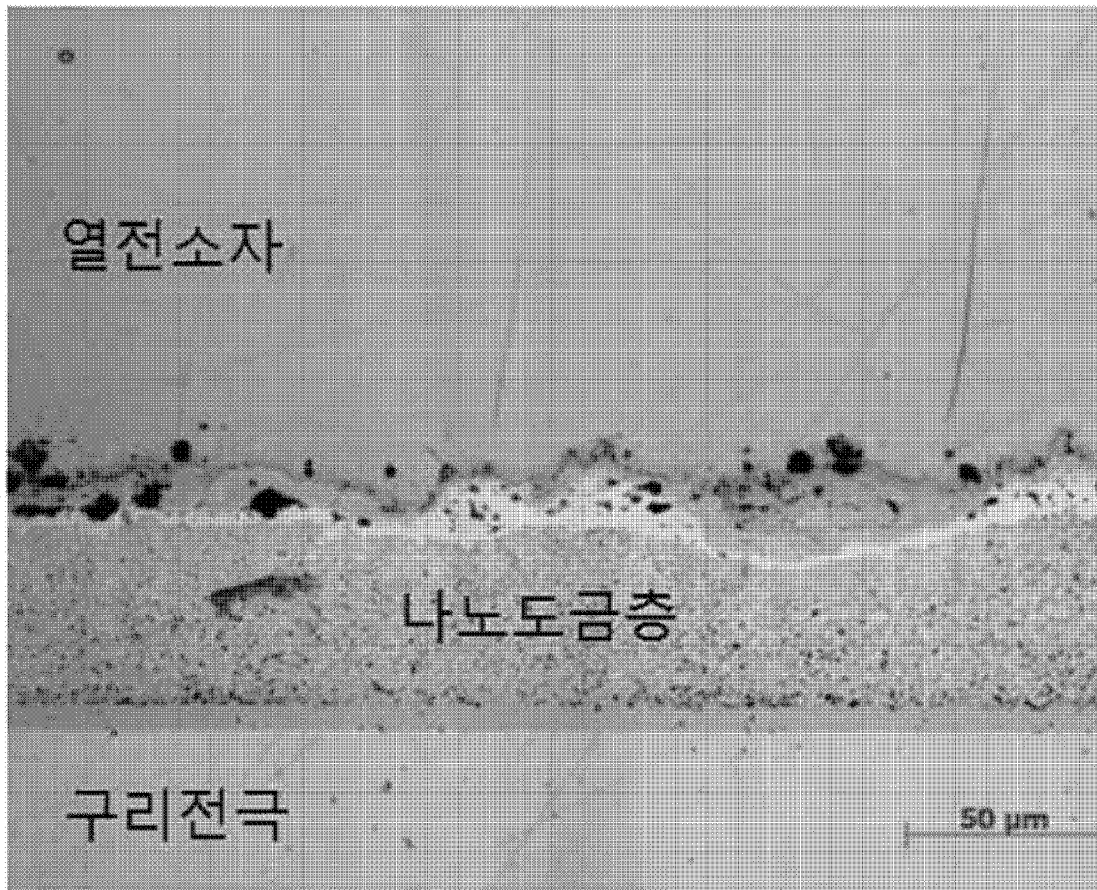


다층 금속 도금 박막 가열 전 비정질 특성

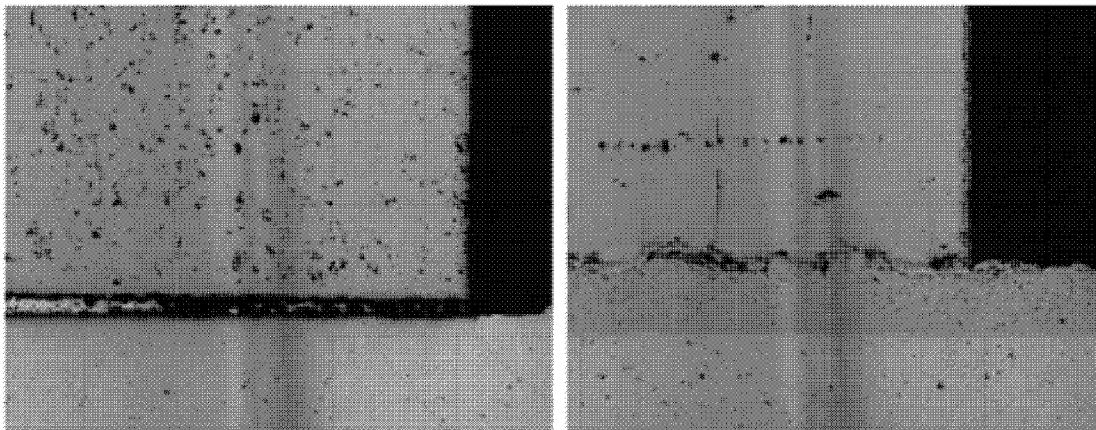


다층 금속 도금 박막 가열 후 결정질 특성

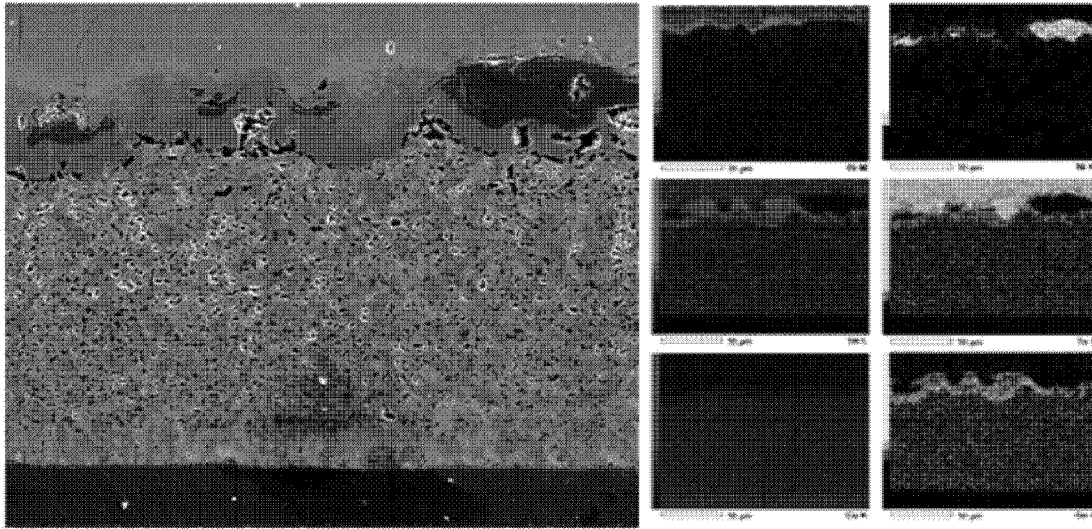
[Fig. 15]



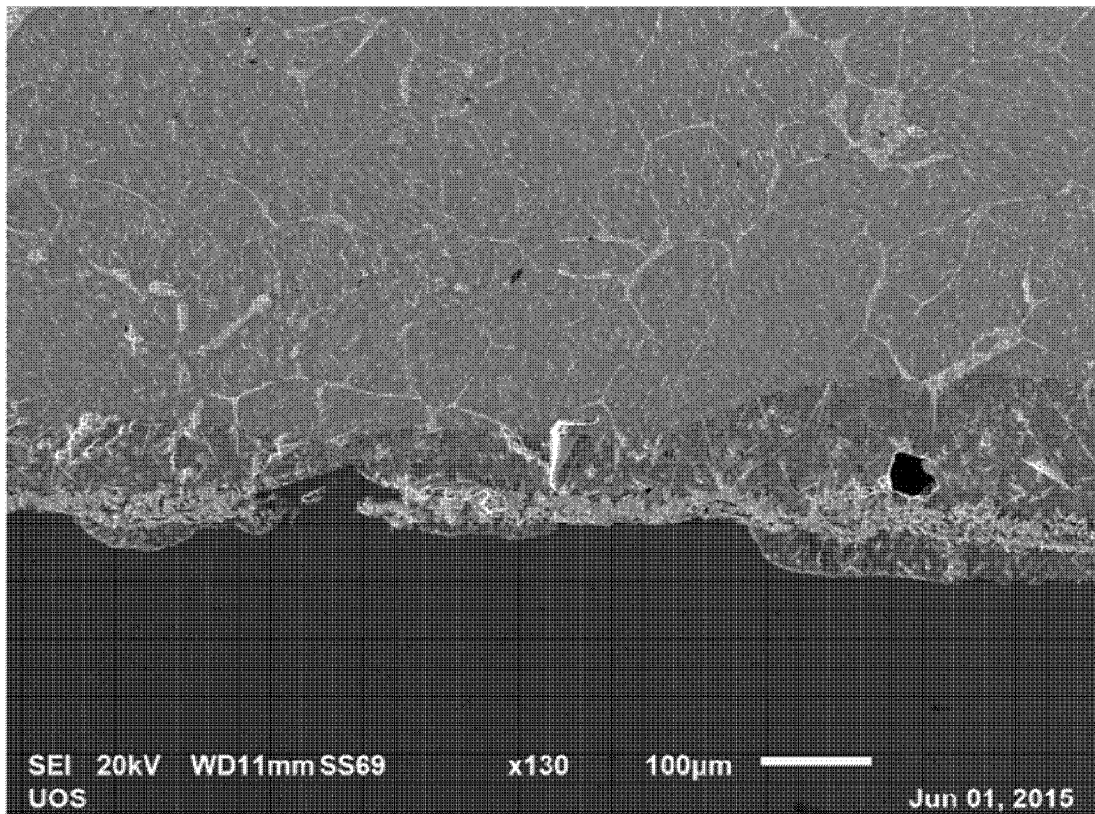
[Fig. 16]



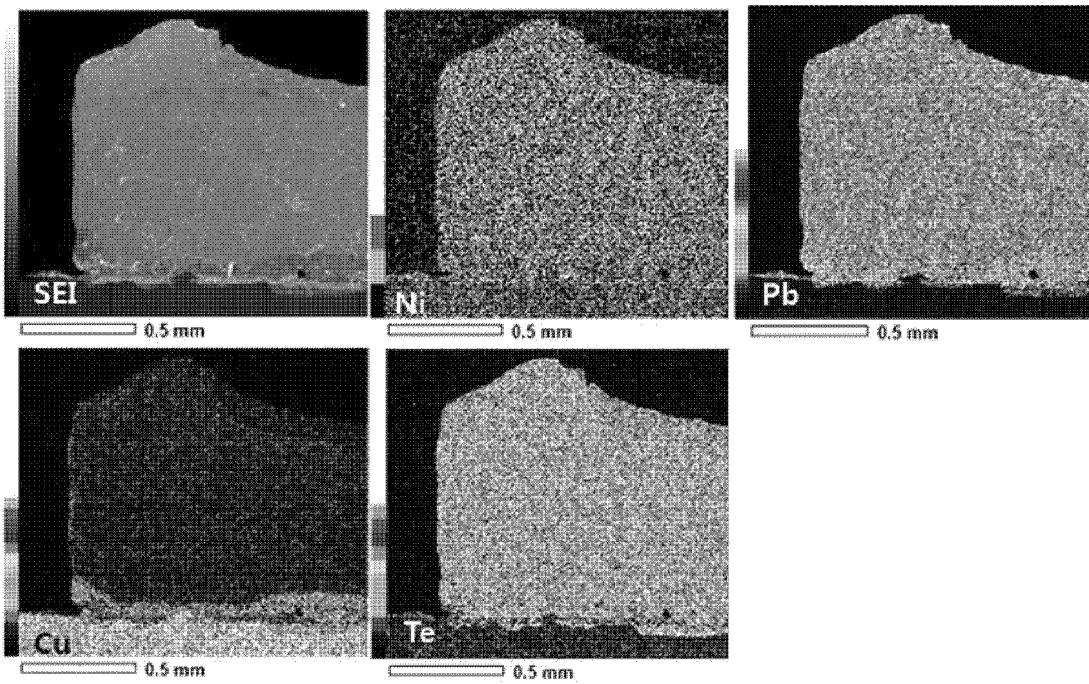
[Fig. 17]



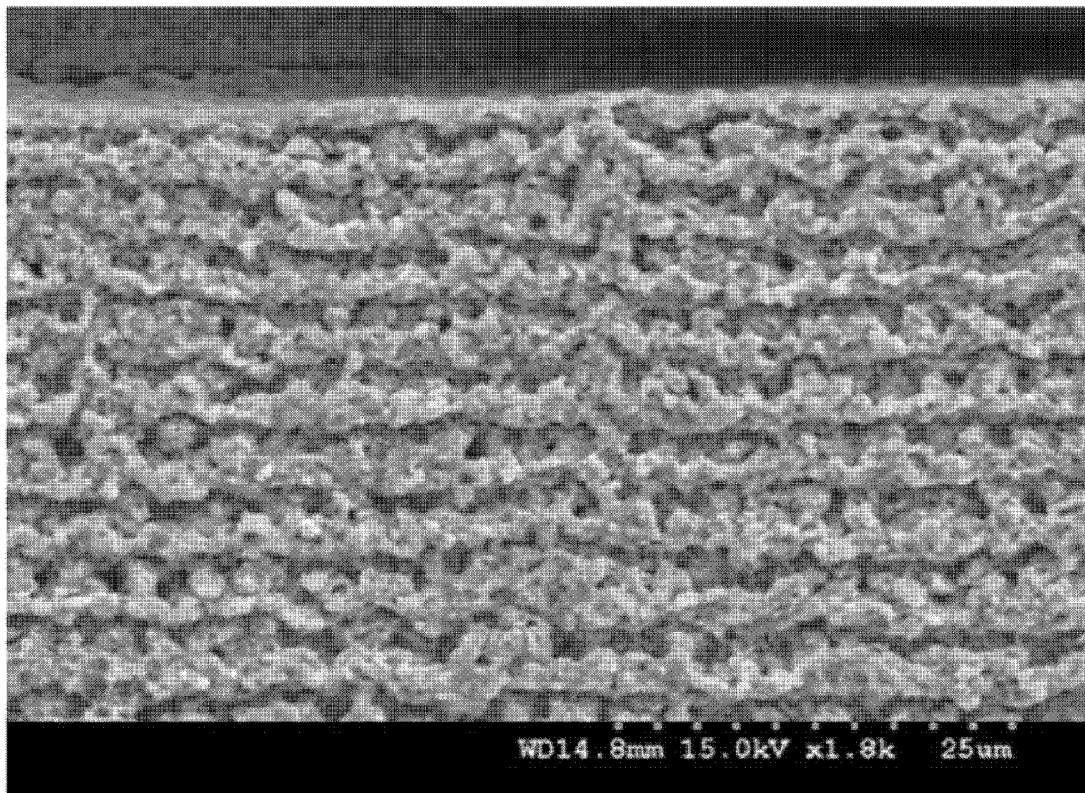
[Fig. 18]



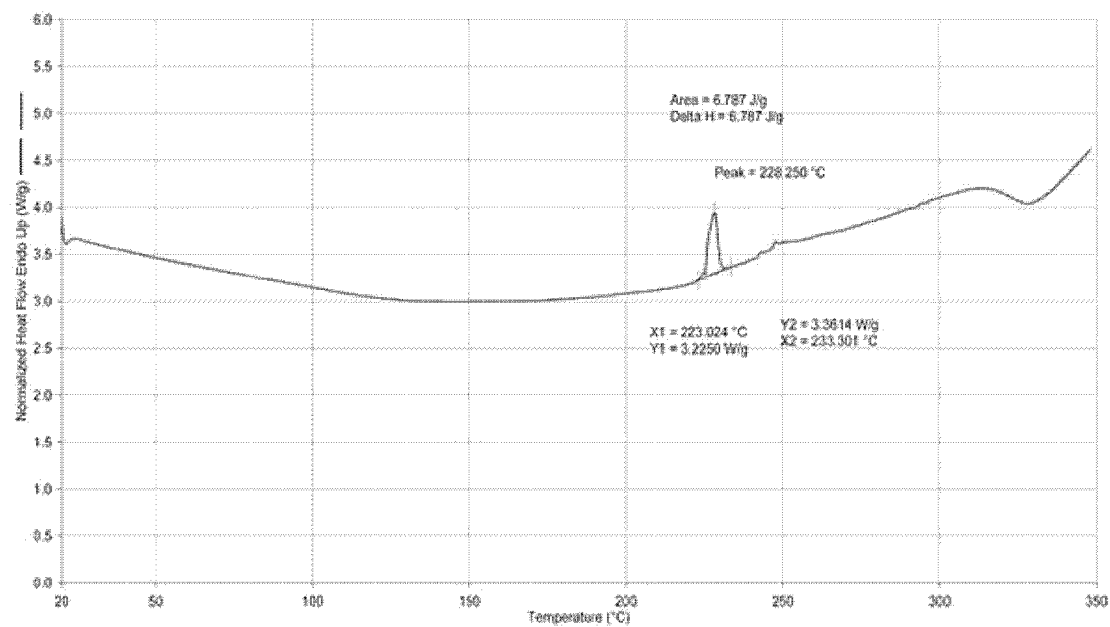
[Fig. 19]



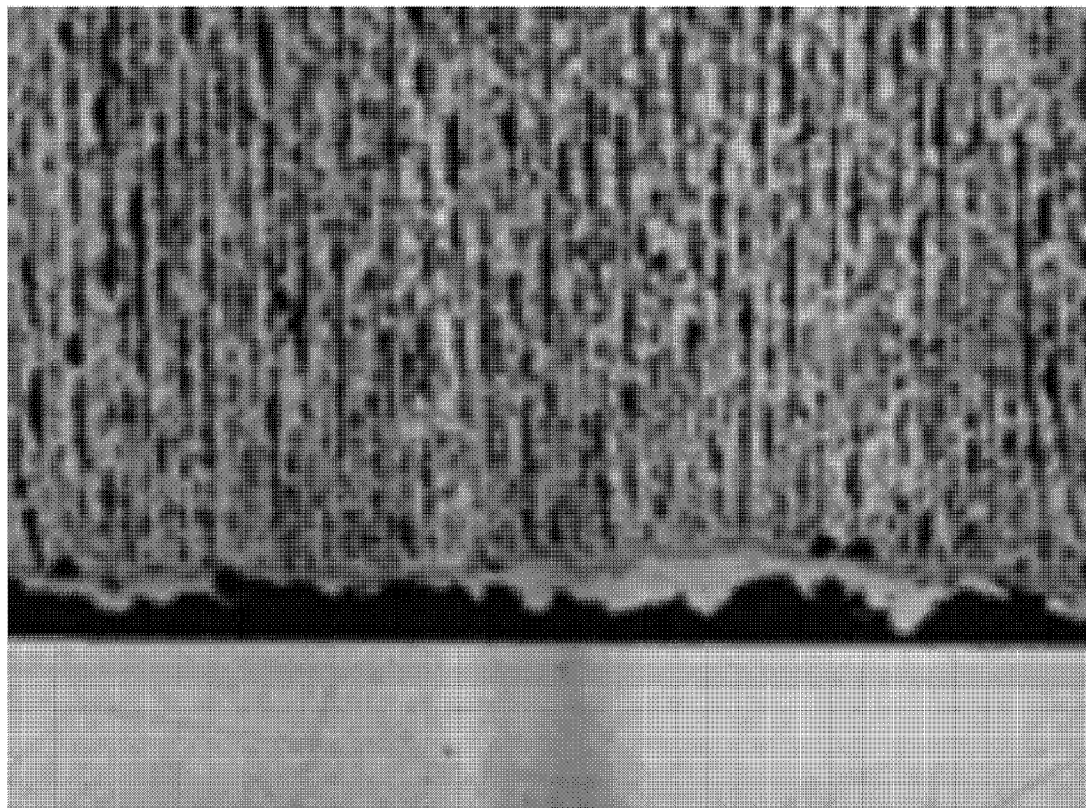
[Fig. 20]



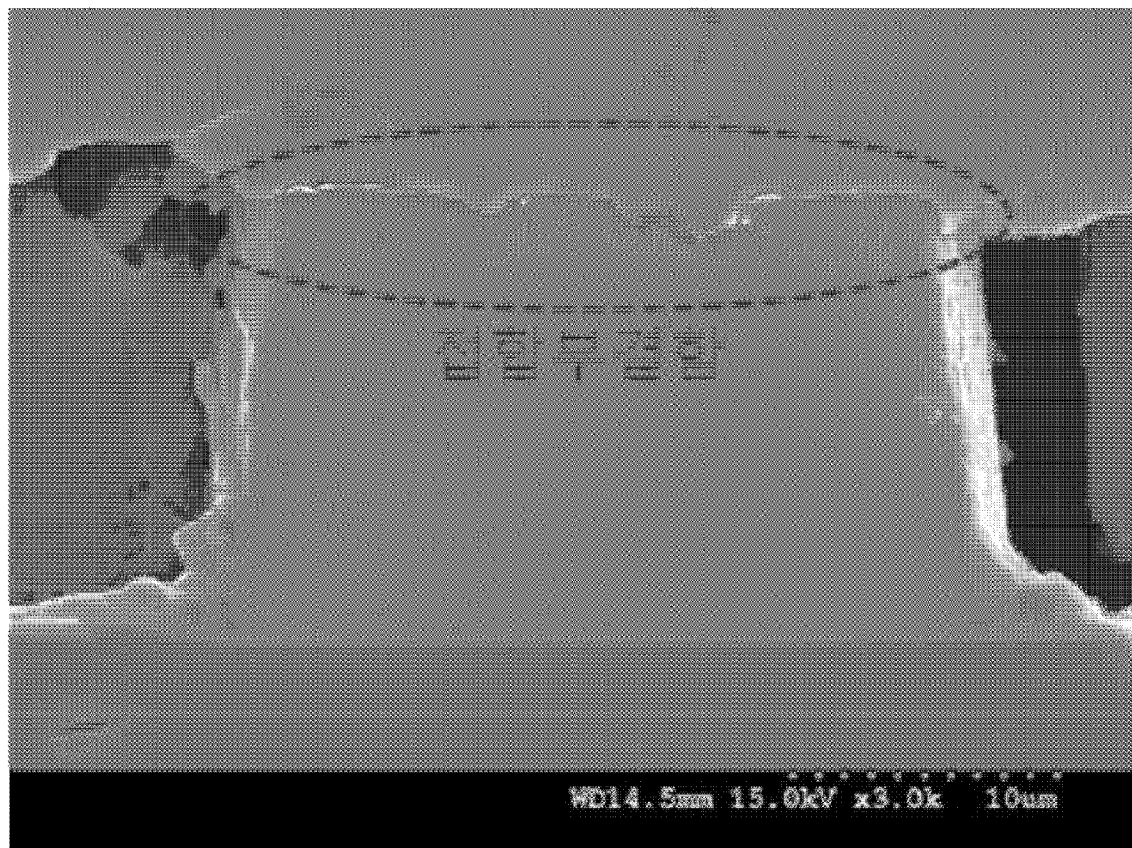
[Fig. 21]



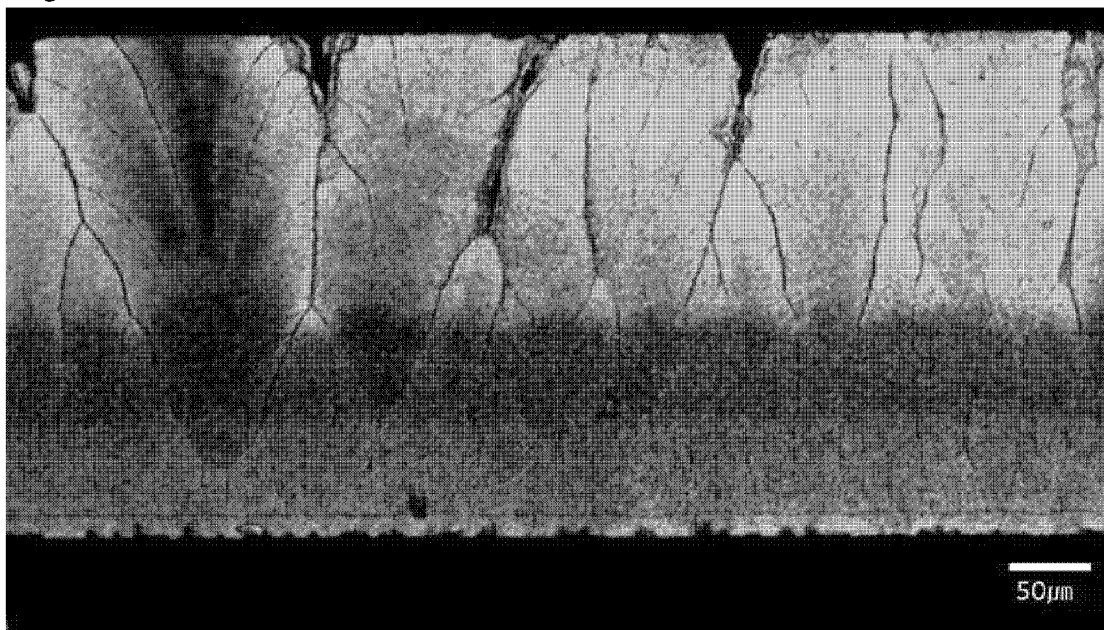
[Fig. 22]



[Fig. 23]



[Fig. 24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/008124

A. CLASSIFICATION OF SUBJECT MATTER

H01L 35/32(2006.01)i, H01L 35/02(2006.01)i, H01L 35/14(2006.01)i, H01L 35/34(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 35/32; H01L 35/02; H01L 35/08; H01L 35/18; H01L 35/34; H01L 35/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: thermoelectric semiconductor, electrode, amorphous, multilayer, thin film welding part, lower temperature welding

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-028462 A (YAMAHA CORP.) 30 January 2001 See paragraphs [0006]-[0032], claim 6 and figure 1.	1-15
Y	KR 10-2014-0050390 A (SAMSUNG ELECTRONICS CO., LTD.) 29 April 2014 See paragraphs [0012], [0026], [0047]-[0050], [0064], claim 13 and figures 1, 8.	1-15
Y	KR 10-2011-0043423 A (KOREA INSTITUTE OF MACHINERY & MATERIALS) 27 April 2011 See paragraph [0088], claim 1 and figure 3n.	5,6,12
A	KR 10-2011-0139210 A (ATSUMITEC CO., LTD. et al.) 28 December 2011 See paragraphs [0019]-[0028], claim 1 and figure 1.	1-15
A	JP 2006-135259 A (TOSHIBA CORP.) 25 May 2006 See paragraphs [0016]-[0044], claim 1 and figure 1.	1-15
A	LEE, Jun Hyung, "Fabrication of Metal Nano Layers by Electroplating and Low Temperature Soldering for 3-Dimensional Packagin", Master Thesis of Engineering of University of Seoul, August 2014, pages 1-79 See pages 30-67. * The above document is a document declaring exceptions to lack of novelty when an earlier application as a basis for claiming a right of priority is filed by the applicant.	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

15 NOVEMBER 2016 (15.11.2016)

Date of mailing of the international search report

15 NOVEMBER 2016 (15.11.2016)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/008124

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2001-028462 A	30/01/2001	NONE	
KR 10-2014-0050390 A	29/04/2014	US 2014-0109948 A1	24/04/2014
KR 10-2011-0043423 A	27/04/2011	KR 10-1068490 B1	28/09/2011
KR 10-2011-0139210 A	28/12/2011	CA 02754081 A1	16/09/2010
		CN 102422448 A	18/04/2012
		EP 2408032 A1	18/01/2012
		EP 2408032 B1	04/05/2016
		JP 2010-212579 A	24/09/2010
		US 2012-0003771 A1	05/01/2012
		WO 2010-103949 A1	16/09/2010
JP 2006-135259 A	25/05/2006	JP 04690700 B2	01/06/2011

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 35/32(2006.01)i, H01L 35/02(2006.01)i, H01L 35/14(2006.01)i, H01L 35/34(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 35/32; H01L 35/02; H01L 35/08; H01L 35/18; H01L 35/34; H01L 35/14

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 열전 반도체, 전극, 비정질, 다층, 박막 접합부, 저온 접합

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	JP 2001-028462 A (YAMAHA CORP.) 2001.01.30 단락 [0006]-[0032], 청구항 6 및 도면 1 참조.	1-15
Y	KR 10-2014-0050390 A (삼성전자주식회사) 2014.04.29 단락 [0012], [0026], [0047]-[0050], [0064], 청구항 13 및 도면 1, 8 참조.	1-15
Y	KR 10-2011-0043423 A (한국기계연구원) 2011.04.27 단락 [0088], 청구항 1 및 도면 3n 참조.	5, 6, 12
A	KR 10-2011-0139210 A (가부시키가이샤 아즈미테크 등) 2011.12.28 단락 [0019]-[0028], 청구항 1 및 도면 1 참조.	1-15
A	JP 2006-135259 A (TOSHIBA CORP.) 2006.05.25 단락 [0016]-[0044], 청구항 1 및 도면 1 참조.	1-15
X	이준형, '전해도금을 이용한 Metal Nano Layer 제조 및 3차원 실장을 위한 저온 접합 특성에 대한 연구', 서울시립대학교 학위논문(석사), 2014년 8월, 페이지 1 - 79 페이지 30 - 67 참조. ※ 위 문헌은 출원인이 우선권주장의 기초가 된 선출원 출원 시 신규성 상실의 예외로 선언한 공지문헌임.	1-15

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2016년 11월 15일 (15.11.2016)

국제조사보고서 발송일

2016년 11월 15일 (15.11.2016)

ISA/KR의 명칭 및 우편주소



대한민국 특허청

(35208) 대전광역시 서구 청사로 189,

4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

김도원

전화번호 +82-42-481-5560



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2001-028462 A	2001/01/30	없음	
KR 10-2014-0050390 A	2014/04/29	US 2014-0109948 A1	2014/04/24
KR 10-2011-0043423 A	2011/04/27	KR 10-1068490 B1	2011/09/28
KR 10-2011-0139210 A	2011/12/28	CA 02754081 A1	2010/09/16
		CN 102422448 A	2012/04/18
		EP 2408032 A1	2012/01/18
		EP 2408032 B1	2016/05/04
		JP 2010-212579 A	2010/09/24
		US 2012-0003771 A1	2012/01/05
		WO 2010-103949 A1	2010/09/16
JP 2006-135259 A	2006/05/25	JP 04690700 B2	2011/06/01