



- (51) 국제특허분류:
H02H 7/125 (2006.01) H02M 7/49 (2007.01)
H02H 7/12 (2006.01)
- (21) 국제출원번호: PCT/KR2016/006720
- (22) 국제출원일: 2016년 6월 23일 (23.06.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2015-0190365 2015년 12월 30일 (30.12.2015) KR
- (71) 출원인: 주식회사 효성 (HYOSUNG CORPORATION)
[KR/KR]; 04144 서울시 마포구 마포대로 119 (공덕동), Seoul (KR).
- (72) 발명자: 김희진 (KIM, Hee Jin); 04189 서울시 마포구 만리재로 36, 101-1602 (신공덕동, 공덕 아이파크), Seoul (KR). 이동수 (LEE, Dong Su); 13922 경기도 안양시 동안구 관악대로 121, 114-901 (비산동), Gyeonggi-do (KR). 허견 (HUR, Kyeon); 05508 서울시 송파구 올림픽로 399, 5-102 (신천동, 진주아파트), Seoul (KR). 강재식 (KANG, Jae Sik); 04801 서울시 성동구 광나루로 9길 8, 403호 (송정동), Seoul (KR). 김상민 (KIM,

Sang Min); 05311 서울시 강동구 구천면로 42길 92, 401호 (천호동), Seoul (KR). 나종서 (NA, Jong Seo); 03726 서울시 서대문구 연희로 10가길 8, 405호 (연희동), Seoul (KR).

(74) 대리인: 특허법인 남촌 (NAMCHON PATENT AND LAW FIRM); 03173 서울시 종로구 세문안로 5길 37, 도림빌딩 406호 (도림동), Seoul (KR).

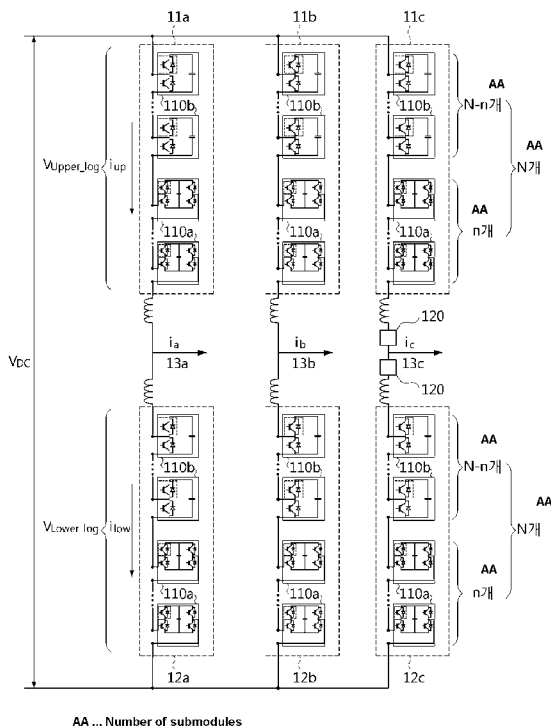
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[다음 쪽 계속]

(54) Title: MODULAR MULTI-LEVEL CONVERTER AND DC FAILURE BLOCKING METHOD THEREFOR

(54) 발명의 명칭: 모듈러 멀티레벨 컨버터 및 이의 DC 고장 차단 방법



AA ... Number of submodules

(57) Abstract: The present invention provides: a modular multilevel converter (MMC) capable of blocking a DC failure and reducing loss by mixedly using a half-bridge sub-module and a full-bridge sub-module in a converter arm of the MMC; and a DC failure blocking method therefor. The MMC according to the present invention comprises a plurality of converter arms, each converter arm comprising: N ($N \geq 2$, integer) number of sub-modules connected in series to each other; and a circuit opening unit connected in series to the N number of sub-modules so as to open a circuit of the converter arm, wherein the N number of sub-modules comprise n ($n < N$) number of sub-modules including a full-bridge circuit and N-n number of sub-modules including a half-bridge circuit.

(57) 요약서: 본 발명은 MMC 컨버터의 컨버터 암에 하프브릿지의 서브모듈과 풀브릿지의 서브모듈을 혼합하여 사용하여 DC 고장 차단이 가능하면서도 손실을 줄일 수 있도록 하는 MMC 컨버터 및 이의 DC 고장 차단방법을 제공한다. 본 발명에 따른 모듈러 멀티레벨 컨버터는, 복수의 컨버터 암(Arm)을 포함하는 모듈러 멀티레벨 컨버터(MMC)에 있어서, 상기 각각의 컨버터 암은, 서로 직렬로 연결된 $N(N \geq 2, \text{정수})$ 개의 서브모듈; 및 상기 N개의 서브모듈에 직렬 연결되어 상기 컨버터 암의 회로를 개방(open)시키는 회로개방부;를 포함하고, 상기 N개의 서브모듈은 풀브릿지 회로를 포함하는 n개($n < N$)의 서브모듈과 하프브릿지 회로를 포함하는 N-n개의 서브모듈로 구성됨을 특징으로 한다.



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, **공개:**

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,

GW, KM, ML, MR, NE, SN, TD, TG).

— 국제조사보고서와 함께 (조약 제 21 조(3))

명세서

발명의 명칭: 모듈러 멀티레벨 컨버터 및 이의 DC 고장 차단 방법 기술분야

- [1] 본 발명은 모듈러 멀티레벨 컨버터(Modular Multilevel Converter:MMC)에 관한 것으로서, 특히 MMC 컨버터의 컨버터 암에 하프브릿지의 서브모듈과 풀브릿지의 서브모듈을 혼합하여 사용하여 DC 고장차단이 가능하면서도 손실을 줄일 수 있도록 하는 MMC 컨버터 및 이의 DC 고장 차단방법에 관한 것이다.

배경기술

- [2] 모듈러 멀티레벨 컨버터(MMC)는 다중 레벨 컨버터의 한 종류로서, 여러 개의 서브모듈(Sub Module:SM)로 이루어진 컨버터이다. 모듈러 멀티 레벨 컨버터(MMC)는 다중 컨버터가 가지는 높은 전압의 출력 및 대용량의 출력을 나타낼 수 있고, 계단식의 출력으로 출력 전압을 조절할 수 있다.
- [3] 이러한 MMC 컨버터는 일반적인 다중레벨 컨버터에 비해 구조가 간단하여 구현하기가 쉽고 여분의 서브모듈을 사용함으로써 수명을 연장시킬 수 있다는 장점이 있다.
- [4] 도 1은 일반적인 MMC 컨버터의 구성도이다.
- [5] 도 1을 참조하면, MMC 컨버터(10)는 예컨대, 3개의 레그(Leg)(13a,13b,13c), 6개의 암(Arm)(11a,11b,11c,12a,12b,12c)으로 이루어지고, 각 암(Arm)에는 복수의 서브모듈(SM)이 포함된다. 이러한 암(Arm)은 상위 암(Upper Arm)(11a,11b,11c) 및 하위 암(Lower Arm)(12a,12b,12c)으로 구성될 수 있다. 도면에는 일례로 각 암별로 4개의 서브모듈(SM)을 예시하고 있으나 이러한 서브모듈(SM)의 개수는 당연히 변경이 가능하다.
- [6] 이러한 MMC 컨버터(10)는 모선을 통해 입력된 DC측 입력전압(V_{dc})을 3개의 레그(13a,13b,13c)를 통해 AC측 출력전압으로 변환하여 출력한다. 이러한 출력전압은 각 암에 포함된 서브모듈(SM)의 온/오프(On/Off) 상태에 따라 달라진다. 즉, 상위 암 및 하위 암 각각에 일례로 4개의 서브모듈이 포함된 경우, 온(On) 상태를 유지하는 서브모듈(SM)의 개수에 따라 출력전압을 5단계(서브모듈의 개수+1)로 조절할 수 있다. 이때 출력전압을 조절하기 위해 각 암에 있는 서브모듈(SM)의 스위치의 온/오프를 제어할 수 있다.
- [7] 도 2는 일반적인 MMC 컨버터의 서브모듈의 구성에 대한 일 예시도이다.
- [8] 도 2를 참조하면, 각각의 서브모듈(SM)은 한 쌍의 전력용반도체(21)와, 이들 전력용반도체(21)에 병렬 연결된 커패시터(22)를 포함하는 이른바 하프브릿지(half bridge) 회로를 포함한다. 전력용반도체(21)는 파워반도체소자(21a)와 이에 역병렬 연결될 다이오드(21b)를 포함한다.
- [9] 그런데, 종래의 MMC 컨버터는 AC 고장에 대한 대책은 많으나 DC 고장에 대한

대책이 거의 없는 실정이다. 즉, 종래의 하프브릿지 회로로 구성된 서브모듈의 경우 DC 고장이 발생하면 AC측으로부터의 고장전류가 다이오드(21b)로만 흐르기 때문에 고장전류를 차단할 수 없다는 문제점이 있다. 이에 고장전류를 차단하기 위해 종래에 풀브릿지 회로로 구성된 서브모듈이 제시되었다.

[10] 도 3은 일반적인 MMC 컨버터의 서브모듈의 구성에 대한 다른 예시도이다.

[11] 도 3을 참조하면, 각각의 서브모듈(SM)은 서로 병렬 연결된 두 쌍의 전력용반도체(31)와, 이들 전력용반도체(31)에 병렬로 연결된 커패시터(32)를 포함하는 이른바 풀브릿지(full bridge) 회로를 포함한다. 이러한 전력용반도체(31)는 파워반도체소자(31a)와 이에 역병렬 연결될 다이오드(31b)를 포함한다.

[12] 이와 같이, 풀브릿지 회로로 구성된 서브모듈의 경우 DC 고장발생시 AC측으로부터의 고장전류에 의해 내부의 커패시터(33)에 역전압이 걸리므로 고장전류를 차단할 수 있다는 장점은 있으나, IGBT(31)의 스위칭 동작에 따른 손실이 증가하는 단점이 있다. 실제 동일한 개수의 서브모듈을 하프브릿지 회로보다 풀브릿지 회로로 구성하는 경우 약 30% 이상으로 스위칭 손실이 발생한다.

발명의 상세한 설명

기술적 과제

[13] 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, MMC 컨버터를 구성하는 복수의 서브모듈에 대하여 풀브릿지 회로와 하프브릿지 회로를 적절한 개수로 구성함으로써 DC 고장차단이 가능하면서도 손실을 줄일 수 있도록 하는 MMC 컨버터를 제공하는데 그 목적이 있다.

과제 해결 수단

[14] 본 발명에 따른 모듈러 멀티레벨 컨버터는, 복수의 컨버터 암(Arm)을 포함하는 모듈러 멀티레벨 컨버터(MMC)에 있어서, 상기 각각의 컨버터 암은, 서로 직렬로 연결된 $N(N \geq 2, \text{정수})$ 개의 서브모듈; 및 상기 N 개의 서브모듈에 직렬 연결되어 상기 컨버터 암의 회로를 개방(open)시키는 회로개방부;를 포함하고, 상기 N 개의 서브모듈은 풀브릿지 회로를 포함하는 n 개($n < N$)의 서브모듈과 하프브릿지 회로를 포함하는 $N-n$ 개의 서브모듈로 구성됨을 특징으로 한다.

[15] 본 발명에서, 상기 MMC 컨버터의 DC 고장 발생시 상기 서브모듈의 풀브릿지 회로 및 하프브릿지 회로 내의 전력용반도체가 오프(off)되고 상기 컨버터 암에서의 DC 고장전류가 일정시간(T) 동안 0(zero)가 된다.

[16] 본 발명에서, 상기 일정시간(T) 동안 내에 상기 회로개방부가 동작하여 상기 컨버터 암의 회로를 개방시킨다.

[17] 본 발명에서, 상기 일정시간(T)은 상기 풀브릿지 회로를 포함하는 서브모듈의 개수(n)에 비례하며, 상기 풀브릿지 회로를 포함하는 서브모듈의 개수(n)는 상기 일정시간(T)이 상기 회로개방부의 동작시간보다 길도록 설정된다.

- [18] 본 발명에서, 상기 풀브릿지회로를 포함하는 서브모듈의 개수(n)는 상기 풀브릿지회로의 커패시터에 저장된 전압이 상기 MMC 컨버터의 AC측의 3상 선간전압의 피크치보다 작도록 설정된다.
- [19] 본 발명에서, 상기 회로개방부는 상기 컨버터 암의 DC 고장전류가 0(zero)일 때 동작하는 단로기(disconnector)를 포함한다.
- [20] 본 발명에서, 상기 회로개방부는 서로 직렬 연결된 적어도 하나의 전력용반도체를 포함하고, 상기 회로개방부의 전력용반도체는 상기 서브모듈 내의 전력용반도체에 역방향으로 배치된다.
- [21] 본 발명에서, 상기 컨버터 암에서의 DC 고장전류가 0(zero)에서 기설정된 범위 이내이면 상기 회로개방부의 전력용반도체가 오프(off)되어 상기 컨버터 암에서의 DC 고장전류가 차단된다.
- [22] 본 발명에서, 상기 회로개방부는 상기 컨버터 암의 DC 고장전류가 0(zero)일 때 동작하는 단로기 및 상기 단로기에 직렬 연결되고 서로 직렬 연결된 적어도 하나의 전력용반도체를 포함하고, 상기 회로개방부의 전력용반도체는 상기 서브모듈 내의 전력용반도체에 역방향으로 배치되고, 상기 컨버터 암에서의 DC 고장전류가 0(zero)에서 기설정된 범위 이내이면 오프(off)되어 상기 컨버터 암에서의 DC 고장전류가 차단된다.
- [23]
- [24] 또한, 본 발명의 실시 예에 따른 모듈러 멀티레벨 컨버터의 DC 고장 차단방법은, 복수의 컨버터 암(Arm)을 포함하고, 각 컨버터 암은 직렬 연결된 $N(N \geq 2, \text{정수})$ 개의 서브모듈 및 상기 N 개의 서브모듈에 직렬 연결되어 상기 컨버터 암의 회로를 개방(open)시키는 회로개방부를 포함하며, 상기 N 개의 서브모듈은 풀브릿지회로를 포함하는 $n(n < N)$ 개의 서브모듈과 하프브릿지회로를 포함하는 $N-n$ 개의 서브모듈로 구성된 모듈러 멀티레벨 컨버터(MMC)의 DC 고장 차단방법에 있어서, 제어부에서 상기 MMC 컨버터의 DC 고장을 인지하는 단계; 상기 제어부에서 상기 서브모듈의 풀브릿지회로 및 하프브릿지회로 내의 전력용반도체를 오프시키는 단계; 상기 제어부에서 상기 컨버터 암에서의 DC 고장전류가 0(zero) 또는 0(zero)에서 기설정된 범위 이내이면 상기 컨버터의 암의 회로를 오픈(open)시켜 상기 DC 고장에 따른 DC 고장전류를 차단하도록 상기 회로개방부를 동작시키는 단계를 포함하는 것을 특징으로 한다.
- [25] 본 발명에서, 상기 회로개방부는 상기 컨버터 암의 DC 고장전류가 0(zero) 또는 0(zero)에서 기설정된 범위 이내로 유지되는 일정시간(T) 동안에 동작된다.
- [26] 본 발명에서, 상기 일정시간(T)은 상기 풀브릿지 회로를 포함하는 서브모듈의 개수(n)에 비례하며, 상기 풀브릿지 회로를 포함하는 서브모듈의 개수(n)는 상기 일정시간(T)이 상기 회로개방부의 동작시간보다 길도록 설정된다.
- [27] 본 발명에서, 상기 회로개방부는 상기 컨버터 암에서의 DC 고장전류가 0(zero)일 때 동작하는 단로기(disconnecting switch)를 포함한다.

- [28] 본 발명에서, 상기 회로개방부는 서로 직렬 연결되고 상기 서브모듈 내의 전력용반도체에 역방향으로 배치된 적어도 하나의 전력용반도체를 포함하고, 상기 회로개방부의 전력용반도체는 상기 컨버터 암에서의 DC 고장전류가 0(zero)에서 기설정된 범위 이내이면 오프(off)되어 상기 컨버터 암에서의 DC 고장전류가 차단된다.

발명의 효과

- [29] 본 발명에 의하면 MMC 컨버터에서 복수의 서브모듈을 풀브릿지 서브모듈과 하프브릿지 서브모듈을 혼합하여 사용하기 때문에 MMC 컨버터의 DC 고장 발생시 고장전류를 차단할 수 있으며, 이에 따라 DC 고장전류로부터 서브모듈 내부의 소자의 손상을 막을 수 있다.
- [30] 또한, 본 발명에 의하면 동일한 효과를 가지는 종래의 풀브릿지 서브모듈에 비해 적은 개수의 IGBT와 다이오드의 사용이 가능하여 구현비용을 절감할 수 있으며 상시에는 스위칭 동작이 일어나지 않으므로 스위칭 손실이 감소한다.
- [31] 또한, 본 발명에 의하면 MMC 컨버터의 서브모듈 내 커패시터에 저장된 전압의 방전을 막기 때문에 DC 고장의 제거 후 빠른 재기동이 가능하다.

도면의 간단한 설명

- [32] 도 1은 일반적인 MMC 컨버터의 구성도,
 [33] 도 2는 일반적인 MMC 컨버터의 서브모듈의 구성에 대한 일 예시도,
 [34] 도 3은 일반적인 MMC 컨버터의 서브모듈의 구성에 대한 다른 예시도,
 [35] 도 4는 본 발명의 실시 예에 따른 MMC 컨버터의 구성도,
 [36] 도 5는 본 발명에 따른 MMC 컨버터의 DC 고장발생시 컨버터 암에서의 DC 고장전류 파형도,
 [37] 도 6은 본 발명의 다른 실시 예에 따른 회로개방부의 예시적인 구성도.

발명의 실시를 위한 형태

- [38] 이하, 본 발명의 일부 실시 예들을 예시적인 도면을 통해 상세히 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 또한, 본 발명의 실시 예를 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 실시 예에 대한 이해를 방해한다고 판단되는 경우에는 그 상세한 설명은 생략한다.
- [39] 또한, 본 발명의 실시 예의 구성요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성요소의 본질이나 차례 또는 순서 등이 한정되지 않는다. 어떤 구성요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성요소는 그 다른 구성요소에 직접적으로 연결되거나 접속될 수 있지만, 각 구성요소 사이에 또 다른 구성요소가 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

- [40] 도 4는 본 발명의 실시 예에 따른 MMC 컨버터의 구성도이다.
- [41] 도 4를 참조하면, 본 발명에 따른 모듈러 멀티레벨 컨버터(MMC,100)는 3개의 레그(103a,103b,103c)와, 6개의 암(Arm)(101a,101b,101c,102a,102b,102c)으로 이루어지고, 각 암(Arm)에는 복수의 서브모듈(SM)이 포함된다. 이러한 암(Arm)은 다시 상위 암(Upper Arm)(101a,101b,101c) 및 하위 암(Lower Arm)(102a,102b,102c)으로 구성된다. 이들 각 컨버터 암(101a,101b,101c,102a,102b,102c)은 동일한 구성을 가지므로, 본 발명에서는 설명의 편의상 하나의 컨버터 암(101a)에 대해 설명한다.
- [42] 각 컨버터 암(101a)은 서로 직렬로 연결된 $N(N \geq 2, \text{정수})$ 개의 서브모듈(110)과, 각 서브모듈(110)에 직렬 연결되어 컨버터 암(101a)의 회로를 개방(open)시키는 회로개방부(120)를 포함한다. 이들 N 개의 서브모듈(110) 및 회로개방부(120)는 제어부(미도시)에 의해 그 동작이 제어된다.
- [43] 여기서, 본 실시 예에 따른 N 개 서브모듈(110)은 풀브릿지(full bridge) 회로를 포함하는 n 개($n < N$ 인 정수)의 서브모듈(110a)과 하프브릿지(half bridge) 회로를 포함하는 $N-n$ 개의 서브모듈(110b)로 구성된다. 이러한 하프브릿지 회로는 직렬 연결된 한 쌍의 전력용반도체(111)와 이들 전력용반도체(111)에 병렬 연결된 커패시터(112)를 포함하고, 풀브릿지 회로는 병렬 연결된 두 쌍의 전력용반도체(113)와, 이들 전력용반도체(113)에 병렬 연결된 커패시터(114)를 포함한다. 그리고, 각 전력용반도체(111,113)는 파워반도체소자와 이에 역방향으로 병렬 연결될 다이오드를 포함한다. 이러한 전력용반도체(111,113)은 예컨대 IGBT, FET 등이 될 수 있으며, 제어부(미도시)에 의해 그 스위칭동작이 제어된다.
- [44] 이와 같이 구성된 MMC 컨버터(100)의 경우 DC측에 단락과 같은 고장이 발생하게 되면, AC측으로부터 DC측으로 고장전류(이하, DC 고장전류라 함)가 각 상의 컨버터 암(101a)을 통해 흐르게 된다. 따라서, DC 고장발생 시 컨버터 암(101a)에 흐르는 암 전류는 DC 고장전류로서, 이러한 DC 고장전류는 대전류이므로 각 서브모듈(110a)의 내부 소자를 손상시킬 수 있다. 이에, 본 발명에서는 MMC 컨버터(100)의 DC 고장발생 시 컨버터 암(101a)의 회로를 개방(open)시켜 컨버터 암(101a)으로 유입되는 DC 고장전류를 차단하여 컨버터 회로를 보호하도록 한다.
- [45] 이하, 본 발명에 따른 MMC 컨버터(100)의 동작 및 DC 고장 차단방법을 구체적으로 설명한다.
- [46] 도 5는 본 발명에 따른 MMC 컨버터의 DC 고장발생시 컨버터 암의 암 전류 파형도이다.
- [47] 도 5를 참조하면, 본 발명에 따른 MMC 컨버터(100)가 정상상태일 경우에는 컨버터 암(101a)에 정상적인 DC 전류(I_s)가 일정하게 흐르게 된다. t_1 시점에 MMC 컨버터(100)의 DC 고장이 발생하면 서브모듈(110)의 풀브릿지 회로 및 하프브릿지 회로의 커패시터(112,114)에 저장된 전압이 방전되면서

프리휠링(free-wheeling) 전류가 흐르게 되어 컨버터 암(101a)에서의 DC 고장전류는 t_2 시점까지 순간적으로 급격히 증가하게 된다. 이때, 비록 t_1 시점에 MMC 컨버터(100)의 제어부(미도시)에서 DC 고장을 인지하여 서브모듈(110)의 전력용반도체(111,113)를 오프(off)시키지만, 정상운전 중 t_1 시점에 갑작스럽게 DC 고장이 발생하게 되면 실질적으로 전력용반도체(111,113)가 오프(off) 스위칭에 동작시간이 필요하므로 $t_1 \sim t_2$ 의 짧은 구간 동안에는 DC 고장전류가 급격히 증가하게 되는 것이다.

- [48] 이후, t_2 시점부터 제어부에 의해 컨버터 암(101a)의 각 서브모듈(110)의 전력용반도체(111,113)가 각각 오프(off)됨에 따라 DC 고장전류는 점차 감소하게 된다. 이와 같이 컨버터 암(101a)에서의 DC 고장전류는 점차 감소하여 폴브릿지 회로를 포함하는 n 개의 서브모듈(110a)의 커패시터(114)에 저장된 전압이 AC측 3상 선간전압의 피크치보다 낮은 경우(t_3 시점)에 0(zero)가 된다. 이는 폴브릿지 회로의 서브모듈(110a)의 개수를 줄이더라도 DC 고장전류가 0(zero)가 되는 구간($t_3 \sim t_4$)이 존재하게 된다. 즉, 폴브릿지 회로를 포함하는 서브모듈((110a)이 최소한 1개라도 있는 경우에는 DC 고장전류가 0(zero)가 되는 일정시간(T)($t_3 \sim t_4$ 구간)이 최소한 존재한다. 이때, 컨버터 암(101a)의 DC 고장전류가 0(zero)가 되는 일정시간(T)의 길이는 폴브릿지회로를 포함하는 서브모듈(110a)의 개수(n 개)에 비례하며, 이러한 폴브릿지회로를 포함하는 서브모듈(110a)의 개수(n 개)는 상기 일정시간(T)이 회로개방부(120)의 동작시간보다 길도록 설정됨이 바람직하다. 그 이유는 회로개방부(120)는 컨버터 암(101a)에서의 DC 고장전류가 0(zero)인 상태에서 동작하도록 하기 위한 것이다. 즉, 컨버터 암(101a)에 전류가 흐르지 않는 상태에서 회로개방부(120)를 동작시켜 컨버터 암(101a)의 회로를 개방하도록 하기 위한 것이다. 이는 회로개방부(120)의 동작시간을 확보하기 위한 것이다. 따라서, 상기한 바와 같이 컨버터 암(101a)에서의 DC 고장전류가 흐르지 않는 일정시간(T)($t_3 \sim t_4$ 구간)의 길이는 폴브릿지회로의 서브모듈(110a)의 개수에 비례하므로 본 발명에서는 상기 일정시간(T)의 길이가 회로개방부(120)의 동작시간보다 길도록 각 컨버터 암(101a)에 구현되는 폴브릿지회로의 서브모듈(110a)의 개수(n 개)를 결정하는 것이 중요하다.

- [49] 이와 같이, 컨버터 암(101a)에서의 DC 고장전류가 0(zero)가 되는 $t_3 \sim t_4$ 구간의 일정시간(T) 동안 내에 제어부에 의해 회로개방부(120)가 동작하게 되어 컨버터 암(101a)의 회로가 개방(open)되도록 한다. 여기서, 이러한 컨버터 암(101a)의 회로 개방이라 함은 바람직하게는 컨버터 암(101a)을 구성하는 선로를 단로, 격리 또는 분리하는 것을 포함한다. 또한, 다른 실시 예에서는 컨버터 암(101a)을 통해 흐르는 암 전류나 DC 고장전류의 흐름을 차단(blocking)하는 것도 포함할 수 있다. 이는 컨버터 암(101a)의 선로를 단로, 격리 또는 분리하여 암 전류나 DC 고장전류를 차단하는 것도 포함할 수도 있다.

- [50] 여기서, 본 발명에 따른 MMC 컨버터(100)는 회로개방부(120)를 구비하지 않는 종래의 MMC 컨버터에 비해 매우 중요한 작용 및 효과를 제공한다. 이를

구체적으로 설명한다. 회로개방부가 구비되지 않고 풀브릿지회로의 서브모듈만 구비된 종래의 MMC 컨버터의 경우, 도 5에 도시된 바와 같이 t4 시점 이후에 점선으로 표시된 고장전류(Ix)가 발생하게 되어 MMC 컨버터의 서브모듈로 흐르게 된다. 이러한 고장전류(Ix)는 풀브릿지회로의 서브모듈의 커패시터에 저장된 충전전압이 AC측 3상 선간전압의 피크치보다 작은 경우에 발생하게 된다. 이는 AC측 계통에서 3상 교류 고장전류가 공급될 때 120도의 위상(phase)으로 고장전류의 피크치가 나타나므로 3상 선간전압의 피크치가 서브모듈의 충전전압보다 높은 경우가 발생하게 된다. 따라서, 풀브릿지회로의 서브모듈의 개수를 줄이더라도 도 5의 스테이지 3(stage 3)에서와 같이 고장전류(Ix)는 존재하게 되는 것이다.

[51] 이에 반해, 본 발명은 상기한 종래방식에서 발생하는 고장전류(Ix)를 원천적으로 차단하게 된다. 즉, 본 발명에 따른 MMC 컨버터(100)에서는 회로개방부(120)를 구비하여 컨버터 암(101a)의 DC 고장전류가 0(zero)일 때, 회로개방부(120)를 동작시켜 컨버터 암(101a)의 회로를 개방하도록 함으로써, 컨버터 암(101a)에는 상기 종래와 같은 고장전류(Ix)는 흐르지 않게 되고, 도 5에 실선(A)으로 표시된 바와 같이 0(zero) 전류가 계속 유지되는 것이다.

[52] 본 발명에 따른 회로개방부(120)는 예컨대, 컨버터 암(101a)에서의 DC 고장전류가 0(zero)일 때 회로를 단로시키는 단로기(disconnector)를 포함함이 바람직하다. DC 고장전류가 0(zero)인 구간에서 빠르게 회로를 단로하기 위해 동작시간이 짧은 울트라패스트 단로기(Ultrafast Disconnector)를 사용함이 바람직하다. 이러한 단로기는 회로에 전류가 흐르지 않는 상태에서 동작하는 스위치이므로, 본 발명에서는 풀브릿지회로의 서브모듈의 개수를 조절하여 단로기의 동작시간 동안 영전류를 유지할 수 있도록 하는 것이 중요하다.

[53] 도 6은 본 발명의 다른 실시 예에 따른 회로개방부의 예시적인 구성도이다.

[54] 도 6을 참조하면, 본 발명의 다른 실시 예에 따른 회로개방부(120)는 적어도 하나의 전력용반도체(121)를 포함한다. 이러한 전력용반도체(121)는 서브모듈(110) 내의 전력용반도체(111,113)에 역방향으로 배치되는 것이 중요하다. 왜냐하면, AC측에서 공급되는 DC 고장전류를 차단(blocking)할 수 있도록 배치되어야 하기 때문이다. 전력용반도체(121)는 상술한 바와 같이 서브모듈(110)에 역방향으로 직렬 연결된 파워반도체(121a)와, 파워반도체(121a)에 역병렬로 연결된 다이오드(121b)를 포함한다. 이에, MMC 컨버터(110)의 DC 고장발생 시 제어부는 서브모듈(110)의 풀브릿지회로 및 하프브릿지회로의 전력용반도체(111,113)를 오프(off)시킨다. 이로써 컨버터 암(101a)에서의 DC 고장전류는 점차 감소하여 0(zero)가 된다. 이때, 제어부에 의해 회로개방부(120)의 전력용반도체(121)가 오프(off)되어 DC 고장전류를 차단하게 된다. 여기서, 회로개방부(120)가 단로기(disconnector)로 구현되는 상기 일례와는 달리, 전력용반도체(121)로 회로개방부(120)를 구현한 경우에는 DC 고장전류가 0(zero)가 아니더라도 0(zero)에서 기설정된 범위이던

전력용반도체(121)를 오프시킬 수도 있다. 이는 단로기(disconnector)는 회로에 전류가 흐르지 않을 때 동작이 가능한 스위치 소자이므로 영전류가 되어야 하지만, 전력용반도체 스위치는 영전류가 아니라 소정의 작은 전류가 흘러도 오프시켜 전류를 차단할 수 있기 때문이다.

[55] 한편, 도면에는 도시하지 않았으나, 본 발명의 또 다른 실시 예에서는 상기 회로개방부(120)는 단로기(disconnector)와 이러한 단로기에 직렬 연결된 적어도 하나의 전력용반도체(121)를 포함할 수도 있다. 이는 회로개방부(120)를 단로기와 전력용반도체를 동시에 직렬로 구현함으로써 DC 고장전류의 차단성능을 높일 수 있도록 한다.

[56] 이하, 상기한 MMC 컨버터(100)의 구성에 따른 DC 고장 차단방법을 설명한다. 먼저, 본 발명에 따른 MMC 컨버터(100)는 상기한 바와 같이 복수의 컨버터 암(Arm)을 포함하고, 각 컨버터 암은 직렬 연결된 $N(N \geq 2, \text{정수})$ 개의 서브모듈(110) 및 상기 N 개의 서브모듈에 직렬 연결되어 상기 컨버터 암의 회로를 개방(open)시키는 회로개방부(120)를 포함한다. 여기서, N 개의 서브모듈(110)은 풀브릿지회로를 포함하는 $n(n < N)$ 개의 서브모듈과 하프브릿지회로를 포함하는 나머지 $N-n$ 개의 서브모듈로 구성된다.

[57] MMC 컨버터(100)의 DC 고장발생 시 제어부(미도시)에서 이러한 DC 고장을 인지하여(S101), 각 서브모듈(110) 내에 구성된 풀브릿지회로 및 하프브릿지회로 내의 전력용반도체(111,113)를 오프(off)시킨다(S103). 이어, 제어부에서 컨버터 암에서의 DC 고장전류가 0(zero) 또는 0(zero)에서 기설정된 범위 이내이면 해당 컨버터의 암의 회로를 개방(open)시켜 상기 DC 고장에 따른 DC 고장전류를 차단하도록 하기 위해 회로개방부(120)를 동작시킨다(S105). 이때, 회로개방부(120)는 컨버터 암의 DC 고장전류가 0(zero) 또는 0(zero)에서 기설정된 범위 이내로 유지되는 일정시간(T) 동안에 동작되도록 한다. 또한, 이러한 일정시간(T)은 풀브릿지 회로를 포함하는 서브모듈의 개수(n)에 비례하며, 풀브릿지 회로를 포함하는 서브모듈의 개수(n)는 이러한 일정시간(T)이 회로개방부(120)의 동작시간보다 길도록 설정되도록 한다. 이는 회로개방부(120)를 단로기(disconnector)로 구현하는 경우 컨버터 암에 흐르는 전류가 영전류를 유지해야 하기 때문이다. 물론, 회로개방부(120)는 서로 직렬 연결된 적어도 하나의 전력용반도체(121)로 구현될 수 있으며, 또 다른 예로서 단로기와 적어도 하나의 전력용반도체(121)를 서로 직렬로 연결할 수도 있다.

[58] 이상에서 설명한 바와 같이, 본 발명에 따른 MMC 컨버터(100)는 각 컨버터 암을 구성할 때 다수의 서브모듈과 회로개방부로 구성하되, 다수의 서브모듈은 하프브릿지회로의 서브모듈과 풀브릿지회로의 서브모듈을 혼합하여 사용하도록 한다. 이로써, DC 고장발생시 컨버터 암으로 흐르는 DC 고장전류를 차단할 수 있도록 하고 풀브릿지회로의 서브모듈만으로 구성된 MMC 컨버터에 비해 스위칭손실을 크게 줄일 수 있도록 하고 비용절감 효과도 초래할 수 있도록 한다. 또한, 본 발명은 일부 풀브릿지회로의 서브모듈을 적용함으로써 컨버터

암에 흐르는 전류를 영전류로 구현할 수 있으므로, 회로개방부(120)를 단로기(disconnector)로 구현할 수 있다.

- [59] 이상에서, 본 발명의 실시 예를 구성하는 모든 구성 요소들이 하나로 결합하거나 결합하여 동작하는 것으로 설명되었다고 해서, 본 발명이 반드시 이러한 실시 예에 한정되는 것은 아니다. 즉, 본 발명의 목적 범위 안에서라면, 그 모든 구성 요소들이 하나 이상으로 선택적으로 결합하여 동작할 수도 있다. 또한, 이상에서 기재된 "포함하다", "구성하다" 또는 "가지다" 등의 용어는, 특별히 반대되는 기재가 없는 한, 해당 구성 요소가 내재할 수 있음을 의미하는 것이므로, 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것으로 해석되어야 한다. 기술적이거나 과학적인 용어를 포함한 모든 용어들은, 다르게 정의되지 않는 한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미가 있다. 사전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥상의 의미와 일치하는 것으로 해석되어야 하며, 본 발명에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [60] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시 예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시 예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

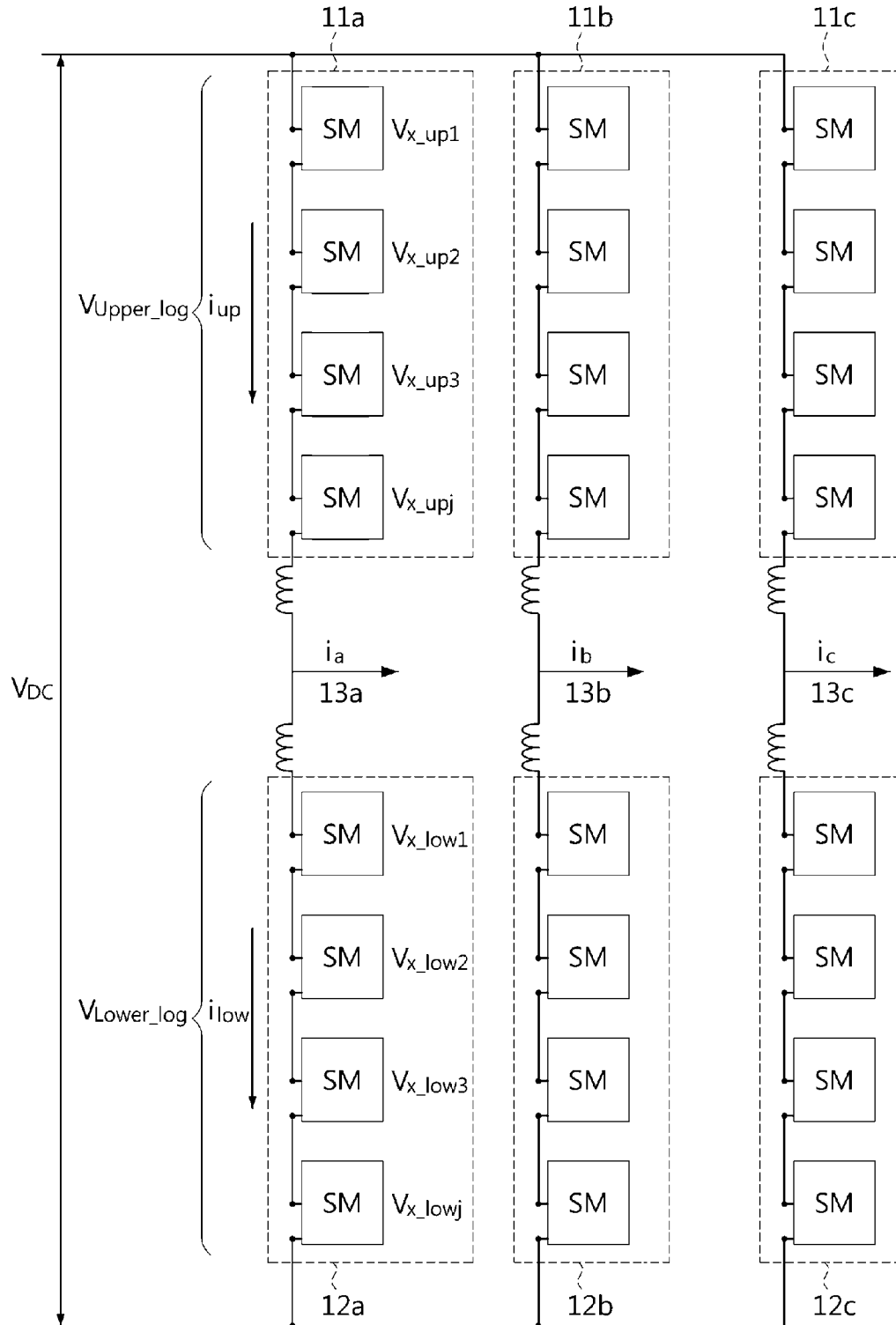
청구범위

- [청구항 1] 복수의 컨버터 암(Arm)을 포함하는 모듈러 멀티레벨 컨버터(MMC)에 있어서,
 상기 각각의 컨버터 암은,
 서로 직렬로 연결된 $N(N \geq 2, \text{정수})$ 개의 서브모듈; 및
 상기 N 개의 서브모듈에 직렬 연결되어 상기 컨버터 암의 회로를
 개방(open)시키는 회로개방부; 를 포함하고,
 상기 N 개의 서브모듈은 풀브릿지 회로를 포함하는 n 개($n < N$)의
 서브모듈과 하프브릿지 회로를 포함하는 $N-n$ 개의 서브모듈로 구성된
 모듈러 멀티레벨 컨버터.
- [청구항 2] 제1항에 있어서,
 상기 MMC 컨버터의 DC 고장 발생시 상기 서브모듈의 풀브릿지 회로 및
 하프브릿지 회로 내의 전력용반도체가 오프(off)되고 상기 컨버터
 암에서의 DC 고장전류가 일정시간(T) 동안 0(zero)가 되는 모듈러
 멀티레벨 컨버터.
- [청구항 3] 제2항에 있어서,
 상기 일정시간(T) 동안 내에 상기 회로개방부가 동작하여 상기 컨버터
 암의 회로를 개방시키는 모듈러 멀티레벨 컨버터.
- [청구항 4] 제3항에 있어서,
 상기 일정시간(T)은 상기 풀브릿지 회로를 포함하는 서브모듈의
 개수(n)에 비례하며, 상기 풀브릿지 회로를 포함하는 서브모듈의
 개수(n)는 상기 일정시간(T)이 상기 회로개방부의 동작시간보다 길도록
 설정되는 모듈러 멀티레벨 컨버터.
- [청구항 5] 제3항에 있어서,
 상기 풀브릿지 회로를 포함하는 서브모듈의 개수(n)는 상기
 풀브릿지 회로의 커패시터에 저장된 전압이 상기 MMC 컨버터의 AC측의
 3상 선간전압의 피크치보다 작도록 설정되는 모듈러 멀티레벨 컨버터.
- [청구항 6] 제1항 내지 제4항 중 어느 한 항에 있어서,
 상기 회로개방부는 상기 컨버터 암에서의 DC 고장전류가 0(zero)일 때
 동작하는 단로기(disconnector)를 포함하는 모듈러 멀티레벨 컨버터.
- [청구항 7] 제1항 내지 제4항 중 어느 한 항에 있어서,
 상기 회로개방부는 서로 직렬 연결된 적어도 하나의 전력용반도체를
 포함하고, 상기 회로개방부의 전력용반도체는 상기 서브모듈 내의
 전력용반도체에 역방향으로 배치되는 모듈러 멀티레벨 컨버터.
- [청구항 8] 제7항에 있어서,
 상기 컨버터 암에서의 DC 고장전류가 0(zero)에서 기설정된 범위
 이내이면 상기 회로개방부의 전력용반도체가 오프(off)되어 상기 컨버터

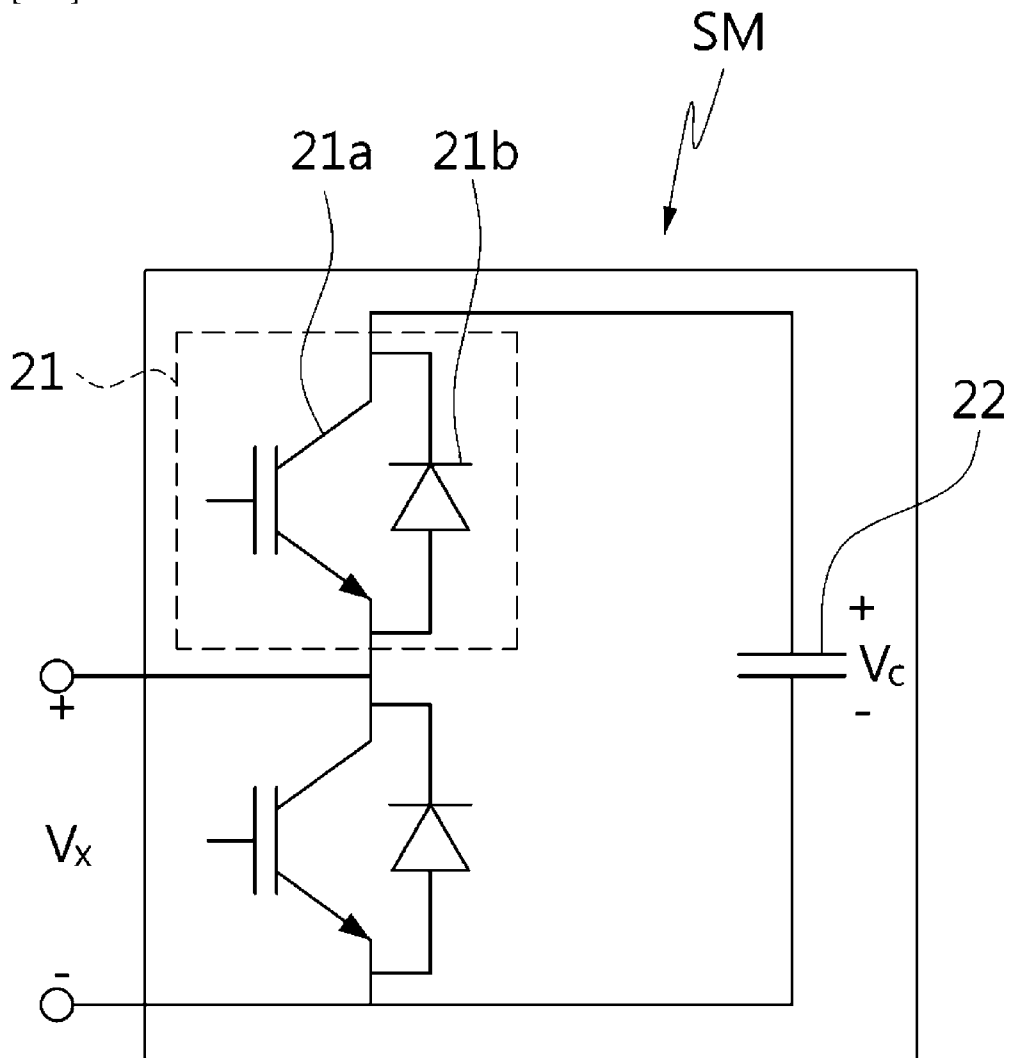
- 암에서의 DC 고장전류가 차단되는 모듈러 멀티레벨 컨버터.
- [청구항 9] 제1항 내지 제4항 중 어느 한 항에 있어서,
상기 회로개방부는 상기 컨버터 암에서의 DC 고장전류가 0(zero)일 때 동작하는 단로기 및 상기 단로기에 직렬 연결되고 서로 직렬 연결된 적어도 하나의 전력용반도체를 포함하고, 상기 회로개방부의 전력용반도체는 상기 서브모듈 내의 전력용반도체에 역방향으로 배치되고, 상기 컨버터 암에서의 DC 고장전류가 0(zero)에서 기설정된 범위 이내이면 오프(off)되어 상기 컨버터 암에서의 DC 고장전류가 차단되는 모듈러 멀티레벨 컨버터.
- [청구항 10] 복수의 컨버터 암(Arm)을 포함하고, 각 컨버터 암은 직렬 연결된 $N(N \geq 2, \text{정수})$ 개의 서브모듈 및 상기 N 개의 서브모듈에 직렬 연결되어 상기 컨버터 암의 회로를 개방(open)시키는 회로개방부를 포함하며, 상기 N 개의 서브모듈은 풀브릿지회로를 포함하는 $n(n < N)$ 개의 서브모듈과 하프브릿지회로를 포함하는 $N-n$ 개의 서브모듈로 구성된 모듈러 멀티레벨 컨버터(MMC)의 DC 고장 차단방법에 있어서,
제어부에서 상기 MMC 컨버터의 DC 고장을 인지하는 단계;
상기 제어부에서 상기 서브모듈의 풀브릿지회로 및 하프브릿지회로 내의 전력용반도체를 오프시키는 단계;
상기 제어부에서 상기 컨버터 암에서의 DC 고장전류가 0(zero) 또는 0(zero)에서 기설정된 범위 이내이면 상기 컨버터의 암의 회로를 오픈(open)시켜 상기 DC 고장에 따른 DC 고장전류를 차단하도록 상기 회로개방부를 동작시키는 단계;를 포함하는 모듈러 멀티레벨 컨버터의 DC 고장 차단방법.
- [청구항 11] 제10항에 있어서,
상기 회로개방부는 상기 컨버터 암의 DC 고장전류가 0(zero) 또는 0(zero)에서 기설정된 범위 이내로 유지되는 일정시간(T) 동안에 동작되는 모듈러 멀티레벨 컨버터의 DC 고장 차단방법.
- [청구항 12] 제11항에 있어서,
상기 일정시간(T)은 상기 풀브릿지 회로를 포함하는 서브모듈의 개수(n)에 비례하며, 상기 풀브릿지 회로를 포함하는 서브모듈의 개수(n)는 상기 일정시간(T)이 상기 회로개방부의 동작시간보다 길도록 설정되는 모듈러 멀티레벨 컨버터의 DC 고장 차단방법.
- [청구항 13] 제11항에 있어서,
상기 회로개방부는 상기 컨버터 암의 DC 고장전류가 0(zero)일 때 동작하는 단로기(disconnector)를 포함하는 모듈러 멀티레벨 컨버터의 DC 고장 차단방법.
- [청구항 14] 제11항에 있어서,
상기 회로개방부는 서로 직렬 연결되고 상기 서브모듈 내의

전력용반도체에 역방향으로 배치된 적어도 하나의 전력용반도체를 포함하고, 상기 회로개방부의 전력용반도체는 상기 컨버터 암에서의 DC 고장전류가 0(zero)에서 기설정된 범위 이내이면 오프(off)되어 상기 컨버터 암에서의 DC 고장전류가 차단되는 모듈러 멀티레벨 컨버터의 DC 고장 차단방법.

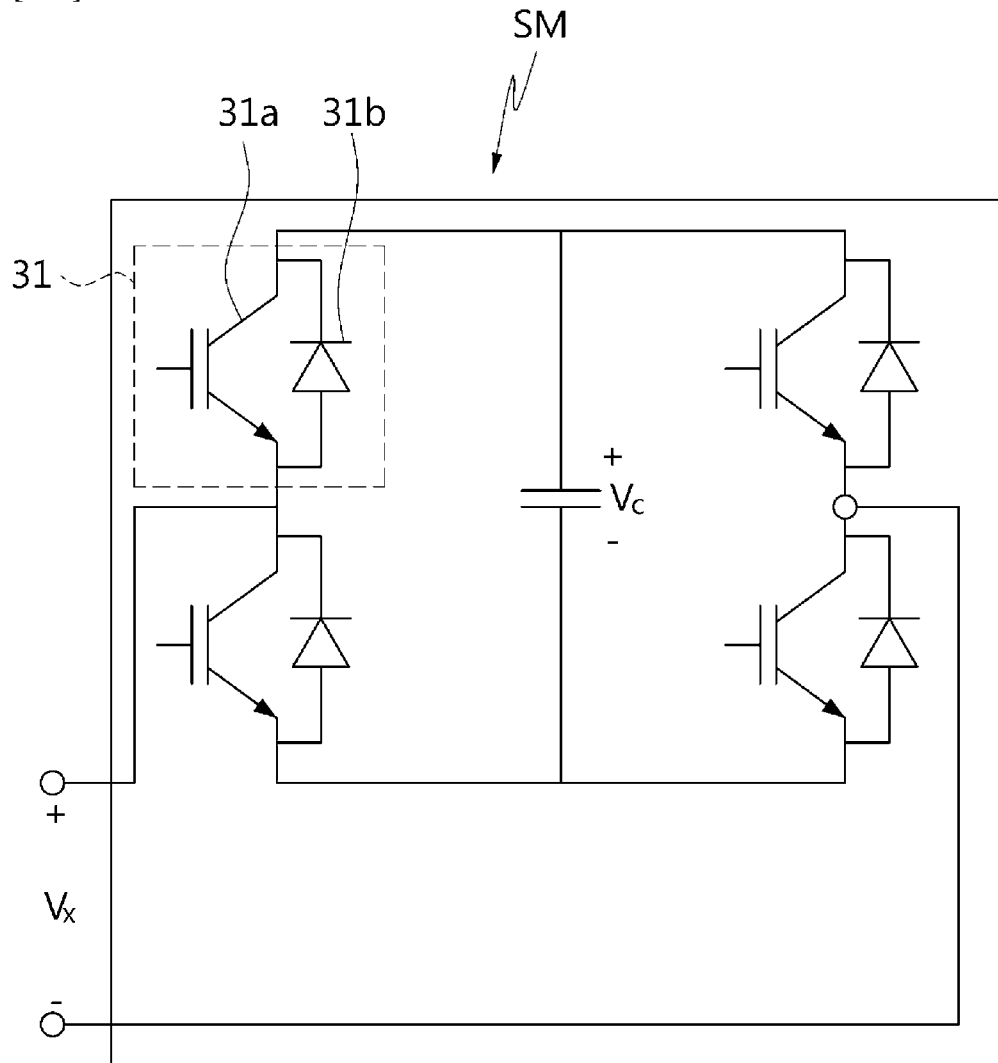
[도1]



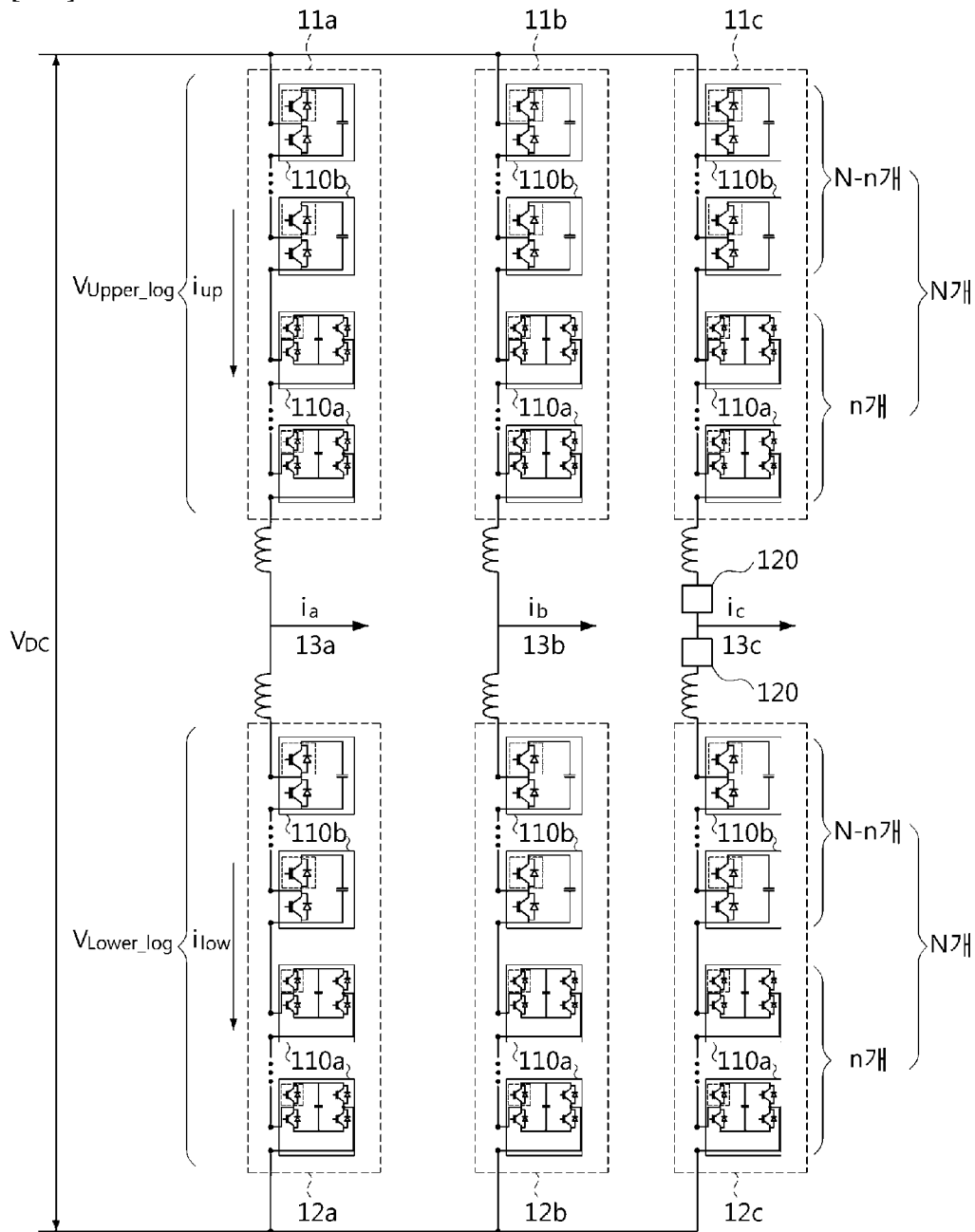
[도2]

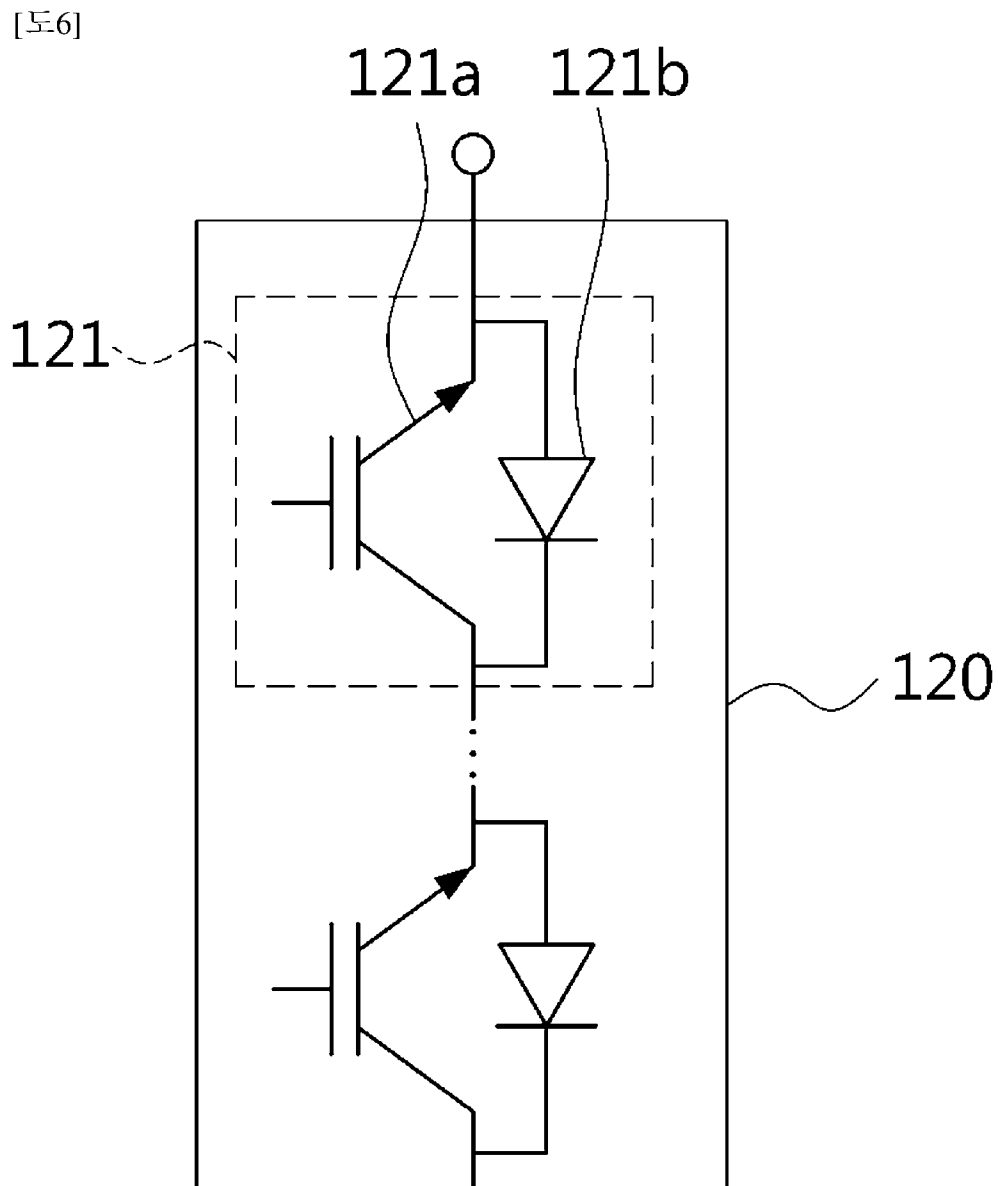
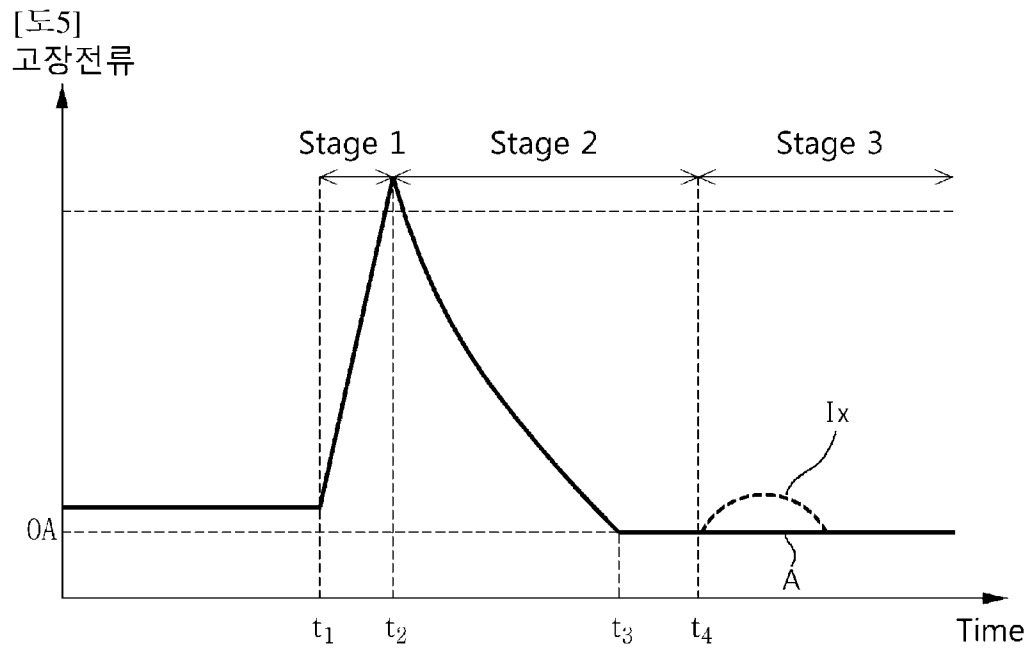


[도3]



[도4]





INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/006720**A. CLASSIFICATION OF SUBJECT MATTER****H02H 7/125(2006.01)i, H02H 7/12(2006.01)i, H02M 7/49(2007.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02H 7/125; H02J 3/36; H02M 1/32; H02M 7/12; H02M 7/483; H02M 7/49; H02M 7/48; H02M 7/493

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: multi-level converter, fault current, circuit open part, full bridge, half bridge, electric power semiconductor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-1548840 B1 (SIEMENS AKTIENGESELLSCHAFT) 31 August 2015 See paragraph [22], claim 1, and figure 2.	1-5,10-12
A		6-9,13-14
Y	KR 10-2013-0006613 A (ALSTOM TECHNOLOGY LTD.) 17 January 2013 See paragraphs [21], [34], [93]-[94], claim 1, and figure 7.	1-5,10-12
A	US 2015-0003134 A1 (TRAINER, David Reginald) 01 January 2015 See paragraphs [63]-[79], and figure 3.	1-14
A	JP 2013-027260 A (HITACHI LTD.) 04 February 2013 See paragraphs [16]-[23], and figure 1.	1-14
A	KR 10-1512188 B1 (KOREA ELECTROTECHNOLOGY RESEARCH INSTITUTE) 22 April 2015 See paragraphs [159]-[161], and figures 1-2.	1-14

☐ Further documents are listed in the continuation of Box C.
 ☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

24 AUGUST 2016 (24.08.2016)

Date of mailing of the international search report

24 AUGUST 2016 (24.08.2016)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/006720

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-1548840 B1	31/08/2015	CN 103339814 A	02/10/2013
		CN 103339814 B	25/11/2015
		EP 2671297 A1	11/12/2013
		KR 10-2014-0022374 A	24/02/2014
		RU 2013-140386 A	10/03/2015
		RU 2550138 C2	10/05/2015
		US 2013-0308235 A1	21/11/2013
		WO 2012-103936 A1	09/08/2012
KR 10-2013-0006613 A	17/01/2013	CA 2791082 A1	22/09/2011
		CN 102792544 A	21/11/2012
		CN 102792544 B	20/01/2016
		DK 2548277 T3	11/01/2016
		EP 2548277 A1	23/01/2013
		EP 2548277 B1	07/10/2015
		JP 2013-522737 A	13/06/2013
		JP 5509348 B2	04/06/2014
		US 2013-0094264 A1	18/04/2013
		US 9130458 B2	08/09/2015
		WO 2011-113471 A1	22/09/2011
US 2015-0003134 A1	01/01/2015	CN 104115391 A	22/10/2014
		EP 2815496 A1	24/12/2014
		WO 2013-120528 A1	22/08/2013
JP 2013-027260 A	04/02/2013	JP 5941631 B2	29/06/2016
KR 10-1512188 B1	22/04/2015	CN 104836422 A	12/08/2015
		DE 102014109478 A1	13/08/2015
		US 2015-0229234 A1	13/08/2015
		US 9350270 B2	24/05/2016

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H02H 7/125(2006.01)I, H02H 7/12(2006.01)I, H02M 7/49(2007.01)I																							
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H02H 7/125; H02J 3/36; H02M 1/32; H02M 7/12; H02M 7/483; H02M 7/49; H02M 7/48; H02M 7/493 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 멀티레벨 컨버터, 고장전류, 회로개방부, 풀브릿지, 하프브릿지, 전력용반도체																							
C. 관련 문헌 <table border="1"> <thead> <tr> <th>카테고리*</th> <th>인용문헌명 및 관련 구절(해당하는 경우)의 기재</th> <th>관련 청구항</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>KR 10-1548840 B1 (지멘스 악티엔게젤샤프트) 2015.08.31 단락 22, 청구항 1, 및 도면 2 참조.</td> <td>1-5, 10-12</td> </tr> <tr> <td>A</td> <td></td> <td>6-9, 13-14</td> </tr> <tr> <td>Y</td> <td>KR 10-2013-0006613 A (알스톰 테크놀로지 리미티드) 2013.01.17 단락 21, 34, 93-94, 청구항 1, 및 도면 7 참조.</td> <td>1-5, 10-12</td> </tr> <tr> <td>A</td> <td>US 2015-0003134 A1 (DAVID REGINALD TRAINER) 2015.01.01 단락 63-79, 및 도면 3 참조.</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>JP 2013-027260 A (HITACHI LTD.) 2013.02.04 단락 16-23, 및 도면 1 참조.</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>KR 10-1512188 B1 (한국전기연구원) 2015.04.22 단락 159-161, 및 도면 1-2 참조.</td> <td>1-14</td> </tr> </tbody> </table>			카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항	Y	KR 10-1548840 B1 (지멘스 악티엔게젤샤프트) 2015.08.31 단락 22, 청구항 1, 및 도면 2 참조.	1-5, 10-12	A		6-9, 13-14	Y	KR 10-2013-0006613 A (알스톰 테크놀로지 리미티드) 2013.01.17 단락 21, 34, 93-94, 청구항 1, 및 도면 7 참조.	1-5, 10-12	A	US 2015-0003134 A1 (DAVID REGINALD TRAINER) 2015.01.01 단락 63-79, 및 도면 3 참조.	1-14	A	JP 2013-027260 A (HITACHI LTD.) 2013.02.04 단락 16-23, 및 도면 1 참조.	1-14	A	KR 10-1512188 B1 (한국전기연구원) 2015.04.22 단락 159-161, 및 도면 1-2 참조.	1-14
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항																					
Y	KR 10-1548840 B1 (지멘스 악티엔게젤샤프트) 2015.08.31 단락 22, 청구항 1, 및 도면 2 참조.	1-5, 10-12																					
A		6-9, 13-14																					
Y	KR 10-2013-0006613 A (알스톰 테크놀로지 리미티드) 2013.01.17 단락 21, 34, 93-94, 청구항 1, 및 도면 7 참조.	1-5, 10-12																					
A	US 2015-0003134 A1 (DAVID REGINALD TRAINER) 2015.01.01 단락 63-79, 및 도면 3 참조.	1-14																					
A	JP 2013-027260 A (HITACHI LTD.) 2013.02.04 단락 16-23, 및 도면 1 참조.	1-14																					
A	KR 10-1512188 B1 (한국전기연구원) 2015.04.22 단락 159-161, 및 도면 1-2 참조.	1-14																					
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.																							
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌																							
국제조사의 실제 완료일 2016년 08월 24일 (24.08.2016)		국제조사보고서 발송일 2016년 08월 24일 (24.08.2016)																					
ISA/KR의 명칭 및 우편주소  대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 장기정 전화번호 +82-42-481-8364 																					

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-1548840 B1	2015/08/31	CN 103339814 A CN 103339814 B EP 2671297 A1 KR 10-2014-0022374 A RU 2013-140386 A RU 2550138 C2 US 2013-0308235 A1 WO 2012-103936 A1	2013/10/02 2015/11/25 2013/12/11 2014/02/24 2015/03/10 2015/05/10 2013/11/21 2012/08/09
KR 10-2013-0006613 A	2013/01/17	CA 2791082 A1 CN 102792544 A CN 102792544 B DK 2548277 T3 EP 2548277 A1 EP 2548277 B1 JP 2013-522737 A JP 5509348 B2 US 2013-0094264 A1 US 9130458 B2 WO 2011-113471 A1	2011/09/22 2012/11/21 2016/01/20 2016/01/11 2013/01/23 2015/10/07 2013/06/13 2014/06/04 2013/04/18 2015/09/08 2011/09/22
US 2015-0003134 A1	2015/01/01	CN 104115391 A EP 2815496 A1 WO 2013-120528 A1	2014/10/22 2014/12/24 2013/08/22
JP 2013-027260 A	2013/02/04	JP 5941631 B2	2016/06/29
KR 10-1512188 B1	2015/04/22	CN 104836422 A DE 102014109478 A1 US 2015-0229234 A1 US 9350270 B2	2015/08/12 2015/08/13 2015/08/13 2016/05/24