

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 5 月 17 日 (17.05.2018)



(10) 国际公布号
WO 2018/086571 A1

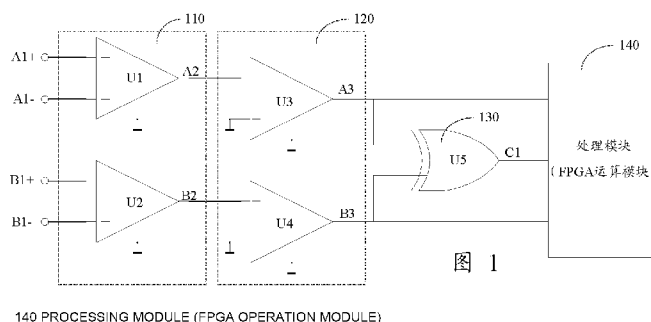
- (51) 国际专利分类号:
G01B 11/00 (2006.01)
- (21) 国际申请号: PCT/CN2017/110368
- (22) 国际申请日: 2017 年 11 月 10 日 (10.11.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610998256.5 2016 年 11 月 11 日 (11.11.2016) CN
- (71) 申请人: 深圳市太赫兹科技创新研究院 (SHENZHEN INSTITUTE OF TERAHERTZ TECHNOLOGY AND INNOVATION) [CN/CN]; 中国广东省深圳市宝安区西乡宝田一路臣田工业区 37 栋二楼东侧, Guangdong 518102 (CN)。 深圳市太赫兹系统设备

有限公司 (SHENZHEN TERAHERTZ SYSTEM EQUIPMENT CO., LTD.) [CN/CN]; 中国广东省深圳市宝安区西乡街道宝田一路臣田工业区 37 栋二楼东, Guangdong 518102 (CN)。

- (72) 发明人: 李建伟 (LI, Jianwei); 中国广东省深圳市宝安区西乡宝田一路臣田工业区 37 栋二楼东侧, Guangdong 518102 (CN)。 潘奕 (PAN, Yi); 中国广东省深圳市宝安区西乡宝田一路臣田工业区 37 栋二楼东侧, Guangdong 518102 (CN)。 李辰 (LI, Chen); 中国广东省深圳市宝安区西乡宝田一路臣田工业区 37 栋二楼东侧, Guangdong 518102 (CN)。 丁庆 (DING, Qing); 中国广东省深圳市宝安区西乡宝田一路臣田工业区 37 栋二楼东侧, Guangdong 518102 (CN)。

(54) Title: FPGA-BASED GRATING SUBDIVISION DEVICE AND METHOD

(54) 发明名称: 一种基于FPGA的光栅细分装置及方法



(57) Abstract: Disclosed are an FPGA-based grating subdivision device and method. The device comprises: a differential amplification module (110), a comparison module (120), a logic gate module (130), and a processing module (140), wherein the processing module (140) is an FPGA operation module. Employing only simple peripheral circuits, the differential amplification module (110), comparison module (120) and logic gate module (130), four sinusoidal signals of moiré patterns can be converted into a first digital pulse signal (A3), second digital pulse signal (B3) or third digital pulse signal (C1) identifiable to the FPGA operation module, reducing the demands on additional hardware and saving costs. In addition, the FPGA operation module can realize subdivision, using a target multiplier (a large multiplier), of the first digital pulse signal (A3), second digital pulse signal (B3) or third digital pulse signal (C1), and the FPGA operation module has high primary frequency and strong interference resistance.

(57) 摘要: 一种基于FPGA的光栅细分装置及方法。该装置包括: 差分放大模块(110)、比较模块(120)、逻辑门模块(130)以及处理模块(140), 其中处理模块(140)为FPGA运算模块。仅仅通过差分放大模块(110)、比较模块(120)、逻辑门模块(130)简单的外围电路可以将莫尔条纹的四路正弦信号转换为FPGA运算模块可识别的第一数字脉冲信号(A3)、第二数字脉冲信号(B3)或第三数字脉冲信号(C1), 减少了额外硬件的需求, 节约了成本。同时, 通过FPGA运算模块可以实现第一数字脉冲信号(A3)、第二数字脉冲信号(B3)或第三数字脉冲信号(C1)进行目标倍数(高倍数)的细分, 同时, 其FPGA运算模块主频高、抗干扰性能强。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区花城大道 85 号 3901 房, Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条 (3))。

一种基于 FPGA 的光栅细分装置及方法

技术领域

5 本发明涉及光栅尺技术领域，特别是涉及一种基于 FPGA 的光栅细分装置及方法。

背景技术

光栅尺广泛应用于各种高精度测量及加工领域，但受限于光刻工艺，很难
10 进一步提高刻线密度，需要通过后期对原始莫尔条纹信号进行细分来提高分辨率。高精度光栅尺生产厂家都提供各自的光栅细分接头，但缺点是体积较大，不利于应用在各种可移动的小型化设备中，而且细分倍率固定，灵活性较差。

目前主要使用的两种光栅模拟信号细分方法为锁相环倍频法及单片机和
DSP 组合法。锁相环倍频法的缺点是对输入信号的频率稳定性要求较高，如果
15 光栅尺读数头移动速度变化较快，会产生较大误差。单片机和 DSP 组合法的缺点是外部信号调理电路相对复杂，而且由于单片机工作频率有限，处理细分算法时运算速度达不到要求细分倍率受限。

发明内容

20 基于此，有必要针对上述问题，提供一种外围电路简单、成本低其细分倍数高的基于 FPGA 的光栅细分装置及方法。

一种基于 FPGA 的光栅细分装置，包括：

差分放大模块，与光栅尺连接，用于对所述光栅尺输出的两组相位相反的正弦信号分别进行差分处理，对应输出第一差分信号和第二差分信号；

25 比较模块，与所述差分放大模块连接，用于分别对所述第一差分信号、第二差分信号与基准信号进行比较，并对应输出第一数字脉冲信号和第二数字脉冲信号；

逻辑门模块，与所述比较模块连接，用于对所述第一数字脉冲信号、第二

数字脉冲信号进行异或处理并输出第三数字脉冲信号；

处理模块，分别与所述比较模块、逻辑门模块连接，用于对所述第一数字脉冲信号、第二数字脉冲信号或第三数字脉冲信号进行目标倍数的细分，其中，所述处理模块为 FPGA 运算模块。

5 上述基于 FPGA 的光栅细分装置，省略了对莫尔条纹的正弦信号进行模拟量的采集和处理，仅仅通过差分放大模块、比较模块、逻辑门模块简单的外围电路可以将莫尔条纹的四路正弦信号转换为 FPGA 运算模块可识别的第一数字脉冲信号、第二数字脉冲信号或第三数字脉冲信号，减少了额外硬件的需求，节约了成本。同时，通过 FPGA 运算模块可以实现第一数字脉冲信号、第二数
10 字脉冲信号或第三数字脉冲信号进行目标倍数(高倍数)的细分，同时，其 FPGA 运算模块主频高、抗干扰性能强，处理的。

在其中一个实施例中，所述差分放大模块包括第一差分放大器和第二差分放大器；

所述第一差分放大器用于将所述光栅尺输出的相位为 0 度与 180 度的正弦
15 信号转换为所述第一差分信号；

所述第二差分放大器用于将所述光栅尺输出的相位为 90 度与 270 度的正弦信号转换为所述第二差分信号。

在其中一个实施例中，所述比较模块包括第一过零比较器和第二过零比较器；

20 所述第一过零比较器的第一输入端与所述第一差分放大器的输出端连接，所述第一过零比较器的第二输入端接地；使所述第一差分信号与接地信号进行比较输出第一数字脉冲信号；

所述第二过零比较器的第一输入端与所述第二差分放大器的输出端连接，所述第二过零比较器的第二输入端接地，使所述第二差分信号与接地信号进行
25 比较输出第二数字脉冲信号。

在其中一个实施例中，所述逻辑门模块为异或门逻辑电路；所述第一过零比较器、第二过零比较器的输出端分别与所述异或门逻辑电路的输入端连接，所述异或门逻辑电路用于异或逻辑处理得到所述第三数字脉冲信号。

在其中一个实施例中，所述第三数字脉冲信号的频率为所述第一数字脉冲信号或第二数字脉冲信号的频率的二倍。

此外，还提供一种基于 FPGA 的光栅细分方法，基于光栅信号处理模组和 FPGA 运算模块；所述方法包括：

5 控制所述光栅信号处理模组接收光栅尺输出的两组相位相反的正弦信号，并获得能够被所述 FPGA 运算模块识别的第一数字脉冲信号、第二数字脉冲信号、第三数字脉冲信号；

10 控制所述 FPGA 运算模块接收所述第一数字脉冲信号、第二数字脉冲信号、第三数字脉冲信号并设定任一数字脉冲信号为基准脉冲信号进行目标细分倍数的细分；

在第一时间段内，控制所述 FPGA 运算模块以主频进行计数，并计算所述基准脉冲信号的输出频率和与第一时间段相邻下一时间段内的所需分频倍数；

15 在第二时间段内，根据在第一时间段计算的所需分频倍数，对所述 FPGA 运算模块的主频进行分频，并输出对应时间段所述基准脉冲信号的目标输出频率；控制所述 FPGA 运算模块的主频进行计数，并计算与第二时间段相邻下一时间段内所需的分频倍数；

20 在第 N 时间段内，根据在第 N-1 时间段计算的分频倍数，对所述 FPGA 运算模块的主频进行分频，并输出对应时间段所述基准脉冲信号的目标输出频率；其中，第二时间段为第一时间段的相邻下一时间段，第 N 时间段为第 N-1 时间段的相邻下一时间段。

在其中一个实施例中，所述光栅信号处理模组包括差分放大模块、比较模块和逻辑门模块；所述方法还包括步骤：

控制所述差分放大模块接收两组相位相反的正弦信号，控制对应输出第一差分信号和第二差分信号；

25 控制所述比较模块分别对所述第一差分信号和第二差分信号与基准信号进行比较，控制输出第一数字脉冲信号和第二数字脉冲信号；

控制逻辑门模块对所述第一数字脉冲信号和第二数字脉冲信号进行异或逻辑处理，控制输出第三数字脉冲信号。

在其中一个实施例中，在第一时间段内，控制所述 FPGA 运算模块以主频进行计数，并计算所述基准脉冲信号的输出频率和与第一时间段相邻下一时间段内的所需分频倍数的具体步骤包括：

在第一时间段内，控制所述 FPGA 运算模块以主频进行计数；

5 根据所述 FPGA 运算模块的主频与计数结果计算在第一时间段的所述基准脉冲信号的输入频率；

根据所述第一时间段的所述基准脉冲信号的输入频率与目标细分倍数计算第一时间段所述基准脉冲信号的输出频率；

10 根据所述 FPGA 运算模块的主频和第一时间段所述基准脉冲信号的输出频率计算与第一时间段相邻下一时间段内的所需分频倍数。

在其中一个实施例中，在第二时间段内，根据在第一时间段计算的所需分频倍数，对所述 FPGA 运算模块的主频进行分频，并输出对应时间段所述基准脉冲信号的目标输出频率；控制所述 FPGA 运算模块的主频进行计数，并计算与第二时间段相邻下一时间段内所需的分频倍数的具体步骤包括：

15 计算第二时间段内所述基准脉冲信号的目标输出频率，其中，目标输出频率为 FPGA 运算模块的主频与在第一时间段计算的所需分频倍数的比值；

控制所述 FPGA 运算模块以主频进行计数，并计算与第二时间段的基准脉冲信号的输入频率；

20 根据所述第二时间段的基准脉冲信号的输入频率与目标细分倍数，计算第二时间段的基准脉冲信号的输出频率；

根据所述 FPGA 运算模块的主频与第二时间段的基准脉冲信号的输出频率计算与第二时间段相邻下一时间段内的所需分频倍数。

附图说明

25 图 1 为一实施例中基于 FPGA 的光栅细分装置的电路图；

图 2 为一实施例中莫尔条纹正弦信号转换时序波形图；

图 3 为一实施例中基于 FPGA 的光栅细分方法流程图；

图 4 为一实施例中获得能够被 FPGA 运算模块识别的数字脉冲信号的流程

图;

图 5 为一实施例中 FPGA 运算模块对第三数字脉冲信号细分时序示意图。

具体实施方式

5 为了便于理解本发明，下面将参照相关附图对本发明进行更全面的描述。附图中给出了本发明的较佳实施例。但是，本发明可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本发明的公开内容的理解更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本发明的技术
10 领域的技术人员通常理解的含义相同。本文中在本发明的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在限制本发明。本文所使用的术语“和 / 或”包括一个或多个相关的所列项目的任意的和所有的组合。

如图 1 所示为基于 FPGA 的光栅细分装置电路图，基于 FPGA 的光栅细分装置包括差分放大模块 110、比较模块 120、逻辑门模块 130 以及处理模块 140。
15 差分放大模块 110、比较模块 120、逻辑门模块 130、处理模块 140 依次电连接。差分放大模块 110 与光栅尺连接，对所述光栅尺输出的莫尔条纹的两组具有相反相位的四路正弦相位（A1+、A1-、B1+、B1-）分别进行差分处理，对应得到第一差分信号 A2 和第二差分信号 B2。比较模块 120 接收第一差分信号 A2 和第二差分信号 B2，并将第一差分信号 A2 和第二差分信号 B2 分别与基准信号进行比较，对应输出第一数字脉冲信号 A3 和第二数字脉冲信号 B3。逻辑门模块 130
20 接收第一数字脉冲信号 A3 和第二数字脉冲信号 B3 并对其做异或逻辑处理，并输出第三数字脉冲信号 C1。第一数字脉冲信号 A3、第二数字脉冲信号 B3、第三数字脉冲信号 C1 输入至处理模块（FPGA 运算模块）140，FPGA 运算模块 140 对第一数字脉冲信号 A3、第二数字脉冲信号 B3 或第三数字脉冲信号 C1 进
25 行目标细分倍数的细分。

在一实施例中，光栅尺选择雷尼绍的 ATOM 微型光栅系统，其输出相位为 0 度、180 度、90 度和 270 度四路正弦波信号。其中，第一组相位相反的正弦信号分别为正弦信号 A1+（0 度）、正弦信号 A1-（180 度）；第二组相位相反的

正弦信号分别为正弦信号 B1+ (90 度)、正弦信号 B1- (270 度)。正弦信号 A1+ 与正弦信号 B1+ 相位相差 90 度; A1- 与 B1- 相位相差 90 度。其中, 四路正弦波信号的幅度值均为 $V_{pp}=1.65V$ 。

在一实施例中, 差分放大模块 110 包括第一差分放大器 U1 和第二差分放大器 U2。参考图 2, 正弦信号 A1+、A1- 分别对应输入至所述第一差分放大器 U1 的同相、反相输入端, 经第一差分放大器 U1 处理, 输出第一差分信号 A2。其中第一差分信号 A2 的幅度值为正弦信号 A1+、A1- 的幅度值之和, 记为 3.3V。正弦信号 B1+、B1- 分别对应输入至所述第二差分放大器 U2 的同相、反相输入端, 经第二差分放大器 U2 处理, 输出第二差分信号 B2。其中第二差分信号 B2 的幅度值为正弦信号 B1+、B1- 的幅度值之和, 记为 3.3V。

在一实施例中, 比较模块 120 包括第一过零比较器 U3 和第二过零比较器 U4。所述第一过零比较器 U3 的第一输入端 (正向输入端) 与所述第一差分放大器 U1 的输出端连接, 所述第一过零比较器 U3 的第二输入端 (负向输入端) 接地; 使所述第一差分信号 A2 与接地信号进行比较输出第一数字脉冲信号 A3, 参考图 2, 在第一差分信号 A2 的幅度值大于 0 的半个周期内, 第一数字脉冲信号 A3 保持高电平, 在第一差分信号 A2 的幅度值小于 0 的半个周期内, 第一数字脉冲信号 A3 保持低电平, 即可将相位相反的 A1+、A1- 模拟正弦信号转换为 FPGA 运算模块 140 可识别的数字脉冲信号。

所述第二过零比较器 U4 的第一输入端 (正向输入端) 与所述第二差分放大器 U2 的输出端连接, 所述第二过零比较器 U4 的第二输入端 (负向输入端) 接地, 使所述第二差分信号 B2 与接地信号进行比较输出第二数字脉冲信号 B3。即, 在第二差分信号 B2 幅度值大于 0 的半个周期内, 第二数字脉冲信号 B3 保持高电平; 在第二差分信号 B2 幅度值小于 0 的半个周期内, 第二数字脉冲信号 B3 保持低电平, 可将相位相反的 B1+、B1- 的模拟正弦信号调整为 FPGA 运算模块 140 的可识别的数字脉冲信号。

逻辑门模块 130 为异或门逻辑电路。所述第一过零比较器 U3、第二过零比较器 U4 的输出端分别与所述异或门逻辑电路的两个输入端连接, 也即, 第一数字脉冲信号 A3、第二数字脉冲信号 B3 输入到异或门逻辑电路的两个输入端。

所述异或门逻辑电路对第一数字脉冲信号 A3、第二数字脉冲信号 B3 进行异或处理，得到所述第三数字脉冲信号 C1。其中，第三数字脉冲信号 C1 的频率为第一数字脉冲信号 A3 或第二数字脉冲信号 B3 信号频率的 2 倍。

5 第一数字脉冲信号 A3、第二数字脉冲信号 B3 以及经异或门逻辑电路处理后的第三数字脉冲信号 C1 同时输入到 FPGA 运算模块中，对第一数字脉冲信号 A3、第二数字脉冲信号 B3 或第三数字脉冲信号 C1 进行目标细分倍数的细分及辨向算法处理。

10 通过上述基于 FPGA 的光栅细分装置，省略了对莫尔条纹的正弦信号进行模拟量的采集和处理，通过差分放大模块 110、比较模块 120、逻辑门模块 130 简单的外围电路可以将莫尔条纹的四路正弦信号转换为 FPGA 运算模块可识别的数字信号，减少了额外硬件的需求，节约了成本。同时，通过 FPGA 运算模块 140 可以实现第一数字脉冲信号 A3、第二数字脉冲信号 B3 或第三数字脉冲信号 C1 进行目标倍数（高倍数）的细分，同时，其 FPGA 运算模块 140 主频高、抗干扰性能强，处理的实时性和准确性高。

15 一种基于 FPGA 的光栅细分方法，基于光栅信号处理模组和 FPGA 运算模块；所述光栅信号处理模组包括差分放大模块 110、比较模块 120 和逻辑门模块 130。差分放大模块 110、比较模块 120、逻辑门模块 130、处理模块 140 依次电连接。

20 如图 3 所示的为基于 FPGA 的光栅细分方法的流程图，基于 FPGA 的光栅细分方法包括如下步骤：

步骤 S10: 控制所述光栅信号处理模组接收光栅尺输出的两组相位相反的正弦信号，并获得能够被所述 FPGA 运算模块识别的第一数字脉冲信号、第二数字脉冲信号第三数字脉冲信号。

25 光栅尺选择雷尼绍的 ATOM 微型光栅系统，其输出相位为 0 度、180 度、90 度和 270 度四路正弦波信号，其中，第一组相位相反的正弦信号分别为正弦信号 A1+（0 度）、正弦信号 A1-（180 度）；第二组相位相反的正弦信号分别为正弦信号 B1+（90 度）、正弦信号 B1-（270 度）。正弦信号 A1+与正弦信号 B1+相位相差 90 度；A1-与 B1-相位相差 90 度。其中，四路正弦波信号的幅度值均

为 $V_{pp}=1.65V$ 。

参考图 4，获得能够被所述 FPGA 运算模块识别的第一数字脉冲信号、第二数字脉冲信号第三数字脉冲信号的具体步骤包括：

5 步骤 S110：控制所述差分放大模块 110 接收两组相位相反的正弦信号，控制对应输出第一差分信号和第二差分信号。

差分放大模块 110 包括第一差分放大器 U1 和第二差分放大器 U2。控制第一差分放大器 U1 对正弦信号 A1+、A1-进行差分处理，并控制输出第一差分信号 A2。控制第二差分放大器 U2 对正弦信号 B1+、B1-进行差分处理，并控制输出第二差分信号 B2。

10 步骤 S120：控制所述比较模块 120 分别对所述第一差分信号和第二差分信号与基准信号进行比较，控制输出第一数字脉冲信号和第二数字脉冲信号。

比较模块 120 包括第一过零比较器 U3 和第二过零比较器 U4。控制第一过零比较器 U3 比较第一差分信号与接地信号，并控制输出 FPGA 运算模块的可识别的第一数字脉冲信号 A3。控制第二过零比较器 U4 比较第二差分信号与接地
15 信号，并控制输出 FPGA 运算模块的可识别的第二数字脉冲信号 B3。

步骤 S130：控制逻辑门模块 130 对所述第一数字脉冲信号和第二数字脉冲信号进行异或逻辑处理，控制输出第三数字脉冲信号。

逻辑门模块 130 为异或门逻辑电路，控制异或门逻辑电路对输入的第一数字脉冲信号 A3 和第二数字脉冲信号 B3 进行异或逻辑计算，并控制输出 FPGA
20 运算模块的可识别的第三数字脉冲信号 C1。

步骤 S20：控制所述 FPGA 运算模块接收所述第一数字脉冲信号、第二数字脉冲信号、第三数字脉冲信号并设定任一数字脉冲信号为基准脉冲信号进行目标细分倍数的细分。

控制 FPGA 运算模块同时接收由第一过零比较器 U3 输出的第一数字脉冲信号 A3、由第二过零比较器 U4 输出的第二数字脉冲信号 B3 以及由异或门逻辑电路输出的第三数字脉冲信号 C1。并设定以其中任一数字脉冲信号为基准脉冲信号进行目标细分倍数的细分。在本实施例中，设定第三数字脉冲信号 C1 为基准
25 脉冲信号。在其他实施例中，还可以设定第一数字脉冲信号 A3、第二数字脉冲

信号 B3 为基准脉冲信号，可根据实际需求进行设定。

步骤 S30：在第一时间段内，控制所述 FPGA 运算模块以主频进行计数，并计算所述基准脉冲信号的输出频率和与第一时间段相邻下一时间段内的所需分频倍数，参考图 5。

5 在一实施例中，FPGA 运算模块的主频 CLK 为 50MHz，莫尔条纹目标细分倍数为 N，其中，目标细分倍数 N 可达到 1000 倍，也即对第一数字脉冲信号 A3、第二数字脉冲信号 B3 进行 N 细分，或对第三数字脉冲信号 C1 进行 N/2 倍细分。莫尔条纹的正弦信号转换后的数字脉冲信号的频率总是随着时间变化，每个时间段内的数字脉冲信号的频率可能不同。

10 在第一时间段 t_1 内，控制 FPGA 运算模块以主频 CLK (50MHz) 进行计数，其计数结果记为 n_1 ，假设计数结果 n_1 为 10^5 个。设定第三数字脉冲信号 C1 为基准脉冲信号。根据主频 CLK 以及计数结果 n_1 可计算在第一时间段的所述第三数字脉冲信号的输入频率为： $f(in1) = CLK / n_1$ ，也即输入频率 $f(in1)$ 为 500Hz。

15 根据所述第一时间段的所述第三数字脉冲信号的输入频率与目标细分倍数 N，由于第三数字脉冲信号 C1 已经对第一数字脉冲信号 A3 或第二数字脉冲信号 B3 进行 2 分频了，即可计算第一时间段所述第三数字脉冲信号的输出频率： $f(out1) = N * f(in1) / 2 = 250KHz$ 。

20 根据所述 FPGA 运算模块的主频 CLK 和第一时间段所述第三数字脉冲信号的输出频率 $f(out1)$ 计算与第一时间段相邻下一时间段内的所需分频倍数 N_1' ， $N_1' = CLK / f(out1) = 200$ 。虽然已计算出下一时间段内的所需分频倍数 N_1' ，但是第一时间段 t_1 已结束，来不及进行实际的分频操作，其具体的分频操作要等到与第一时间段相邻下一时间段 t_2 进行。

25 步骤 S40：在第二时间段内，根据在第一时间段计算的所需分频倍数，对所述 FPGA 运算模块的主频进行分频，并输出对应时间段所述基准脉冲信号的目标输出频率；控制所述 FPGA 运算模块的主频进行计数，并计算与第二时间段相邻下一时间段内所需的分频倍数。

计算第二时间段 t_2 所述第三数字脉冲信号 C1 的目标输出频率，其中，目标输出频率为 FPGA 运算模块的主频 CLK 与在第一时间段 t_1 计算的所需分频倍数

的比值 N_1' ，也即对 50MHz 的主时钟进行 200 倍分频可得到第三数字脉冲信号 C1 的目标输出频率 250KHz。在第二时间段 t_2 ，通过示波器验证，若第三数字脉冲信号 C1 的实际输出频率为 250KHz，即可说明，其 FPGA 运算模块能够实现对莫尔条纹进行目标细分倍数为 1000 倍的细分。

5 在第二时间段 t_2 ，在对 FPGA 运算模块的主频 CLK 分频的同时，控制所述 FPGA 运算模块以主频进行计数，其中，计数结果为 n_2 ，假设计数结果 n_1 为 2×10^5 个。根据主频 CLK 以及计数结果 n_2 可计算，在第二时间段 t_2 的第三数字脉冲信号的输入频率 $f(\text{in}2) = \text{CLK} / n_2 = 250\text{Hz}$ 。

10 根据所述第二时间段的第三数字脉冲信号的输入频率与目标细分倍数，计算第二时间段的第三数字脉冲信号的输出频率 $f(\text{out}2) = N * f(\text{in}2) / 2 = 125\text{KHz}$ 。

根据所述 FPGA 运算模块的主频与第二时间段的第三数字脉冲信号的输出频率计算与第二时间段 t_2 相邻下一时间段 t_3 内的所需分频倍数 $N_2' = \text{CLK} / f(\text{out}1) = 400$ 。即在第三时间段 t_3 ，只需要对 FPGA 运算模块的主时钟 CLK (50MHz) 进行 400 倍分频即可输出目标输出频率 125KHz。在第三时间段 t_3 ，
15 通过示波器验证，若第三数字脉冲信号 C1 的实际输出频率为 125KHz，即可说明，其 FPGA 运算模块能够实现对莫尔条纹进行目标细分倍数为 1000 倍的细分。

依次类推，步骤 S50：在第 N 时间段 t_N 内，根据在第 N-1 时间段计算的分频倍数 N_{N-1}' ，对所述 FPGA 运算模块的主频进行分频操作，在第 N 时间段 t_N 即可输出基准脉冲信号 C1 的目标输出频率。

20 同时，在 t_N 时间段，对 FPGA 运算模块的主频 CLK (50MHz) 进行计数 n_N ，可计算出输入信号的频率 $f(\text{in}N)$ ，根据所要求的目标细分倍数 N (1000) 即可计算出需要输出的最后频率 $f(\text{out}N)$ ，并计算对 FPGA 运算模块的主频 CLK (50MHz) 的分频比 N_N' ，然后在 t_{N+1} 时间段内进行分频操作即可。

25 通过上述基于 FPGA 的光栅细分方法，即可实现对可以实现第一数字脉冲信号、第二数字脉冲信号或第三数字脉冲信号进行高倍数 (1000 倍) 的细分操作，由于基于 FPGA 运算模块，其主频高、抗干扰强，其实现过程中实时性和准确性高。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本发明的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干变形和改进，这些都属于本发明的保护范围。因此，本发明专利的保护范围应以所附权利要求要求为准。

10

15

20

25

权利要求书

1、一种基于 FPGA 的光栅细分装置，其特征在于，包括：

差分放大模块，与光栅尺连接，用于对所述光栅尺输出的两组相位相反的正弦信号分别进行差分处理，对应输出第一差分信号和第二差分信号；

5 比较模块，与所述差分放大模块连接，用于分别对所述第一差分信号、第二差分信号与基准信号进行比较，并对应输出第一数字脉冲信号和第二数字脉冲信号；

逻辑门模块，与所述比较模块连接，用于对所述第一数字脉冲信号、第二数字脉冲信号进行异或处理并输出第三数字脉冲信号；

10 处理模块，分别与所述比较模块、逻辑门模块连接，用于对所述第一数字脉冲信号、第二数字脉冲信号或第三数字脉冲信号进行目标倍数的细分，其中，所述处理模块为 FPGA 运算模块。

2、根据权利要求 1 所述的基于 FPGA 的光栅细分装置，其特征在于，所述差分放大模块包括第一差分放大器和第二差分放大器；

15 所述第一差分放大器用于将所述光栅尺输出的相位为 0 度与 180 度的正弦信号转换为所述第一差分信号；

所述第二差分放大器用于将所述光栅尺输出的相位为 90 度与 270 度的正弦信号转换为所述第二差分信号。

20 3、根据权利要求 2 所述的基于 FPGA 的光栅细分装置，其特征在于，所述比较模块包括第一过零比较器和第二过零比较器；

所述第一过零比较器的第一输入端与所述第一差分放大器的输出端连接，所述第一过零比较器的第二输入端接地；使所述第一差分信号与接地信号进行比较输出第一数字脉冲信号；

25 所述第二过零比较器的第一输入端与所述第二差分放大器的输出端连接，所述第二过零比较器的第二输入端接地，使所述第二差分信号与接地信号进行比较输出第二数字脉冲信号。

4、根据权利要求 3 所述的基于 FPGA 的光栅细分装置，其特征在于，所述逻辑门模块为异或门逻辑电路；所述第一过零比较器、第二过零比较器的输出

端分别与所述异或门逻辑电路的输入端连接，所述异或门逻辑电路用于异或逻辑处理得到所述第三数字脉冲信号。

5 5、根据权利要求 1 所述的基于 FPGA 的光栅细分装置，其特征在于，所述第三数字脉冲信号的频率为所述第一数字脉冲信号或第二数字脉冲信号的频率的二倍。

6、一种基于 FPGA 的光栅细分方法，其特征在于，基于光栅信号处理模组和 FPGA 运算模块；所述方法包括：

10 控制所述光栅信号处理模组接收光栅尺输出的两组相位相反的正弦信号，并获得能够被所述 FPGA 运算模块识别的第一数字脉冲信号、第二数字脉冲信号、第三数字脉冲信号；

控制所述 FPGA 运算模块接收所述第一数字脉冲信号、第二数字脉冲信号、第三数字脉冲信号并设定任一数字脉冲信号为基准脉冲信号进行目标细分倍数的细分；

15 在第一时间段内，控制所述 FPGA 运算模块以主频进行计数，并计算所述基准脉冲信号的输出频率和与第一时间段相邻下一时间段内的所需分频倍数；

在第二时间段内，根据在第一时间段计算的所需分频倍数，对所述 FPGA 运算模块的主频进行分频，并输出对应时间段所述基准脉冲信号的目标输出频率；控制所述 FPGA 运算模块的主频进行计数，并计算与第二时间段相邻下一时间段内所需的分频倍数；

20 在第 N 时间段内，根据在第 N-1 时间段计算的分频倍数，对所述 FPGA 运算模块的主频进行分频，并输出对应时间段所述基准脉冲信号的目标输出频率；其中，第二时间段为第一时间段的相邻下一时间段，第 N 时间段为第 N-1 时间段的相邻下一时间段。

25 7、根据权利要求 1 所述的基于 FPGA 的光栅细分方法，其特征在于，所述光栅信号处理模组包括差分放大模块、比较模块和逻辑门模块；所述方法还包括步骤：

控制所述差分放大模块接收两组相位相反的正弦信号，控制对应输出第一差分信号和第二差分信号；

控制所述比较模块分别对所述第一差分信号和第二差分信号与基准信号进行比较, 控制输出第一数字脉冲信号和第二数字脉冲信号;

控制逻辑门模块对所述第一数字脉冲信号和第二数字脉冲信号进行异或逻辑处理, 控制输出第三数字脉冲信号。

- 5 8、根据权利要求 1 所述的基于 FPGA 的光栅细分方法, 其特征在于, 在第一时间段内, 控制所述 FPGA 运算模块以主频进行计数, 并计算所述基准脉冲信号的输出频率和与第一时间段相邻下一时间段内的所需分频倍数的具体步骤包括:

在第一时间段内, 控制所述 FPGA 运算模块以主频进行计数;

- 10 根据所述 FPGA 运算模块的主频与计数结果计算在第一时间段的所述基准脉冲信号的输入频率;

根据所述第一时间段的所述基准脉冲信号的输入频率与目标细分倍数计算第一时间段所述基准脉冲信号的输出频率;

- 15 根据所述 FPGA 运算模块的主频和第一时间段所述基准脉冲信号的输出频率计算与第一时间段相邻下一时间段内的所需分频倍数。

- 9、根据权利要求 8 所述的基于 FPGA 的光栅细分方法, 其特征在于, 在第二时间段内, 根据在第一时间段计算的所需分频倍数, 对所述 FPGA 运算模块的主频进行分频, 并输出对应时间段所述基准脉冲信号的目标输出频率; 控制所述 FPGA 运算模块的主频进行计数, 并计算与第二时间段相邻下一时间段内
20 所需的分频倍数的具体步骤包括:

计算第二时间段内所述基准脉冲信号的目标输出频率, 其中, 目标输出频率为 FPGA 运算模块的主频与在第一时间段计算的所需分频倍数的比值;

控制所述 FPGA 运算模块以主频进行计数, 并计算与第二时间段的基准脉冲信号的输入频率;

- 25 根据所述第二时间段的基准脉冲信号的输入频率与目标细分倍数, 计算第二时间段的基准脉冲信号的输出频率;

根据所述 FPGA 运算模块的主频与第二时间段的基准脉冲信号的输出频率计算与第二时间段相邻下一时间段内的所需分频倍数。

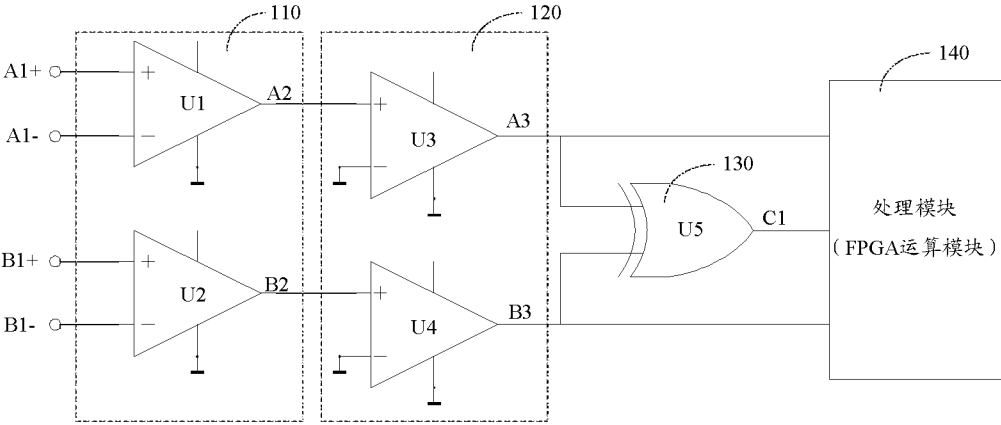


图 1

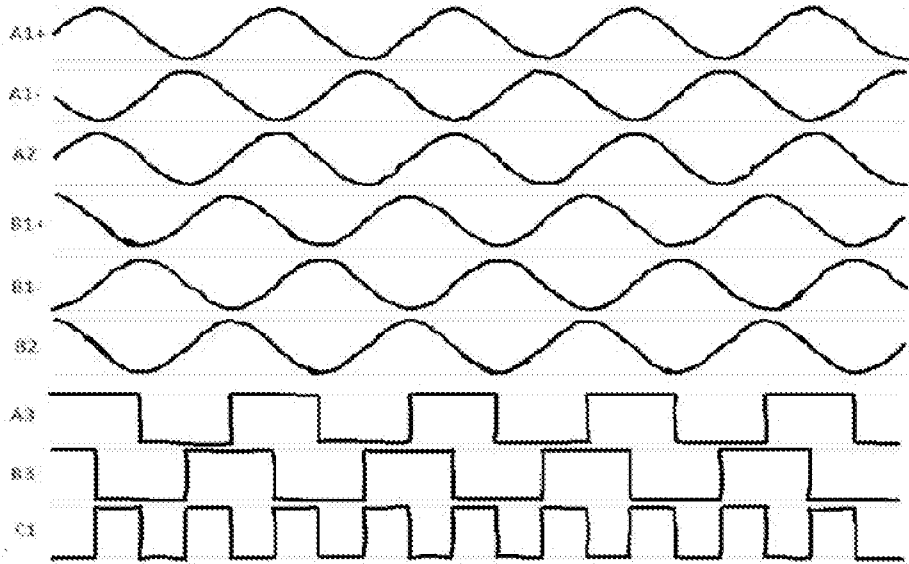


图 2

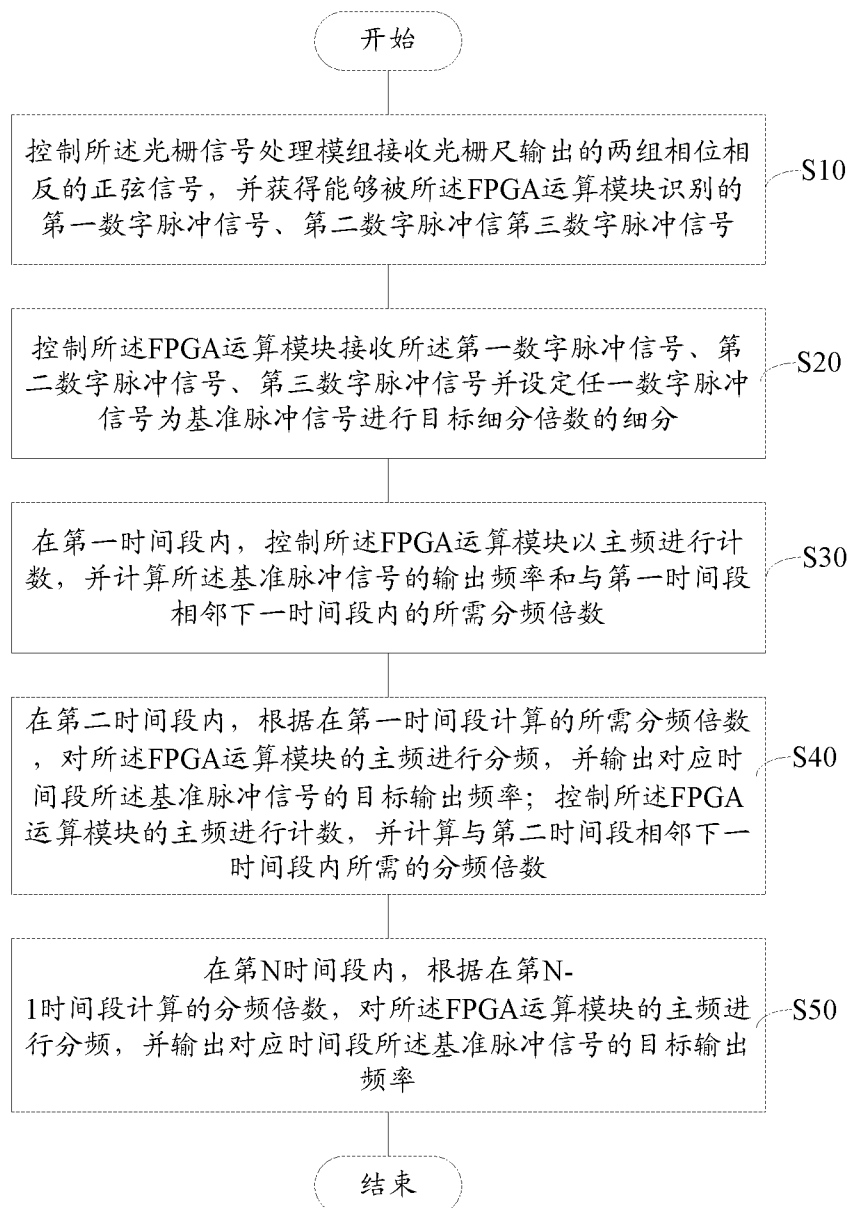


图 3

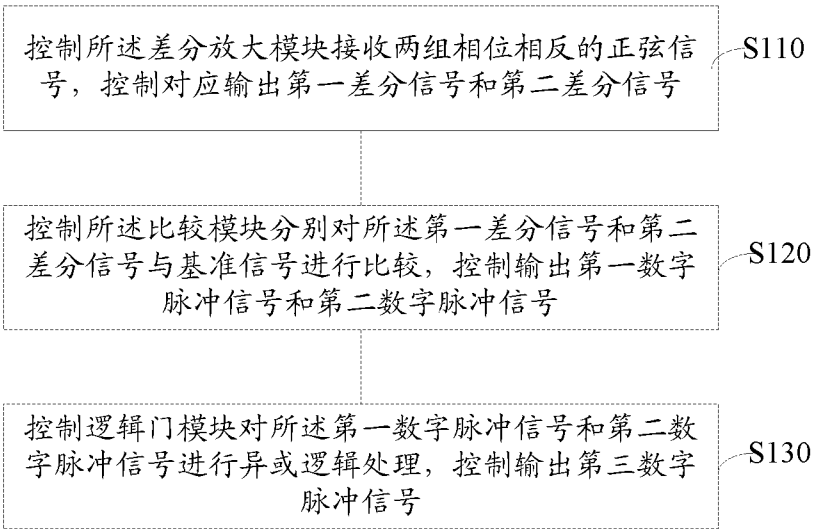


图 4

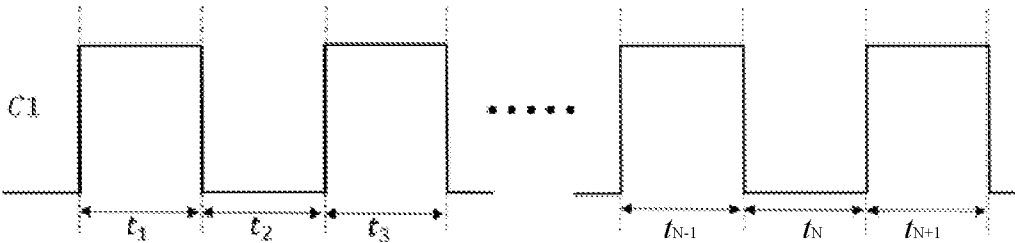


图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/110368

A. CLASSIFICATION OF SUBJECT MATTER

G01B 11/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G01B; G01D

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
WPI; EPODOC; CNPAT; CNKI; IEEE: 光栅, 细分, 差分, 比较, 异或, 莫尔, 脉冲; grating, subdivid+, sub, divid+, differn+, compa+, xor, moire, pulse

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106556342 A (SHENZHEN INSTITUTE OF TERAHERTZ TECHNOLOGY AND INNOVATION et al.), 05 April 2017 (05.04.2017), claims 1-9	1-9
A	CN 104567955 A (KUNMING UNIVERSITY OF SCIENCE AND TECHNOLOGY), 29 April 2015 (29.04.2015), description, paragraphs [0028]-[0048], and figures 1-7	1-9
A	CN 103885778 A (UNIVERSITY OF SHANGHAI FOR SCIENCE AND TECHNOLOGY), 25 June 2014 (25.06.2014), entire document	1-9
A	CN 201107044 Y (BEIJING UNIVERSITY OF TECHNOLOGY), 27 August 2008 (27.08.2008), entire document	1-9
A	CN 203203609 U (BEIJING CTB TECHNOLOGY LIMITED COMPANY), 18 September 2013 (18.09.2013), entire document	1-9
A	US 3900264 A (ERNST LEITZ GMBH.), 19 August 1975 (19.08.1975), entire document	1-9
A	刘建阳等, “基于 FPGA 和 AD 等相位距移相的光栅数字细分法”, 微计算机信息, 26(11-2), 15 November 2010 (15.11.2010), ISSN: 1008-0570, entire document, (LIU, Jianyang et al., “Grating Scale Subdivision Based on FPGA and AD Converter Using Digital Equidistant Phase Shift Method”, Microcomputer Information)	1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 12 January 2018	Date of mailing of the international search report 01 February 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer SONG, Yue Telephone No. (86-10) 52871134

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.
PCT/CN2017/110368

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106556342 A	05 April 2017	None	
CN 104567955 A	29 April 2015	None	
CN 103885778 A	25 June 2014	None	
CN 201107044 Y	27 August 2008	None	
CN 203203609 U	18 September 2013	None	
US 3900264 A	19 August 1975	GB 1431067 A	07 April 1976
		DE 2229996 A1	10 January 1974

国际检索报告

国际申请号

PCT/CN2017/110368

A. 主题的分类 G01B 11/00 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G01B; G01D 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) WPI; EPDOC; CNPAT; CNKI; IEEE: 光栅, 细分, 差分, 比较, 异或, 莫尔, 脉冲; grating, subdivid+, sub, divid+, differnt+, compa+, xor, moire, pulse		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 106556342 A (深圳市太赫兹科技创新研究院 等) 2017年 4月 5日 (2017 - 04 - 05) 权利要求1-9	1-9
A	CN 104567955 A (昆明理工大学) 2015年 4月 29日 (2015 - 04 - 29) 说明书第[0028]-[0048]段, 附图1-7	1-9
A	CN 103885778 A (上海理工大学) 2014年 6月 25日 (2014 - 06 - 25) 全文	1-9
A	CN 201107044 Y (北京工业大学) 2008年 8月 27日 (2008 - 08 - 27) 全文	1-9
A	CN 203203609 U (北京超同步科技有限公司) 2013年 9月 18日 (2013 - 09 - 18) 全文	1-9
A	US 3900264 A (ERNST LEITZ GMBH.) 1975年 8月 19日 (1975 - 08 - 19) 全文	1-9
A	刘建阳 等. “基于FPGA和AD等相位距移相的光栅数字细分法” 《微计算机信息》, 第26卷, 第11-2期, 2010年 11月 15日 (2010 - 11 - 15), ISSN: 1008-0570, 全文	1-9
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2018年 1月 12日		国际检索报告邮寄日期 2018年 2月 1日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 宋玥 电话号码 (86-10)52871134

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/110368

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106556342	A	2017年 4月 5日	无			
CN	104567955	A	2015年 4月 29日	无			
CN	103885778	A	2014年 6月 25日	无			
CN	201107044	Y	2008年 8月 27日	无			
CN	203203609	U	2013年 9月 18日	无			
US	3900264	A	1975年 8月 19日	GB	1431067	A	1976年 4月 7日
				DE	2229996	A1	1974年 1月 10日