

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年6月20日(20.06.2019)



(10) 国際公開番号

WO 2019/116868 A1

(51) 国際特許分類:

H01L 21/338 (2006.01) *H01L 29/861* (2006.01)
H01L 29/12 (2006.01) *H01L 29/868* (2006.01)
H01L 29/78 (2006.01) *H01L 29/872* (2006.01)
H01L 29/812 (2006.01) *H02M 7/12* (2006.01)

市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 森山 洋平(MORIYAMA Yohei); 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

(21) 国際出願番号: PCT/JP2018/043398

(22) 国際出願日: 2018年11月26日(26.11.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-236708 2017年12月11日(11.12.2017) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者: 山口 敦司 (YAMAGUCHI Atsushi);
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 柏木 淳一 (KASHIWAGI Junichi); 〒6158585 京都府京都

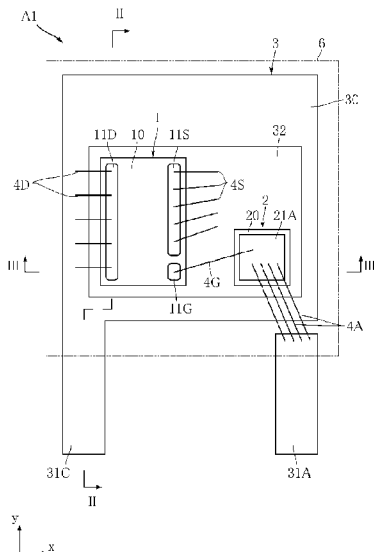
(74) 代理人: 吉田 稔, 外 (YOSHIDA Minoru et al.);
〒5430014 大阪府大阪市天王寺区玉造元町 2 番 3 2 - 1 3 0 1 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: SEMICONDUCTOR RECTIFIER

(54) 発明の名称: 半導体整流器

FIG.1



(57) Abstract: A semiconductor rectifier provided according to one aspect of the present disclosure is provided with a transistor and a diode. The transistor has a source electrode, a drain electrode, and a gate electrode. The diode has an anode electrode and a cathode electrode. The anode electrode is electrically connected to the gate electrode and the cathode electrode is electrically connected to the source electrode.

(57) 要約: 本開示の一側面によって提供される半導体整流器は、トランジスタおよびダイオードを備える。前記トランジスタは、ソース電極、ドレイン電極およびゲート電極を有する。前記ダイオードは、アノード電極およびカソード電極を有する。前記アノード電極は前記ゲート電極に導通し、前記カソード電極は前記ソース電極に導通する。

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体整流器

技術分野

[0001] 本開示は、半導体整流器に関する。

背景技術

[0002] 半導体整流器の一形態であるショットキーバリアダイオードは、Si半導体層と、ショットキー電極およびオーミック電極を有する。

発明の概要

[0003] 本開示の一側面によって提供される半導体整流器は、トランジスタおよびダイオードを備える。前記トランジスタは、ソース電極、ドレイン電極およびゲート電極を有する。前記ダイオードは、アノード電極およびカソード電極を有する。前記アノード電極は前記ゲート電極に導通し、前記カソード電極は前記ソース電極に導通する。

図面の簡単な説明

[0004] [図1]本開示の第1実施形態に係る半導体整流器を示す平面図である。

[図2]図1のI-I'線に沿う断面図である。

[図3]図1のII-II'線に沿う断面図である。

[図4]本開示の第1実施形態に係る半導体整流器を示す回路図である。

[図5]本開示の第1実施形態に係る半導体整流器の電圧電流特性を示すグラフである。

[図6]本開示の第1実施形態に係る半導体整流器の逆回復特性を示すグラフである。

[図7]本開示の第1実施形態に係る半導体整流器の第1変形例を示す平面図である。

[図8]本開示の第1実施形態に係る半導体整流器の第2変形例を示す平面図である。

[図9]図8のX-X'線に沿う断面図である。

[図10]本開示の第1実施形態に係る半導体整流器の第3変形例を示す平面図である。

[図11]本開示の第2実施形態に係る半導体整流器を示す平面図である。

[図12]本開示の第2実施形態に係る半導体整流器を示す回路図である。

[図13]本開示の第3実施形態に係る半導体整流器を示す平面図である。

[図14]本開示の第3実施形態に係る半導体整流器を示す回路図である。

[図15]本開示の第3実施形態に係る半導体整流器の第1変形例を示す平面図である。

[図16]本開示の第3実施形態に係る半導体整流器の第1変形例を示す回路図である。

[図17]本開示の第1実施形態に係る半導体整流器の逆回復特性を示すグラフである。

[図18]本開示の第1実施形態に係る半導体整流器のダイオード電圧を示すグラフである。

[図19]本開示の第3実施形態に係る半導体整流器の逆回復特性を示すグラフである。

[図20]本開示の第3実施形態に係る半導体整流器のダイオード電圧を示すグラフである。

[図21]本開示の第4実施形態に係る半導体整流器を示す平面図である。

[図22]図21のXXⅠⅠ－XXⅠⅠ線に沿う断面図である。

[図23]本開示の第4実施形態に係る半導体整流器の第1変形例を示す平面図である。

[図24]本開示の第4実施形態に係る半導体整流器の第2変形例を示す平面図である。

[図25]図24のXXⅤ－XXⅤ線に沿う断面図である。

[図26]本開示の第5実施形態に係る半導体整流器を示す平面図である。

[図27]本開示の第5実施形態に係る半導体整流器を示す回路図である。

[図28]本開示の第6実施形態に係る半導体整流器を示す平面図である。

[図29]図28のXXI-X-XI線に沿う断面図である。

[図30]本開示の第7実施形態に係る半導体整流器を示す平面図である。

[図31]図30のXXXI-XXXI線に沿う断面図である。

発明を実施するための形態

[0005] 以下、本開示の好ましい実施の形態につき、図面を参照して具体的に説明する。

[0006] <第1実施形態>

図1～図4は、本開示の第1実施形態に係る半導体整流器を示している。本実施形態の半導体整流器A1は、トランジスタ1、ダイオード2、リードフレーム3および封止樹脂6を備えている。

[0007] 図1は、半導体整流器A1を示す平面図である。図2は、図1のI-I線に沿う断面図である。図3は、図1のI-I-I線に沿う断面図である。図4は、半導体整流器A1を示す回路図である。

[0008] トランジスタ1は、たとえばノーマリーオン型（デプレッション型）のトランジスタであり、素子本体10、ソース電極11S、ドレイン電極11D及びゲート電極11Gを有する。

[0009] 素子本体10は、半導体層を含むものであり、本実施形態においては、GaN半導体層を含む。この場合、トランジスタ1は、たとえばGaN-MOSFETやGaN-HEMT等である。ソース電極11S、ドレイン電極11D及びゲート電極11Gは、素子本体10の上面に設けられており、すべてが素子本体10の同じ側に位置する。

[0010] ソース電極11S、ドレイン電極11D及びゲート電極11Gは、金属からなり、たとえばめっきによって形成される。ワイヤのボンディングやはんだ接合を好適に行う観点から、ソース電極11S、ドレイン電極11Dおよびゲート電極11Gの表層は、Auによって構成されていることが好ましい。また、ソース電極11S、ドレイン電極11Dおよびゲート電極11Gのうち表層に覆われる部分は、たとえばCu、Ni等の金属からなる。

[0011] ダイオード2は、素子本体20、アノード電極21A及びカソード電極2

1 Cを有する。ダイオード2は、たとえば素子本体20がSi半導体層を含む、Siショットキーバリアダイオードである。ダイオード2の閾値電圧は、好ましくは、0.8V以下である。

[0012] リードフレーム3は、トランジスタ1およびダイオード2を支持しており、トランジスタ1およびダイオード2への導通経路を構成している。本実施形態においては、リードフレーム3は、アイランド部30、アノード端子31Aおよびカソード端子31Cを有している。また、リードフレーム3には、金属層32および絶縁層33が設けられている。

[0013] リードフレーム3の材質は特に限定されず、たとえば、Cu、Ni等の金属からなる金属板材料を用いて打ち抜き加工や折り曲げ加工等を施すことによって形成される。

[0014] アイランド部30は、トランジスタ1およびダイオード2を支持する部分である。図示された例においては、アイランド部30は、x方向およびy方向に沿う四辺を有する平面視矩形状であるが、アイランド部30の形状は特に限定されない。

[0015] また、本実施形態においては、アイランド部30に金属層32が設けられている。金属層32は、たとえばAl、Cu、Ni等から適宜選択される金属または合金からなる層である。図示された例においては、金属層32は、絶縁層33を介してアイランド部30に固定されている。絶縁層33は、絶縁材料からなり、たとえば樹脂やセラミックスが適宜採用される。また、金属層32のz方向視寸法は、アイランド部30のz方向視寸法よりも小さい。金属層32の形成手法は特に限定されず、メッキ等による手法によって絶縁層33上に形成してもよいし、予め形成しておいた金属層32を絶縁層33によってアイランド部30に接合してもよい。

[0016] 図示された例においては、トランジスタ1が、接合層19によって金属層32に接合されている。また、ダイオード2のカソード電極21Cが、接合層29によって金属層32に接合されている。本例の場合、接合層19は、絶縁性であってもよいし、導電性であってもよい。接合層29は、導電性材

料からなり、たとえばはんだである。これにより、ダイオード2のカソード電極21Cは、金属層32に導通している。

[0017] アノード端子31Aは、半導体整流器A1の端子となるものであり、アノード接続される端子である。アノード端子31Aは、アイランド部30から離間している。

[0018] カソード端子31Cは、半導体整流器A1の端子となるものであり、カソード接続される端子である。本例においては、カソード端子31Cは、アイランド部30に繋がっている。

[0019] 図示された例においては、半導体整流器A1は、複数のアノードワイヤ4A、ゲートワイヤ4G、複数のソースワイヤ4S及び複数のドレインワイヤ4Dを有する。複数のアノードワイヤ4Aは、アノード端子31Aとダイオード2のアノード電極21Aとに接続されている。ゲートワイヤ4Gは、ダイオード2のアノード電極21Aとトランジスタ1のゲート電極11Gとに接続されている。複数のソースワイヤ4Sは、金属層32とトランジスタ1のソース電極11Sとに接続されている。複数のドレインワイヤ4Dは、トランジスタ1のドレイン電極11Dとアイランド部30とに接続されている。

[0020] 複数のアノードワイヤ4A、ゲートワイヤ4G、複数のソースワイヤ4S及び複数のドレインワイヤ4Dは、たとえばAu、アルミ、Cu等の金属からなる。以下においては、複数のアノードワイヤ4A、ゲートワイヤ4G、複数のソースワイヤ4S及び複数のドレインワイヤ4Dが、Auからなる場合を例に説明するが、それぞれの本数はそれぞれの材質によって増減しうる。

[0021] 以上に述べた構成により、半導体整流器A1は、図4に示す回路を構成している。ダイオード2のアノード電極21Aは、ゲートワイヤ4Gを介してゲート電極11Gに導通している。ダイオード2のカソード電極21Cは、金属層32および複数のソースワイヤ4Sを介してソース電極11Sに導通している。

[0022] 封止樹脂 6 は、トランジスタ 1、ダイオード 2、リードフレーム 3 の一部、複数のアノードワイヤ 4 A、ゲートワイヤ 4 G、複数のソースワイヤ 4 S 及び複数のドレインワイヤ 4 D を保護するためのものであり、たとえばエポキシ樹脂等の絶縁樹脂からなる。図示された例においては、封止樹脂 6 は、アイランド部 30 の裏面を露出させている。また、アノード端子 31 A およびカソード端子 31 C は、封止樹脂 6 の側面から同じ方向に突出している。

[0023] 次に、半導体整流器 A1 の作用について説明する。

[0024] 本実施形態によれば、トランジスタ 1 を用いることにより、たとえば単体のダイオードからなる半導体整流器と比較して耐圧を向上させることが可能である。また、図 5 は、アノード端子 31 A およびカソード端子 31 C 間に印加される電圧と電流の関係を示しており、半導体整流器 A1 との比較例として、Si-FRD（ファストリカバリダイオード）単体からなる半導体整流器と SiC-SBD（ショットキーバリアキーダイオード）単体からなる半導体整流器との電圧および電流の関係を示している。同図に示すように、半導体整流器 A1 に所定の電流が流れ始める閾値電圧は、Si-FRD 単体からなる半導体整流器および SiC-SBD 単体からなる半導体整流器のいずれの閾値電圧よりも低い値となっている。また、図 6 は、半導体整流器 A1 と、比較例としての Si-FRD 単体からなる半導体整流器および SiC-SBD 単体からなる半導体整流器との、逆回復特性を示している。オン状態からオフ状態に切り替えられた際に、逆方向に電流が流れる時間である逆回復時間に着目すると、半導体整流器 A1 の逆回復時間は、SiC-SBD 単体からなる半導体整流器の逆回復時間と同程度であり、Si-FRD 単体からなる半導体整流器の逆回復時間よりも顕著に短い。以上より、半導体整流器 A1 によれば、耐圧の向上、閾値電圧の低減及び逆回復時間の短縮を図ることができる。

[0025] 図 7～図 31 は、本開示の変形例および他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。

[0026] <第1実施形態 第1変形例>

図7は、半導体整流器A1の第1変形例を示している。本変形例の半導体整流器A11は、リードフレーム3の構成が、上述した半導体整流器A1と異なっている。本変形例においては、アイランド部30には、上述した金属層32および絶縁層33は、形成されていない。トランジスタ1の素子本体10が接合層19によってアイランド部30に接合されており、ダイオード2のカソード電極21Cが接合層29によってアイランド部30に接合されている。これにより、アイランド部30は、カソード電極21Cと同電位となる。これに対応して、カソード端子31Cは、アイランド部30から離間している。複数のドレインワイヤ4Dは、トランジスタ1のドレイン電極11Dとカソード端子31Cとに接続されている。アイランド部30は、封止樹脂6から一部が露出していてもよいし、封止樹脂6によって全てが覆われていてもよい。

[0027] このような変形例によっても、耐圧の向上、閾値電圧の低減及び逆回復時間の短縮を図ることができる。また、金属層32および絶縁層33が不要であることにより、コスト低減を図ることができる。

[0028] <第1実施形態 第2変形例>

図8および図9は、半導体整流器A1の第2変形例を示している。本変形例の半導体整流器A12は、ダイオード2の実装構造が、上述した例と異なっている。本変形例においては、ダイオード2のカソード電極21Cが、接合層29によってトランジスタ1のソース電極11Sに接合されている。これにより、トランジスタ1とダイオード2とが積層された実装構造となっている。

[0029] このような変形例によっても、耐圧の向上、閾値電圧の低減及び逆回復時間の短縮を図ることができる。また、ダイオード2のカソード電極21Cとトランジスタ1のソース電極11Sとの導通経路が、接合層29のみによって構成され、上述した例におけるソースワイヤ4Sを含まない。これにより、ソース電極11Sに至る導通経路の低抵抗化を図ることができる。また、

z 方向視における半導体整流器 A 1 2 の小型化に有利である。

[0030] <第 1 実施形態 第 3 変形例>

図 1 0 は、半導体整流器 A 1 の第 3 変形例を示している。本変形例の半導体整流器 A 1 3 は、トランジスタ 1 およびダイオード 2 の実装構造が、半導体整流器 A 1 2 と類似しており、リードフレーム 3 の構成が半導体整流器 A 1 2 と異なっている。本変形例においては、アイランド部 3 0 とカソード端子 3 1 C とが一体的に形成されている。複数のドレインワイヤ 4 D は、ドレイン電極 1 1 D とアイランド部 3 0 とに接続されている。

[0031] このような変形例によっても、耐圧の向上、閾値電圧の低減及び逆回復時間の短縮を図ることができる。また、複数のドレインワイヤ 4 D の長さを、半導体整流器 A 1 2 における複数のドレインワイヤ 4 D の長さよりも短くすることが可能である。これにより、ドレイン電極 1 1 D とカソード端子 3 1 C との導通経路の低抵抗化を図ることができる。

[0032] <第 2 実施形態>

図 1 1 および図 1 2 は、本開示の第 2 実施形態に係る半導体整流器を示している。本実施形態の半導体整流器 A 2 は、トランジスタ 1 およびダイオード 2 に加えて、第 1 抵抗器 5 1 を備えている。第 1 抵抗器 5 1 は、アノード端子 3 1 A とトランジスタ 1 のゲート電極 1 1 G との導通経路に介在している。なお、第 1 抵抗器 5 1 は、トランジスタ 1 およびダイオード 2 のいずれかと一体的に形成されていてもよい。

[0033] 図示された例においては、金属層 3 2 が、第 1 領域 3 2 1、第 2 領域 3 2 2 および第 3 領域 3 2 3 の 3 つの領域に分割されている。第 1 領域 3 2 1 には、トランジスタ 1 およびダイオード 2 が接合されている。第 2 領域 3 2 2 および第 3 領域 3 2 3 には、第 1 抵抗器 5 1 の電極がそれぞれ接合されている。また、ダイオード 2 のアノード電極 2 1 A と第 2 領域 3 2 2 には、ワイヤ 4 1 が接続されている。ゲートワイヤ 4 G は、第 3 領域 3 2 3 とゲート電極 1 1 G とに接続されている。

[0034] このような実施形態によっても、耐圧の向上、閾値電圧の低減及び逆回復

時間の短縮を図ることができる。また、第1抵抗器51を備えることにより、第1抵抗器51の抵抗値を種々に設定すれば、半導体整流器A2の動作特性を種々に設定することができる。

[0035] <第3実施形態>

図13および図14は、本開示の第3実施形態に係る半導体整流器を示している。本実施形態の半導体整流器A3は、トランジスタ1およびダイオード2に加えて、コンデンサ55を備えている。コンデンサ55は、ダイオード2に対して並列に接続されている。なおコンデンサ55は、トランジスタ1およびダイオード2のいずれかと一体的に形成されていてもよい。

[0036] 図示された例においては、金属層32が、第1領域321および第2領域322を有する。第1領域321には、トランジスタ1、ダイオード2およびコンデンサ55の一方の電極が接合されている。第2領域322には、コンデンサ55の他方の電極が接合されている。アノード端子31Aと第2領域322には、複数のワイヤ41が接続されている。

[0037] このような実施形態によっても、耐圧の向上、閾値電圧の低減及び逆回復時間の短縮を図ることができる。また、後述するように、コンデンサ55を備えることにより、半導体整流器A3の特性を高めることができる。

[0038] <第3実施形態 第1変形例>

図15および図16は、本開示の第3実施形態に係る半導体整流器の第1変形例を示している。本変形例の半導体整流器A31は、第2抵抗器52を備えている。第2抵抗器52は、コンデンサ55に対して直列に接続されており、コンデンサ55とソース電極11Sとの導通経路に含まれている。なお、第2抵抗器52は、トランジスタ1およびダイオード2のいずれかと一体的に形成されていてもよい。

[0039] 図示された例においては、金属層32は、第1領域321、第2領域322、第3領域323および第4領域324を有する。第1領域321には、トランジスタ1およびダイオード2が接合されている。第2領域322には、コンデンサ55の一方の電極が接合されている。第3領域323には、コ

ンデンサ 5 5 の他方の電極と第 2 抵抗器 5 2 の一方の電極が接合されている。第 4 領域 3 2 4 には、第 2 抵抗器 5 2 の他方の電極が接合されている。

[0040] アノード端子 3 1 A と第 2 領域 3 2 2 には、複数のワイヤ 4 1 が接続されている。また、第 4 領域 3 2 4 と第 1 領域 3 2 1 には、複数のワイヤ 4 2 が接続されている。

[0041] このような実施形態によっても、耐圧の向上、閾値電圧の低減及び逆回復時間の短縮を図ることができる。

[0042] 半導体整流器 A 3 および半導体整流器 A 3 1 の特性を説明するに先立ち、上述した半導体整流器 A 1 の特性について、図 1 7 および図 1 8 を参照して説明する。ダイオード 2 には、素子本体 2 0、アノード電極 2 1 A およびカソード電極 2 1 C の材質やこれらの接合形態に応じて、静電容量が内在する。このダイオード 2 の静電容量 C_{di} を、300 pF、840 pF、1200 pF と設定した場合の、逆回復特性を示すグラフが図 1 7 であり、ダイオード 2 の内部における電圧を示すグラフが図 1 8 である。図 1 7 および図 1 8 は、シミュレーション結果である。図 1 7 に示すように、静電容量 C_{di} が小さいほど、逆回復時間を短縮することができる。一方、図 1 8 に示すように、静電容量 C_{di} が小さいほど、ダイオード 2 の電圧が大きいという背反事項がある。ダイオード 2 に使用されるダイオードは、耐圧が低いほど立ち上がり電圧が小さい傾向がある。この立ち上がり電圧が、半導体整流器 A 1 の立ち上がり電圧を決定する主要因である。このため、半導体整流器 A 1 において立ち上がり電圧を低く抑えながら高耐圧を実現するには、ダイオード 2 に発生する電圧を低く抑えつつ、トランジスタ 1 の分圧を高めることが必要である。トランジスタ 1 の分圧を高めるためには、トランジスタ 1 のドレイン電極 1 1 D およびソース電極 1 1 S 間の静電容量 C_{ds} 、ゲート電極 1 1 G およびソース電極 1 1 S 間の静電容量 C_{gs} およびダイオード 2 の静電容量 C_{di} が、 $2C_{ds} \leq C_{di} + C_{gs}$ の関係を満たすことが好ましい。

[0043] 次に、図 1 9 および図 2 0 を参照して、半導体整流器 A 1、半導体整流器

A 3 および半導体整流器 A 3 1 の特性について説明する。図 1 9 は、逆回復特性を示し、図 2 0 は、ダイオード 2 の電圧を示す。これらの図に示すグラフは、半導体整流器 A 1、半導体整流器 A 3 および半導体整流器 A 3 1 それぞれの静電容量 C_{di} が 300 pF であり、半導体整流器 A 3 および半導体整流器 A 3 1 のコンデンサ 5 5 の静電容量 C_{xd} が 470 pF、半導体整流器 A 3 1 の第 2 抵抗器 5 2 の抵抗値 R_2 が 100 Ω である条件でのシミュレーション結果である。

[0044] 図 1 9 に示すように、半導体整流器 A 3 の逆回復時間は、半導体整流器 A 1 の逆回復時間よりも明らかに長い。これは、コンデンサ 5 5 のみを付加すると、逆回復時間の延長を生じることを意味する。一方、半導体整流器 A 3 1 の逆回復時間は、半導体整流器 A 1 の逆回復時間とほぼ同等であり、半導体整流器 A 3 の逆回復時間よりも明らかに短い。これは、コンデンサ 5 5 のみではなく、コンデンサ 5 5 と直列に接続される第 2 抵抗器 5 2 をさらに付加することによって、逆回復時間の短縮を図ることができることを意味する。

[0045] また、図 2 0 に示すように、半導体整流器 A 1 のダイオード 2 の電圧が時間とともに顕著に増加するのに対し、半導体整流器 A 3 の電圧は、明らかに低い。また、半導体整流器 A 3 1 の電圧は、半導体整流器 A 3 の電圧よりもさらに低い。これは、コンデンサ 5 5 を付加することにより、ダイオード 2 の分圧を効果的に低減させることができることを意味する。このような観点から、トランジスタ 1 のドレイン電極 1 1 D およびソース電極 1 1 S 間の静電容量 C_{ds} 、ゲート電極 1 1 G およびソース電極 1 1 S 間の静電容量 C_{gs} 、ダイオード 2 の静電容量 C_{di} およびコンデンサ 5 5 の静電容量 C_{xd} が、 $2C_{ds} \leq C_{di} + C_{gs} + C_{xd}$ の関係を満たすことが好ましい。

[0046] <第 4 実施形態>

図 2 1 および図 2 2 は、本開示の第 4 実施形態に係る半導体整流器を示している。本実施形態の半導体整流器 A 4 は、トランジスタ 1 の構成が、上述した実施形態と異なっている。本実施形態のトランジスタ 1 は、素子本体 1

0がSiC半導体層を含んでおり、いわゆる縦型のトランジスタである。ソース電極11Sおよびゲート電極11Gは、素子本体10の上面に位置しており、ドレイン電極11Dは、ソース電極11Sおよびゲート電極11Gとは反対側の下面に位置している。トランジスタ1の1Dは、接合層19によって金属層32に接合されている。接合層19は、導電性の材料からなり、たとえばはんだである。

[0047] アイランド部30とカソード端子31Cとは、一体的に形成されている。複数のワイヤ41は、金属層32とアイランド部30とに接続されている。これにより、トランジスタ1のドレイン電極11Dとカソード端子31Cとは、接合層19、金属層32、複数のワイヤ41およびアイランド部30を介して導通している。

[0048] このような実施形態によっても、耐圧の向上、閾値電圧の低減及び逆回復時間の短縮を図ることができる。また、半導体整流器A4は、z方向視における小型化を図るのに適している。

[0049] <第4実施形態 第1変形例>

図23は、半導体整流器A4の第1変形例を示している。本変形例の半導体整流器A41においては、金属層32および絶縁層33の構成が、上述した半導体整流器A4と異なっている。本変形例においては、金属層32および絶縁層33は、z方向視においてダイオード2と重なっており、且つトランジスタ1とは重なっていない。

[0050] ダイオード2のカソード電極21Cは、接合層29によって金属層32に導通接合されている。複数のソースワイヤ4Sは、金属層32とトランジスタ1のソース電極11Sとに接続されている。トランジスタ1のドレイン電極11Dは、接合層19によってアイランド部30に導通接合されている。

[0051] このような実施形態によっても、耐圧の向上、閾値電圧の低減及び逆回復時間の短縮を図ることができる。また、ドレイン電極11Dとカソード端子31Cとは、接合層19およびアイランド部30のみを介して導通している。これにより、ドレイン電極11Dとカソード端子31Cとの導通経路の低

抵抗化を図ることができる。

[0052] <第4実施形態 第2変形例>

図24および図25は、半導体整流器A4の第2変形例を示している。本変形例の半導体整流器A42は、トランジスタ1とダイオード2とが積層された実装構造となっている。すなわち、ダイオード2のカソード電極21Cが、接合層29によってトランジスタ1のソース電極11Sに導通接合されている。また、トランジスタ1のドレイン電極11Dは、接合層19によってアイランド部30に導通接合されている。

[0053] このような実施形態によっても、耐圧の向上、閾値電圧の低減及び逆回復時間の短縮を図ることができる。また、カソード電極21Cとソース電極11Sとの間の導通経路の低抵抗化、およびドレイン電極11Dとカソード端子31Cとの間の導通経路の低抵抗化、を図ることができる。

[0054] <第5実施形態>

図26および図27は、本開示の第5実施形態に係る半導体整流器を示している。本実施形態の半導体整流器A5は、トランジスタ1およびダイオード2を2つずつ備えている。

[0055] 2つのトランジスタ1は、いずれも接合層19によってアイランド部30に接合されている。各ダイオード2のカソード電極21Cは、接合層29によって各トランジスタ1のソース電極11Sに導通接合されている。

[0056] リードフレーム3は、カソード端子31Cと2つのアノード端子31Aとを有している。カソード端子31Cは、アイランド部30を兼ねている。2つのアノード端子31Aは、カソード端子31C（アイランド部30）に対してy方向に離間している。各アノード端子31Aと各ダイオード2のアノード電極21Aとには、複数のアノードワイヤ4Aがそれぞれ接続されている。各トランジスタ1のドレイン電極11Dとアイランド部30とには、複数のドレインワイヤ4Dがそれぞれ接続されている。すなわち、2つのトランジスタ1のドレイン電極11D同士は、互いに導通している。

[0057] また、図示された例においては、トランジスタ1、ダイオード2、アノー

ド端子 31A、複数のアノードワイヤ 4A、ゲートワイヤ 4G および複数のドレインワイヤ 4D の配置が、半導体整流器 A5 の x 方向中心を挟んで線対称の配置とされている。

[0058] 本実施形態によっても、耐圧の向上、閾値電圧の低減及び逆回復時間の短縮を図ることができる。また、一方のアノード端子 31A およびカソード端子 31C のみを使用する形態と、両方のアノード端子 31A およびカソード端子 31C を使用する形態とを、使い分けることが可能である。これにより、回路に流すべき電流の大きさによる使い分けや、異なる系統の電流を制御する等の用途に、半導体整流器 A5 を用いることができる。

[0059] <第 6 実施形態>

図 28 は、本開示の第 6 実施形態に基づく半導体整流器を示している。本実施形態の半導体整流器 A6 は、いわゆる面実装型の半導体整流器として構成されている。

[0060] 本実施形態においては、リードフレーム 3 は、アイランド部 30 を兼ねるカソード端子 31C とアノード端子 31A とを有している。アノード端子 31A およびカソード端子 31C は、いずれも z 方向視矩形状であり、y 方向に互いに離間している。

[0061] トランジスタ 1 は、アイランド部 30（カソード端子 31C）に実装されている。ダイオード 2 は、トランジスタ 1 に積層して実装されており、カソード電極 21C が接合層 29 によってソース電極 11S に導通接合されている。複数のドレインワイヤ 4D は、ドレイン電極 11D とカソード端子 31C とに接続されている。複数のアノードワイヤ 4A は、アノード端子 31A とアノード電極 21A とに接続されている。

[0062] 本実施形態によっても、耐圧の向上、閾値電圧の低減及び逆回復時間の短縮を図ることができる。また、半導体整流器 A6 は、たとえばリフロー炉を用いた実装手法によって回路基板等（図示略）に実装することができる。

[0063] <第 7 実施形態>

図 30 および図 31 は、本開示の第 7 実施形態に係る半導体整流器を示し

ている。本実施形態の半導体整流器A 7は、トランジスタ1とダイオード2とが、いわゆるモノリシック構造によって互いに一体的に形成されており、同一の半導体基板15を共有している。半導体基板15は、たとえばSiからなる。半導体基板15の両側には、ダイオード2のアノード電極21Aおよびカソード電極21Cが形成されている。素子本体10は、半導体基板15上に積層されている。トランジスタ1、ダイオード2およびリードフレーム3の導通形態は、半導体整流器A 1と同様である。

[0064] 本実施形態によっても、耐圧の向上、閾値電圧の低減及び逆回復時間の短縮を図ることができる。また、半導体整流器A 1は、小型化に適している。

[0065] 本開示に係る半導体整流器は、上述した実施形態に限定されるものではない。本開示に係る半導体整流器の各部の具体的な構成は、種々に設計変更自在である。

[0066] 本開示は、以下の付記にかかる実施形態を含む。

[付記1]

ソース電極、ドレイン電極およびゲート電極を有するトランジスタと、アノード電極およびカソード電極を有するダイオードであって、前記アノード電極は前記ゲート電極に導通し、前記カソード電極は前記ソース電極に導通するダイオードと、を備える、半導体整流器。

[付記2]

前記トランジスタは、ノーマリーオン型である、付記1に記載の半導体整流器。

[付記3]

前記アノード電極と前記ゲート電極との導通経路に介在する第1抵抗器を備える、付記1または2に記載の半導体整流器。

[付記4]

前記第1抵抗器は、前記トランジスタおよび前記ダイオードの少なくともいずれかと一体的に形成されている、付記3に記載の半導体整流器。

[付記5]

前記ダイオードに対して並列に接続されたコンデンサを備える、付記 1 ないし 4 のいずれかに記載の半導体整流器。

[付記 6]

前記コンデンサに対して直列に接続された第 2 抵抗器を備える、付記 5 に記載の半導体整流器。

[付記 7]

前記第 2 抵抗器は、前記トランジスタおよび前記ダイオードの少なくともいずれかと一体的に形成されている、付記 6 に記載の半導体整流器。

[付記 8]

前記トランジスタは、GaN 半導体層または SiC 半導体層を有する、付記 1 ないし 7 のいずれかに記載の半導体整流器。

[付記 9]

前記ダイオードは、Si ショットキーバリアダイオードである、付記 1 ないし 8 のいずれかに記載の半導体整流器。

[付記 10]

前記トランジスタの耐圧は、前記ダイオードの耐圧よりも高い、付記 1 ないし 9 のいずれかに記載の半導体整流器。

[付記 11]

前記トランジスタと前記ダイオードとが、同一の半導体基板を共有している、付記 1 ないし 10 のいずれかに記載の半導体整流器。

[付記 12]

前記ダイオードの閾値電圧が、0.8 V 以下である、付記 1 ないし 11 のいずれかに記載の半導体整流器。

[付記 13]

前記トランジスタの前記ドレイン電極および前記ソース電極間の静電容量 C_{ds} 、前記ゲート電極および前記ソース電極間の静電容量 C_{gs} および前記ダイオードの静電容量 C_{di} が、

$$2C_{ds} \leq C_{di} + C_{gs}$$

の関係を満たす、付記 1 ないし 1 2 のいずれかに記載の半導体整流器。

[付記 1 4]

前記トランジスタの前記ドレイン電極および前記ソース電極間の静電容量 C_{ds} 、前記ゲート電極および前記ソース電極間の静電容量 C_{gs} 、前記ダイオードの静電容量 C_{di} および前記コンデンサの静電容量 C_{xd} が、

$$2C_{ds} \leq C_{di} + C_{gs} + C_{xd}$$

の関係を満たす、付記 5 ないし 7 のいずれかに記載の半導体整流器。

[付記 1 5]

前記トランジスタは、GaN 半導体層を有し、且つ前記ソース電極、前記ドレイン電極および前記ゲート電極が、同じ側に位置する、付記 1 ないし 1 4 のいずれかに記載の半導体整流器。

[付記 1 6]

前記トランジスタは、SiC 半導体層を有し、且つ前記ソース電極および前記ゲート電極と前記ドレイン電極とが、互いに反対側に位置する、付記 1 ないし 1 4 のいずれかに記載の半導体整流器。

[付記 1 7]

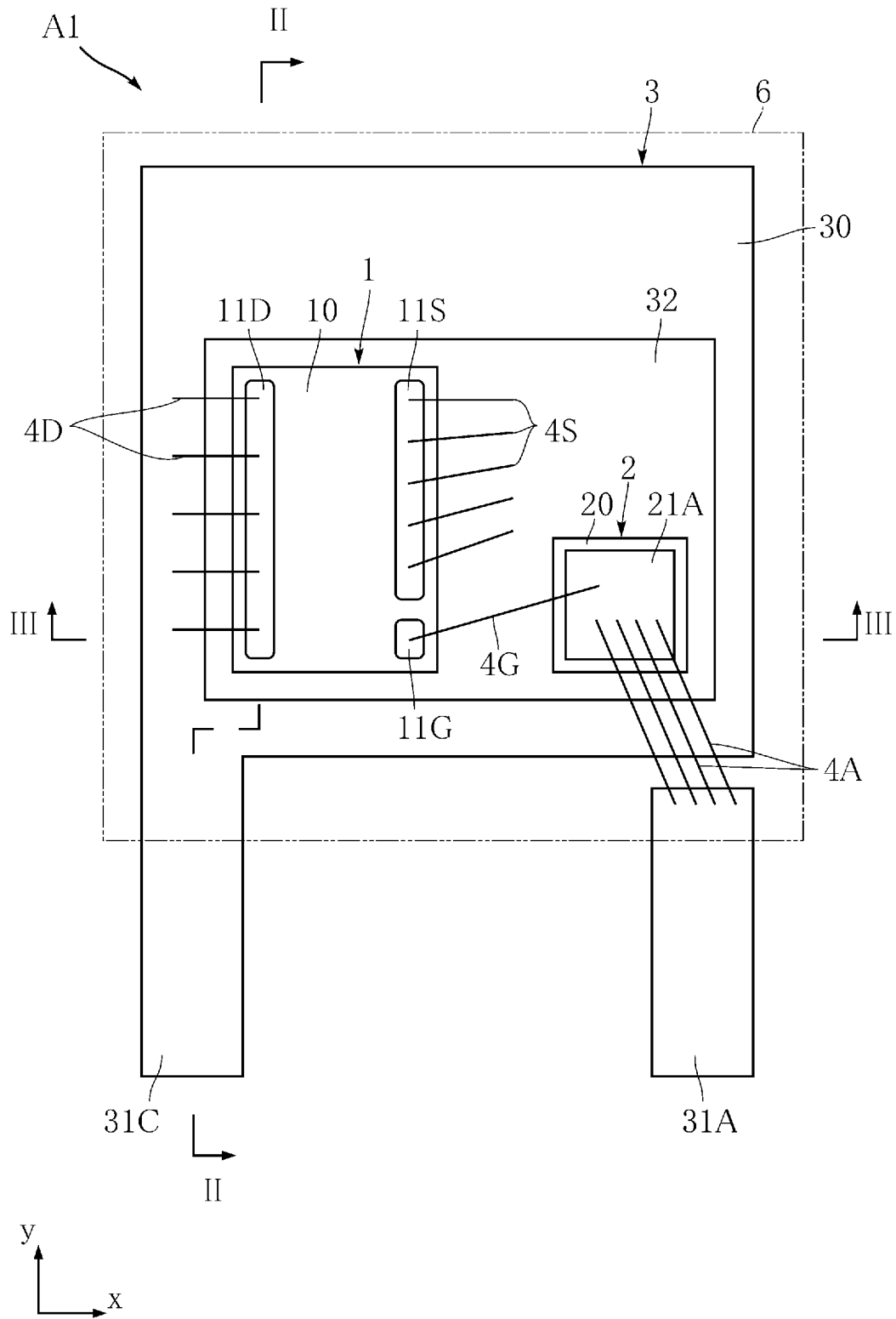
前記トランジスタの前記ソース電極に、前記トランジスタの前記カソード電極が導通接合されている、付記 1 ないし 1 6 のいずれかに記載の半導体整流器。

請求の範囲

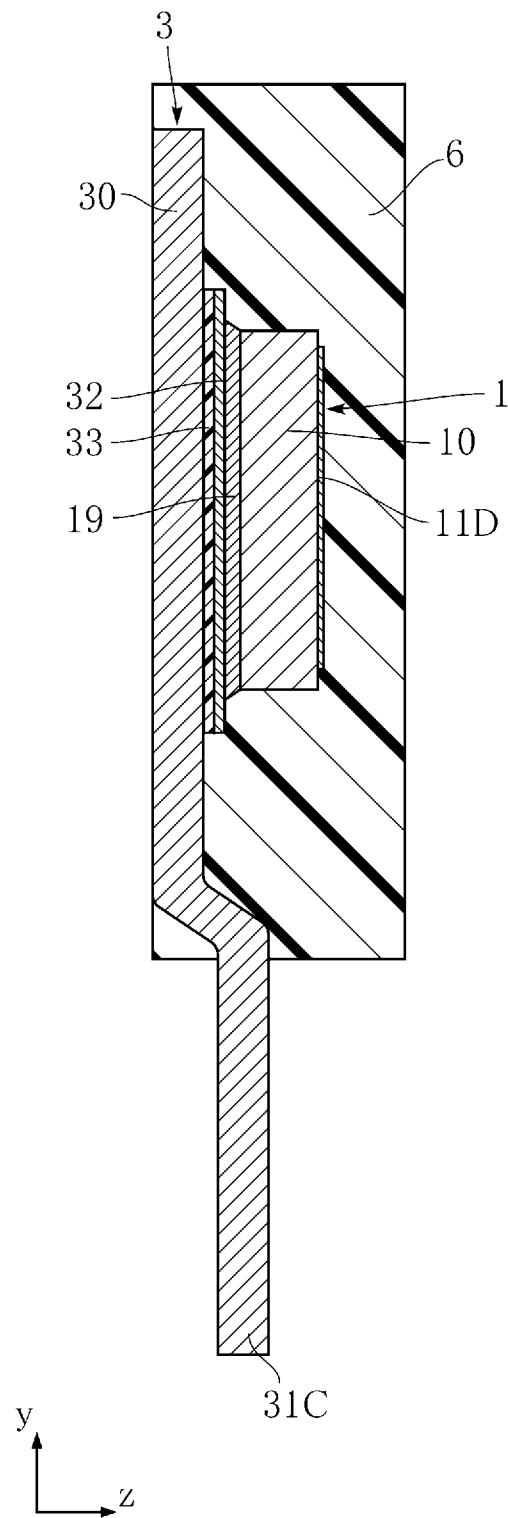
- [請求項1] ソース電極、ドレイン電極およびゲート電極を有するトランジスタと、
- アノード電極およびカソード電極を有するダイオードであって、前記アノード電極は前記ゲート電極に導通し、前記カソード電極は前記ソース電極に導通するダイオードと、を備える、半導体整流器。
- [請求項2] 前記トランジスタは、ノーマリーオン型である、請求項1に記載の半導体整流器。
- [請求項3] 前記アノード電極と前記ゲート電極との導通経路に介在する第1抵抗器を備える、請求項1または2に記載の半導体整流器。
- [請求項4] 前記第1抵抗器は、前記トランジスタおよび前記ダイオードの少なくともいずれかと一体的に形成されている、請求項3に記載の半導体整流器。
- [請求項5] 前記ダイオードに対して並列に接続されたコンデンサを備える、請求項1ないし4のいずれかに記載の半導体整流器。
- [請求項6] 前記コンデンサに対して直列に接続された第2抵抗器を備える、請求項5に記載の半導体整流器。
- [請求項7] 前記第2抵抗器は、前記トランジスタおよび前記ダイオードの少なくともいずれかと一体的に形成されている、請求項6に記載の半導体整流器。
- [請求項8] 前記トランジスタは、GaN半導体層またはSiC半導体層を有する、請求項1ないし7のいずれかに記載の半導体整流器。
- [請求項9] 前記ダイオードは、Siショットキーバリアダイオードである、請求項1ないし8のいずれかに記載の半導体整流器。
- [請求項10] 前記トランジスタの耐圧は、前記ダイオードの耐圧よりも高い、請求項1ないし9のいずれかに記載の半導体整流器。
- [請求項11] 前記トランジスタと前記ダイオードとが、同一の半導体基板を共有している、請求項1ないし10のいずれかに記載の半導体整流器。

- [請求項12] 前記ダイオードの閾値電圧が、0.8 V以下である、請求項1ないし11のいずれかに記載の半導体整流器。
- [請求項13] 前記トランジスタの前記ドレイン電極および前記ソース電極間の静電容量 C_{ds} 、前記ゲート電極および前記ソース電極間の静電容量 C_{gs} および前記ダイオードの静電容量 C_{di} が、
$$2C_{ds} \leq C_{di} + C_{gs}$$
の関係を満たす、請求項1ないし12のいずれかに記載の半導体整流器。
- [請求項14] 前記トランジスタの前記ドレイン電極および前記ソース電極間の静電容量 C_{ds} 、前記ゲート電極および前記ソース電極間の静電容量 C_{gs} 、前記ダイオードの静電容量 C_{di} および前記コンデンサの静電容量 C_{xd} が、
$$2C_{ds} \leq C_{di} + C_{gs} + C_{xd}$$
の関係を満たす、請求項5ないし7のいずれかに記載の半導体整流器。
- [請求項15] 前記トランジスタは、Ga N半導体層を有し、且つ前記ソース電極、前記ドレイン電極および前記ゲート電極が、同じ側に位置する、請求項1ないし14のいずれかに記載の半導体整流器。
- [請求項16] 前記トランジスタは、Si C半導体層を有し、且つ前記ソース電極および前記ゲート電極と前記ドレイン電極とが、互いに反対側に位置する、請求項1ないし14のいずれかに記載の半導体整流器。
- [請求項17] 前記トランジスタの前記ソース電極に、前記トランジスタの前記カソード電極が導通接合されている、請求項1ないし16のいずれかに記載の半導体整流器。

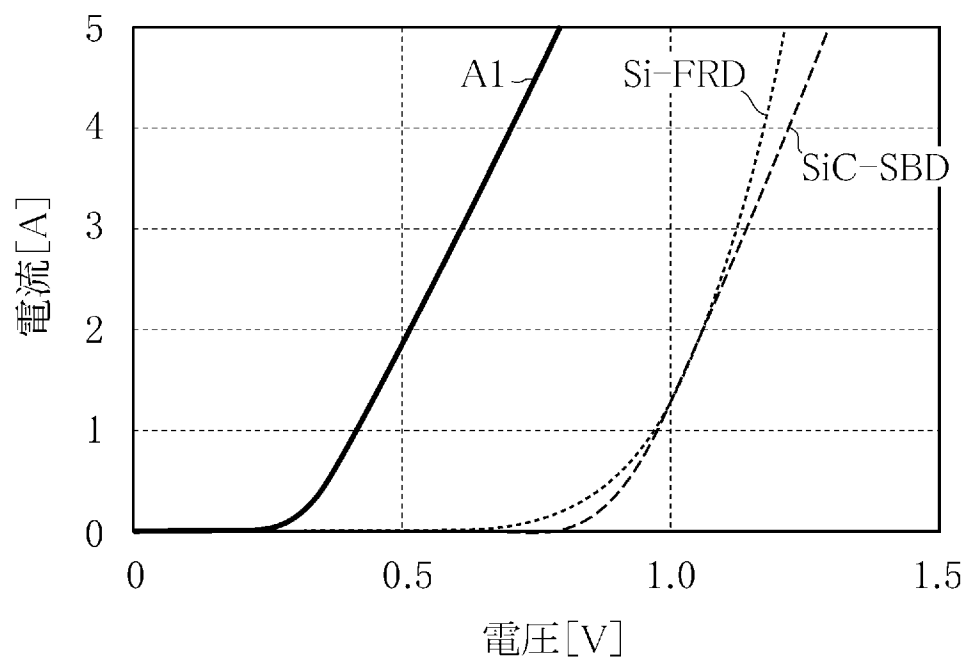
【図1】
FIG.1



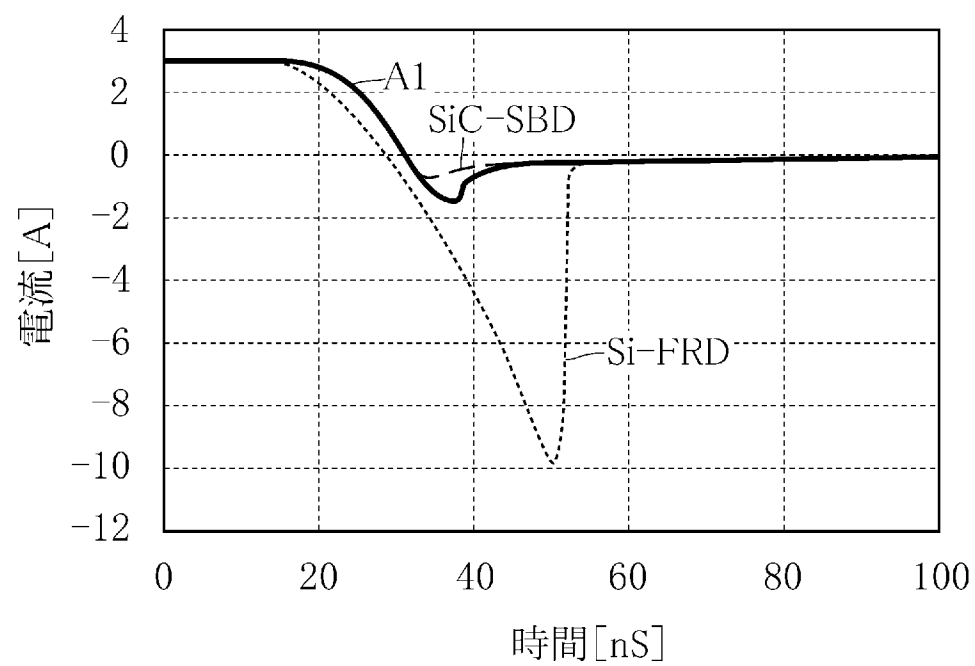
[図2]
FIG.2



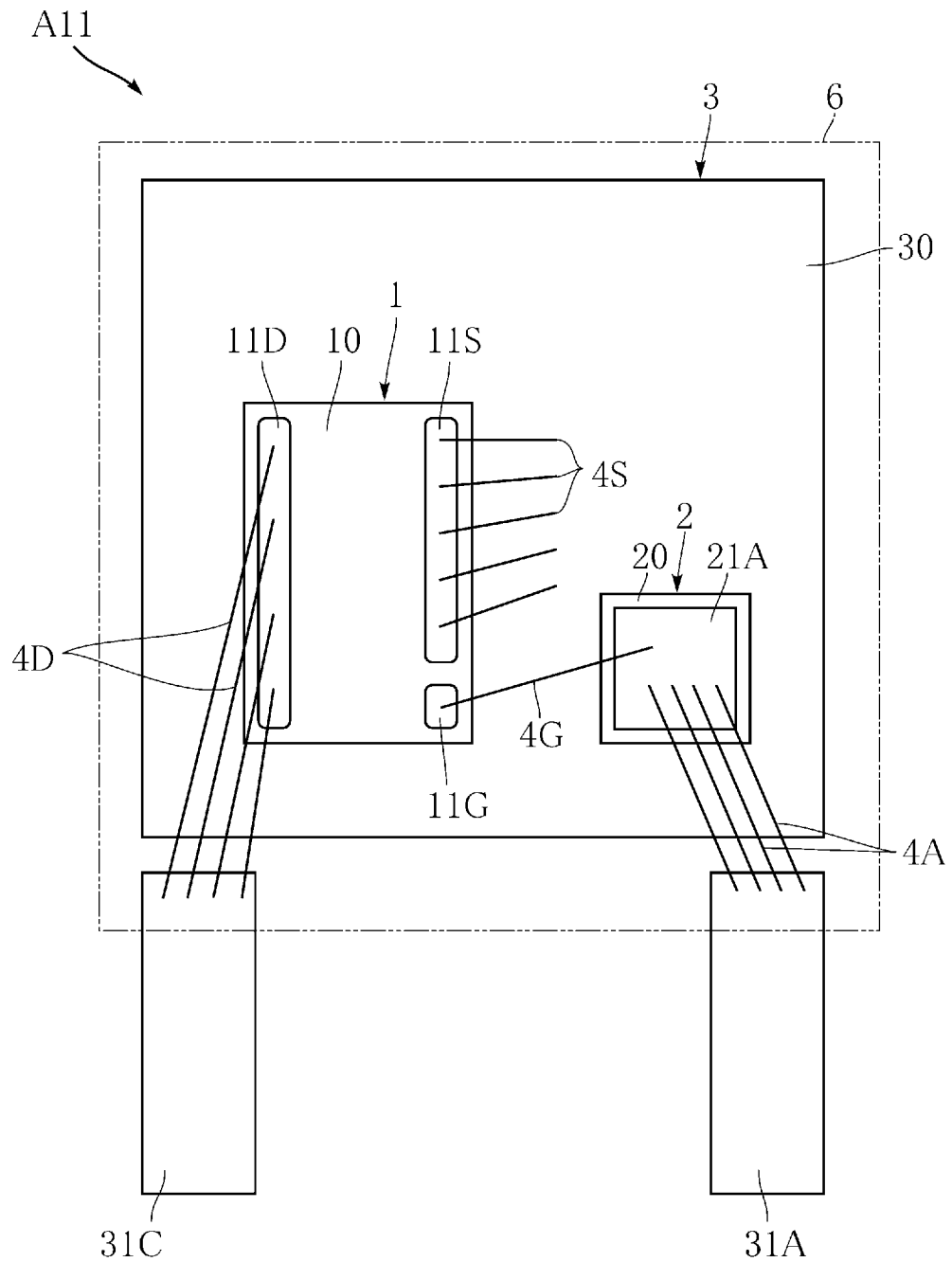
【図5】
FIG.5



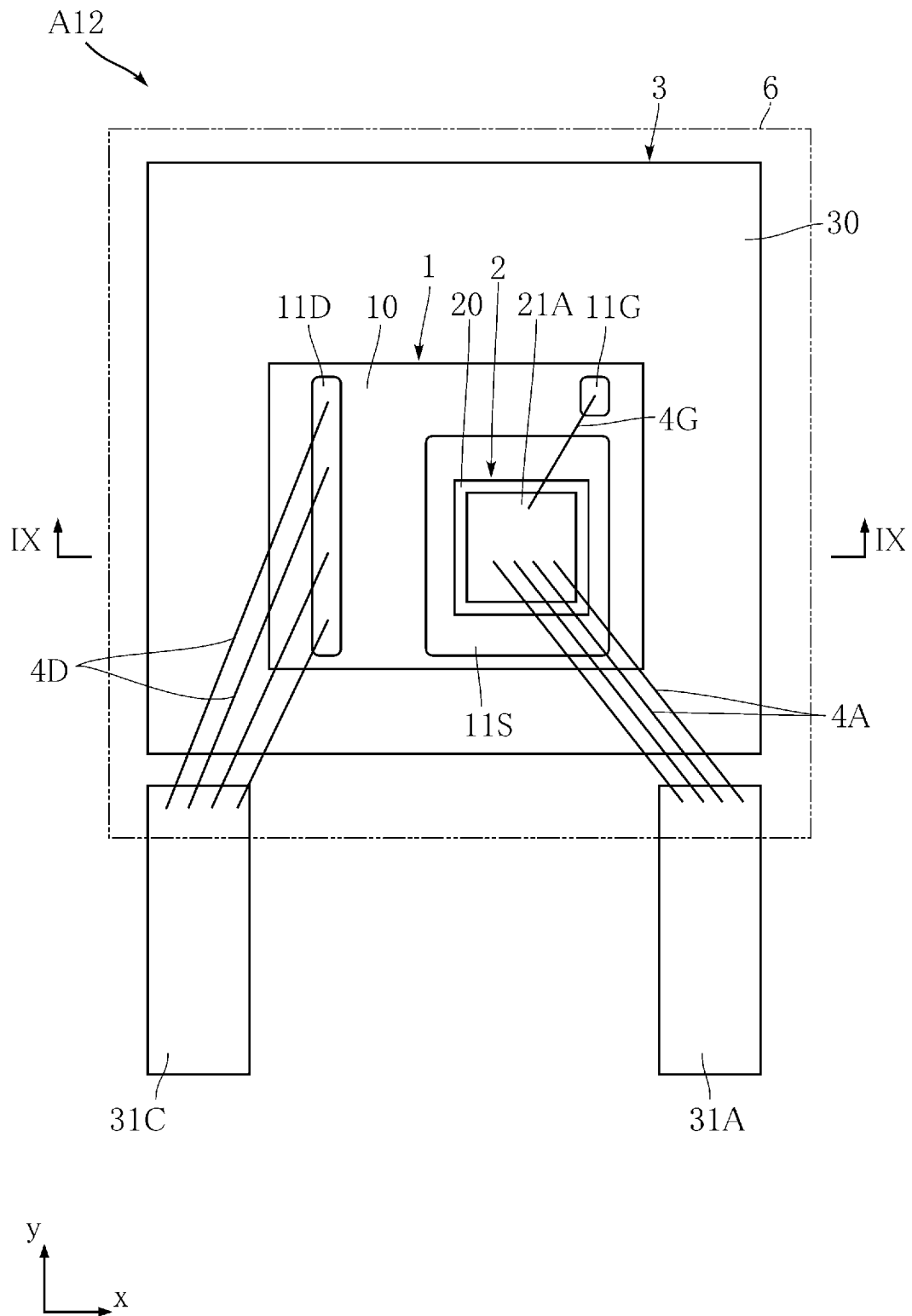
【図6】
FIG.6



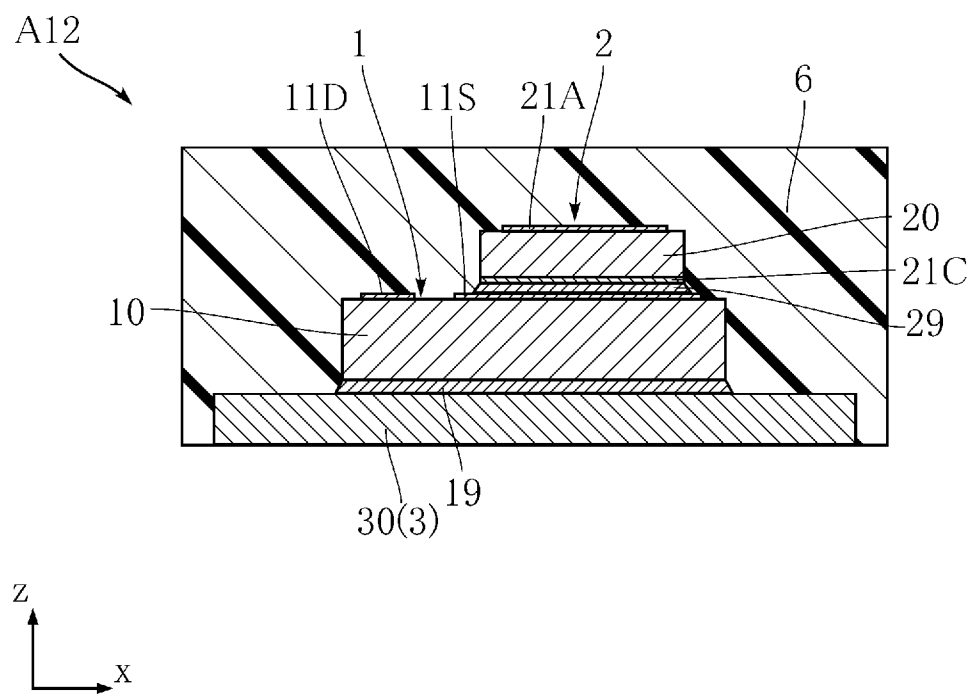
[図7]
FIG.7



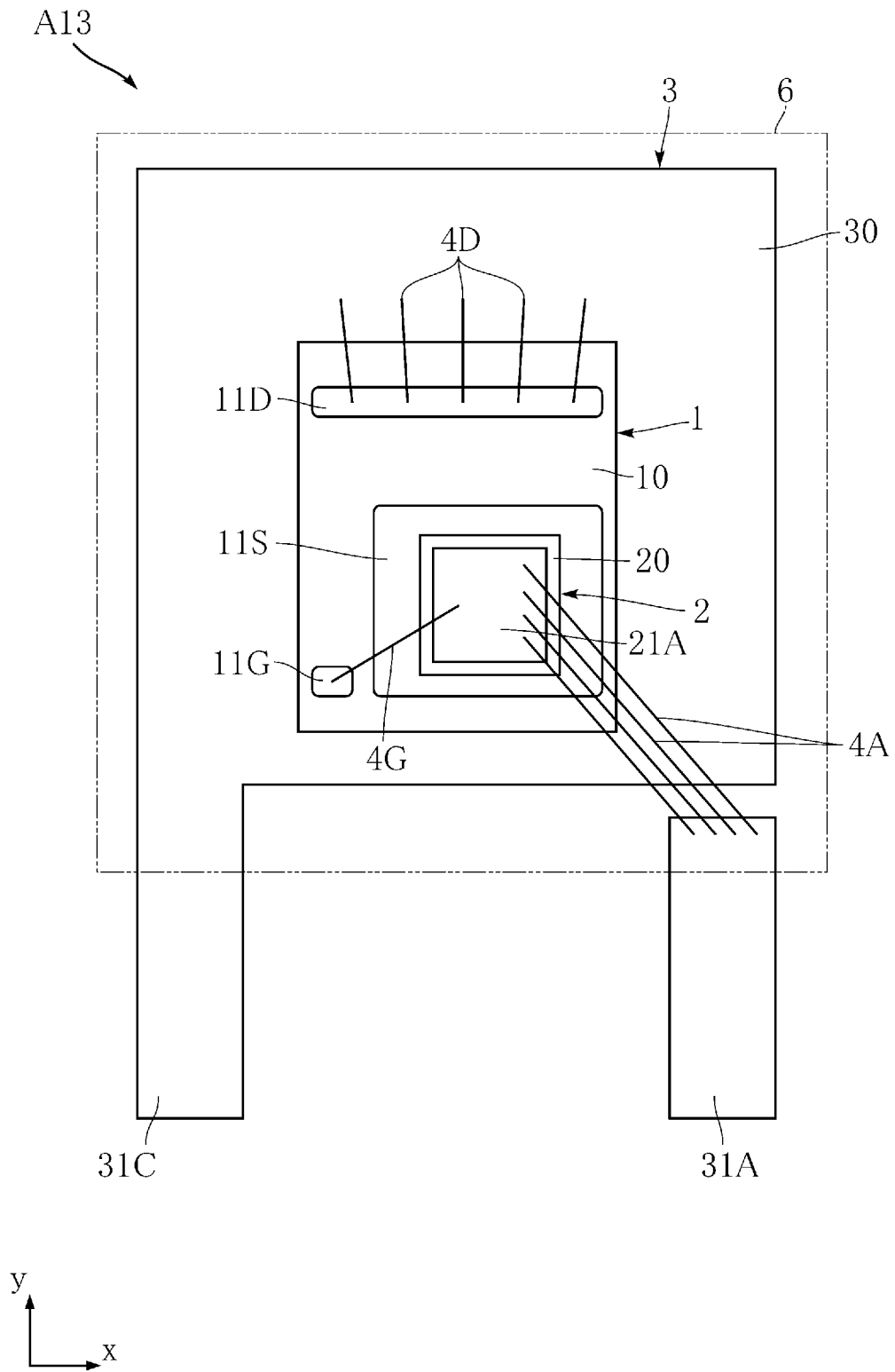
[図8]
FIG.8



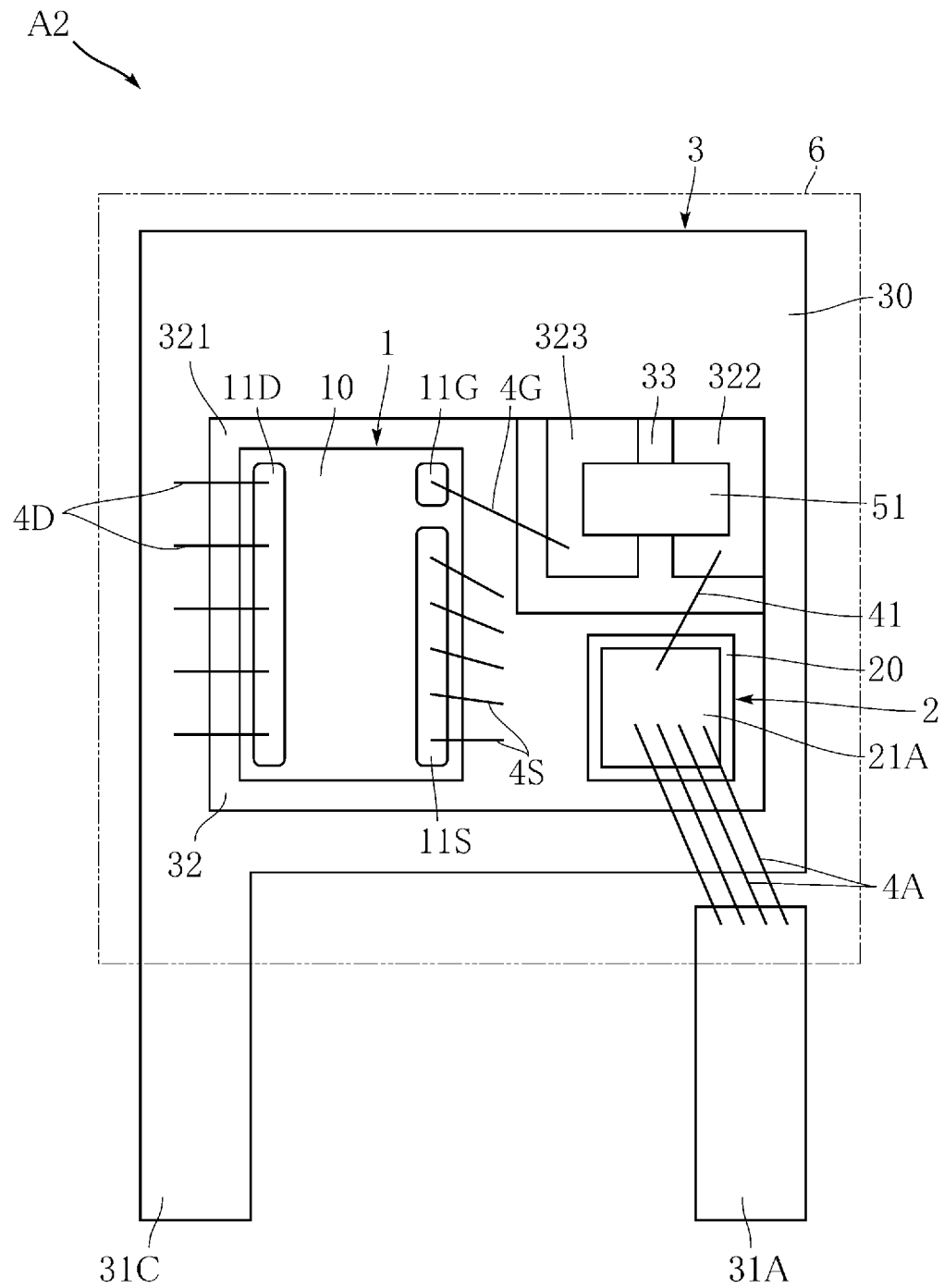
[図9]
FIG.9



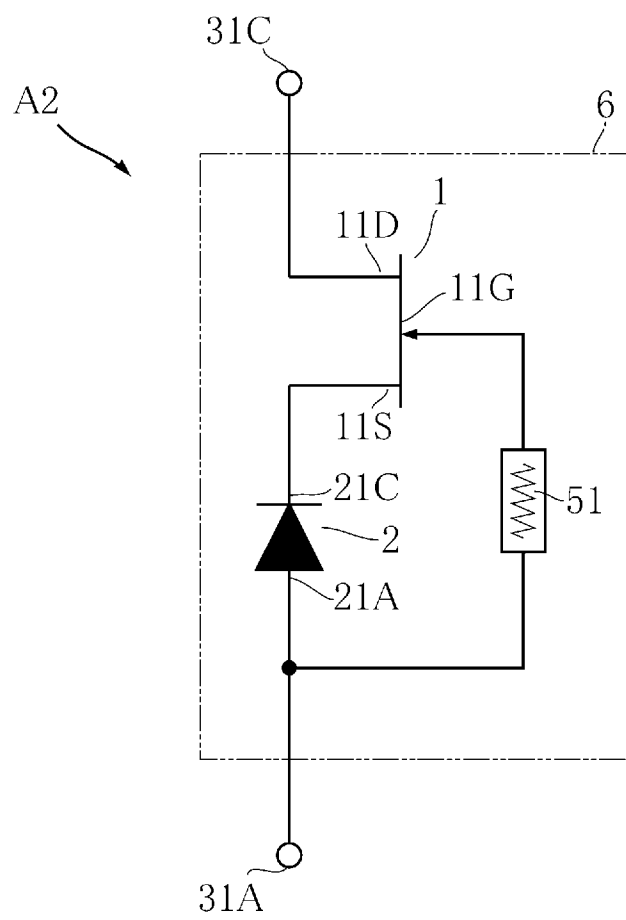
[図10]
FIG10



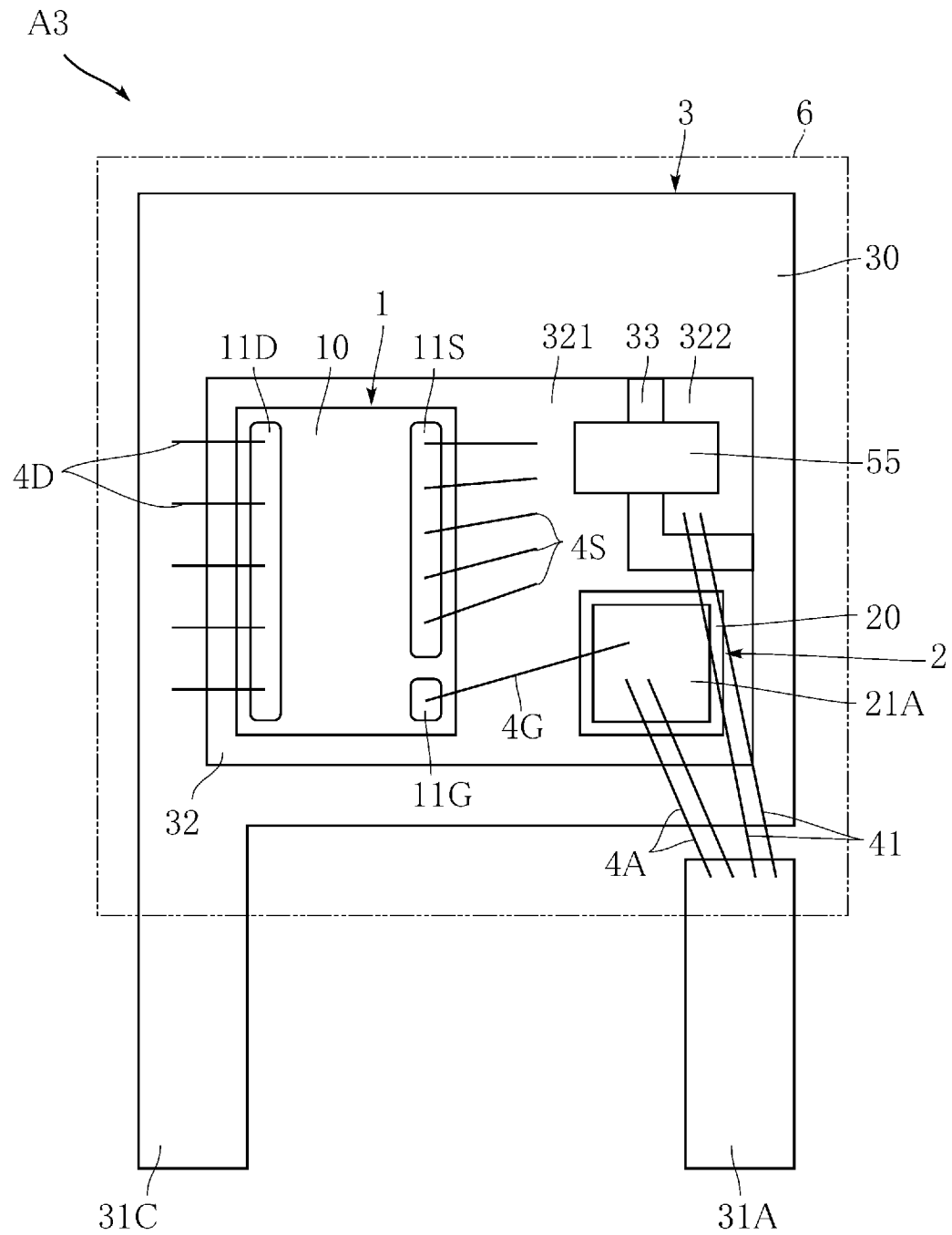
[図11]
FIG.11



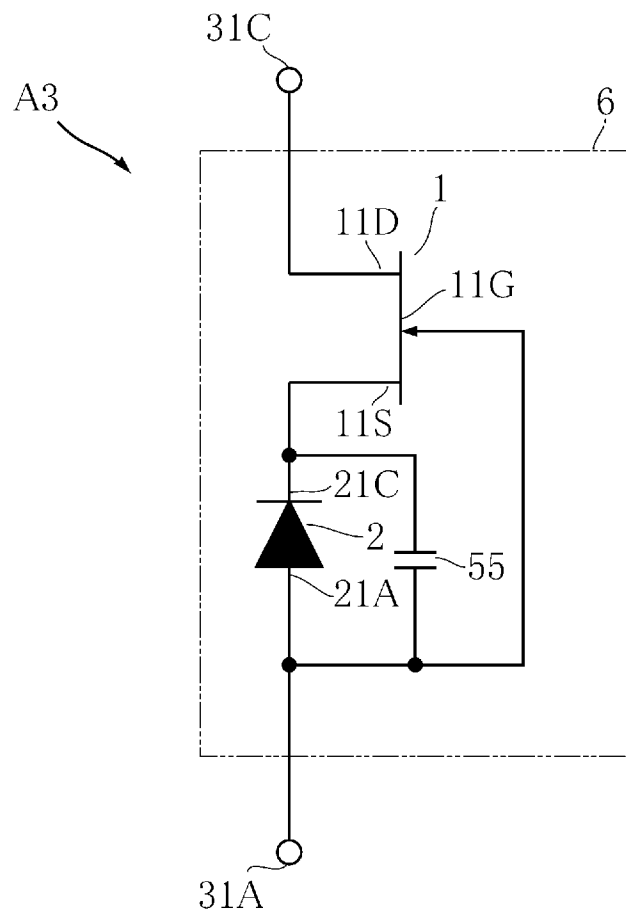
[図12]
FIG.12



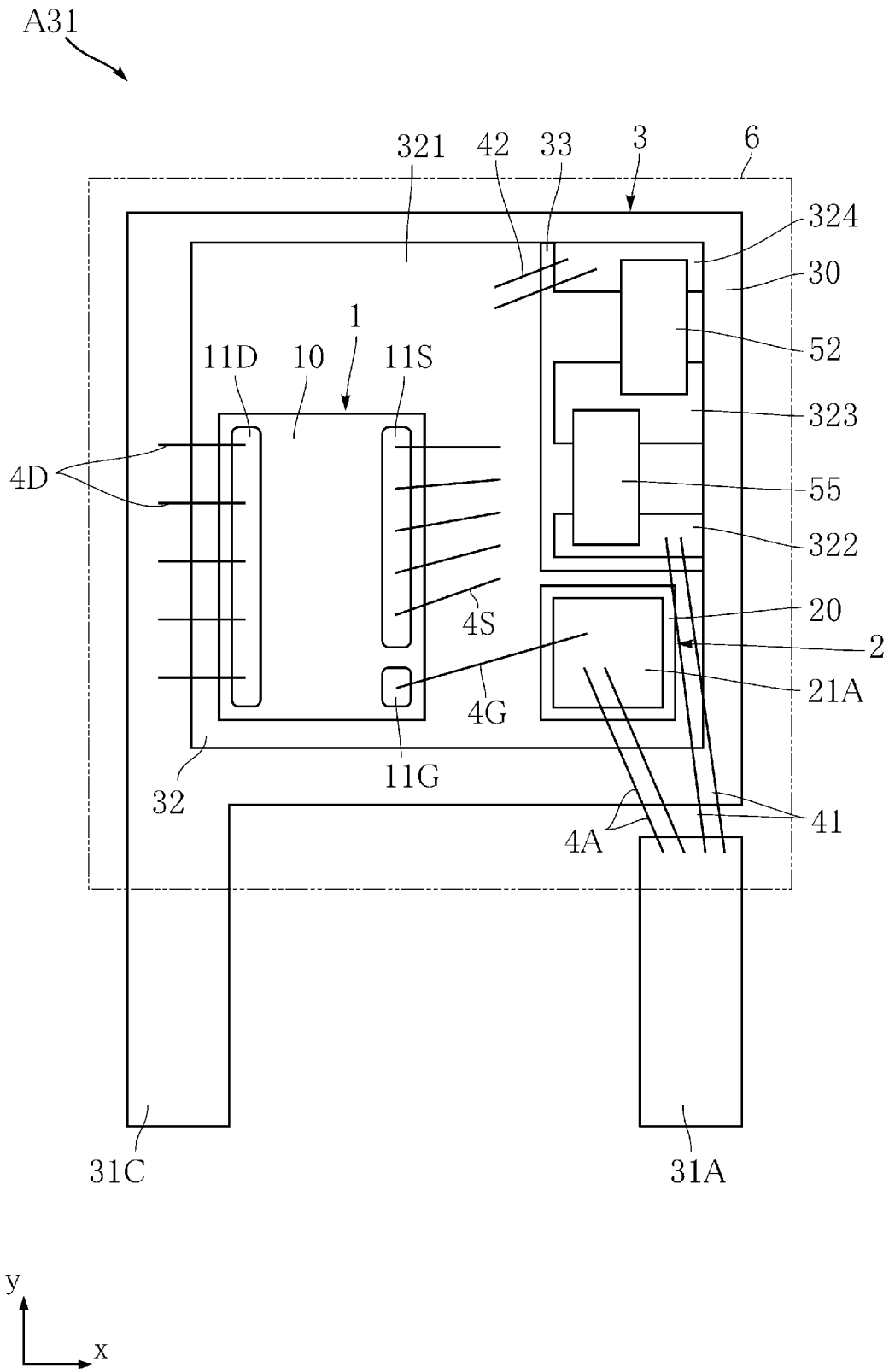
[図13]
FIG.13



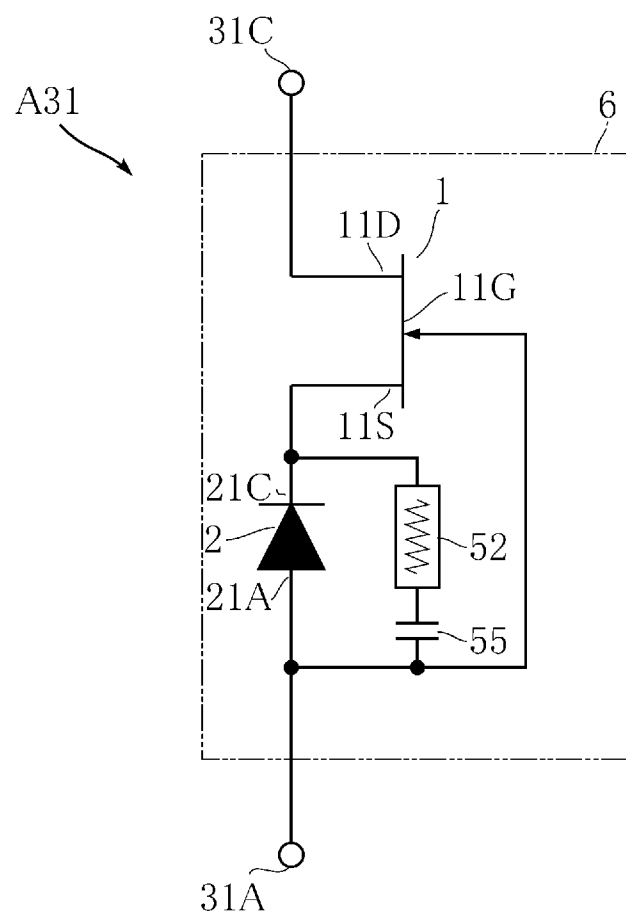
[図14]
FIG.14



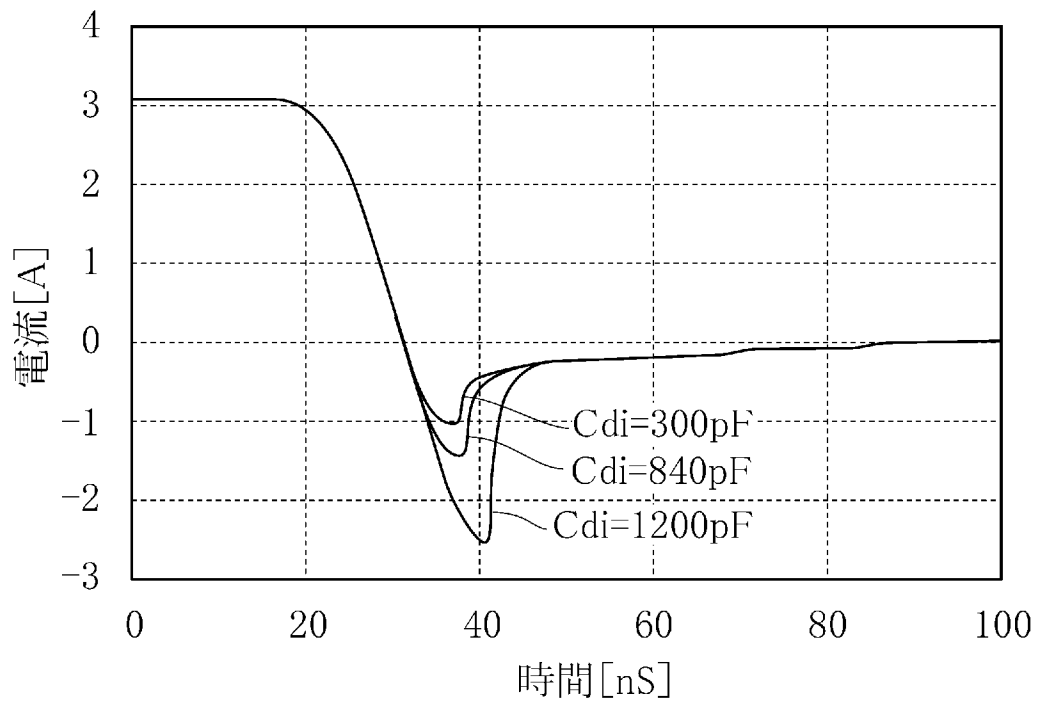
[図15]
FIG.15



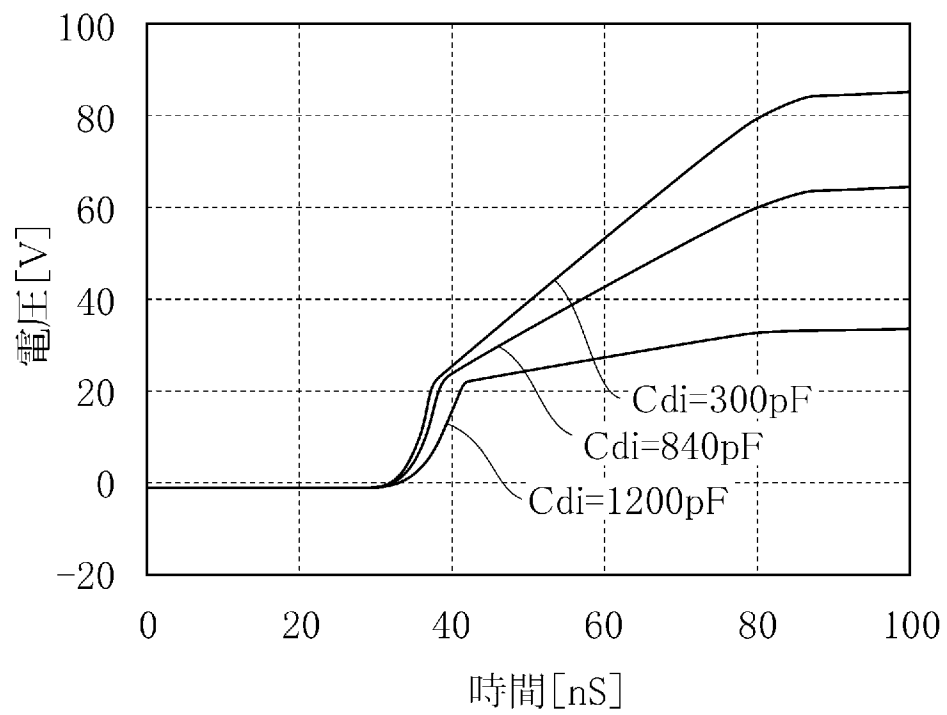
[図16]
FIG.16



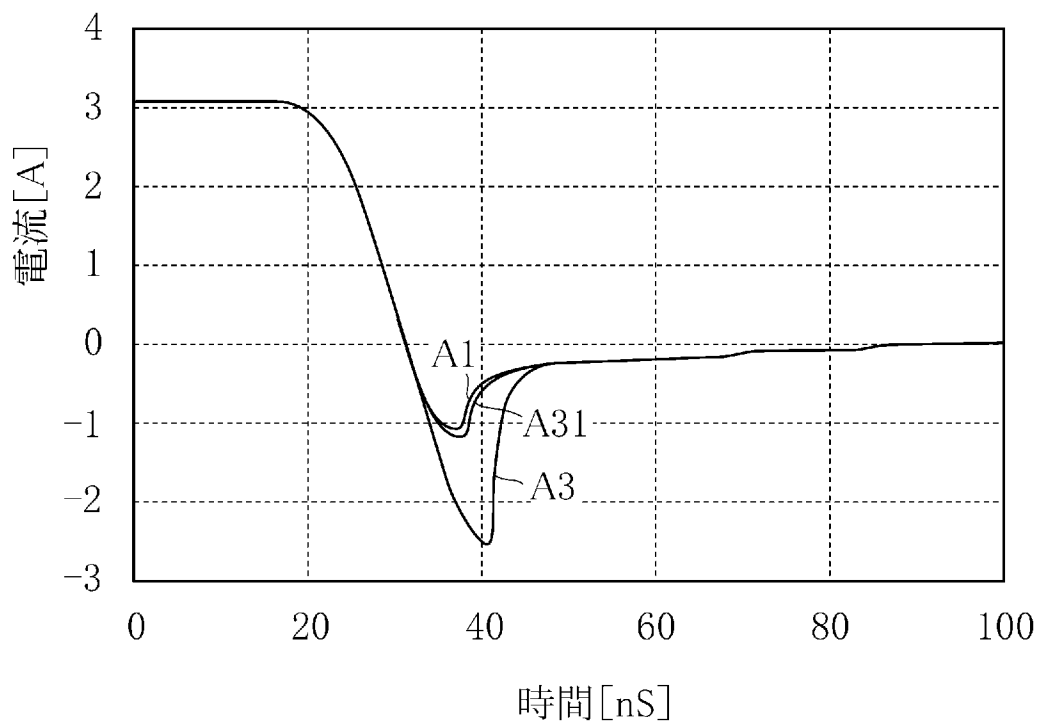
【図17】
FIG.17



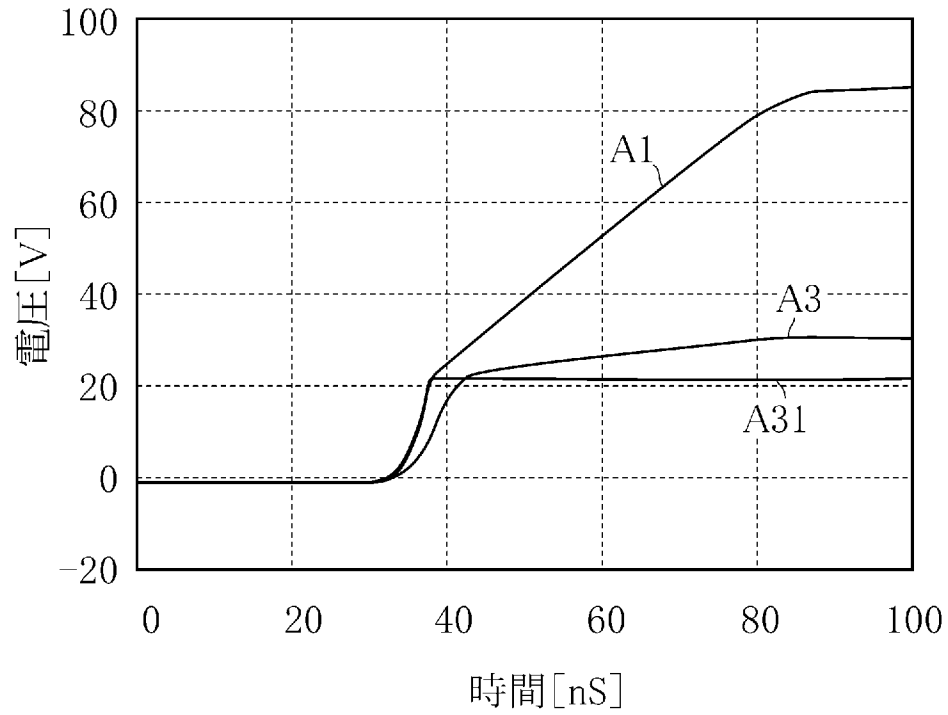
【図18】
FIG.18



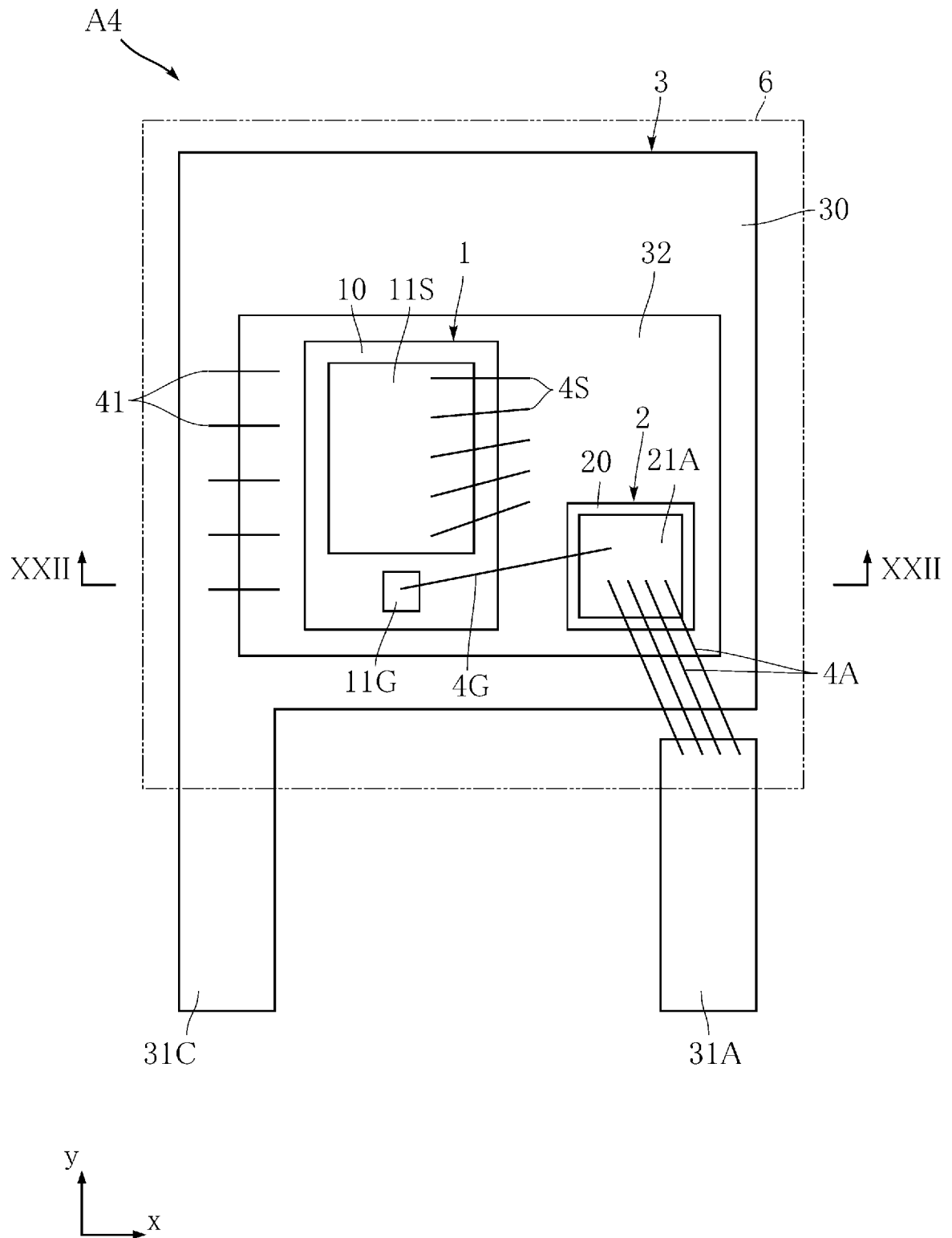
[図19]
FIG.19



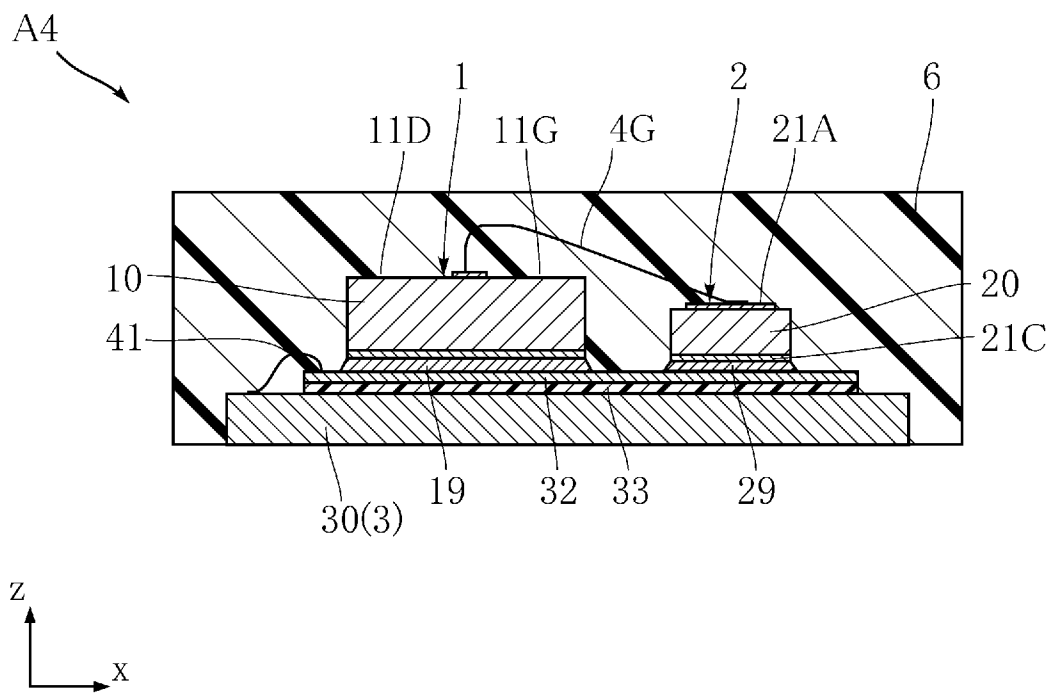
[図20]
FIG.20



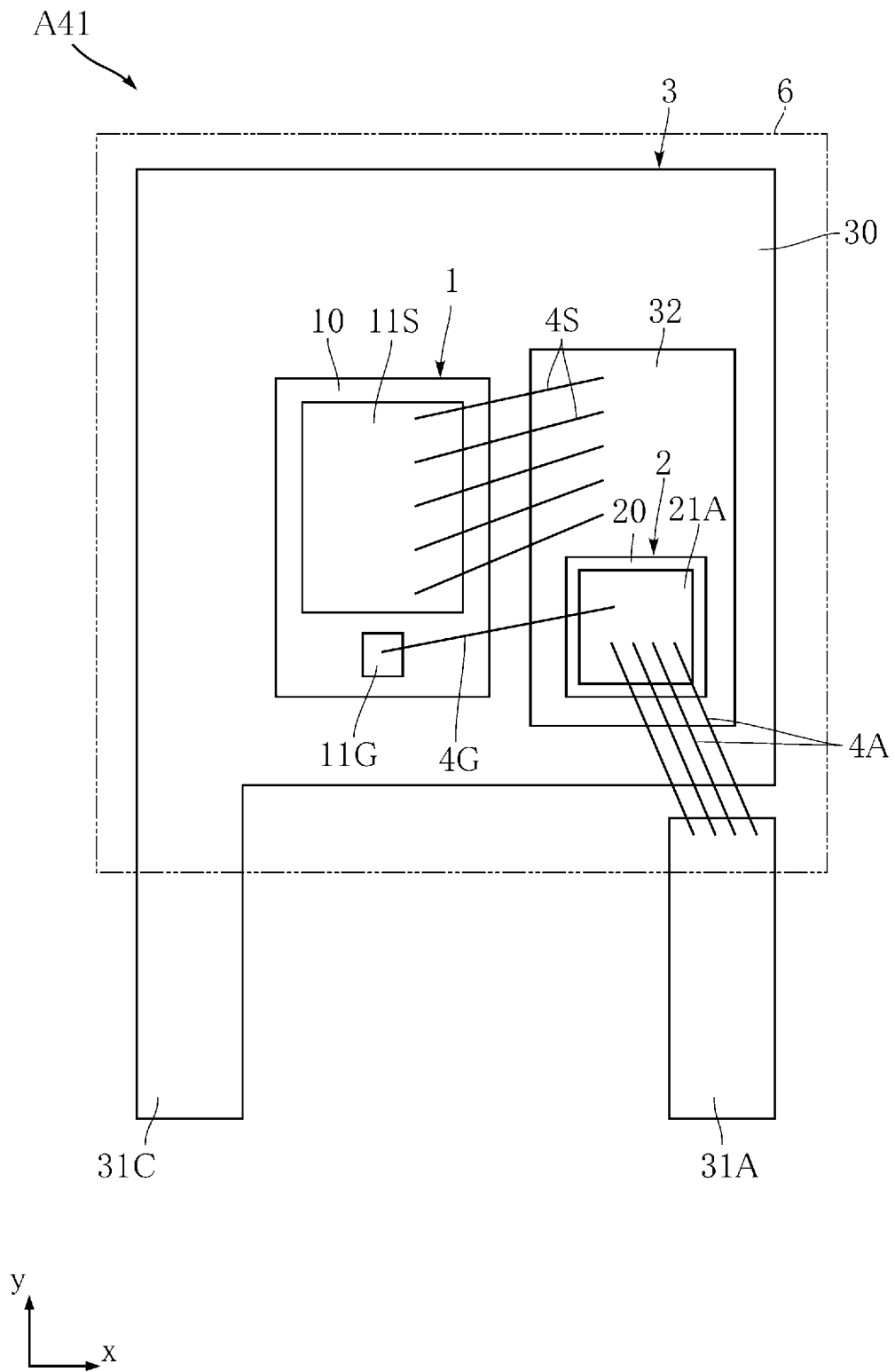
[図21]
FIG.21



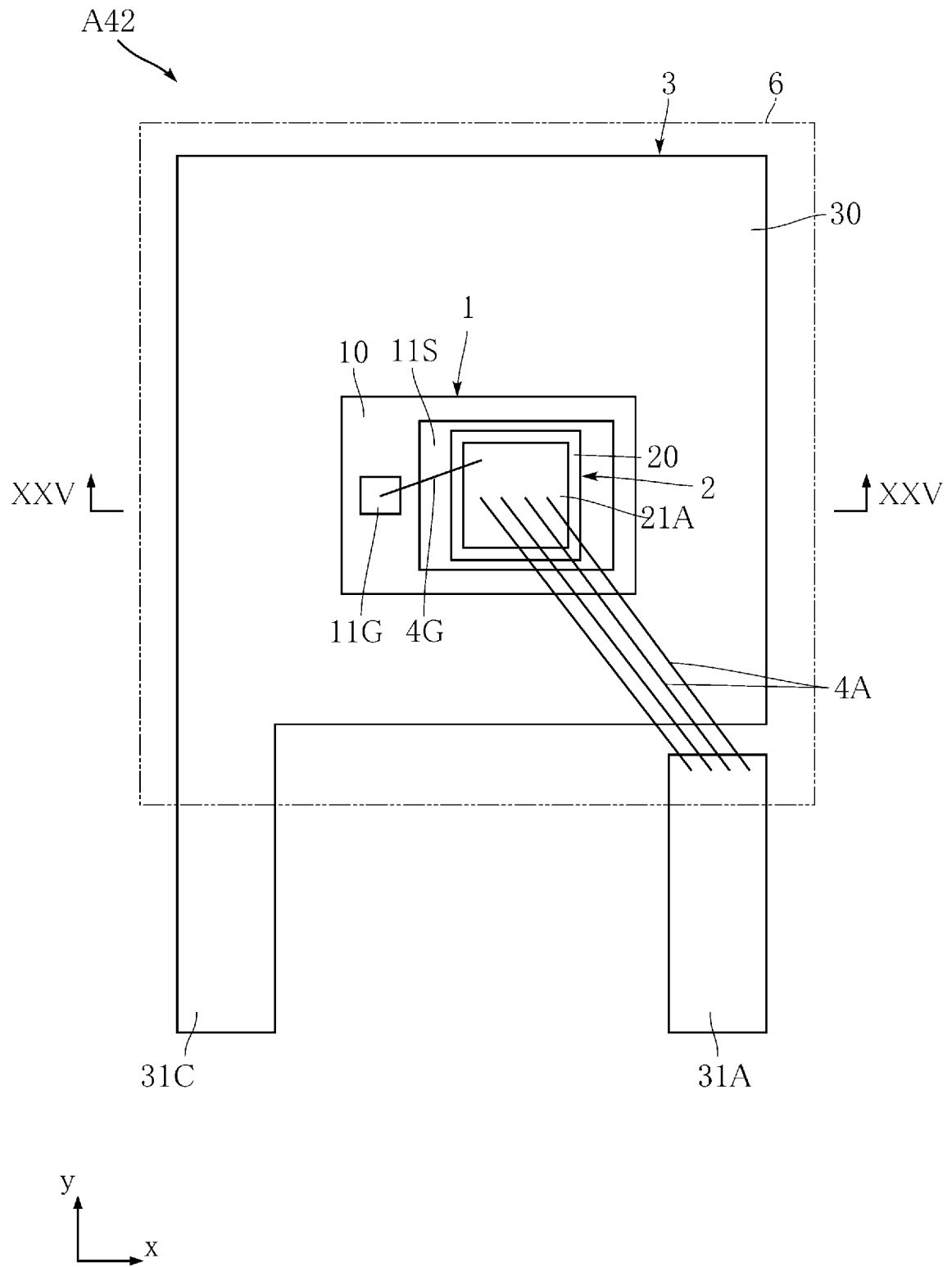
[図22]
FIG.22



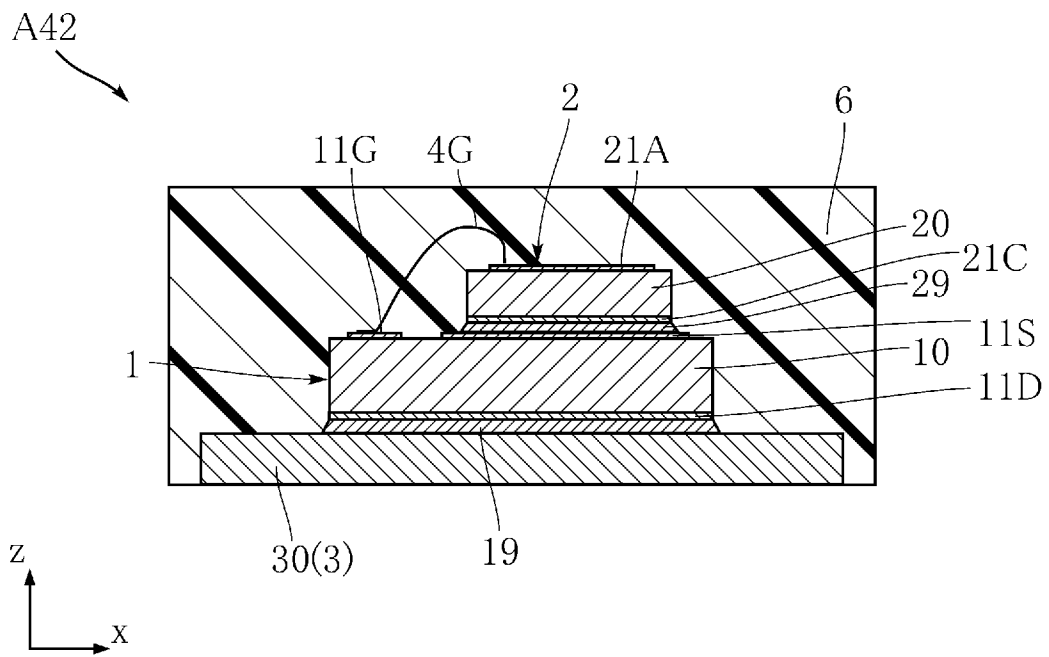
[図23]
FIG.23



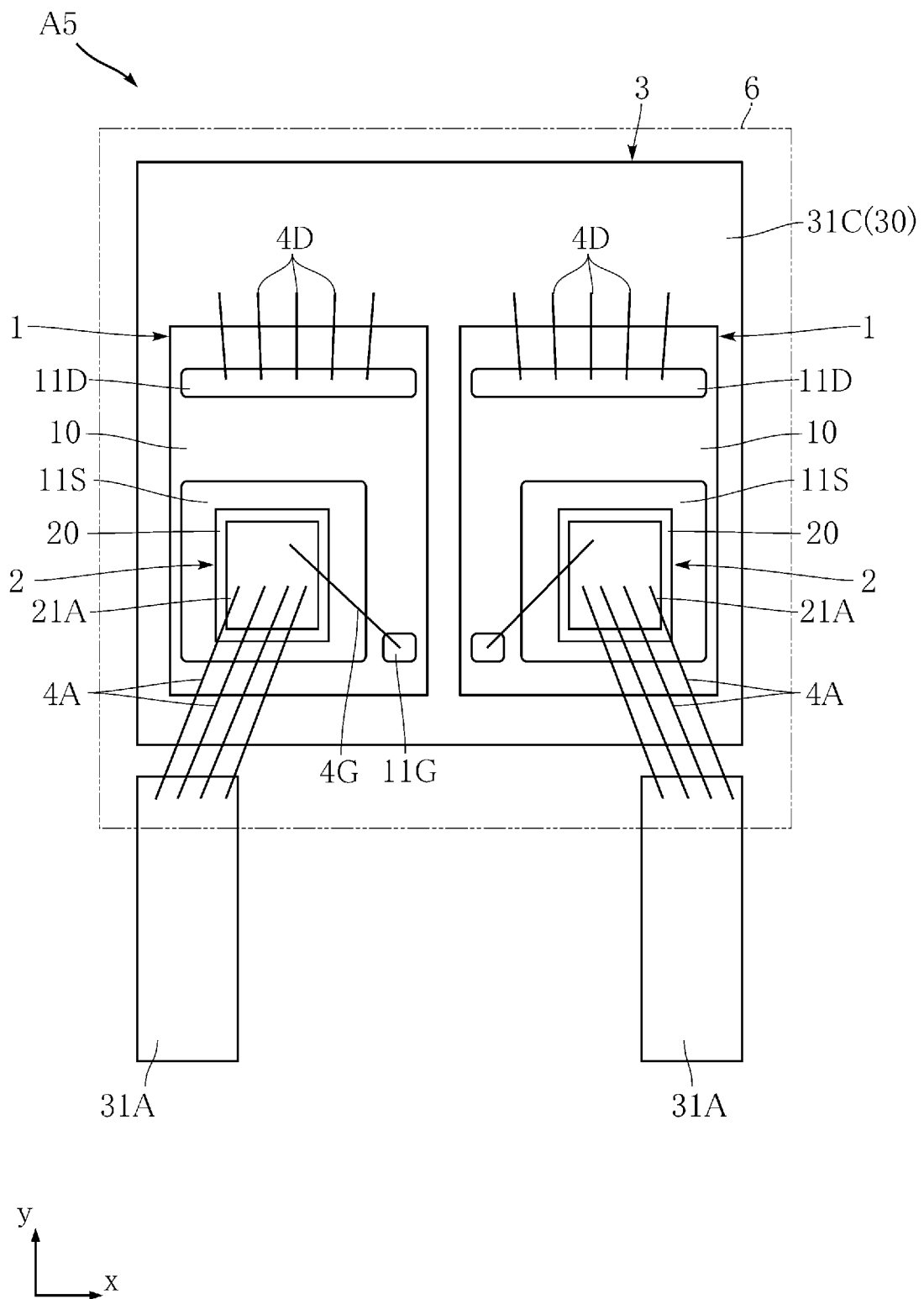
[図24]
FIG.24



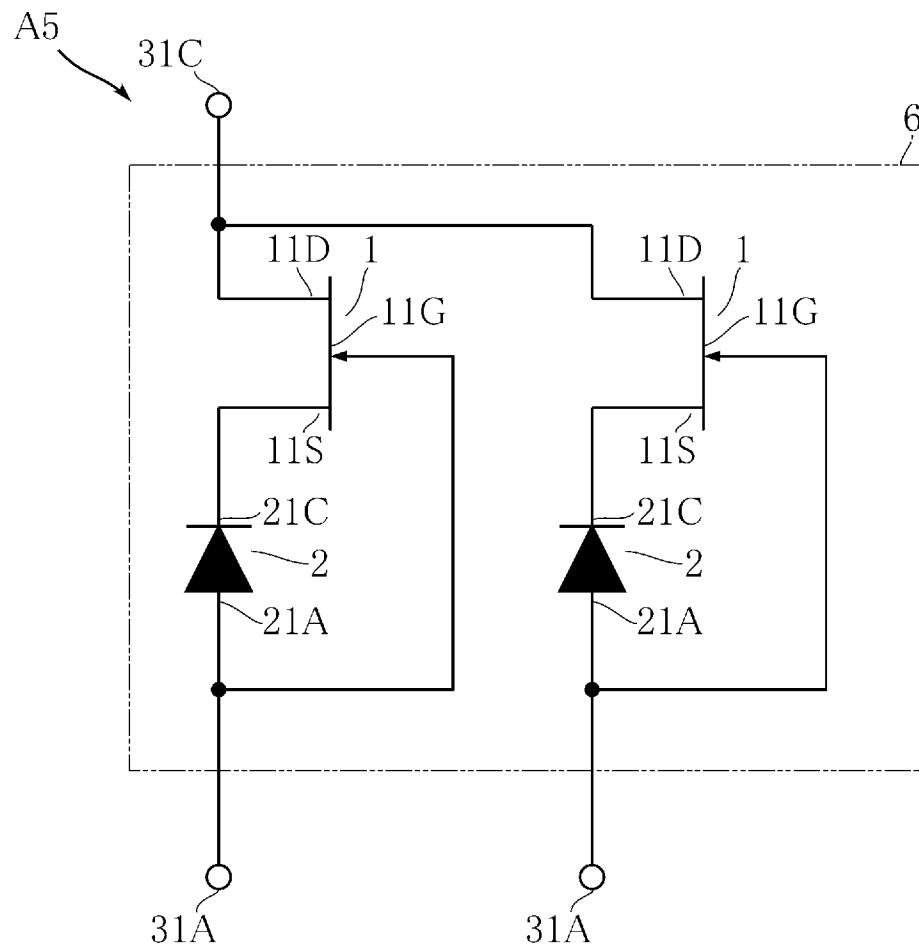
[図25]
FIG.25



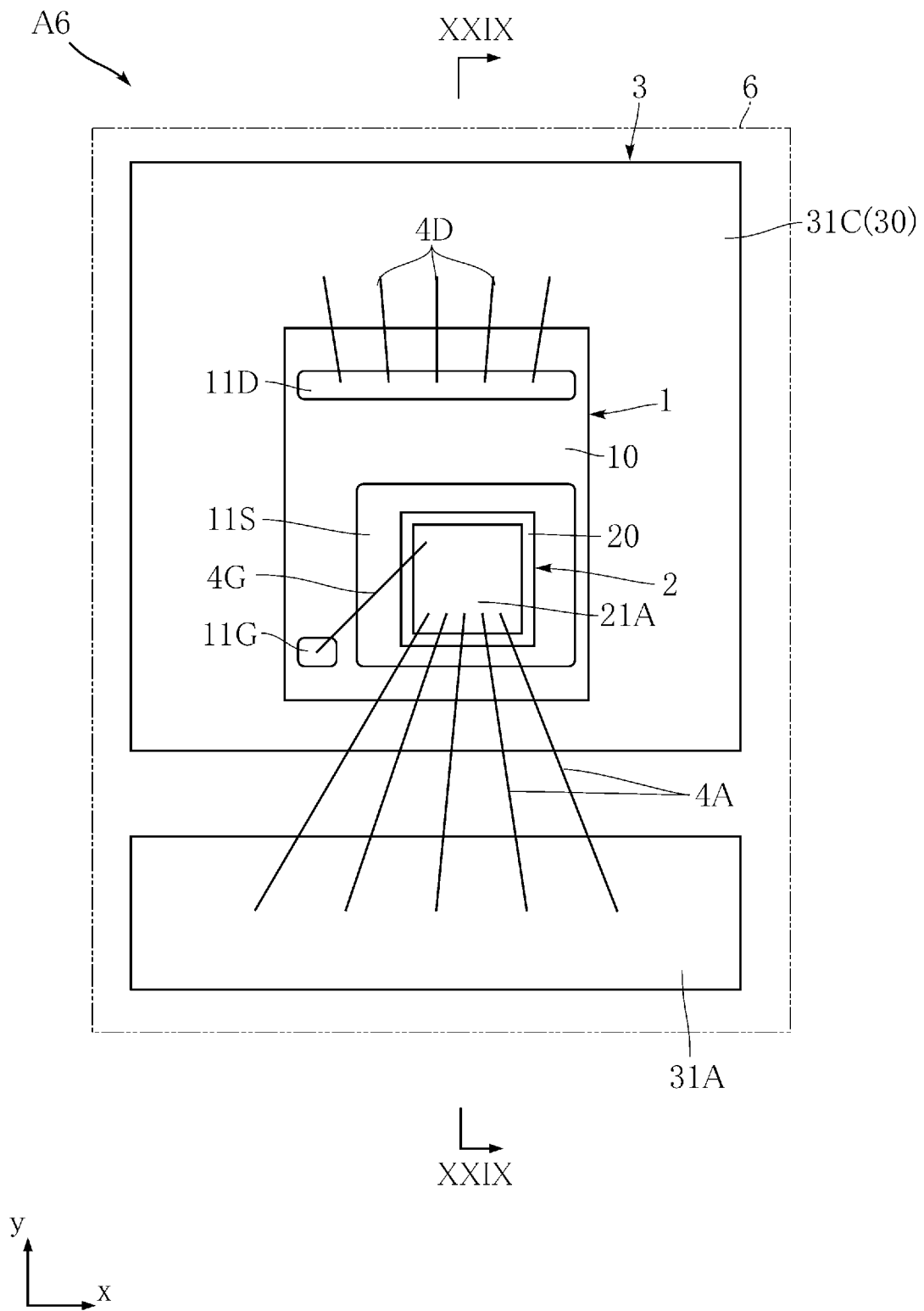
[図26]
FIG.26



[図27]
FIG.27

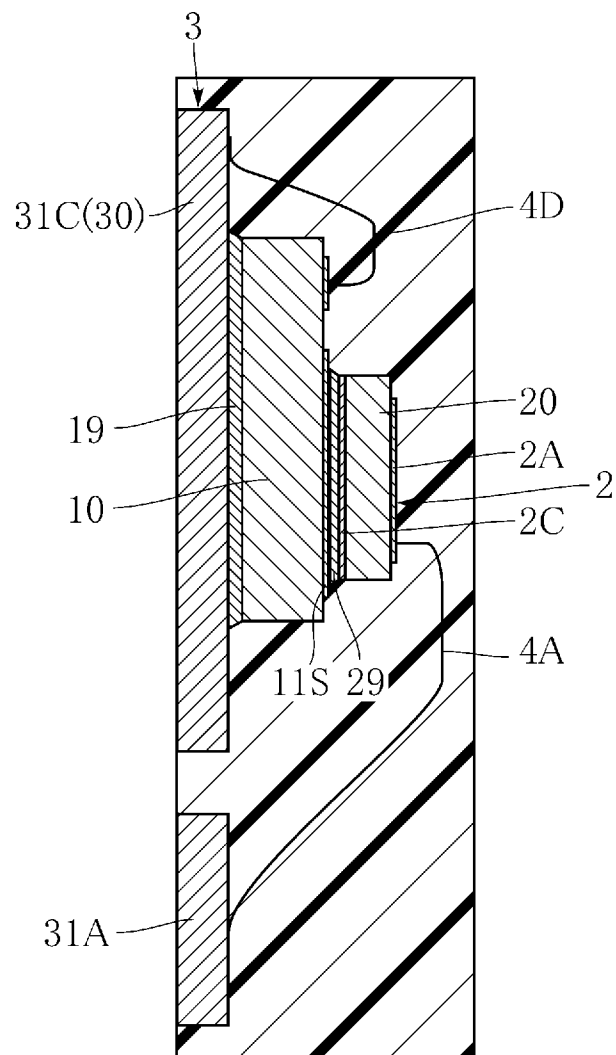


[図28]
FIG.28

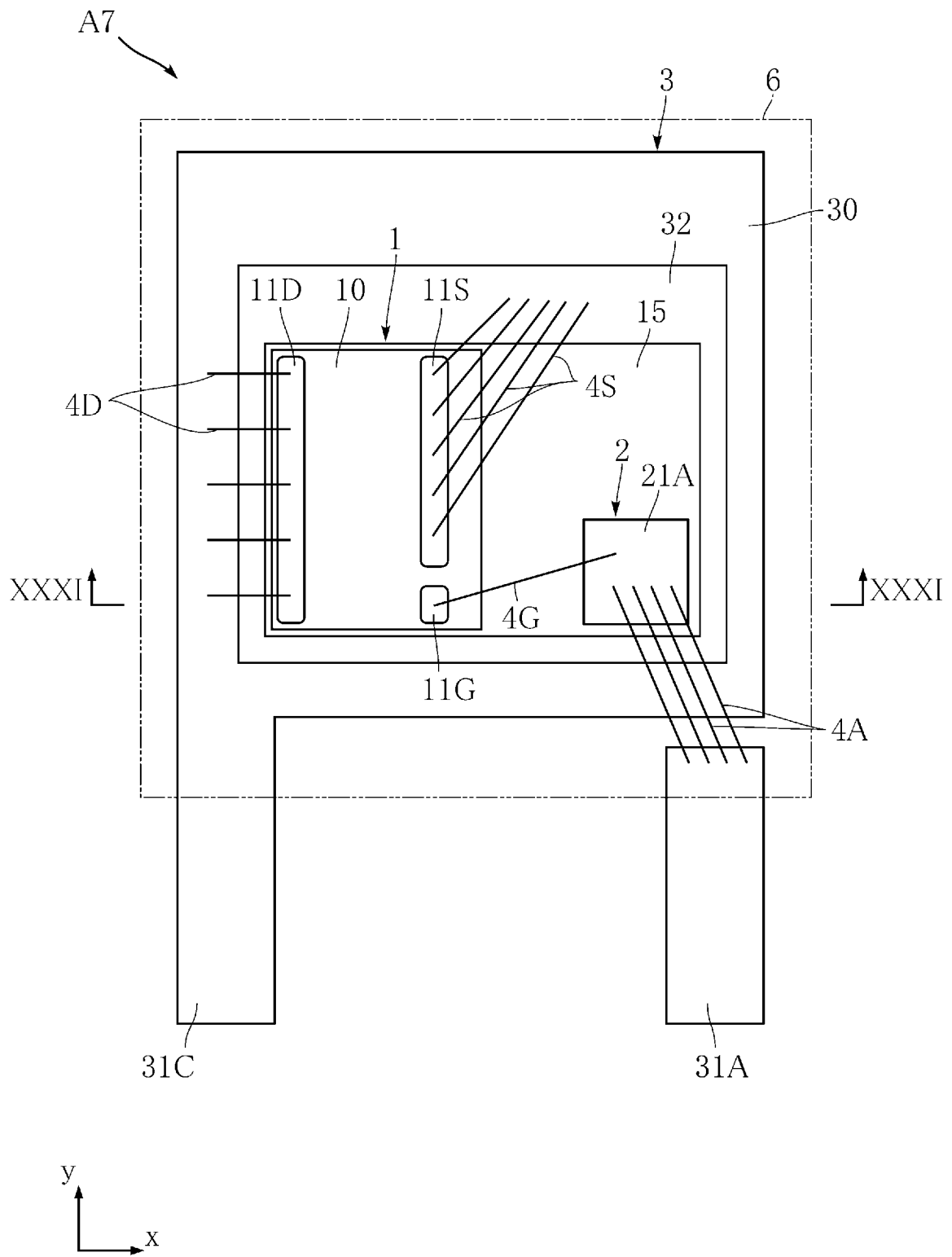


[図29]
FIG.29

A6



[図30]
FIG.30



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/043398

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/338 (2006.01)i, H01L29/12 (2006.01)i, H01L29/78 (2006.01)i,
H01L29/812 (2006.01)i, H01L29/861 (2006.01)i, H01L29/868 (2006.01)i,
H01L29/872 (2006.01)i, H02M7/12 (2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/338, H01L29/12, H01L29/78, H01L29/812, H01L29/861, H01L29/868,
H01L29/872, H02M7/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 52-143779 A (TOKYO SHIBAURA ELECTRIC CO., LTD.) 30 November 1977, page 2, upper left column, line 1 to lower left column, line 8, fig. 3 (Family: none)	1, 3-7, 10-14 2, 8, 9, 15-17
X A	JP 2016-134435 A (MITSUBISHI ELECTRIC CORP.) 25 July 2016, paragraphs [0030]-[0034], fig. 4 (Family: none)	1-4, 8, 10-15 5-7, 9, 16, 17
X A	JP 01-051664 A (FUJITSU LTD.) 27 February 1989, page 2, lower left column, line 5 to lower right column, line 10, fig. 1 (Family: none)	1, 9-14, 16, 17 2-8, 15

☐ Further documents are listed in the continuation of Box C.	☐ See patent family annex.
---	---

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 29 January 2019 (29.01.2019)	Date of mailing of the international search report 05 February 2019 (05.02.2019)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/338(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i, H01L29/812(2006.01)i,
H01L29/861(2006.01)i, H01L29/868(2006.01)i, H01L29/872(2006.01)i, H02M7/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/338, H01L29/12, H01L29/78, H01L29/812, H01L29/861, H01L29/868, H01L29/872, H02M7/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 52-143779 A (東京芝浦電気株式会社) 1977.11.30, 第2頁左上欄第1行ないし同頁左下欄第8行、第3図 (ファミリーなし)	1, 3-7, 10-14 2, 8, 9, 15-17
X A	JP 2016-134435 A (三菱電機株式会社) 2016.07.25, 0030 段落ないし 0034 段落、図4 (ファミリーなし)	1-4, 8, 10-15 5-7, 9, 16, 17
X A	JP 01-051664 A (富士通株式会社) 1989.02.27, 第2頁左下欄第5行ないし同頁右下欄第10行、第1図 (ファミリーなし)	1, 9-14, 16, 17 2-8, 15

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

29.01.2019

国際調査報告の発送日

05.02.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也

5 F

9361

電話番号 03-3581-1101 内線 3516