

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2020년 6월 18일 (18.06.2020)

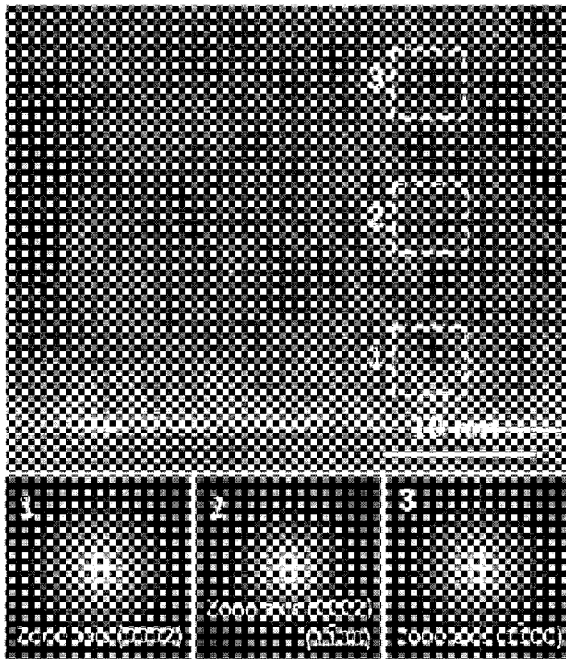


(10) 국제공개번호
WO 2020/122516 A1

- (51) 국제특허분류: *H01L 21/02* (2006.01)
- (21) 국제출원번호: PCT/KR2019/017268
- (22) 국제출원일: 2019년 12월 9일 (09.12.2019)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2018-0158550 2018년 12월 10일 (10.12.2018) KR
10-2019-0160511 2019년 12월 5일 (05.12.2019) KR
- (71) 출원인: 한양대학교 산학협력단 (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY) [KR/KR]; 04763 서울시 성동구 왕십리로 222, Seoul (KR).
- (72) 발명자: 성명모 (SUNG, Myung Mo); 06636 서울시 서초구 사임당로23길 58 301동 1005호, Seoul (KR). 이련 (LEE, Lynn); 15484 경기도 안산시 단원구 광덕서로 19 136동 702호, Gyeonggi-do (KR). 정진원 (JUNG, Jin Won); 05007 서울시 광진구 광나루로14길 36-5 502호, Seoul (KR). 김종찬 (KIM, Jong Chan); 10907 경기도 파주시 한빛로 11 302동 1004호, Gyeonggi-do (KR).
- (74) 대리인: 특허법인 이상 (E-SANG PATENT & TRADE-MARK LAW FIRM); 06747 서울시 서초구 바우피로 188, 3층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(54) Title: METHOD FOR MANUFACTURING SINGLE-CRYSTAL SEMICONDUCTOR LAYER, STRUCTURE COMPRISING SINGLE-CRYSTAL SEMICONDUCTOR LAYER, AND SEMICONDUCTOR DEVICE COMPRISING STRUCTURE

(54) 발명의 명칭: 단결정 반도체층 제조방법, 단결정 반도체층을 포함하는 구조체, 및 상기 구조체를 포함하는 반도체 소자



(57) Abstract: Provided are a method for manufacturing a single-crystal semiconductor layer, a structure comprising the single-crystal semiconductor layer, and a semiconductor device comprising the structure. The method for manufacturing a single-crystal semiconductor layer may comprise carrying out, multiple times, a unit cycle which comprises: a metal precursor pressure-dosing step for supplying a metal precursor on a single-crystal substrate in a state where an outlet of a chamber having the single-crystal substrate inputted therein is closed, thereby increasing the reaction pressure in the chamber, and thus enabling the metal precursor to be adsorbed on the surface of the substrate; a metal precursor purging step for purging the chamber after the metal precursor pressure-dosing step; a reaction gas supplying step for, after the metal precursor purging step, supplying reaction gas inside the chamber so as to enable the reaction gas to react with the metal precursor adsorbed on the substrate; and a reaction gas purging step for purging the chamber after the reaction gas supplying step. As a result, a single-crystal semiconductor layer may be formed on the single-crystal substrate.

WO 2020/122516 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 단결정 반도체층 제조방법, 단결정 반도체층을 포함하는 구조체, 및 상기 구조체를 포함하는 반도체 소자를 제공한다. 단결정 반도체층 제조방법은, 단결정 기판이 투입된 챔버의 유출구를 닫은 상태에서 상기 단결정 기판 상에 금속 전구체를 공급하여 상기 챔버 내 반응압력을 증가시켜 상기 금속 전구체를 상기 기판 표면 상에 흡착시키는 금속 전구체 가압 도징 단계; 상기 금속 전구체 가압 도징 단계 후, 상기 챔버를 퍼지하는 금속 전구체 퍼지 단계; 상기 금속 전구체 퍼지 단계 후, 반응가스를 상기 챔버 내로 공급하여 상기 기판 상에 흡착된 금속 전구체와 반응시키는 반응가스 공급 단계; 및 상기 반응가스 공급 단계 후, 상기 챔버를 퍼지하는 반응가스 퍼지 단계를 포함하는 단위 사이클을 다수회 진행하는 것을 포함할 수 있다. 그 결과, 상기 단결정 기판 상에 단결정 반도체층을 형성할 수 있다.

명세서

발명의 명칭: 단결정 반도체층 제조방법, 단결정 반도체층을 포함하는 구조체, 및 상기 구조체를 포함하는 반도체 소자 기술분야

- [1] 본 발명은 반도체층 및 이를 구비하는 반도체 소자에 관한 것으로, 보다 상세하게는 단결정 반도체층에 관한 것이다.

배경기술

- [2] 트랜지스터의 반도체막으로서 사용되는 실리콘막으로는, 목적에 따라 비정질 실리콘막 또는 다결정 실리콘막이 사용된다. 최근 실리콘 외의 물질 일 예로서, 산화물 반도체를 트랜지스터의 채널층으로 사용하는 연구가 진행되고 있다. 산화물 반도체는 투명도가 뛰어나 디스플레이 소자 등에서 주로 사용되고 있다.
- [3] 최근 산화물 반도체를 트랜지스터의 채널층으로 사용하는 연구가 진행되고 있다(JP공개 2006-165528). 그러나, 산화물 반도체층은 대부분 비정질층으로, 전기적 그리고 화학적 안정하지 못한 것으로 알려져 있으며 충분한 전계-효과 이동도를 나타내기 어려운 것으로 알려져 있다.

발명의 상세한 설명

기술적 과제

- [4] 본 발명이 해결하고자 하는 과제는, 저온 성장 가능한 단결정 반도체층 제조방법을 제공함에 있다.
- [5] 본 발명이 해결하고자 하는 또 다른 과제는, 단결정 반도체층을 포함하는 반도체 소자를 제공함에 있다.
- [6] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

- [7] 상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 단결정 반도체층 제조방법을 제공한다. 단결정 반도체층 제조방법은, 단결정 기판이 투입된 챔버의 유출구를 닫은 상태에서 상기 단결정 기판 상에 금속 전구체를 공급하여 상기 챔버 내 반응압력을 증가시켜 상기 금속 전구체를 상기 기판 표면 상에 흡착시키는 금속 전구체 가압 도징 단계; 상기 금속 전구체 가압 도징 단계 후, 상기 챔버를 퍼지하는 금속 전구체 퍼지 단계; 상기 금속 전구체 퍼지 단계 후, 반응가스를 상기 챔버 내로 공급하여 상기 기판 상에 흡착된 금속 전구체와 반응시키는 반응가스 공급 단계; 및 상기 반응가스 공급 단계 후, 상기 챔버를 퍼지하는 반응가스 퍼지 단계를 포함하는 단위 사이클을 다수회 진행하는 것을 포함할 수 있다. 그 결과, 상기 단결정 기판 상에 단결정 반도체층을 형성할 수 있다.

- [8] 상기 단결정 기판은 육방정계 결정구조를 갖는 기판이고, 상기 단결정 반도체층은 육방정계 우르짜이트(hexagonal wurtzite) 구조를 갖는 반도체층일 수 있다. 상기 단결정 반도체층은 c-면 우선배향성을 갖는 반도체층일 수 있다. 상기 단결정 기판은 c-면 기판이고, 상기 단결정 반도체층의 일부 영역은 m-면 우선배향성을 가질 수 있다. 구체적으로, 상기 단결정 반도체층이 상기 단결정 기판과 인접하는 하부 영역은 c-면 우선배향성을 갖고, 상기 하부 영역의 상부에 위치한 영역은 m-면 우선배향성을 가질 수 있다.
- [9] 상기 금속 전구체는 아연 전구체이고, 상기 반응가스는 산화제이고, 상기 단결정 반도체층은 ZnO층일 수 있다. 다른 예에서, 상기 금속 전구체는 13족 금속 전구체이고, 상기 반응가스는 질화제이고, 상기 단결정 반도체층은 13족 금속 질화물층일 수 있다.
- [10] 상기 금속 전구체 가압 도징 단계와 상기 금속 전구체 퍼지 단계는 금속 전구체 서브 사이클을 구성하고, 상기 반응가스 공급 단계 전에, 상기 금속 전구체 서브 사이클을 다수회 수행할 수 있다. 상기 반응가스 공급단계는 상기 챔버의 유출구를 닫은 상태에서 상기 반응가스를 공급하여 상기 챔버 내 반응압력을 증가시킨 상태에서 진행되는 반응가스 가압 도징 단계로 진행할 수 있다. 상기 반응가스 가압 도징 단계와 상기 반응가스 퍼지 단계는 반응가스 서브 사이클을 구성하고, 상기 단위 사이클은 상기 반응가스 서브 사이클을 연속하여 다수회 수행하는 것을 포함할 수 있다. 상기 챔버의 온도는 80 내지 150 °C의 범위 내에 있을 수 있다.
- [11] 상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 박막트랜지스터 제조방법을 제공한다. 게이트 전극, 게이트 절연막, 채널층, 및 소오스 및 드레인 전극들을 구비하는 박막트랜지스터 제조방법에 있어서, 상기 채널층은 상술한 단결정 반도체층 제조방법을 사용하여 형성할 수 있다.
- [12] 상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 발광다이오드 제조방법을 제공한다. 버퍼층, 상기 버퍼층 상에 적층된 제1 도전형 반도체층과 제2 도전형 반도체층을 갖는 발광구조체층, 상기 제1 도전형 반도체층에 접속하는 제1 전극, 및 상기 제2 도전형 반도체층에 접속하는 제2 전극을 구비하는 발광다이오드 제조방법에 있어서, 상기 버퍼층은 상술한 단결정 반도체층 제조방법을 사용하여 형성할 수 있다.
- [13] 상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 구조체를 제공한다. 상기 구조체는 기판; 및 상기 기판과 인접하는 하부 영역은 c-면 우선배향성을 갖고, 상기 하부 영역의 상부에 위치한 영역은 m-면 우선배향성을 갖는 단결정 반도체층을 포함한다. 상기 기판은 육방정계 결정구조를 갖는 기판이 되, c-면 기판일 수 있다. 상기 단결정 반도체층은 10 내지 100 nm의 두께를 가질 수 있다.
- [14] 상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 박막트랜지스터를 제공한다. 박막트랜지스터는 단결정 기판; 상기 단결정 기판으로부터 에피택셜 성장된 육방정계 우르짜이트(hexagonal wurtzite) 구조를 갖는 단결정 반도체층;

상기 단결정 반도체층 상에 배치된 게이트 전극; 상기 단결정 반도체층과 상기 게이트 전극 사이에 배치된 게이트 절연막; 및 상기 단결정 반도체층의 양측 단부에 전기적으로 접속하는 소오스/드레인 전극들을 포함한다.

- [15] 상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 발광다이오드를 제공한다. 발광다이오드는 기판; 상기 기판과 인접하는 하부 영역은 c-면 우선배향성을 갖고, 상기 하부 영역의 상부에 위치한 영역은 m-면 우선배향성을 갖는 버퍼층; 상기 버퍼층 상에 배치되고 제1 도전형 반도체층과 제2 도전형 반도체층을 구비하는 발광구조체층; 상기 제1 도전형 반도체층에 전기적으로 접속하는 제1 전극; 및 상기 제2 도전형 반도체층에 전기적으로 접속하는 제2 전극을 구비한다.

발명의 효과

- [16] 상술한 바와 같이 본 발명의 일 실시예에 따르면, 낮은 온도에서도 우수한 결정품질을 갖는 단결정 반도체층을 제공할 수 있다.
- [17] 상술한 바와 같이 본 발명의 일 실시예에 따르면, 단결정 반도체층을 포함하는 반도체 소자를 제공할 수 있다.
- [18] 그러나, 본 발명의 효과들은 이상에서 언급한 효과로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [19] 도 1a는 본 발명의 일 실시예에 따른 단결정 반도체층의 제조를 위한 금속 전구체 가스 주입, 퍼지 가스 주입, 및 반응 가스 주입 타이밍도이다.
- [20] 도 1b는 본 발명의 다른 실시예에 따른 단결정 반도체층의 제조를 위한 금속 전구체 가스 주입, 퍼지 가스 주입, 및 반응 가스 주입 타이밍도이다.
- [21] 도 2는 본 발명의 일 실시예에 따른 박막 제조장치를 나타낸 개략도이다.
- [22] 도 3은 본 발명의 일 실시예에 따른 구조체를 나타낸 단면도이다.
- [23] 도 4는 본 발명의 일 실시예에 따른 박막트랜지스터를 나타낸 단면도이다.
- [24] 도 5는 본 발명의 일 실시예에 따른 발광다이오드를 나타낸 단면도이다.
- [25] 도 6은 본 제조예에 따른 아연 산화물 박막 제조를 위한 단위 사이클의 파라미터들을 정리하여 나타낸 표이다.
- [26] 도 7a는 아연 산화물 박막 제조예에 따른 단위 사이클을 진행한 횟수에 따른 아연 산화물 박막의 두께를 보여주는 그래프이다.
- [27] 도 7b는 아연 산화물 박막 제조예에 따른 단위 사이클을 수회 진행하여 얻은 아연 산화물 박막의 XRR (X-ray reflectivity) 그래프를 나타낸다.
- [28] 도 7c는 아연 산화물 박막 제조예에 따른 단위 사이클을 수회 진행하여 얻은 아연 산화물 박막의 AFM(Atomic Force Microscope) 표면 물폴로지를 나타낸다.
- [29] 도 8a는 아연 산화물 박막 비교예에 따른 단위 사이클을 진행한 횟수에 따른 아연 산화물 박막의 두께를 보여주는 그래프이다.

- [30] 도 8b는 아연 산화물 박막 비교예에 따른 단위 사이클을 수회 진행하여 얻은 아연 산화물 박막의 XRR 그래프를 나타낸다.
- [31] 도 8c는 아연 산화물 박막 비교예에 따른 단위 사이클을 수회 진행하여 얻은 아연 산화물 박막의 AFM 표면 물폴로지를 나타낸다.
- [32] 도 9a, 도 10a, 및 도 11a는 각각 아연 산화물 박막 제조예에 따른 단위 사이클을 수회 진행하여 얻은 4nm, 10nm, 및 30nm의 아연 산화물 박막들에 대한 XRD (X-Ray Diffraction) 그래프들이다.
- [33] 도 9b, 도 10b, 및 도 11b는 각각 아연 산화물 박막 제조예에 따른 단위 사이클을 수회 진행하여 얻은 4nm, 10nm, 및 30nm의 아연 산화물 박막들에 대한 HR-TEM(High Resolution-Transmission Electron Microscopy) 이미지들과 회절패턴들을 보여준다.

발명의 실시를 위한 형태

- [34] 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 도면들에 있어서, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 본 실시예들에서 "제1", "제2", 또는 "제3"는 구성요소들에 어떠한 한정을 가하려는 것은 아니며, 다만 구성요소들을 구별하기 위한 용어로서 이해되어야 할 것이다.
- [35] 본 명세서에서 "Cx-Cy"라고 기재한 경우에는, 탄소수 x와 탄소수 y 사이의 모든 정수에 해당하는 수의 탄소수를 갖는 경우도 함께 기재된 것으로 해석되어야 한다.
- [36]
- [37] 도 1a는 본 발명의 일 실시예에 따른 단결정 반도체층의 제조를 위한 금속 전구체 가스 주입, 퍼지 가스 주입, 및 반응 가스 주입 타이밍도이다. 도 1b는 본 발명의 다른 실시예에 따른 단결정 반도체층의 제조를 위한 금속 전구체 가스 주입, 퍼지 가스 주입, 및 반응 가스 주입 타이밍도이다. 도 2는 본 발명의 일 실시예에 따른 박막 제조장치를 나타낸 개략도이다.
- [38] 도 1a, 도 1b, 및 도 2를 참조하면, 가스 유입구(120) 및 가스 유출구(140)을 구비하는 챔버 (100) 내의 스테이지(102) 상에 기판(S)을 로딩할 수 있다. 상기 기판(S)은 단결정 기판으로 일 예로서, 육방정계 결정구조를 갖는 기판, 구체적으로는 c-면 단결정 기판일 수 있다. 일 예로서, 상기 기판(S)은 사파이어 기판, 더 구체적으로는 c-면 사파이어 기판일 수 있다.
- [39] 상기 기판(S)을 로딩하기 전에, 상기 챔버(100)는 제어부(150)에 의해 증착 온도로 가열되고 유지될 수 있다. 증착 온도는 20 내지 250 °C, 50 내지 200 °C, 80 내지 150 °C, 90 내지 100 °C, 또는 95 내지 105 °C일 수 있다. 가스 유출구(140)은

진공펌프에 연결되어 있을 수 있다.

- [40] 먼저, 가스 유입구(120)에 연결된 모든 가스 유입 밸브들(130, 132, 134)를 닫고 상기 가스 유출구(140)에 연결된 가스 유출 밸브(142)를 열어 챔버(100) 내부를 진공상태로 만들 수 있다. 이후, 금속 전구체 가스 제어 밸브(130)을 열고 가스 유출 밸브(142)를 닫은 상태에서, 상기 금속 전구체 저장부(110)으로부터 금속 전구체 가스를 챔버(100) 내로 공급할 수 있다.
- [41] 금속 전구체는 아연 전구체 또는 13족 금속 전구체일 수 있다. 아연 전구체는 일 예로서, 다이(C_1-C_5 알킬)아연일 수 있다. 다이(C_1-C_5 알킬)아연은 다이에틸아연(diethyl zinc, DEZ)일 수 있다. 13족 금속 전구체는 일 예로서, 갈륨 전구체, 인듐 전구체, 혹은 알루미늄 전구체로, 트리(C_1-C_5 알킬)금속(여기서, 금속은 13족 금속)일 수 있다. 갈륨 전구체는 일 예로서, 트리메틸갈륨(Trimethyl Gallium; $Ga(CH_3)_3$)(TMGa)일 수 있고, 인듐 전구체는 일 예로서, 트리메틸인듐(Trimethyl Indium; $In(CH_3)_3$)(TMIn)일 수 있고, 알루미늄 전구체는 일 예로서, 트리메틸알루미늄(Trimethyl aluminum; $Al(CH_3)_3$)(TMAI)일 수 있다.
- [42] 금속 전구체 저장부(110) 내에 금속 전구체는 액체 또는 고체 상태로 저장될 수 있다. 상기 금속 전구체 저장부(110)는 금속 전구체의 열분해 온도 미만으로 가열되고 이에 따라 금속 전구체는 소정의 증기압으로 챔버(100) 내로 공급될 수 있다. 이 때, 공급되는 금속 전구체는 캐리어 가스 없이 공급될 수 있다. 상기 금속 전구체는 가스 유출 밸브(142)가 닫힌 상태에서 공급되므로, 상기 챔버(100) 내에 축적되면서 상기 챔버(100) 내의 압력을 증가시킬 수 있다. 상기 금속 전구체는 상기 챔버(100)의 압력이 반응압력(P_M)에 이를 때까지 공급될 수 있다(금속 전구체 공급 단계, MD_n). 반응압력 즉, 금속 전구체 가스의 압력은 수십 mTorr 내지 수 Torr의 범위, 구체적으로 100 mTorr 내지 5 Torr, 500 mTorr 내지 3 Torr, 또는 700 mTorr 내지 1.5 Torr일 수 있다.
- [43] 반응압력에 이르면 금속 전구체 가스 제어 밸브(130)를 닫고, 소정 시간 챔버를 밀폐시킬 수 있다(금속 전구체 노출 단계, ME_n). 상기 금속 전구체 공급 단계(MD_n)와 상기 금속 전구체 노출 단계(ME_n)는 금속 전구체 가압 도징 단계로 불리울 수 있다. 다만, 금속 전구체 노출 단계(ME_n)는 경우에 따라 생략될 수도 있다.
- [44] 금속 전구체 가압 도징 단계 즉, 상기 금속 전구체 공급 단계(MD_1)와 상기 금속 전구체 노출 단계(ME_n)에서 금속 전구체 가스는 기관 혹은 기관 상에 기 형성된 층의 표면에 화학흡착(chemisorption) 및 자기포화반응(self-saturated reaction)에 의해 증착될 수 있다. 상기 금속 전구체 가스의 화학 흡착과 자기포화반응은 가압된 환경 구체적으로, 라미나 플로우 환경이 아닌 가압된 정체 환경(stagnant environment)에서 진행되므로, 상기 금속 전구체 가스의 기관 혹은 기관 상에 기 형성된 층의 표면에의 화학 흡착률 혹은 표면 커버리지가 크게 향상될 수 있다.
- [45] 이후, 챔버를 퍼지시킬 수 있다(금속 전구체 퍼지 단계, MP_1). 구체적으로, 퍼지 가스 제어 밸브(132)와 가스 유출 밸브(142)를 열어, 퍼지 가스 저장부(112) 내의 퍼지 가스를 챔버 내의 기관 표면 상으로 흘려보내 기관의 표면에 흡착되지 못한

과잉 금속 전구체 가스 및 금속 전구체 가스와 기관 표면 사이의 반응에 의해 생성된 반응 부산물을 제거할 수 있다. 이 때, 퍼지 가스는 불활성 가스로 불활성 가스는 예를 들어, 아르곤(Ar), 질소(N₂) 또는 이들의 조합인 가스를 구비할 수 있다.

[46] 상기 금속 전구체 가압 도징 단계 (MD_n, ME_n)와 금속 전구체 퍼지 단계(MP_n)는 금속 전구체 서브 사이클(M-SC_n)을 구성할 수 있고, 금속 전구체 서브 사이클(M-SC_n)은 1회 내지 다수회, 구체적으로 1 내지 10회(n=1 ~ 10), 예를 들어 2 내지 7회(n=2~7), 또는 3 내지 5회 (n=3~5) 실시할 수 있다. 상기 다수의 금속 전구체 서브 사이클들(M-SC_n)은 금속 전구체 단위 사이클(M-UC)을 구성할 수 있다. 상기 금속 전구체 서브 사이클들을 다수회 수행할 때(M-SC₁, M-SC₂, ... M-SC_n, n≥2), 도 1a에 도시된 것과 같은 실시예에서는 금속 전구체 가압 도징 단계들(MD₁, MD₂, ... MD_n, ME1, ME2, ... MEn, n≥2)에서의 반응압력(P_M)이 실질적으로 동일할 수 있고, 도 1b에 도시된 것과 같은 실시예에서는 금속 전구체 가압 도징 단계들(MD₁, MD₂, ... MD_n, ME1, ME2, ... MEn, n≥2)에서의 반응압력(P_{M1}, P_{M2}, P_{Mn})이 서로 다를 수 있다. 도 1b에서는 금속 전구체 가압 도징 단계들(MD₁, MD₂, ... MD_n, ME1, ME2, ... MEn, n≥2)의 횟수가 증가할수록 반응압력(P_{M1}, P_{M2}, P_{Mn})을 점차 증가시키는 것으로 도시하였으나, 이에 한정되지 않고 반응압력은 점차 감소할 수도 있다.

[47] 금속 전구체 단위 사이클(M-UC) 수행후 후, 반응가스를 상기 챔버 내로 공급하는 반응가스 공급 단계(반응가스 공급 단계, OD_n)를 수행할 수 있다. 상기 반응가스는 상기 기관 상에 흡착된 금속 전구체와 반응할 수 있다. 상기 반응가스는 구체적으로 상기 금속 전구체를 산화 또는 질화시켜 금속 산화물 단위층 혹은 금속 질화물 단위층을 형성하는 산화제 또는 질화제일 수 있다. 산화제는 H₂O, H₂O₂, O₂, 또는 O₃일 수 있으나 이에 한정되는 것은 아니다. 일 구체예에서, 상기 산화제는 H₂O일 수 있고, 질화제는 NH₃일 수 있으나 이에 한정되는 것은 아니다. 금속 전구체로서 아연 전구체를 사용하는 경우에 반응가스로 산화제를 사용할 수 있고, 금속 전구체로서 13족 금속 전구체를 사용하는 경우에 반응가스로 질화제를 사용할 수 있다.

[48] 일 실시예에서, 반응가스 제어 밸브(134)을 열고 가스 유출 밸브(142)를 닫은 상태에서, 상기 반응가스 저장부(114)로부터 반응가스를 챔버(100) 내로 공급할 수 있다. 상기 반응가스는 가스 유출 밸브(142)가 닫힌 상태에서 공급되므로, 상기 챔버(100) 내에 축적되면서 상기 챔버(100) 내의 압력을 증가시킬 수 있다. 상기 반응가스는 상기 챔버(100)의 압력이 반응압력(P_{ox})에 이를 때까지 공급될 수 있다. 반응압력 즉, 반응가스의 압력은 백 mTorr 내지 십 Torr의 범위, 구체적으로 200 mTorr 내지 8 Torr, 500 mTorr 내지 5 Torr, 또는 700 mTorr 내지 2 Torr 일 수 있다. 일 실시예에서, 공급되는 반응가스는 캐리어 가스없이 공급될 수 있다. 상기 반응가스가 H₂O 또는 H₂O₂ 인 경우, 반응가스 저장부(114) 내에 반응가스는 액체 상태로 저장될 수 있다. 상기 반응가스 저장부(114)는 가열되고

- 상기 반응가스는 소정의 증기압으로 챔버(100) 내로 공급될 수 있다
- [49] 반응압력(P_{Ox})에 이르면 반응가스 제어 밸브(134)를 닫고, 소정 시간 챔버를 밀폐시킬 수 있다(반응가스 노출 단계, OE_n). 상기 반응가스 공급 단계(OD_n)와 상기 반응가스 노출 단계(OE_n)는 반응가스 가압 도징 단계로 불릴 수 있다. 다만, 상기 반응가스 노출 단계(OE_n)는 경우에 따라 생략될 수도 있다.
- [50] 상기 반응가스 가압 도징 단계 즉, 상기 반응가스 공급 단계(OD_n)와 상기 반응가스 노출 단계(OE_n)에서 반응가스는 기판 상에 형성된 금속 전구체층과 반응하여 상기 금속 전구체층을 반도체 단위층 일 예로서, 금속 산화물 단위층 또는 금속 질화물 단위층으로 변화시킬 수 있다. 일 예로서, 금속 산화물 단위층은 아연 산화물 단위층일 수 있고, 금속 질화물 단위층은 갈륨 질화물 단위층일 수 있다. 앞서 설명한 바와 같이, 상기 반응가스와 상기 금속 전구체층과의 반응은 가압된 환경 구체적으로, 라미나 플로우 환경이 아닌 가압된 정체 환경(stagnant environment)에서 진행될 수 있다. 그러나, 이에 한정되지 않고 반응가스는 가스 유출 밸브(142)를 연 상태에서 공급되어 챔버 내에서 라미나 플로우를 형성한 상태에서 상기 금속 전구체층과 반응할 수도 있다.
- [51] 이 후, 챔버를 퍼지시킬 수 있다(반응가스 퍼지 단계, OP_n). 구체적으로, 퍼지 가스 제어 밸브(132)와 가스 유출 밸브(142)를 열어, 퍼지 가스 저장부(112) 내의 퍼지 가스를 기판 표면 상으로 흘려보내 금속 전구체층과 반응하지 못한 과잉 반응가스 및 반응가스와 금속 전구체 사이의 반응에 의해 생성된 반응 산물을 제거할 수 있다. 이 때, 퍼지 가스는 불활성 가스로 불활성 가스는 예를 들어, 아르곤(Ar), 질소(N_2) 또는 이들의 조합인 가스를 구비할 수 있다.
- [52] 상기 반응가스 가압 도징 단계 (OD_n , OE_n), 및 반응가스 퍼지 단계(OP_n)는 반응가스 서브 사이클($O-SC_n$)을 구성할 수 있고, 반응가스 서브 사이클($O-SC_n$)은 1회 내지 다수회, 구체적으로 1 내지 10회($n=1 \sim 10$), 예를 들어 2 내지 7회($n=2 \sim 7$), 또는 3 내지 5회 ($n=3 \sim 5$) 실시할 수 있다. 상기 다수의 반응가스 서브 사이클들($O-SC_n$)은 반응가스 단위 사이클($O-UC$)을 구성할 수 있다. 상기 반응가스 서브 사이클들을 다수회 수행할 때($O-SC_1$, $O-SC_2$, ... $O-SC_n$, $n \geq 2$), 도 1a에 도시된 것과 같은 실시예에서는 반응가스 가압 도징 단계들(OD_1 , OD_2 , ... OD_n , OE_1 , OE_2 , ... OE_n , $n \geq 2$)에서의 반응압력(P_{Ox})이 실질적으로 동일할 수 있고, 도 1b에 도시된 것과 같은 실시예에서는 반응가스 가압 도징 단계들(OD_1 , OD_2 , ... OD_n , OE_1 , OE_2 , ... OE_n , $n \geq 2$)에서의 반응압력(P_{Ox1} , P_{Ox2} , P_{Oxn})이 서로 다를 수 있다. 도 1b에서는 반응가스 가압 도징 단계들(OD_1 , OD_2 , ... OD_n , OE_1 , OE_2 , ... OE_n , $n \geq 2$)의 횟수가 증가할수록 반응압력(P_{Ox1} , P_{Ox2} , P_{Oxn})을 점차 증가시키는 것으로 도시하였으나, 이에 한정되지 않고 반응압력은 점차 감소할 수도 있다.
- [53] 상기 금속 전구체 단위 사이클($M-UC$) 1회와 상기 반응가스 단위 사이클($O-UC$) 1회를 수행하였을 때, 얻어지는 상기 반도체 단위층의 두께 즉, 단위 사이클당 두께는 약 1.7 내지 3Å 구체적으로 1.9 내지 2.5 Å 또는 2 내지 2.3 Å일 수 있다. 이

후, 상기 금속 전구체 단위 사이클(M-UC)과 상기 반응가스 단위 사이클(O-UC)을 교호적으로 반복 수행할 수 있다. 반복 수행의 횟수는 반도체층의 최종 두께를 결정할 수 있다. 또한, 본 실시예에 따른 방법을 사용하여 얻어지는 반도체층은 표면 거칠기가 수 Å (RMS, Root Mean Square) 일 예로서, 3 Å 이하 나아가 2.5 Å 이하 일 예로서, 2 내지 2.5 Å의 매우 낮은 값을 나타내는 등 우수한 표면 물폴러지를 나타낼 수 있다. 또한, 본 실시예에 따른 방법을 사용하여 얻어지는 반도체층은 그의 밀도가 5.1 g/cm³ 이상, 일 예로서 5.2 g/cm³ 또는 5.3 g/cm³ 이상 구체적으로, 5.2 g/cm³ 내지 5.5 g/cm³으로 매우 치밀한 막특성을 나타낼 수 있다.

- [54] 이와 같이 형성된 반도체층은 적어도 반응압력을 높은 가압된 정체 환경(stagnant environment)에서 금속 전구체 흡착이 진행되었기 때문에, 이는 일반 ALD법 즉, 가압된 환경이 아닌 라미나 플로우 환경에서 금속 전구체 흡착이 진행될 경우 얻어지는 약 1Å의 두께 대비 매우 큰 단위 사이클당 두께로 형성될 수 있고, 표면 거칠기가 낮으며, 또한 치밀한 막으로 형성될 수 있다.
- [55] 본 실시예에 따른 방법을 사용하여 얻어지는 반도체층은 단결정 일 예로서, 육방정계 결정구조 구체적으로는 육방정계 우르짜이트(hexagonal wurtzite) 구조를 가질 수 있다. 또한, 상기 단결정 반도체층은 c-면 구체적으로는 (0002)면 우선배향성(preferred orientation)을 가질 수 있다. 다른 예에서, 상기 단결정 반도체층의 일부 영역은 m-면 구체적으로는 (1-100)면 우선배향성을 가질 수 있다. 구체적으로, 상기 단결정 반도체층은 성장되는 두께가 증가함에 따라 c-면 우선배향성에서 m-면 우선배향성을 갖는 막으로 변화될 수 있다. 다시 말해서, 상기 반도체층이 상기 단결정 기판과 인접하는 하부 영역은 c-면 우선배향성을 갖고, 상기 하부 영역의 상부에 위치한 영역은 m-면 우선배향성을 가질 수 있다. 일 예에서, 상기 단결정 반도체층이 아연 산화물층인 경우에 약 10nm 이하의 두께에서는 c-면 우선배향성을 갖고 10nm 이상의 두께에서는 m-면 우선배향성을 가질 수 있다.

[56]

[57] 도 3은 본 발명의 일 실시예에 따른 구조체를 나타낸 단면도이다.

[58] 도 3을 참조하면, 기판(10)이 제공될 수 있다. 상기 기판(10)은 단결정 기판으로 일 예로서, 육방정계 결정구조를 갖는 기판, 구체적으로는 c-면 단결정 기판일 수 있다. 일 예로서, 상기 기판(10)은 사파이어 기판, 더 구체적으로는 c-면 사파이어 기판일 수 있다. 상기 기판(10)은 절연기판일 수 있다.

[59] 상기 기판(10) 상에 단결정 반도체층(20)이 배치될 수 있다. 상기 단결정 반도체층(20)은 도 1a, 도 1b, 및 도 2를 참조하여 설명한 바와 같은 방법으로 상기 기판(10) 상에 에피택셜 성장된 에피택셜층(epitaxial layer)일 수 있다. 상기 단결정 반도체층(20)은 육방정계 결정구조 구체적으로는 육방정계 우르짜이트(hexagonal wurtzite) 구조를 가질 수 있다. 또한, 상기 단결정 반도체층은 c-면 구체적으로는 (0002)면 우선배향성(preferred orientation)을 가질 수 있다. 다른 예에서, 상기 단결정 반도체층(20)의 일부 영역은 m-면

구체적으로는 (1-100)면 우선배향성을 가질 수 있다. 구체적으로, 상기 단결정 반도체층(20)은 성장되는 두께가 증가함에 따라 c-면 우선배향성에서 m-면 우선배향성을 갖는 막으로 변화될 수 있다. 다시 말해서, 상기 반도체층(20)이 상기 단결정 기판과 인접하는 하부 영역은 c-면 우선배향성을 갖고, 상기 하부 영역의 상부에 위치한 영역은 m-면 우선배향성을 가질 수 있다. 일 예에서, 상기 단결정 반도체층(20)이 아연 산화물층인 경우에 약 10nm 이하의 두께에서는 c-면 우선배향성을 갖고 10nm 이상의 두께에서는 m-면 우선배향성을 가질 수 있다. 단결정 반도체층(20)은 1 내지 1000nm, 일 예로서 2 내지 100nm, 구체적으로는 3 내지 50nm의 두께를 가질 수 있다.

[60]

[61] 도 4는 본 발명의 일 실시예에 따른 박막트랜지스터를 나타낸 단면도이다.

[62] 도 4를 참조하면, 도 3를 참조하여 설명한 단결정 반도체층(20)을 포토리소그래피 등을 사용하여 패터닝한 후, 패터닝된 단결정 반도체층(20) 상에 게이트 절연막(30)을 형성할 수 있다. 상기 게이트 절연막(30)은 실리콘 산화막, 실리콘 산질화막, 알루미늄 산화막, 알루미늄 산질화막, 또는 이들의 복합막일 수 있다. 상기 게이트 절연막(30)은 원자층 증착법을 사용하여 형성할 수 있으며, 일 예로서 알루미늄 산화막일 수 있다. 상기 게이트 절연막(30) 상에 상기 단결정 반도체층(20)에 중첩하는 게이트 전극(40)을 형성할 수 있다. 상기 게이트 전극(40)은 Al, Cr, Cu, Ta, Ti, Mo, W, 또는 이들의 합금을 사용하여 형성할 수 있다. 상기 게이트 전극(40) 상에 층간절연막(35)을 형성한 후, 상기 층간절연막(35) 내에 상기 패터닝된 단결정 반도체층(20)의 양측 단부들을 각각 노출시키는 콘택홀들을 형성한 후, 상기 콘택홀들 내에 소오스/드레인 전극들(50S, 50D)을 형성할 수 있다. 상기 소오스 전극(S)과 드레인 전극(D)은 알루미늄(Al), 네오디뮴(Nd), 은(Ag), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 및 몰리브덴(Mo) 중 적어도 어느 하나의 금속 또는 이들을 포함하는 합금, 또는 금속산화물 전도성막 일 예로서, ITO(Indium Tin Oxide)을 사용하여 형성할 수 있다.

[63] 이와 같이, 단결정 반도체층(20)을 채널층으로 구비하는 박막트랜지스터는 우수한 전하이동도를 나타낼 수 있다.

[64]

[65] 도 5는 본 발명의 일 실시예에 따른 발광다이오드를 나타낸 단면도이다.

[66] 도 5를 참조하면, 도 3을 참조하여 설명한 단결정 반도체층(20)이 형성된 기판(10)을 제공할 수 있다. 이 때, 단결정 반도체층(20)은 버퍼층(20)으로 명명할 수도 있다. 도 3을 참조하여 설명한 바와 같이, 상기 버퍼층(20)은 최상부면이 c-면 우선배향성을 가질 수도 있고 혹은 m-면 우선배향성을 가질 수도 있다.

[67] 상기 버퍼층(20) 상에 발광구조체층(60)을 형성할 수 있다. 상기 발광구조체층(60)은 차례로 적층된 제1 도전형 반도체층(61) 및 제2 도전형 반도체층(63)을 구비할 수 있다. 나아가, 상기 발광구조체층(60)은 상기 제1

도전형 반도체층(61)과 상기 제2 도전형 반도체층(63) 사이에 활성층(62)을 더 구비할 수도 있다.

- [68] 상기 제1 도전형 반도체층(61)은 산화물계 반도체층 일 예로서 ZnO층이거나 또는 질화물계 반도체층 일 예로서 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)층일 수 있다. 상기 제1 도전형 반도체층(61)은 n형 도펀트가 도핑되거나 혹은 도펀트 도핑되지 않은 상태에서도 n형을 나타내는 층일 수 있다. 질화물계 반도체층인 경우 n형 도펀트는 Si일 수 있다.
- [69] 상기 제2 도전형 반도체층(63)은 산화물계 반도체층 일 예로서 ZnO층이거나 또는 질화물계 반도체층 일 예로서 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)층일 수 있다. 상기 제2 도전형 반도체층(63)은 p형 도펀트가 도핑된 층일 수 있다. 상기 제2 도전형 반도체층(63)이 질화물계 반도체층인 경우 p형 도펀트는 Mg일 수 있다. 상기 제2 도전형 반도체층(63)이 ZnO층인 경우 p형 도펀트는 Sb일 수 있다.
- [70] 상기 활성층(62)은 단일 양자 우물 구조 혹은 다중 양자 우물 구조(multi-quantum well; MQW)를 가질 수 있다. 일 예로서, 상기 활성층(62)은 InGaN/GaN, AlGaN/(In)GaN, 또는 InAlGaN/(In)GaN의 다층구조인 다중 양자 우물 구조를 가질 수 있다. 다른 예로서, 상기 활성층(62)은 ZnO/ZnMgO의 다층구조인 다중 양자 우물 구조를 가질 수 있다.
- [71] 상기 발광 구조체층(60)는, 상기 버퍼층(20)을 도 1a, 도 1b, 및 도 2를 참조하여 설명한 가압식 원자층 증착법을 사용하여 형성한 것과는 달리, 금속 유기 화학 증착법(Metal Organic Chemical Vapor Deposition; MOCVD), 화학 기상 증착법(Chemical Vapor Deposition; CVD), 플라즈마 화학 기상 증착법(Plasma-Enhanced Chemical Vapor Deposition; PECVD), 분자선 성장법(Molecular Beam Epitaxy; MBE), 수소화물 기상 성장법(Hydride Vapor Phase Epitaxy; HVPE) 등을 포함한 다양한 증착 또는 성장 방법을 이용하여 상기 버퍼층(20) 상에 에피택시얼하게 형성될 수 있다.
- [72] 이 때, 상기 버퍼층(20)의 최상부면이 c-면 우선배향성을 갖는 경우 상기 발광 구조체층(60) 또한 c-면 우선배향성을 갖도록 형성될 수 있고, 상기 버퍼층(20)의 최상부면이 m-면 우선배향성을 갖는 경우 상기 발광 구조체층(60) 또한 m-면 우선배향성을 갖도록 형성될 수 있다. 상기 발광 구조체층(60)이 c-면 우선배향성을 갖도록 성장된 경우, 이중원자 일 예로서 Ga 원자와 N 원자가 c축 방향에서 상부와 하부에 위치하므로 자발분극(spontaneous polarization)을 나타냄에 따라 정전기 장(electrostatic field)이 생성되고 이로 인해 전자와 정공의 분포가 왜곡되어 양자효율의 향상에 제한이 있을 수 있다. 이와는 달리, 상기 발광 구조체층(60)이 m-면 우선배향성을 갖도록 성장된 경우, 분극이 거의 존재하지 않아 양자효율이 크게 향상될 수 있다.
- [73] 이후, 상기 발광구조체층(60)의 일부 영역을 mesa 식각하여 mesa 영역 측부에 제1 도전형 반도체층(61)을 노출시킬 수 있다. 노출된 제1 도전형 반도체층(61)

및 상기 메사 영역 상부의 제2 도전형 반도체층(63)에 각각 접속하는 제1 전극(71) 및 제2 전극(72)을 형성할 수 있다.

[74]

[75] 이하, 본 발명의 이해를 돕기 위하여 바람직한 실험예(example)를 제시한다. 다만, 하기의 실험예는 본 발명의 이해를 돕기 위한 것일 뿐, 본 발명이 하기의 실험예에 의해 한정되는 것은 아니다.

[76]

[77] 아연 산화물 박막 제조예

[78] 도 6은 본 제조예에 따른 아연 산화물 박막 제조를 위한 단위 사이클의 파라미터들을 정리하여 나타낸 표이다.

[79]

가스 유입구와 가스 유출구를 구비하는 챔버 내에 사파이어 기관을 로딩하고, 챔버를 100 °C로 가열하였다. 가스 유출구를 닫은 상태에서, 상기 가스 유입구를 통해 상기 기관 상에 아연 전구체인 DEZ(diethylzinc)를 공급하였다(금속 전구체 공급 단계). 이 때, 상기 아연 전구체는 캐리어 가스 없이 공급되고, 챔버 내의 압력이 1 Torr에 이를 때까지 공급하였다. 이후, 챔버 유입구도 닫아 챔버 압력을 1 Torr로 유지한 상태에서 상기 기관 표면 상에 상기 아연 전구체를 3초간 반응시켰다(금속 전구체 노출 단계). 이후, 가스 유입구와 가스 유출구를 모두 연 상태에서 가스 유입구로 퍼지 가스인 아르곤을 15초간 공급하여 반응부산물 및 잔여반응가스를 퍼지하였다(금속 전구체 퍼지 단계). 상기 아연 전구체 공급 단계, 상기 아연 전구체 노출 단계, 및 상기 아연 전구체 퍼지 단계는 아연 전구체 서브 사이클을 구성하고, 상기 아연 전구체 서브 사이클을 4회 반복 수행하여 아연 원자층을 형성하였다.

[80]

이 후, 가스 유출구를 닫은 상태에서, 상기 가스 유입구를 통해 상기 아연 원자층 상에 반응가스인 H₂O를 공급하였다. 이 때, 상기 반응가스는 캐리어 가스 없이 공급되고, 챔버 내의 압력이 1 Torr에 이를 때까지 공급하였다(반응가스 공급 단계). 이후, 챔버 유입구도 닫아 챔버 압력을 1 Torr로 유지한 상태에서 상기 아연 원자층 표면 상에 H₂O를 3초간 반응시켰다(반응가스 노출 단계). 이후, 가스 유입구와 가스 유출구를 모두 연 상태에서 가스 유입구로 퍼지 가스인 아르곤을 25초간 공급하여 반응부산물 및 잔여반응가스를 퍼지하였다(반응가스 퍼지 단계). 상기 반응가스 공급 단계, 상기 반응가스 노출 단계, 및 상기 반응가스 퍼지 단계는 반응가스 서브 사이클을 구성하고, 상기 반응가스 서브 사이클을 4회 반복 수행하여 상기 아연 원자층 상에 산소 원자층을 형성하였다. 이에 따라 아연 산화물 단위층이 형성되었다. 상기 4회의 아연 전구체 서브 사이클들과 상기 4회의 반응가스 서브 사이클들은 아연 산화물 박막 제조를 위한 단위 사이클을 구성한다.

[81]

[82] 아연 산화물 박막 비교예

[83] 가스 유입구와 가스 유출구를 구비하는 챔버 내에 사파이어 기관을 로딩하고,

챔버를 100 °C로 가열하였다. 아연 전구체인 DEZ와 캐리어 가스인 아르곤의 혼합가스를 2초간 공급하되, 챔버의 가스 유출구를 연 상태에서 공급하여 상기 DEZ 및 아르곤 혼합 가스가 챔버 내에서 라미나 플로우 상태를 유지하도록 하였다. 이 때 DEZ의 분압은 20 mTorr였다. 그 후, 퍼지 가스인 아르곤을 20초간 공급하여 반응부산물 및 잔여반응가스를 퍼지하고, 반응가스인 H₂O와 캐리어 가스인 아르곤의 혼합가스를 2초간 라미타 플로우 상태를 유지하면서 공급하되 이 때, H₂O의 분압은 20 mTorr였다. 그 후, 퍼지 가스인 아르곤을 40초간 공급하여 반응부산물 및 잔여반응가스를 퍼지하였다.

[84]

[85] 도 7a는 아연 산화물 박막 제조예에 따른 단위 사이클을 진행한 횟수에 따른 아연 산화물 박막의 두께를 보여주는 그래프이다. 도 8a는 아연 산화물 박막 비교예에 따른 단위 사이클을 진행한 횟수에 따른 아연 산화물 박막의 두께를 보여주는 그래프이다.

[86] 도 7a 및 도 8a를 참조하면, 아연 산화물 박막 제조예에 따른 단위 사이클 당 아연 산화물은 약 2.1Å의 두께로 형성되고, 아연 산화물 박막 비교예에 따른 단위 사이클 당 아연 산화물은 약 1.5Å의 두께로 형성되는 것을 알 수 있다. 이로부터, 아연 산화물 박막 제조예에 따른 단위 사이클 당 얻어지는 아연 산화물의 두께가 더 큰 것을 알 수 있다.

[87] 도 7b는 아연 산화물 박막 제조예에 따른 단위 사이클을 수회 진행하여 얻은 아연 산화물 박막의 XRR (X-ray reflectivity) 그래프를 나타낸다. 도 8b는 아연 산화물 박막 비교예에 따른 단위 사이클을 수회 진행하여 얻은 아연 산화물 박막의 XRR 그래프를 나타낸다. 여기서, 아연 산화물 박막 제조예에 따른 아연 산화물 박막과 아연 산화물 박막 비교예에 따른 아연 산화물 박막은 모두 약 15nm의 두께를 가지도록 형성하였다.

[88] 도 7b 및 도 8b를 참조하면, 아연 산화물 박막 제조예에 따른 아연 산화물 박막은 약 5.304 g/cm³의 밀도로 형성되고, 아연 산화물 박막 비교예에 따른 아연 산화물 박막은 약 5.096 g/cm³의 밀도로 형성되는 것을 알 수 있다. 이로부터, 아연 산화물 박막 제조예에 따른 아연 산화물 박막의 밀도가 더 큰 것을 알 수 있다.

[89] 도 7c는 아연 산화물 박막 제조예에 따른 단위 사이클을 수회 진행하여 얻은 아연 산화물 박막의 AFM(Atomic Force Microscope) 표면 물폴로지를 나타낸다. 도 8c는 아연 산화물 박막 비교예에 따른 단위 사이클을 수회 진행하여 얻은 아연 산화물 박막의 AFM 표면 물폴로지를 나타낸다. 여기서, 아연 산화물 박막 제조예에 따른 아연 산화물 박막과 아연 산화물 박막 비교예에 따른 아연 산화물 박막은 모두 약 20nm의 두께를 가지도록 형성하였다.

[90] 도 7c 및 도 8c를 참조하면, 아연 산화물 박막 제조예에 따른 아연 산화물 박막은 약 2.4 Å의 RMS (root mean square roughness)를 나타내고, 아연 산화물 박막 비교예에 따른 아연 산화물 박막은 약 3.1 Å의 RMS를 나타낸다. 이로부터,

아연 산화물 박막 제조예에 따른 아연 산화물 박막의 표면은 매우 낮은 거칠기를 갖는 것을 알 수 있다.

[91]

[92] 도 9a, 도 10a, 및 도 11a는 각각 아연 산화물 박막 제조예에 따른 단위 사이클을 수회 진행하여 얻은 4nm, 10nm, 및 30nm의 아연 산화물 박막들에 대한 XRD (X-Ray Diffraction) 그래프들이다. 도 9b, 도 10b, 및 도 11b는 각각 아연 산화물 박막 제조예에 따른 단위 사이클을 수회 진행하여 얻은 4nm, 10nm, 및 30nm의 아연 산화물 박막들에 대한 HR-TEM(High Resolution-Transmission Electron Microscopy) 이미지들과 회절패턴들을 보여준다. 도 9b, 도 10b, 및 도 11b에서 회절 패턴들 각각은 동일 도면 내 TEM 이미지에서 표시된 영역의 회절 패턴이다.

[93] 도 9a, 도 10a, 및 도 11a를 참조하면, 4nm의 아연 산화물 박막은 피크 중심이 35.05° 에 위치하고, 2.2° 의 반치폭을 갖는 피크를 제공하고, 10nm의 아연 산화물 박막은 피크 중심이 34.42° 에 위치하고 0.79° 의 반치폭을 갖는 피크와 피크 중심이 35.6° 에 위치하는 피크가 병합된 피크를 제공하고, 30nm의 아연 산화물 박막은 피크 중심이 34.47° 에 위치하고, 0.42° 의 반치폭을 갖는 피크를 제공한다. 이로부터, 아연 산화물 박막 제조예에 따른 아연 산화물 박막은 매우 우수한 결정성을 갖는 것을 알 수 있다.

[94] 도 9b, 도 10b, 및 도 11b를 참조하면, HR-TEM 이미지에서 결정구조들이 확인되는 것으로 보아 아연 산화물 박막은 결정질 박막으로 형성된 것을 알 수 있다.

[95] 도 9b, 도 10b를 다시 참조하면, 회절패턴들에서 (0002)면들이 확인되는 것으로 보아, 10 nm 이하의 두께를 갖는 아연 산화물 박막은 [0002] 방향으로 결정이 우선배향된 것을 알 수 있다.

[96] 도 11b를 다시 참조하면, 기판 표면으로부터의 두께가 10 nm 이하인 영역의 회절패턴(1)에서 (0002)면(c-plane)만 관찰되고, 10 nm 초과인 영역의 회절패턴(2)에서 (0002)면과 더불어 (1-100)면(m-plane)이 관찰되고, 20 nm 이상인 영역의 회절패턴(3)에서 (1-100)면만 관찰되었다. 이러한 결과로부터, 상기 아연 산화물 반도체층은 성장되는 두께가 증가함에 따라 c-면 우선배향성을 갖는 막에서 m-면 우선배향성을 갖는 막으로 변화되는 것을 알 수 있다.

[97]

[98] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

청구범위

- [청구항 1] 단결정 기판이 투입된 챔버의 유출구를 닫은 상태에서 상기 단결정 기판 상에 금속 전구체를 공급하여 상기 챔버 내 반응압력을 증가시켜 상기 금속 전구체를 상기 기판 표면 상에 흡착시키는 금속 전구체 가압 도징 단계;
상기 금속 전구체 가압 도징 단계 후, 상기 챔버를 퍼지하는 금속 전구체 퍼지 단계;
상기 금속 전구체 퍼지 단계 후, 반응가스를 상기 챔버 내로 공급하여 상기 기판 상에 흡착된 금속 전구체와 반응시키는 반응가스 공급 단계; 및
상기 반응가스 공급 단계 후, 상기 챔버를 퍼지하는 반응가스 퍼지 단계를 포함하는 단위 사이클을 다수회 진행하여,
상기 단결정 기판 상에 단결정 반도체층을 형성하는 단결정 반도체층 제조방법.
- [청구항 2] 청구항 1에 있어서,
상기 단결정 기판은 육방정계 결정구조를 갖는 기판이고,
상기 단결정 반도체층은 육방정계 우르자이트(hexagonal wurtzite) 구조를 갖는 반도체층인 단결정 반도체층 제조방법.
- [청구항 3] 청구항 2에 있어서,
상기 단결정 반도체층은 c-면 우선배향성을 갖는 반도체층인 단결정 반도체층 제조방법.
- [청구항 4] 청구항 2에 있어서,
상기 단결정 기판은 c-면 기판이고,
상기 단결정 반도체층의 일부 영역은 m-면 우선배향성을 갖는 단결정 반도체층 제조방법.
- [청구항 5] 청구항 4에 있어서,
상기 단결정 반도체층이 상기 단결정 기판과 인접하는 하부 영역은 c-면 우선배향성을 갖고, 상기 하부 영역의 상부에 위치한 영역은 m-면 우선배향성을 갖는 단결정 반도체층 제조방법.
- [청구항 6] 청구항 2에 있어서,
상기 금속 전구체는 아연 전구체이고,
상기 반응가스는 산화제이고,
상기 단결정 반도체층은 ZnO층인 단결정 반도체층 제조방법.
- [청구항 7] 청구항 2에 있어서,
상기 금속 전구체는 13족 금속 전구체이고,
상기 반응가스는 질화제이고,
상기 단결정 반도체층은 13족 금속 질화물층인 단결정 반도체층 제조방법.

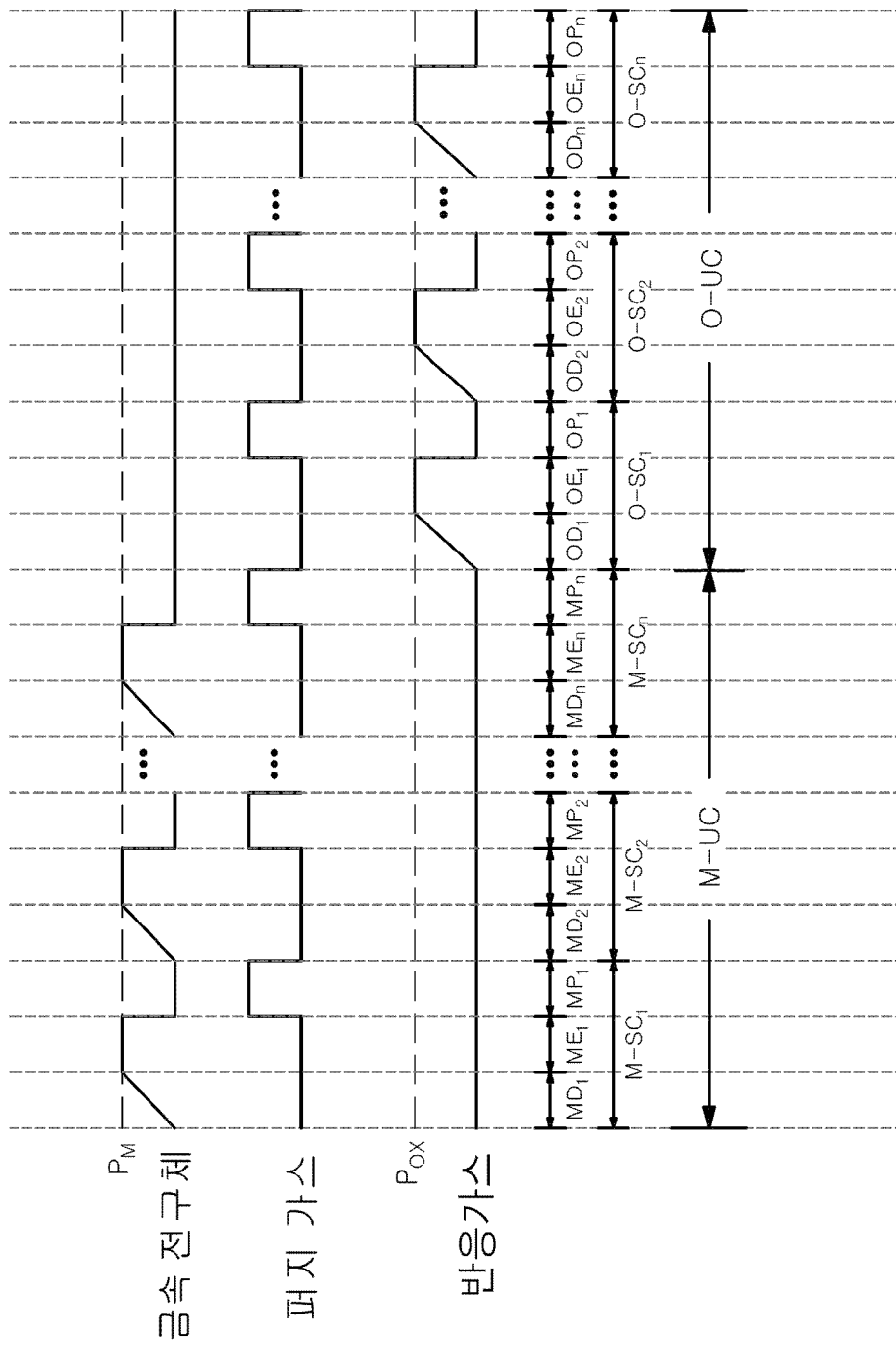
- [청구항 8] 청구항 1에 있어서,
상기 금속 전구체 가압 도징 단계와 상기 금속 전구체 퍼지 단계는 금속 전구체 서브 사이클을 구성하고,
상기 반응가스 공급 단계 전에, 상기 금속 전구체 서브 사이클을 다수회 수행하는 단결정 반도체층 제조방법.
- [청구항 9] 청구항 1에 있어서,
상기 반응가스 공급단계는
상기 챔버의 유출구를 닫은 상태에서 상기 반응가스를 공급하여 상기 챔버 내 반응압력을 증가시킨 상태에서 진행되는 반응가스 가압 도징 단계로 진행되는 단결정 반도체층 제조방법.
- [청구항 10] 청구항 9에 있어서,
상기 반응가스 가압 도징 단계와 상기 반응가스 퍼지 단계는 반응가스 서브 사이클을 구성하고,
상기 단위 사이클은 상기 반응가스 서브 사이클을 연속하여 다수회 수행하는 것을 포함하는 단결정 반도체층 제조방법.
- [청구항 11] 청구항 1에 있어서,
상기 챔버의 온도는 80 내지 150 °C의 범위 내에 있는 단결정 반도체층 제조방법.
- [청구항 12] 게이트 전극, 게이트 절연막, 채널층, 및 소오스 및 드레인 전극들을 구비하는 박막트랜지스터 제조방법에 있어서,
상기 채널층은, 청구항 1 내지 청구항 11 중 어느 한 항의 방법을 사용하여 형성한 단결정 반도체층인 박막트랜지스터 제조방법.
- [청구항 13] 버퍼층, 상기 버퍼층 상에 적층된 제1 도전형 반도체층과 제2 도전형 반도체층을 갖는 발광구조체층, 상기 제1 도전형 반도체층에 접속하는 제1 전극, 및 상기 제2 도전형 반도체층에 접속하는 제2 전극을 구비하는 발광다이오드 제조방법에 있어서,
상기 버퍼층은, 청구항 1 내지 청구항 11 중 어느 한 항의 방법을 사용하여 형성한 단결정 반도체층인 발광다이오드 제조방법.
- [청구항 14] 기판; 및
상기 기판과 인접하는 하부 영역은 c-면 우선배향성을 갖고, 상기 하부 영역의 상부에 위치한 영역은 m-면 우선배향성을 갖는 단결정 반도체층을 포함하는 구조체.
- [청구항 15] 청구항 14에 있어서,
상기 기판은 육방정계 결정구조를 갖는 기판이되, c-면 기판인 구조체.
- [청구항 16] 청구항 14에 있어서,
상기 단결정 반도체층은 10 내지 100 nm의 두께를 갖는 구조체.
- [청구항 17] 단결정 기판;
상기 단결정 기판으로부터 에피택셜 성장된 육방정계

우르짜이트(hexagonal wurtzite) 구조를 갖는 단결정 반도체층;
 상기 단결정 반도체층 상에 배치된 게이트 전극;
 상기 단결정 반도체층과 상기 게이트 전극 사이에 배치된 게이트 절연막;
 및
 상기 단결정 반도체층의 양측 단부에 전기적으로 접속하는
 소오스/드레인 전극들을 포함하는 박막트랜지스터.

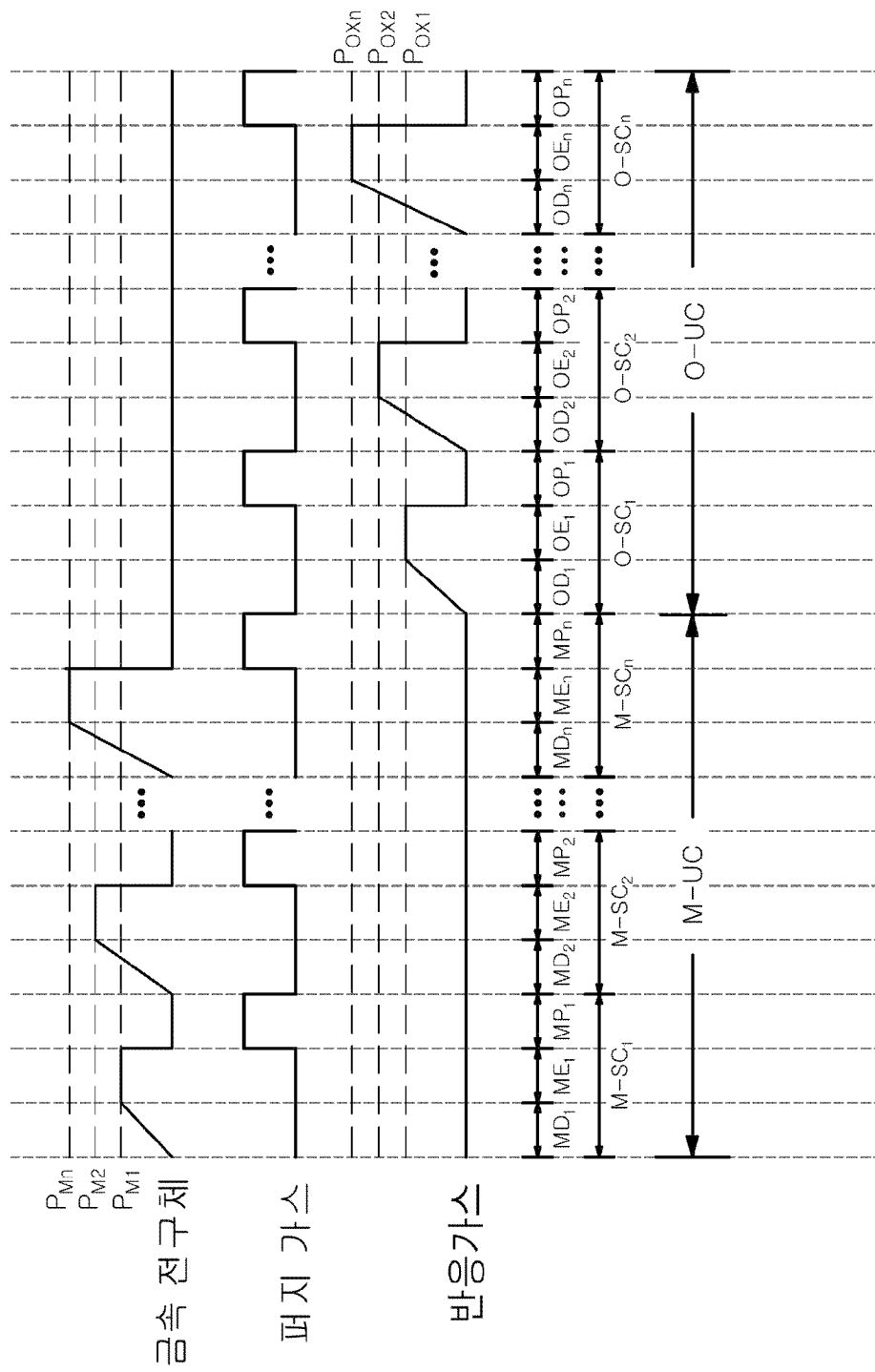
[청구항 18]

기판;
 상기 기판과 인접하는 하부 영역은 c-면 우선배향성을 갖고, 상기 하부
 영역의 상부에 위치한 영역은 m-면 우선배향성을 갖는 버퍼층;
 상기 버퍼층 상에 배치되고 제1 도전형 반도체층과 제2 도전형
 반도체층을 구비하는 발광구조체층;
 상기 제1 도전형 반도체층에 전기적으로 접속하는 제1 전극; 및
 상기 제2 도전형 반도체층에 전기적으로 접속하는 제2 전극을 구비하는
 발광다이오드.

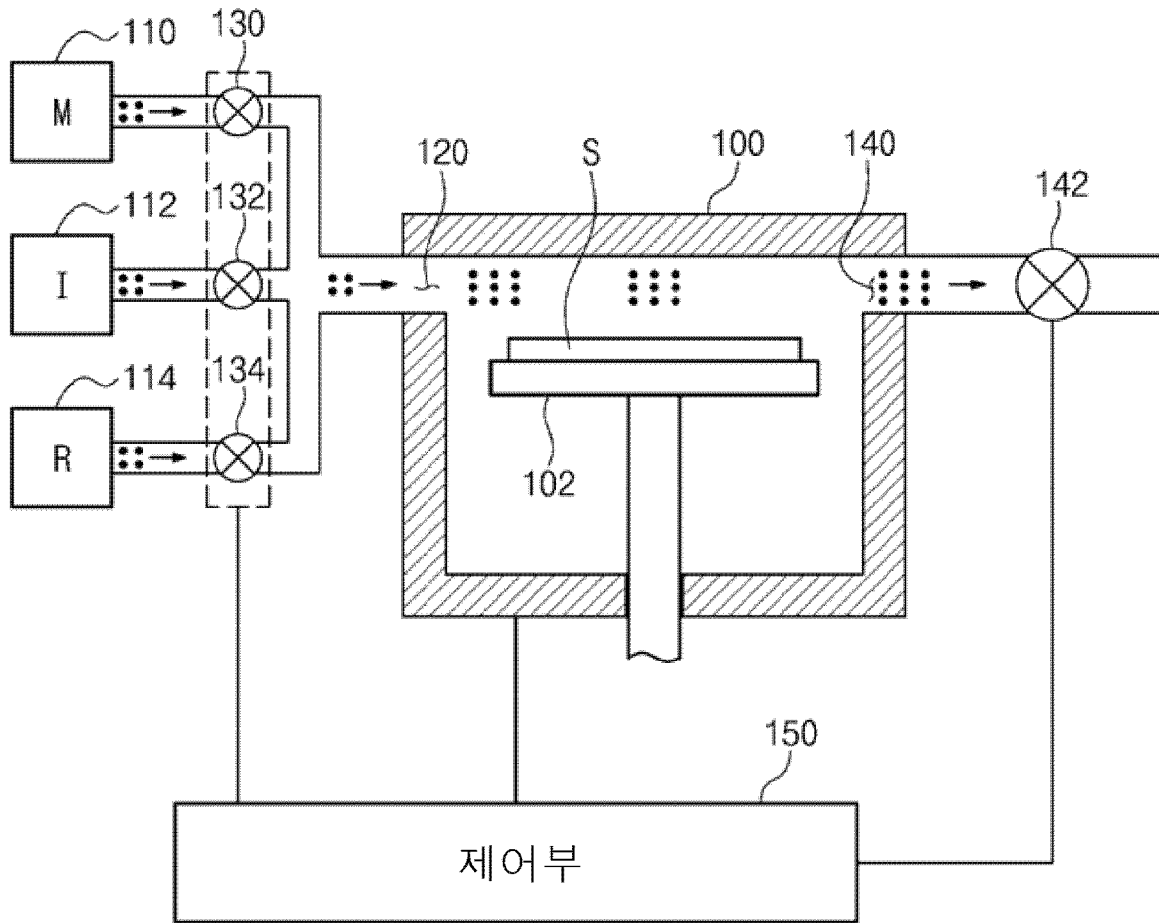
[도 1a]



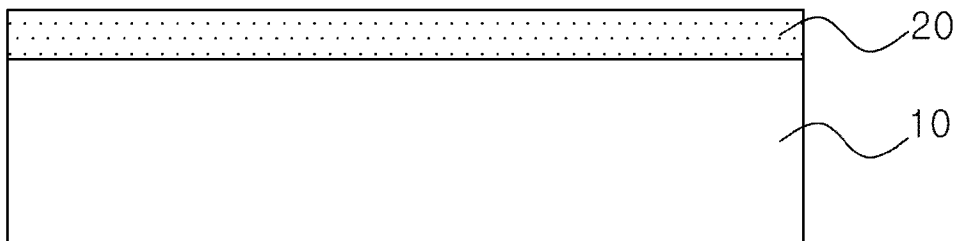
[도 1b]



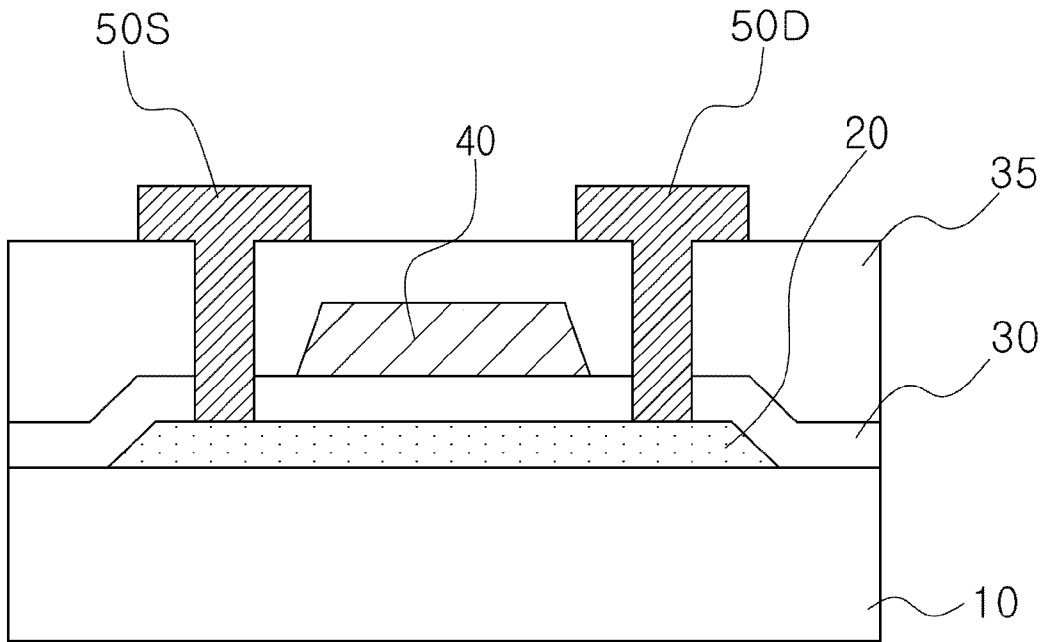
[도2]



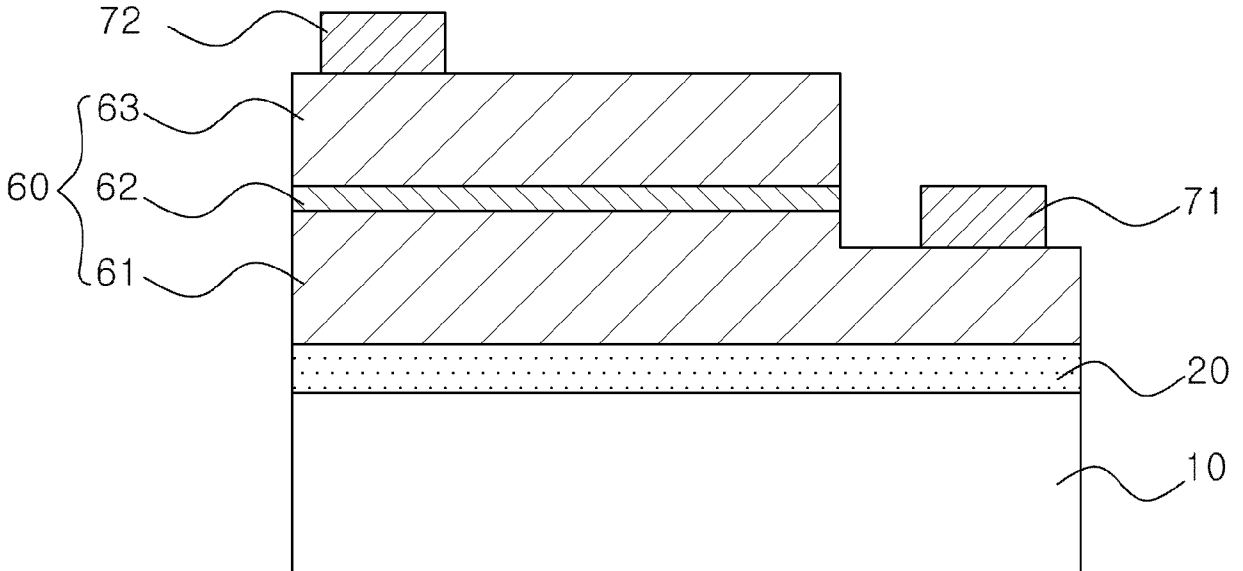
[도3]



[도4]



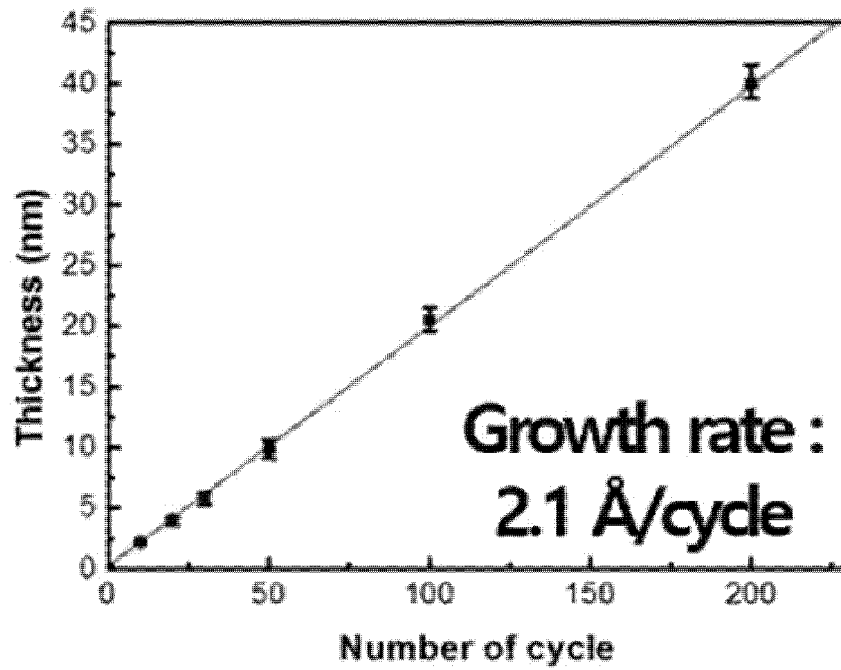
[도5]



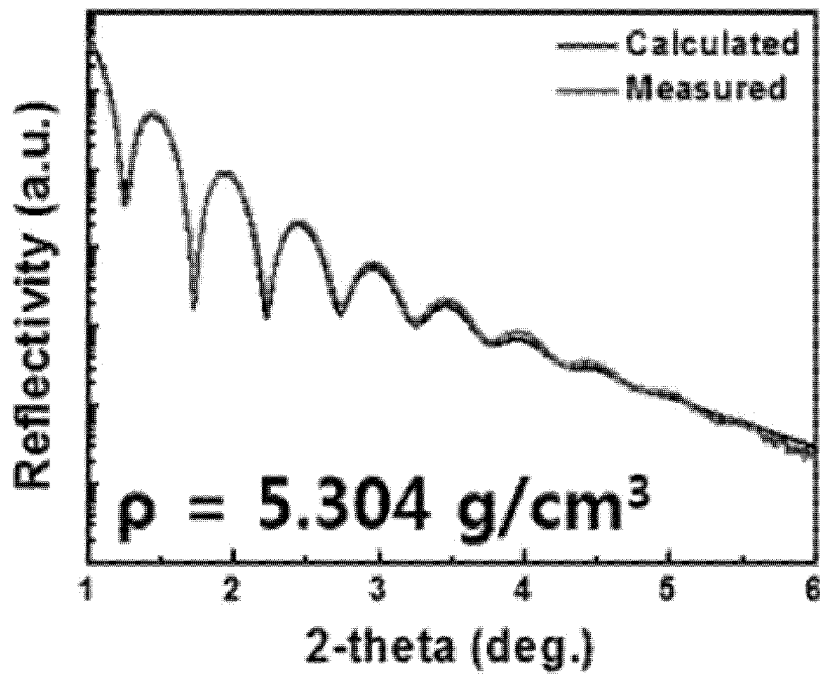
[도6]

DEZ	P	DEZ	P	DEZ	P	DEZ	P
3s	15s	3s	15s	3s	15s	3s	15s
1 Torr		1 Torr		1 Torr		1 Torr	
H₂O	P	H₂O	P	H₂O	P	H₂O	P
3s	25s	3s	25s	3s	25s	3s	25s
1 Torr		1 Torr		1 Torr		1 Torr	

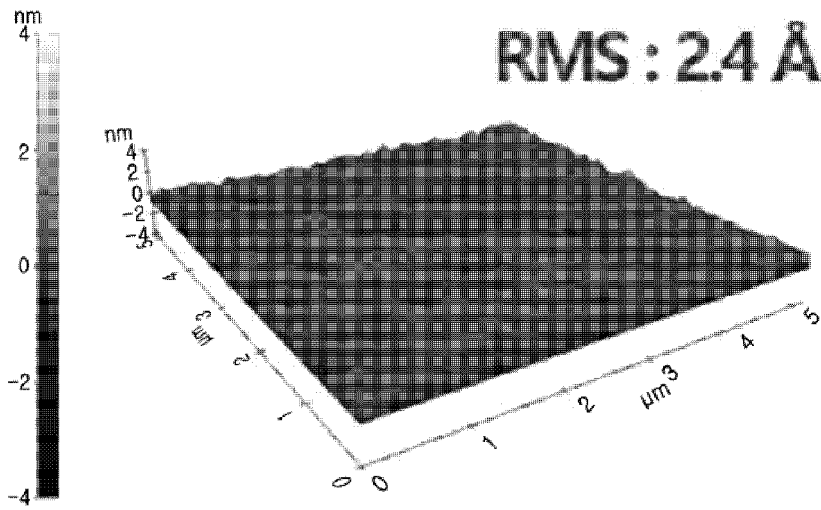
[도7a]



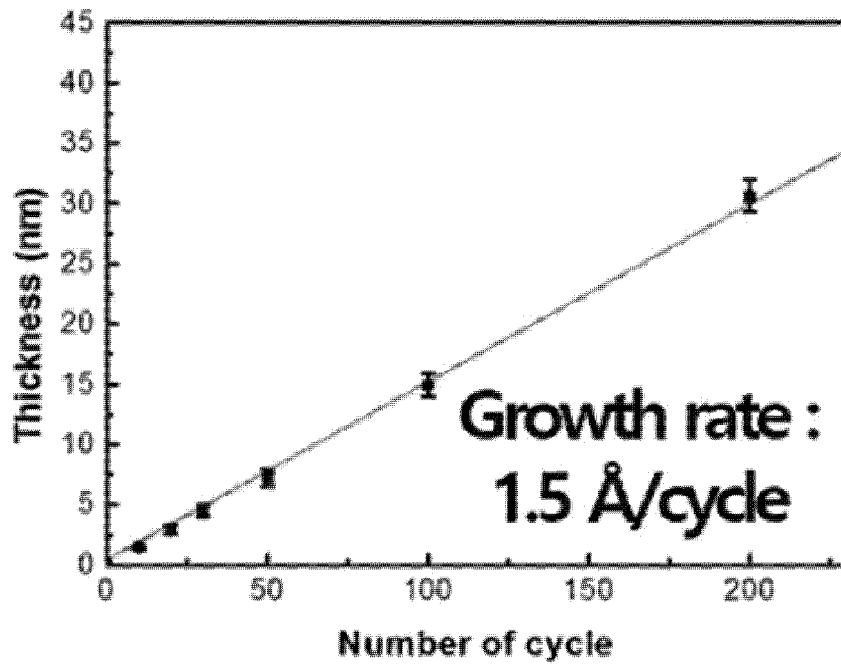
[도7b]



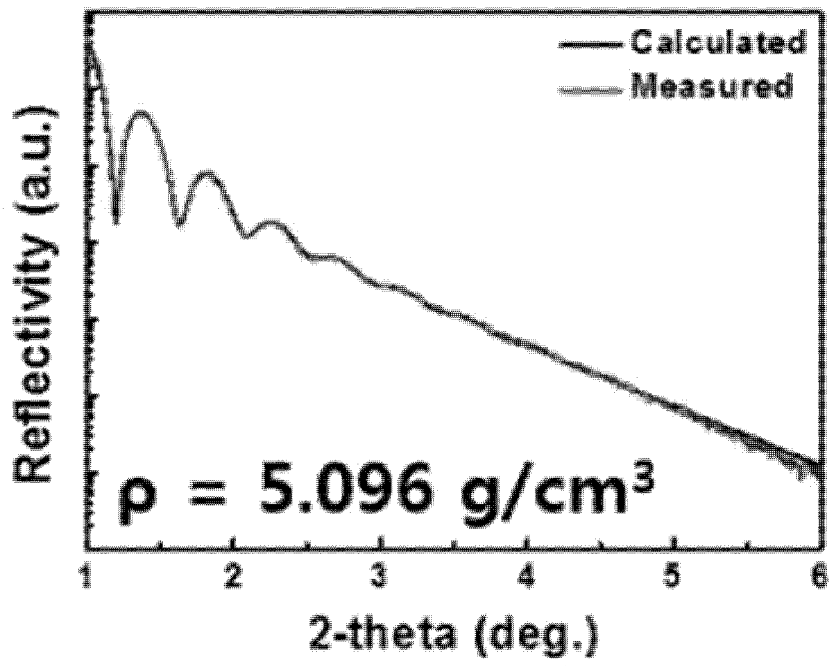
[도7c]



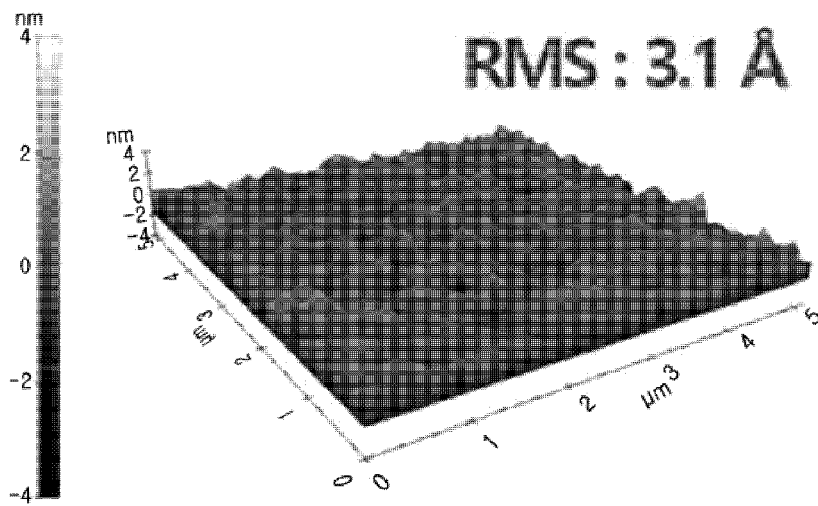
[도8a]



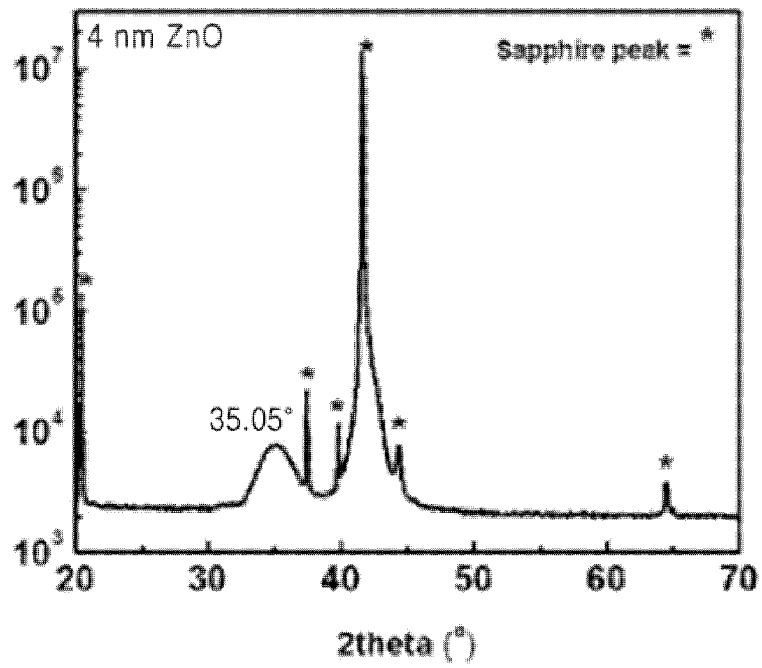
[도8b]



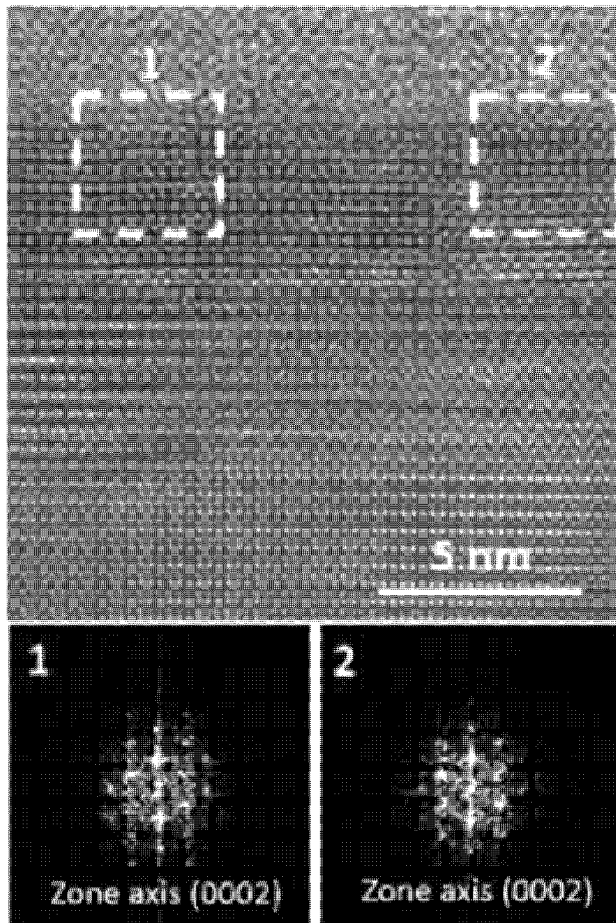
[도8c]



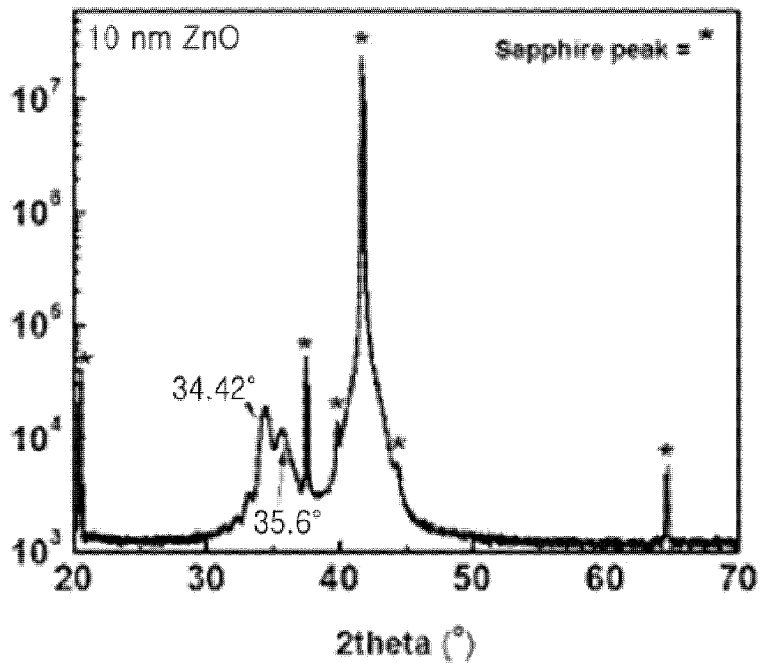
[도9a]



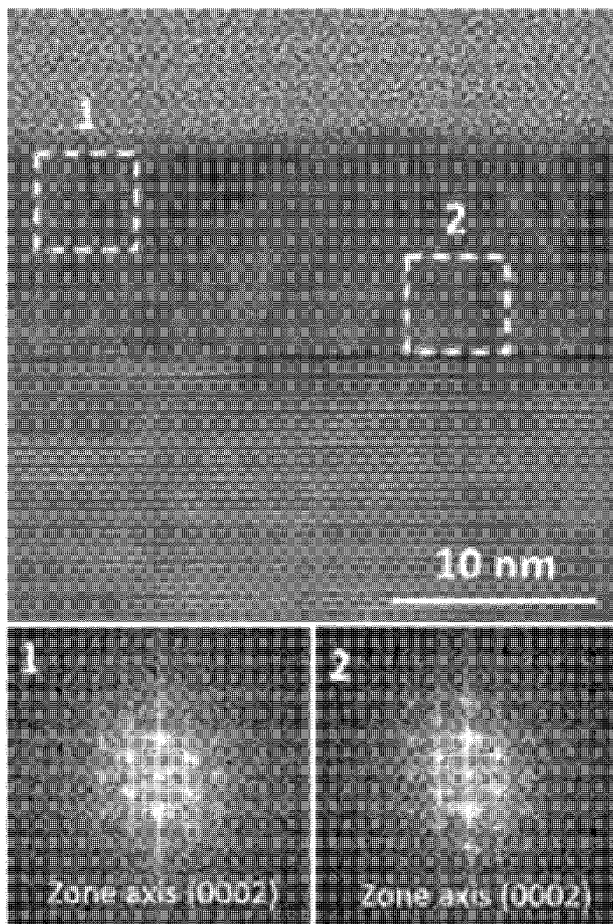
[도9b]



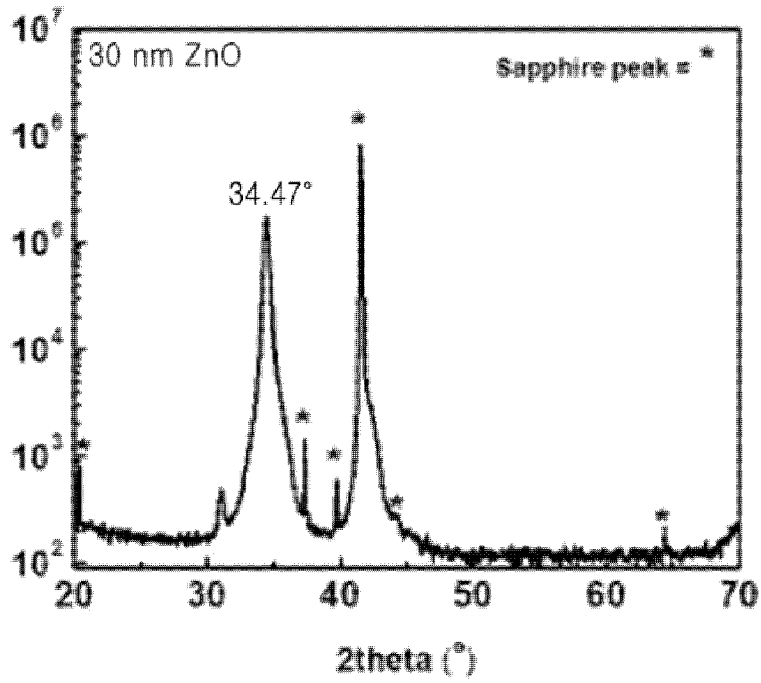
[도 10a]



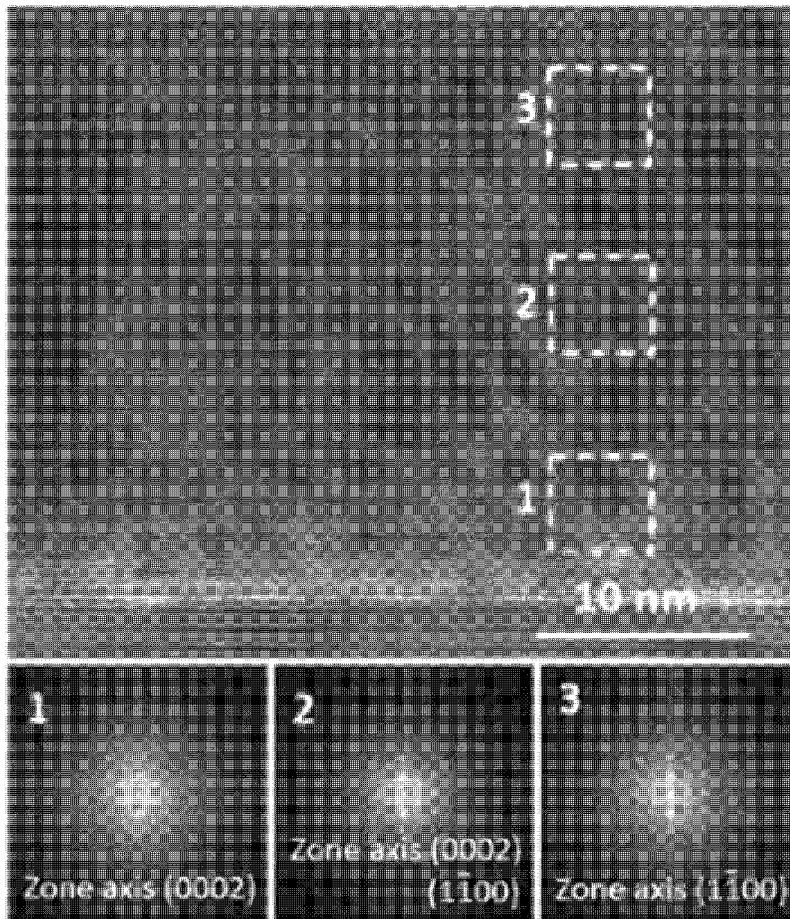
[도 10b]



[도 11a]



[도 11b]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2019/017268

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 21/02; C23C 16/14; C23C 16/24; C23C 16/44; C23C 16/455; H01L 21/20; H01L 21/203; H01L 21/205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Korean utility models and applications for utility models: IPC as above
 Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
 eKOMPASS (KIPO internal) & Keywords: single crystal, pressurization, metal oxide, hexagonal wurtzite

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2017-0123752 A (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)) 09 November 2017 See paragraphs [0067]-[0069] and claims 1, 4, 11-12.	1,8-13
A		2-7,14-18
Y	KR 10-2004-0108771 A (FREESCALE SEMICONDUCTOR, INC.) 24 December 2004 See pages 8, 11-12, claim 1 and figure 14.	1,8-13
A	KR 10-2015-0122433 A (POONGSAN CORPORATION et al.) 02 November 2015 See claim 1 and figure 6.	1-18
A	KR 10-2008-0064259 A (SEOUL NATIONAL UNIVERSITY INDUSTRY FOUNDATION) 09 July 2008 See claims 1-4 and figures 3-5c.	1-18
A	KR 10-0811281 B1 (TERASEMICON CORPORATION) 07 March 2008 See claim 1 and figure 1.	1-18

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

20 MARCH 2020 (20.03.2020)

Date of mailing of the international search report

20 MARCH 2020 (20.03.2020)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
 Government Complex Daejeon Building 4, 189, Cheongsa-ro, Seo-gu,
 Daejeon, 35208, Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2019/017268

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2017-0123752 A	09/11/2017	KR 10-1820237 B1 US 2019-0062917 A1 WO 2017-188785 A1	19/01/2018 28/02/2019 02/11/2017
KR 10-2004-0108771 A	24/12/2004	AU 2003-231131 A1 AU 2003-231131 A8 CN 100359648 C CN 1650407 A JP 2005-524977 A US 2003-0207589 A1 US 6916717 B2 WO 03-094218 A2 WO 2003-094218 A3	17/11/2003 17/11/2003 02/01/2008 03/08/2005 18/08/2005 06/11/2003 12/07/2005 13/11/2003 22/01/2004
KR 10-2015-0122433 A	02/11/2015	None	
KR 10-2008-0064259 A	09/07/2008	None	
KR 10-0811281 B1	07/03/2008	CN 101211763 A CN 101211763 B JP 2008-166800 A JP 2010-141368 A TW 200837011 A TW 1377174 B	02/07/2008 25/01/2012 17/07/2008 24/06/2010 16/09/2008 21/11/2012

A. 발명이 속하는 기술분류(국제특허분류(IPC))
H01L 21/02(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H01L 21/02; C23C 16/14; C23C 16/24; C23C 16/44; C23C 16/455; H01L 21/20; H01L 21/203; H01L 21/205

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 단결정(single crystal), 가압(pressurization), 금속산화물(metal oxide), 육방정계 우르짜이트(hexagonal wurtzite)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2017-0123752 A (한양대학교 산학협력단) 2017.11.09 단락 [0067]-[0069] 및 청구항 1, 4, 11-12	1, 8-13
A		2-7, 14-18
Y	KR 10-2004-0108771 A (프리스케일 세미컨덕터, 인크.) 2004.12.24 페이지 8, 11-12, 청구항 1 및 도면 14	1, 8-13
A	KR 10-2015-0122433 A (주식회사 풍산 등) 2015.11.02 청구항 1 및 도면 6	1-18
A	KR 10-2008-0064259 A (재단법인서울대학교산학협력재단) 2008.07.09 청구항 1-4 및 도면 3-5c	1-18
A	KR 10-0811281 B1 (주식회사 테라세미콘) 2008.03.07 청구항 1 및 도면 1	1-18

추가 문헌이 C(계속)에 기재되어 있습니다. 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:
 “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
 “D” 본 국제출원에서 출원인이 인용한 문헌
 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
 “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
 “&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일 2020년 03월 20일 (20.03.2020)	국제조사보고서 발송일 2020년 03월 20일 (20.03.2020)
--	---

ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 박혜련 전화번호 +82-42-481-3463
---	------------------------------------

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2017-0123752 A	2017/11/09	KR 10-1820237 B1 US 2019-0062917 A1 WO 2017-188785 A1	2018/01/19 2019/02/28 2017/11/02
KR 10-2004-0108771 A	2004/12/24	AU 2003-231131 A1 AU 2003-231131 A8 CN 100359648 C CN 1650407 A JP 2005-524977 A US 2003-0207589 A1 US 6916717 B2 WO 03-094218 A2 WO 2003-094218 A3	2003/11/17 2003/11/17 2008/01/02 2005/08/03 2005/08/18 2003/11/06 2005/07/12 2003/11/13 2004/01/22
KR 10-2015-0122433 A	2015/11/02	없음	
KR 10-2008-0064259 A	2008/07/09	없음	
KR 10-0811281 B1	2008/03/07	CN 101211763 A CN 101211763 B JP 2008-166800 A JP 2010-141368 A TW 200837011 A TW I377174 B	2008/07/02 2012/01/25 2008/07/17 2010/06/24 2008/09/16 2012/11/21