(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2022 년 4 월 28 일 (28.04.2022)

WIPO | PCT

(10) 국제공개번호
WO 2022/086186 A1

(51) 국제특허분류:
C23C 18/20 (2006.01) *H05K 5/00* (2006.01)
C23C 18/16 (2006.01) *B05D 3/12* (2006.01)
B23K 26/364 (2014.01) *B05D 7/14* (2006.01)

(21) 국제출원번호: PCT/KR2021/014748

(22) 국제출원일: 2021 년 10 월 20 일 (20.10.2021)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2020-0136094 2020 년 10 월 20 일 (20.10.2020) KR
10-2021-0024804 2021 년 2 월 24 일 (24.02.2021) KR

(71) 출원인: 삼성전자 주식회사 (**SAMSUNG ELECTRONICS CO., LTD.**) [KR/KR]; 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 인탑스 주식회사 (**INTOPS. CO., LTD.**) [KR/KR]; 14088 경기도 안양시 만안구 안양천서로 51, Gyeonggi-do (KR).

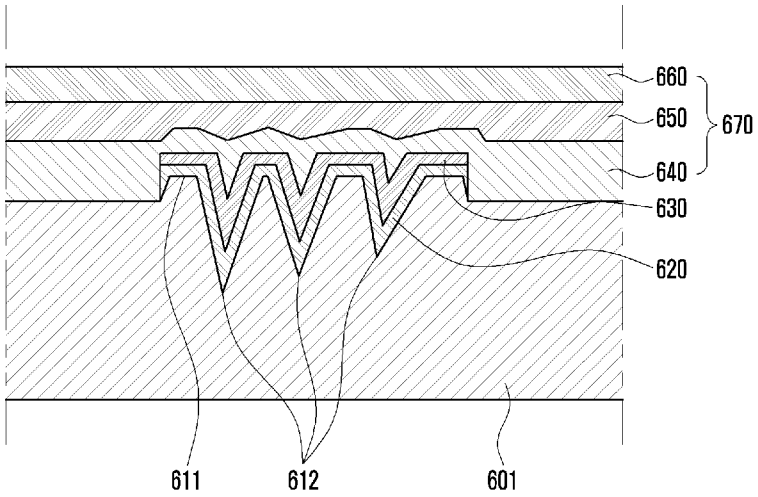
(72) 발명자: 정충효 (**JUNG, Chunghyo**); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 고원준 (**KO, Wonjun**); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 박혜인 (**PARK, Hyein**); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 이용섭 (**LEE, Yongsub**); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 임재덕 (**LIM, Jaedeok**); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 조범진 (**CHO, Bumjin**); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 윤치영 (**YOON, Chiyoung**); 14088 경기도 안양시 만안구 안양천서로 51, Gyeonggi-do (KR). 김근하 (**KIM, Keunha**); 14088 경기도 안양시 만안구 안양천서로 51, Gyeonggi-do (KR). 구경하 (**KOO, Kyungha**); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR). 문홍기 (**MOON, Hongki**); 16677 경기도 수원시 영통구 삼성로 129, Gyeonggi-do (KR).

(74) 대리인: 윤앤리특허법인(유한) (**YOON & LEE INTERNATIONAL PATENT & LAW FIRM**); 08502 서울시 금천구 가산디지털1로 226, 에이스 하이엔드타워 5차 3층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU,

(54) **Title:** ELECTRONIC DEVICE INCLUDING OUTER HOUSING PLATED WITH CONDUCTIVE MEMBER AND MANUFACTURING METHOD THEREFOR

(54) **발명의 명칭:** 도전성 부재가 도금된 외부 하우징을 포함하는 전자 장치 및 그의 제조 방법



(57) **Abstract:** A method for manufacturing an electronic device according to various embodiments disclosed in the present document may comprise: a trench step of forming a trench in a plating area which is at least part of a first surface exposed to the outside of an external housing forming at least part of the external appearance of the electronic device; a first plating step of forming, in the plating area, a first plating layer including a first metal material; a polishing step of polishing the plating area; and a coating step of forming a coating layer on the first surface of the external housing. Various other embodiments are possible.

(57) **요약서:** 본 문서에 개시된 다양한 실시예에 따른 전자 장치의 제조 방법은, 상기 전자 장치의 외관을 적어도 일부 형성하는 외부 하우징에서 외부로 노출되는 면인 제1 면의 적어도 일부 영역인 도금 영역에 트랜치(trench)를 형성하는 트랜치 단계, 상기 도금 영역에 제1 금속재를 포함하는 제1 도금층을 형성하는 제1 도금 단계, 상기 도금 영역을 폴리싱(polishing) 하는 폴리싱 단계 및 상기 외부 하우징의 제1 면에 도장층을 형성하는 도장 단계를 포함할 수 있다. 이 밖에도 다양한 실시예가 가능할 수 있다.

WO 2022/086186 A1

[다음 쪽 계속]

ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) **지정국** (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 도전성 부재가 도금된 외부 하우징을 포함하는 전자 장치 및 그의 제조 방법

기술분야

[1] 본 문서에 개시된 다양한 실시예들은, 도전성 부재가 도금 방식을 통해 배치된 외부 하우징을 포함하는 전자 장치와 그 전자 장치의 제조 방법에 관한 것이다.

배경기술

[2] 다양한 방식을 통해 제조되는 전자 장치의 하우징에 도전성을 갖는 부재를 배치하여 이를 안테나 패턴이나, 전자 부품들의 전기적 연결을 위한 배선으로 활용할 수 있다.

[3] 하우징에 부착될 수 있는 FPCB(Flexible printed circuit boad)를 이용하거나, 도전성 부재를 도금 방식으로 하우징에 배치하는 방식이 사용되고 있다.

[4] 이 중 레이저를 이용한 도금 방식으로 안테나 패턴을 형성하는 종래 기술 중 대표적인 방식으로 LDS(laser direct structuring), LMA(laser manufacturing antenna)를 들 수 있다.

[5] LDS는 폴리머 레진을 사용하는 도금 방식이다. 레이저를 통해 금속 유기 화합물을 광화학적 반응으로 분해시켜 레이저가 조사된 부분만 금속을 남겨 안테나 패턴을 형성하는 방식이다. LDS 방식을 이용하기 위해서는 하우징의 성형 단계에서 도금에 촉매로 작용할 수 있는 중금속을 첨가해야 한다.

[6] LMA는 LDS와 다르게 하우징의 성형 단계에서 중금속을 첨가하지 않고, 레이저를 하우징에 조사한 뒤, 그 부분에 촉매 처리를 하여 도금을 수행하는 방식이다.

[7] 이 밖에도 전자 장치의 하우징에 도전성 부재를 배치하기 위한 다양한 시도들이 계속되고 있다.

발명의 상세한 설명

기술적 과제

[8] FPCB를 이용하는 경우, 조립자의 숙련도에 따라 불량이 발생할 우려가 있고, 편차가 심하게 나타나는 단점이 있다. 또한, LDS의 경우 하우징의 소재가 한정되는데 LDS 공정을 위한 하우징은 강도가 약한 문제가 있다. LMA 방식을 이용하더라도 고온, 고습에 취약하고 박리가 쉽게 일어나는 단점이 있을 수 있다.

[9] 또한, 앞서 설명한 방식은 하우징의 내면에 수행되어야하는 한계가 있다. 하우징의 외면에 도전성 부재를 배치하는 경우, 도전성 부재의 도금 과정에서 도전성 부재가 배치된 부분과 배치되지 않은 부분의 단차로 인해 도전성 부재가 외부로 시인되는 문제가 있을 수 있다.

[10] 본 문서에 개시된 다양한 실시예는, 전자 장치의 외관을 이루는 하우징의

외면에 도전성 부재를 안정적으로 배치하면서도 도전성 부재가 외부로부터 시인되는 문제를 해결할 수 있는 도전성 부재가 도금된 외부 하우징을 포함하는 전자 장치 및 그의 제조 방법을 제공할 수 있다.

과제 해결 수단

[11] 본 문서에 개시된 다양한 실시예에 따른 전자 장치의 제조 방법은, 상기 전자 장치의 외관을 적어도 일부 형성하는 외부 하우징에서 외부로 노출되는 면인 제1 면의 적어도 일부 영역인 도금 영역에 트랜치(trench)를 형성하는 트랜치 단계, 상기 도금 영역에 제1 금속재를 포함하는 제1 도금층을 형성하는 제1 도금 단계, 상기 도금 영역을 폴리싱(polishing)하는 폴리싱 단계 및 상기 외부 하우징의 제1 면에 도장층을 형성하는 도장 단계를 포함할 수 있다.

[12] 본 문서에 개시된 다양한 실시예에 따른 전자 장치의 제조 방법은, 상기 전자 장치의 외관을 적어도 일부 형성하는 외부 하우징에서 외부로 노출되는 면인 제1 면의 반대 면인 제2 면의 적어도 일부 영역인 도금 영역에 트랜치(trench)를 형성하는 트랜치 단계, 상기 도금 영역을 폴리싱(polishing)하는 폴리싱 단계 및 상기 도금 영역에 제1 금속재를 포함하는 제1 도금층을 형성하는 제1 도금 단계를 포함할 수 있다.

[13] 본 문서에 개시된 다양한 실시예에 따른 전자 장치는, 상기 전자 장치의 외관을 형성하는 외부 하우징, 상기 외부 하우징에서 외부로 노출되는 제1 면의 적어도 일부 영역인 도금 영역에 배치되는 도전성 부재 및 상기 도금 영역에 배치된 도전성 부재가 가려지도록 상기 제1 면에 형성되는 도장층을 포함할 수 있다.

[14] 본 문서에 개시된 다양한 실시예에 따른 전자 장치의 제조 방법은, 상기 전자 장치의 외관의 적어도 일부를 형성하는 하우징에 홀(hole) 부를 형성하는 단계, 상기 하우징의 외면의 적어도 일부 영역인 제1 도금 영역에 트랜치(trench)를 형성하고, 상기 하우징의 내면의 적어도 일부 영역인 제2 도금 영역에 트랜치를 형성하고, 상기 제1 도금 영역 및 상기 제2 도금 영역과 연결되고 상기 전자 장치에 형성된 홀 부의 내면의 적어도 일부 영역인 제3 도금 영역에 트랜치를 형성하는 트랜치 단계, 상기 제1 도금 영역, 상기 제2 도금 영역 및 상기 제3 도금 영역 중 적어도 하나에 제1 금속재를 포함하는 제1 도금층을 형성하는 제1 도금 단계, 상기 제1 도금 영역을 폴리싱(polishing)하는 폴리싱 단계, 상기 홀 부에 충진재를 채우는 채움 단계, 상기 홀 부에 채워져 상기 하우징 외면으로 돌출된 충진재의 일부를 포함하여 상기 제1 도금 영역을 폴리싱하는 추가 폴리싱 단계 및 상기 제1 도금 영역을 도금하는 추가 도금 단계를 포함할 수 있다.

[15] 본 문서에 개시된 다양한 실시예에 따른 전자 장치는, 상기 전자 장치의 외관의 적어도 일부를 형성하고 홀(hole) 부가 형성된 하우징, 상기 하우징의 외면의 적어도 일부 영역에 도금 방식으로 형성되는 제1 도전성 부재, 상기 하우징의 내면의 적어도 일부 영역에 도금 방식으로 형성되는 제2 도전성 부재, 상기 홀 부의 내면의 적어도 일부 영역에 도금 방식으로 형성되어 상기 제1 도전성 부재

및 상기 제2 도전성 부재를 연결하는 제3 도전성 부재 및 상기 하우징의 외면에 형성되는 도장층을 포함할 수 있다.

발명의 효과

[16] 본 문서에 개시된 다양한 실시예에 따르면, 하우징의 외면에 도전성 부재가 배치되더라도 외부에서 도전성 부재가 시인되는 문제가 해결될 수 있다.

도면의 간단한 설명

[17] 도면의 설명과 관련하여, 동일 또는 유사한 구성 요소에 대해서는 동일 또는 유사한 참조 부호가 사용될 수 있다.

[18] 도 1은, 다양한 실시예들에 따른, 네트워크 환경 내의 전자 장치의 블럭도이다.

[19] 도 2 내지 도 4는, 본 문서에 개시된 다양한 실시예에 따른 도전성 부재를 포함하는 외부 하우징을 구비한 전자 장치의 다양한 실시예이다.

[20] 도 5는, 본 문서에 개시된 다양한 실시예에 따른 제조 방법의 흐름도이다.

[21] 도 6a는, 본 문서에 개시된 다양한 실시예에 따라 형성된 트랜치의 모습을 도시한 도면이다.

[22] 도 6b는, 도 6a에 도시된 트랜치에 제1 폴리싱 단계가 수행된 모습을 도시한 도면이다.

[23] 도 6c는, 도 6b에 도시된 폴리싱된 트랜치에 제1 도금 단계가 수행된 모습을 도시한 도면이다.

[24] 도 6d는, 도 6c에 도시된 제1 도금층에 제2 폴리싱 단계가 수행된 모습을 도시한 도면이다.

[25] 도 6e는, 본 문서에 개시된 다양한 실시예에 따른 제2 도금 단계와 도장 단계가 수행된 모습을 도시한 도면이다.

[26] 도 7은, 도전성 부재의 두께와 성능 사이의 관계를 나타낸 그래프이다.

[27] 도 8은, 본 문서에 개시된 다양한 실시예에 따라 형성된 도전성 부재를 안테나로 사용하는 경우와 FPCB에 배치된 안테나의 성능을 비교한 그래프이다.

[28] 도 9는, 본 문서에 개시된 다양한 실시예에 따라 형성된 도전성 부재를 안테나로 사용하는 경우, 도장층 형성 유무에 따른 성능을 비교한 그래프이다.

[29] 도 10은, 본 문서에 개시된 다양한 실시예에 따른 전자 장치의 하우징의 도면이다.

[30] 도 11a는, 도 10의 P1 부분을 확대한 도면이다.

[31] 도 11b는, 도 10의 P2 부분을 확대한 도면이다.

[32] 도 12는, 본 문서에 개시된 다양한 실시예에 따른 홀 부를 일부 절개한 단면도이다.

[33] 도 13a는, 본 문서에 개시된 다양한 실시예에 따른 홀 부를 일 방향에서 바라본 도면이다.

[34] 도 13b는, 도 13a에 도시된 홀 부를 A-A선을 따라 절개한 단면도이다.

[35] 도 14는, 본 문서에 개시된 다양한 실시예에 따른 전자 장치 제조 방법의

흐름도이다.

[36] 도 15a 내지 도 15c는, 본 문서에 개시된 다양한 실시예에 따른 전자 장치의 제조 방법에 따라 도전성 부재가 형성되는 모습을 설명하기 위한 도면이다.

발명의 실시를 위한 형태

[37] 본 문서의 다양한 실시 예들 및 이에 사용된 용어들은 본 문서에 기재된 기술적 특징들을 특정한 실시 예들로 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 또는 대체물을 포함하는 것으로 이해되어야 한다.

[38] 도면의 설명과 관련하여, 유사한 또는 관련된 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다. 아이템에 대응하는 명사의 단수 형은 관련된 문맥상 명백하게 다르게 지시하지 않는 한, 상기 아이템 한 개 또는 복수 개를 포함할 수 있다.

[39] 본 문서에서, "A 또는 B", "A 및 B 중 적어도 하나","또는 B 중 적어도 하나,""A, B 또는 C," "A, B 및 C 중 적어도 하나,"및 "B, 또는 C 중 적어도 하나"와 같은 문구들 각각은 그 문구들 중 해당하는 문구에 함께 나열된 항목들 중 어느 하나, 또는 그들의 모든 가능한 조합을 포함할 수 있다. "제 1", "제 2", 또는 "첫째" 또는 "둘째"와 같은 용어들은 단순히 해당 구성요소를 다른 해당 구성요소와 구분하기 위해 사용될 수 있으며, 해당 구성요소들을 다른 측면(예: 중요성 또는 순서)에서 한정하지 않는다. 어떤(예: 제 1) 구성요소가 다른(예: 제 2) 구성요소에, "기능적으로" 또는 "통신적으로"라는 용어와 함께 또는 이런 용어 없이, "커플드" 또는 "커넥티드"라고 언급된 경우, 그것은 상기 어떤 구성요소가 상기 다른 구성요소에 직접적으로(예: 유선으로), 무선으로, 또는 제 3 구성요소를 통하여 연결될 수 있다는 것을 의미한다.

[40] 도 1은, 다양한 실시예들에 따른, 네트워크 환경(100) 내의 전자 장치(101)의 블록도이다. 도 1을 참조하면, 네트워크 환경(100)에서 전자 장치(101)는 제 1 네트워크(198)(예: 근거리 무선 통신 네트워크)를 통하여 전자 장치(102)와 통신하거나, 또는 제 2 네트워크(199)(예: 원거리 무선 통신 네트워크)를 통하여 전자 장치(104) 또는 서버(108)와 통신할 수 있다. 일실시예에 따르면, 전자 장치(101)는 서버(108)를 통하여 전자 장치(104)와 통신할 수 있다. 일실시예에 따르면, 전자 장치(101)는 프로세서(120), 메모리(130), 입력 모듈(150), 음향 출력 모듈(155), 디스플레이 모듈(160), 오디오 모듈(170), 센서 모듈(176), 인터페이스(177), 연결 단자(178), 햅틱 모듈(179), 카메라 모듈(180), 전력 관리 모듈(188), 배터리(189), 통신 모듈(190), 가입자 식별 모듈(196), 또는 안테나 모듈(197)을 포함할 수 있다. 어떤 실시예에서는, 전자 장치(101)에는, 이 구성요소들 중 적어도 하나(예: 연결 단자(178))가 생략되거나, 하나 이상의 다른 구성요소가 추가될 수 있다. 어떤 실시예에서는, 이 구성요소들 중 일부들(예: 센서 모듈(176), 카메라 모듈(180), 또는 안테나 모듈(197))은 하나의 구성요소(예: 디스플레이 모듈(160))로 통합될 수 있다.

[41] 프로세서(120)는, 예를 들면, 소프트웨어(예: 프로그램(140))를 실행하여 프로세서(120)에 연결된 전자 장치(101)의 적어도 하나의 다른 구성요소(예: 하드웨어 또는 소프트웨어 구성요소)를 제어할 수 있고, 다양한 데이터 처리 또는 연산을 수행할 수 있다. 일실시예에 따르면, 데이터 처리 또는 연산의 적어도 일부로서, 프로세서(120)는 다른 구성요소(예: 센서 모듈(176) 또는 통신 모듈(190))로부터 수신된 명령 또는 데이터를 휘발성 메모리(132)에 저장하고, 휘발성 메모리(132)에 저장된 명령 또는 데이터를 처리하고, 결과 데이터를 비휘발성 메모리(134)에 저장할 수 있다. 일실시예에 따르면, 프로세서(120)는 메인 프로세서(121)(예: 중앙 처리 장치 또는 어플리케이션 프로세서) 또는 이와는 독립적으로 또는 함께 운영 가능한 보조 프로세서(123)(예: 그래픽 처리 장치, 신경망 처리 장치(NPU: neural processing unit), 이미지 시그널 프로세서, 센서 허브 프로세서, 또는 커뮤니케이션 프로세서)를 포함할 수 있다. 예를 들어, 전자 장치(101)가 메인 프로세서(121) 및 보조 프로세서(123)를 포함하는 경우, 보조 프로세서(123)는 메인 프로세서(121)보다 저전력을 사용하거나, 지정된 기능에 특화되도록 설정될 수 있다. 보조 프로세서(123)는 메인 프로세서(121)와 별개로, 또는 그 일부로서 구현될 수 있다.

[42] 보조 프로세서(123)는, 예를 들면, 메인 프로세서(121)가 인액티브(예: 슬립) 상태에 있는 동안 메인 프로세서(121)를 대신하여, 또는 메인 프로세서(121)가 액티브(예: 어플리케이션 실행) 상태에 있는 동안 메인 프로세서(121)와 함께, 전자 장치(101)의 구성요소들 중 적어도 하나의 구성요소(예: 디스플레이 모듈(160), 센서 모듈(176), 또는 통신 모듈(190))와 관련된 기능 또는 상태들의 적어도 일부를 제어할 수 있다. 일실시예에 따르면, 보조 프로세서(123)(예: 이미지 시그널 프로세서 또는 커뮤니케이션 프로세서)는 기능적으로 관련 있는 다른 구성요소(예: 카메라 모듈(180) 또는 통신 모듈(190))의 일부로서 구현될 수 있다. 일실시예에 따르면, 보조 프로세서(123)(예: 신경망 처리 장치)는 인공지능 모델의 처리에 특화된 하드웨어 구조를 포함할 수 있다. 인공지능 모델은 기계 학습을 통해 생성될 수 있다. 이러한 학습은, 예를 들어, 인공지능이 수행되는 전자 장치(101) 자체에서 수행될 수 있고, 별도의 서버(예: 서버(108))를 통해 수행될 수도 있다. 학습 알고리즘은, 예를 들어, 지도형 학습(supervised learning), 비지도형 학습(unsupervised learning), 준지도형 학습(semi-supervised learning) 또는 강화 학습(reinforcement learning)을 포함할 수 있으나, 전술한 예에 한정되지 않는다. 인공지능 모델은, 복수의 인공 신경망 레이어들을 포함할 수 있다. 인공 신경망은 심층 신경망(DNN: deep neural network), CNN(convolutional neural network), RNN(recurrent neural network), RBM(restricted boltzmann machine), DBN(deep belief network), BRDNN(bidirectional recurrent deep neural network), 심층 Q-네트워크(deep Q-networks) 또는 상기 중 둘 이상의 조합 중 하나일 수 있으나, 전술한 예에 한정되지 않는다. 인공지능 모델은 하드웨어 구조 이외에, 추가적으로 또는 대체적으로, 소프트웨어 구조를 포함할 수 있다.

[43] 메모리(130)는, 전자 장치(101)의 적어도 하나의 구성요소(예: 프로세서(120) 또는 센서 모듈(176))에 의해 사용되는 다양한 데이터를 저장할 수 있다. 데이터는, 예를 들어, 소프트웨어(예: 프로그램(140)) 및, 이와 관련된 명령에 대한 입력 데이터 또는 출력 데이터를 포함할 수 있다. 메모리(130)는, 휘발성 메모리(132) 또는 비휘발성 메모리(134)를 포함할 수 있다.

[44] 프로그램(140)은 메모리(130)에 소프트웨어로서 저장될 수 있으며, 예를 들면, 운영 체제(142), 미들 웨어(144) 또는 어플리케이션(146)을 포함할 수 있다.

[45] 입력 모듈(150)은, 전자 장치(101)의 구성요소(예: 프로세서(120))에 사용될 명령 또는 데이터를 전자 장치(101)의 외부(예: 사용자)로부터 수신할 수 있다. 입력 모듈(150)은, 예를 들면, 마이크, 마우스, 키보드, 키(예: 버튼), 또는 디지털 펜(예: 스타일러스 펜)을 포함할 수 있다.

[46] 음향 출력 모듈(155)은 음향 신호를 전자 장치(101)의 외부로 출력할 수 있다. 음향 출력 모듈(155)은, 예를 들면, 스피커 또는 리시버를 포함할 수 있다. 스피커는 멀티미디어 재생 또는 녹음 재생과 같이 일반적인 용도로 사용될 수 있다. 리시버는 착신 전화를 수신하기 위해 사용될 수 있다. 일실시예에 따르면, 리시버는 스피커와 별개로, 또는 그 일부로서 구현될 수 있다.

[47] 디스플레이 모듈(160)은 전자 장치(101)의 외부(예: 사용자)로 정보를 시각적으로 제공할 수 있다. 디스플레이 모듈(160)은, 예를 들면, 디스플레이, 홀로그램 장치, 또는 프로젝터 및 해당 장치를 제어하기 위한 제어 회로를 포함할 수 있다. 일실시예에 따르면, 디스플레이 모듈(160)은 터치를 감지하도록 설정된 터치 센서, 또는 상기 터치에 의해 발생되는 힘의 세기를 측정하도록 설정된 압력 센서를 포함할 수 있다.

[48] 오디오 모듈(170)은 소리를 전기 신호로 변환시키거나, 반대로 전기 신호를 소리로 변환시킬 수 있다. 일실시예에 따르면, 오디오 모듈(170)은, 입력 모듈(150)을 통해 소리를 획득하거나, 음향 출력 모듈(155), 또는 전자 장치(101)와 직접 또는 무선으로 연결된 외부 전자 장치(예: 전자 장치(102))(예: 스피커 또는 헤드폰)를 통해 소리를 출력할 수 있다.

[49] 센서 모듈(176)은 전자 장치(101)의 작동 상태(예: 전력 또는 온도), 또는 외부의 환경 상태(예: 사용자 상태)를 감지하고, 감지된 상태에 대응하는 전기 신호 또는 데이터 값을 생성할 수 있다. 일실시예에 따르면, 센서 모듈(176)은, 예를 들면, 제스처 센서, 자이로 센서, 기압 센서, 마그네틱 센서, 가속도 센서, 그립 센서, 근접 센서, 컬러 센서, IR(infrared) 센서, 생체 센서, 온도 센서, 습도 센서, 또는 조도 센서를 포함할 수 있다.

[50] 인터페이스(177)는 전자 장치(101)가 외부 전자 장치(예: 전자 장치(102))와 직접 또는 무선으로 연결되기 위해 사용될 수 있는 하나 이상의 지정된 프로토콜들을 지원할 수 있다. 일실시예에 따르면, 인터페이스(177)는, 예를 들면, HDMI(high definition multimedia interface), USB(universal serial bus) 인터페이스, SD카드 인터페이스, 또는 오디오 인터페이스를 포함할 수 있다.

[51] 연결 단자(178)는, 그를 통해서 전자 장치(101)가 외부 전자 장치(예: 전자 장치(102))와 물리적으로 연결될 수 있는 커넥터를 포함할 수 있다. 일실시예에 따르면, 연결 단자(178)는, 예를 들면, HDMI 커넥터, USB 커넥터, SD 카드 커넥터, 또는 오디오 커넥터(예: 헤드폰 커넥터)를 포함할 수 있다.

[52] 햅틱 모듈(179)은 전기적 신호를 사용자가 촉각 또는 운동 감각을 통해서 인지할 수 있는 기계적인 자극(예: 진동 또는 움직임) 또는 전기적인 자극으로 변환할 수 있다. 일실시예에 따르면, 햅틱 모듈(179)은, 예를 들면, 모터, 압전 소자, 또는 전기 자극 장치를 포함할 수 있다.

[53] 카메라 모듈(180)은 정지 영상 및 동영상을 촬영할 수 있다. 일실시예에 따르면, 카메라 모듈(180)은 하나 이상의 렌즈들, 이미지 센서들, 이미지 시그널 프로세서들, 또는 플래시들을 포함할 수 있다.

[54] 전력 관리 모듈(188)은 전자 장치(101)에 공급되는 전력을 관리할 수 있다. 일실시예에 따르면, 전력 관리 모듈(188)은, 예를 들면, PMIC(power management integrated circuit)의 적어도 일부로서 구현될 수 있다.

[55] 배터리(189)는 전자 장치(101)의 적어도 하나의 구성요소에 전력을 공급할 수 있다. 일실시예에 따르면, 배터리(189)는, 예를 들면, 재충전 불가능한 1차 전지, 재충전 가능한 2차 전지 또는 연료 전지를 포함할 수 있다.

[56] 통신 모듈(190)은 전자 장치(101)와 외부 전자 장치(예: 전자 장치(102), 전자 장치(104), 또는 서버(108)) 간의 직접(예: 유선) 통신 채널 또는 무선 통신 채널의 수립, 및 수립된 통신 채널을 통한 통신 수행을 지원할 수 있다. 통신 모듈(190)은 프로세서(120)(예: 어플리케이션 프로세서)와 독립적으로 운영되고, 직접(예: 유선) 통신 또는 무선 통신을 지원하는 하나 이상의 커뮤니케이션 프로세서를 포함할 수 있다. 일실시예에 따르면, 통신 모듈(190)은 무선 통신 모듈(192)(예: 셀룰러 통신 모듈, 근거리 무선 통신 모듈, 또는 GNSS(global navigation satellite system) 통신 모듈) 또는 유선 통신 모듈(194)(예: LAN(local area network) 통신 모듈, 또는 전력선 통신 모듈)을 포함할 수 있다. 이들 통신 모듈 중 해당하는 통신 모듈은 제 1 네트워크(198)(예: 블루투스, WiFi(wireless fidelity) direct 또는 IrDA(infrared data association)와 같은 근거리 통신 네트워크) 또는 제 2 네트워크(199)(예: 레거시 셀룰러 네트워크, 5G 네트워크, 차세대 통신 네트워크, 인터넷, 또는 컴퓨터 네트워크(예: LAN 또는 WAN)와 같은 원거리 통신 네트워크)를 통하여 외부의 전자 장치(104)와 통신할 수 있다. 이런 여러 종류의 통신 모듈들은 하나의 구성요소(예: 단일 칩)로 통합되거나, 또는 서로 별도의 복수의 구성요소들(예: 복수 칩들)로 구현될 수 있다. 무선 통신 모듈(192)은 가입자 식별 모듈(196)에 저장된 가입자 정보(예: 국제 모바일 가입자 식별자(IMSI))를 이용하여 제 1 네트워크(198) 또는 제 2 네트워크(199)와 같은 통신 네트워크 내에서 전자 장치(101)를 확인 또는 인증할 수 있다.

[57] 무선 통신 모듈(192)은 4G 네트워크 이후의 5G 네트워크 및 차세대 통신 기술, 예를 들어, NR 접속 기술(new radio access technology)을 지원할 수 있다. NR 접속

기술은 고용량 데이터의 고속 전송(eMBB(enhanced mobile broadband)), 단말 전력 최소화와 다수 단말의 접속(mMTC(massive machine type communications)), 또는 고신뢰도와 저지연(URLLC(ultra-reliable and low-latency communications))을 지원할 수 있다. 무선 통신 모듈(192)은, 예를 들어, 높은 데이터 전송률 달성을 위해, 고주파 대역(예: mmWave 대역)을 지원할 수 있다. 무선 통신 모듈(192)은 고주파 대역에서의 성능 확보를 위한 다양한 기술들, 예를 들어, 빔포밍(beamforming), 거대 배열 다중 입출력(massive MIMO(multiple-input and multiple-output)), 전차원 다중입출력(FD-MIMO: full dimensional MIMO), 어레이 안테나(array antenna), 아날로그 빔형성(analog beam-forming), 또는 대규모 안테나(large scale antenna)와 같은 기술들을 지원할 수 있다. 무선 통신 모듈(192)은 전자 장치(101), 외부 전자 장치(예: 전자 장치(104)) 또는 네트워크 시스템(예: 제 2 네트워크(199))에 규정되는 다양한 요구사항을 지원할 수 있다. 일실시예에 따르면, 무선 통신 모듈(192)은 eMBB 실현을 위한 Peak data rate(예: 20Gbps 이상), mMTC 실현을 위한 손실 Coverage(예: 164dB 이하), 또는 URLLC 실현을 위한 U-plane latency(예: 다운링크(DL) 및 업링크(UL) 각각 0.5ms 이하, 또는 라운드 트립 1ms 이하)를 지원할 수 있다.

[58] 안테나 모듈(197)은 신호 또는 전력을 외부(예: 외부의 전자 장치)로 송신하거나 외부로부터 수신할 수 있다. 일실시예에 따르면, 안테나 모듈(197)은 서브스트레이트(예: PCB) 위에 형성된 도전체 또는 도전성 패턴으로 이루어진 방사체를 포함하는 안테나를 포함할 수 있다. 일실시예에 따르면, 안테나 모듈(197)은 복수의 안테나들(예: 어레이 안테나)을 포함할 수 있다. 이런 경우, 제 1 네트워크(198) 또는 제 2 네트워크(199)와 같은 통신 네트워크에서 사용되는 통신 방식에 적합한 적어도 하나의 안테나가, 예를 들면, 통신 모듈(190)에 의하여 상기 복수의 안테나들로부터 선택될 수 있다. 신호 또는 전력은 상기 선택된 적어도 하나의 안테나를 통하여 통신 모듈(190)과 외부의 전자 장치 간에 송신되거나 수신될 수 있다. 어떤 실시예에 따르면, 방사체 이외에 다른 부품(예: RFIC(radio frequency integrated circuit))이 추가로 안테나 모듈(197)의 일부로 형성될 수 있다.

[59] 다양한 실시예에 따르면, 안테나 모듈(197)은 mmWave 안테나 모듈을 형성할 수 있다. 일실시예에 따르면, mmWave 안테나 모듈은 인쇄 회로 기판, 상기 인쇄 회로 기판의 제 1 면(예: 아래 면)에 또는 그에 인접하여 배치되고 지정된 고주파 대역(예: mmWave 대역)을 지원할 수 있는 RFIC, 및 상기 인쇄 회로 기판의 제 2 면(예: 윗 면 또는 측 면)에 또는 그에 인접하여 배치되고 상기 지정된 고주파 대역의 신호를 송신 또는 수신할 수 있는 복수의 안테나들(예: 어레이 안테나)을 포함할 수 있다.

[60] 상기 구성요소들 중 적어도 일부는 주변 기기들간 통신 방식(예: 버스, GPIO(general purpose input and output), SPI(serial peripheral interface), 또는 MIPI(mobile industry processor interface))을 통해 서로 연결되고 신호(예: 명령

또는 데이터)를 상호간에 교환할 수 있다.

[61] 일실시예에 따르면, 명령 또는 데이터는 제 2 네트워크(199)에 연결된 서버(108)를 통해서 전자 장치(101)와 외부의 전자 장치(104)간에 송신 또는 수신될 수 있다. 외부의 전자 장치(102, 또는 104) 각각은 전자 장치(101)와 동일한 또는 다른 종류의 장치일 수 있다. 일실시예에 따르면, 전자 장치(101)에서 실행되는 동작들의 전부 또는 일부는 외부의 전자 장치들(102, 104, 또는 108) 중 하나 이상의 외부의 전자 장치들에서 실행될 수 있다. 예를 들면, 전자 장치(101)가 어떤 기능이나 서비스를 자동으로, 또는 사용자 또는 다른 장치로부터의 요청에 반응하여 수행해야 할 경우에, 전자 장치(101)는 기능 또는 서비스를 자체적으로 실행시키는 대신에 또는 추가적으로, 하나 이상의 외부의 전자 장치들에게 그 기능 또는 그 서비스의 적어도 일부를 수행하라고 요청할 수 있다. 상기 요청을 수신한 하나 이상의 외부의 전자 장치들은 요청된 기능 또는 서비스의 적어도 일부, 또는 상기 요청과 관련된 추가 기능 또는 서비스를 실행하고, 그 실행의 결과를 전자 장치(101)로 전달할 수 있다. 전자 장치(101)는 상기 결과를, 그대로 또는 추가적으로 처리하여, 상기 요청에 대한 응답의 적어도 일부로서 제공할 수 있다. 이를 위하여, 예를 들면, 클라우드 컴퓨팅, 분산 컴퓨팅, 모바일 에지 컴퓨팅(MEC: mobile edge computing), 또는 클라이언트-서버 컴퓨팅 기술이 이용될 수 있다. 전자 장치(101)는, 예를 들어, 분산 컴퓨팅 또는 모바일 에지 컴퓨팅을 이용하여 초저지연 서비스를 제공할 수 있다. 다른 실시예에 있어서, 외부의 전자 장치(104)는 IoT(internet of things) 기기를 포함할 수 있다. 서버(108)는 기계 학습 및/또는 신경망을 이용한 지능형 서버일 수 있다. 일실시예에 따르면, 외부의 전자 장치(104) 또는 서버(108)는 제 2 네트워크(199) 내에 포함될 수 있다. 전자 장치(101)는 5G 통신 기술 및 IoT 관련 기술을 기반으로 지능형 서비스(예: 스마트 홈, 스마트 시티, 스마트 카, 또는 헬스 케어)에 적용될 수 있다.

[62] 도 2 내지 도 4는, 본 문서에 개시된 다양한 실시예에 따른 도전성 부재를 포함하는 외부 하우징을 구비한 전자 장치의 다양한 실시예이다. 도 2의 (a) 및 도 4 의 (a)는, 도장층을 형성하기 전으로 도전성 부재가 시인되는 모습을 도시한 도면이다.

[63] 다양한 실시예에 따르면, 전자 장치는 전자 장치의 외관을 이루는 외부 하우징(201)을 포함할 수 있다. 외부 하우징(201)은 다양한 소재로 형성될 수 있다. 외부 하우징(201)은 예를 들어, 금속, 합성 수지와 같은 소재로 형성될 수 있다. 또한, 외부 하우징(201)은 다양한 방식으로 제조될 수 있다. 예를 들어, 외부 하우징(201)은 사출 방식으로 제작될 수 있다.

[64] 도 2를 참조하면, 외부 하우징(201)의 제1 면(201A)의 적어도 일부 영역에 해당하는 도금 영역에는 도전성 부재(210)가 배치될 수 있다. 제1 면(201A)은, 외부 하우징(201)에서 외부로 노출되는 면일 수 있다. 도전성 부재(210)는 도금 방식으로 외부 하우징(201)의 제1 면(201A)에 배치될 수 있다. 예를 들어, 도전성

부재(210)는 후술하는 제1 도금 단계(예: 도 5의 제1 도금 단계(502))로 형성된 제1 도금층(예: 도 6d의 제1 도금층(620)) 및/또는 제2 도금 단계(예: 도 5의 제2 도금 단계(504))로 형성된 제2 도금층(예: 도 6d의 제2 도금층(630))을 포함할 수 있다.

[65] 도 2의 (b)를 참조하면, 외부 하우징(201)의 제1 면(201A)에는 도장층(230)이 형성될 수 있다. 도전성 부재(210)가 배치된 도금 영역을 포함하여 외부 하우징(201)의 제1 면(201A)에 도장층(230)이 형성됨으로써, 도전성 부재(210)가 전자 장치(200) 외부로 노출되지 않을 수 있다. 도전성 부재(210)가 외부에서 시인되지 않기 때문에 도전성 부재(210)의 외부 시인으로 인한 전자 장치(200)의 심미성 손상이 방지될 수 있다.

[66] 다양한 실시예에 따르면, 도전성 부재(210)는 전기적 신호의 전달이 필요한 전자 장치(200)의 구성 요소로 활용될 수 있다. 예를 들어, 도전성 부재(210)는 전자 장치(200)의 근거리 및 원거리 통신을 위한 안테나로 활용될 수 있다. 이 밖에도 도전성 부재(210)는 각종 전자 부품을 전기적으로 연결하는 배선으로 활용될 수 있다. 또한, 정전식 터치 입력을 인식하기 위한 터치 센서 등으로 다양하게 활용될 수 있다. 이상 언급된 도전성 부재(210)의 활용은 예시에 불과하며 도전성 부재(210)는 전기적 신호의 전달이 필요한 다양한 구성 요소로 활용될 수 있다.

[67] 다양한 실시예에 따르면, 외부 하우징(201)의 제1 면(201A)에 형성되는 도장층(230)은 도전성 부재(210)가 전자 장치에서 어떠한 구성 요소로 활용되는지에 따라 다양한 성질을 갖는 소재로 형성될 수 있다. 예를 들어, 도전성 부재(210)가 안테나로 활용되거나, 전자 부품을 전기적으로 연결하는 배선으로 활용되는 경우, 도장층(230)은 전도성이 낮은 절연 소재로 형성될 수 있다. 이와 다르게, 도전성 부재(210)가 외부로부터의 전기적 신호를 인식할 필요가 있는 구성 요소로 활용되는 경우, 도장층(230)은 전도성을 갖는 소재로 형성될 수 있다. 예를 들어, 도전성 부재(210)가 정전식 터치 입력을 인식하는 터치 센서로 활용되는 경우, 도장층(230)은 전도성을 갖는 소재로 형성될 수 있다.

[68] 다양한 실시예에 따르면, 도전성 부재(210)가 배치되는 도금 영역은 외부 하우징(201)의 다른 영역에 비해 두껍게 형성된 영역일 수 있다. 도금 영역이 두껍게 형성되면 외부 충격에 상대적으로 더 강한 내성을 가질 수 있다. 이로 인하여, 외부 충격에 의하여 도전성 부재(210)가 손상되는 현상을 방지할 수 있다. 도금 영역을 두껍게 형성함으로써, 도금 영역에 배치된 도전성 부재(210)가 지정된 성능을 유지할 수 있다.

[69] 다른 실시예에 따르면, 도 3에 도시된 것과 같이, 도전성 부재(210)는 외부 하우징(201)의 제2 면(201B)에 배치될 수 있다. 제2 면(201B)은 제1 면(201A)의 반대 면으로, 전자 장치(200) 내부에 배치된 전자 부품 중 적어도 일부와 대면하는 면일 수 있다. 이 경우, 도전성 부재(210)가 배치되는 도금 영역은 외부

하우징(201)의 제2 면(201B) 중 적어도 일부 영역을 의미할 수 있다. 외부 하우징(201)의 제2 면(201B)은 전자 장치(200) 내부에 배치된 전자 부품과 대면하는 면일 수 있다. 제2 면(201B)에 배치된 도전성 부재(210)는 전자 부품과 전기적으로 연결되는 배선으로 활용되거나, 발열 정도가 심한 전자 부품인 발열 부품(예: 프로세서(예: 도 1의 프로세서(120), 전력 관리 모듈(예: 도 1의 전력 관리 모듈(188) 및 배터리(예: 도 1의 배터리(189))와 대면하는 영역에 배치되어 열을 전달하는 방열 부재로 활용될 수 있다. 도전성 부재(210)가 방열 부재로 활용되는 경우, 도전성 부재(210)가 배치되는 도금 영역은 발열 부품과 대면하는 영역일 수 있다. 이상 언급된 도전성 부재(210)의 활용은 예시에 불과하며, 도전성 부재(210)의 활용은 예시에 불과하며 도전성 부재(210)는 전기적 신호의 전달 또는 열의 전달이 필요한 다양한 구성 요소로 활용될 수 있다.

[70] 다양한 실시예에 따르면, 도 4에 도시된 전자 장치는 사용자의 귀에 착용되고 외부 전자 장치와 근거리 통신으로 연결되어 소리를 재생하는 전자 장치(400)일 수 있다. 전자 장치(400)의 외관을 이루는 외부 하우징(401)의 제1 면(401A)의 일부 영역에 도전성 부재(410)가 배치될 수 있다. 제1 면(401A)은 외부 하우징(401)이 외부로 노출되는 면을 의미할 수 있다. 도전성 부재(410)는 외부 전자 장치와 전자 장치(400)를 연결하기 위한 안테나로 사용될 수 있다. 또한, 도전성 부재(410)는 사용자의 터치 입력을 수신하기 위한 터치 센서로 활용될 수 있다. 도 4의 (b)에 도시된 것과 같이, 외부 하우징(401)의 제1 면(401A)에는 도장층(430)이 형성될 수 있다. 도장층(430)에 의해 도전성 부재(410)가 가려져, 도전성 부재(410)가 외부에서 시인되지 않을 수 있다.

[71] 도 5는, 본 문서에 개시된 다양한 실시예에 따른 제조 방법의 흐름도이다. 도 6a는, 본 문서에 개시된 다양한 실시예에 따라 형성된 트랜치의 모습을 도시한 도면이다. 도 6b는, 도 6a에 도시된 트랜치에 제1 폴리싱 단계가 수행된 모습을 도시한 도면이다. 도 6c는, 도 6b에 도시된 폴리싱된 트랜치에 제1 도금 단계가 수행된 모습을 도시한 도면이다. 도 6d는, 도 6c에 도시된 제1 도금층에 제2 폴리싱 단계가 수행된 모습을 도시한 도면이다. 도 6e는, 본 문서에 개시된 다양한 실시예에 따른 제2 도금 단계와 도장 단계가 수행된 모습을 도시한 도면이다. 도 7은, 도전성 부재의 두께와 성능 사이의 관계를 나타낸 그래프이다.

[72] 다양한 실시예에 따르면, 도전성 부재(예: 도 2의 도전성 부재(210))와 도장층(670)(예: 도 2의 도장층(230))은 트랜치 단계(501), 폴리싱 단계(제1 폴리싱 단계(502) 및 제2 폴리싱 단계(504)), 도금 단계(제1 도금 단계(503) 및 제2 도금 단계(505)) 및 도장 단계(506)를 포함하는 제조 방법으로 형성될 수 있다. 도전성 부재는 제1 도금층(620) 및/또는 제2 도금층(630)을 포함할 수 있다. 도전성 부재는 제1 도금층(620) 및/또는 제2 도금층(630)으로 형성되므로, 도전성 부재는 제1 도금층(620) 및/또는 제2 도금층(630)과 동일 또는 유사한 것으로 이해될 수 있다.

[73] 다양한 실시예에 따르면, 트랜치 단계(501)는 외부 하우징(601)의 도금

영역(601A)에 트렌치(610)(trench)를 형성하는 단계일 수 있다. 트렌치(610)는 도 6a에 도시된 것과 같이, 산(611)과 골(612)이 연속된 미세 요철을 의미할 수 있다. 산(611)은 기준 면(602)에 대해서 볼록하게 형성된 부분을 의미하고, 골(612)은 기준 면(602)에 대해서 오목하게 형성된 부분을 의미할 수 있다. 트렌치 단계(501)는 다양한 공정 기법을 통해 수행될 수 있다. 예를 들어, 레이저(laser)를 도금 영역(601A)에 조사하여 트렌치(610)를 형성할 수 있고, 용재를 통해 도금 영역(601A)의 일부를 화학적으로 식각하는 에칭(etching), 디캡슐레이팅(decapsulating)과 같은 공법을 사용할 수 있다. 또한, 컴퓨터 계산을 통해 도금 영역(601A)을 물리적으로 정밀하게 가공하는 CNC(computerized numerical control) 밀링 공법을 사용하여 트렌치(610)를 형성하는 것도 가능하다. 이 밖에도 트렌치(610)는 다양한 공법으로 형성될 수 있다. 레이저로 트렌치(610)를 형성하는 것과 관련하여, 단일한 레이저 빔을 조사하여 트렌치(610)를 형성할 수 있고, 적어도 두 개의 레이저 빔을 중첩시켜 조사하는 방식으로 트렌치(610)를 형성할 수 있고, 적어도 두 개의 레이저 빔을 소정 간격으로 이격시켜 조사하는 방식으로 트렌치(610)를 형성할 수 있다. 이 밖에도 다양한 방식으로 레이저를 조사하여 트렌치(610)를 형성할 수 있다. 다양한 실시예에 따르면, 골(612)의 깊이가 약 10um 내지 약 15um이고, 산(611)의 높이가 약 8um 내지 약 10um이 되도록 트렌치(610)를 형성할 수 있다.

[74] 다양한 실시예에 따르면, 트렌치 단계(501) 이후 제1 폴리싱 단계(502)를 수행할 수 있다. 제1 폴리싱 단계(502)는 트렌치 단계(501)를 통해 도금 영역(601A)에 형성된 트렌치(610)를 일부 절삭시키는 단계일 수 있다. 도 6b를 참조하면, 제1 폴리싱 단계(502)를 통해 트렌치(610)의 산(611)이 일부 절삭될 수 있다.

[75] 다양한 실시예에 따르면, 제1 폴리싱 단계(502) 이후 제1 도금 단계(503)를 수행할 수 있다. 제1 도금 단계(503)는 탈지, 에칭, 중화, 촉매 및 활성화 단계를 포함할 수 있다. 탈지 단계는 도금 영역(601A)에 포함될 수 있는 유지와 같은 이물을 제거하는 세정 단계일 수 있다. 에칭 단계는, 도금 영역(601A) 표면에 형성된 산화막을 제거하는 단계일 수 있다. 중화 및 촉매 단계는 탈지 및 에칭 단계를 거친 도금 영역(601A)에 제1 금속재를 포함하는 제1 도금층(620)이 도금 방식으로 형성될 수 있도록 준비하는 단계일 수 있다. 중화 및 촉매 단계는 도금 영역(601A)에서 환원 반응이 일어나 제1 금속재가 도금 영역(601A)에 증착될 수 있게 만드는 단계일 수 있다. 활성화 단계는 제1 도금층(620)을 도금 영역(601A)에 형성하는 단계일 수 있다. 다양한 실시예에 따르면, 제1 금속재는, 니켈(Ni), 구리(Cu) 및 은(Ag)을 포함하는 금속재 중 적어도 하나를 포함할 수 있다. 예를 들어, 활성화 단계에서는 니켈 - 구리 - 은 순서로 도금 영역(601A)에 도금을 수행할 수 있다. 이 경우, 제1 도금층(620)은 니켈층(Nickel layer) - 구리층(Copper layer) - 은층(Silver layer)의 순서로 형성될 수 있다. 제1 금속재로 은을 사용함으로써, 도금 공정의 비용을 절감할 수 있다. 다양한 실시예에

따르면, 트렌치(610)를 형성할 때, 골(612)의 깊이를 낮춰 제1 도금 단계(503)에 소요되는 제1 금속재의 양을 줄이고 도금 공정에 소요되는 시간을 줄일 수 있다.

[76] 다양한 실시예에 따르면, 제1 도금 단계(503) 이후 제2 폴리싱 단계(504)를 수행할 수 있다. 제2 폴리싱 단계(504)는 제1 도금층(620)의 일부를 절삭하는 단계일 수 있다. 제2 폴리싱 단계(504)에서 절삭되는 제1 도금층(620)은 제1 폴리싱 단계(502)를 통해 일부 절삭된 트렌치(610)의 산(611)에 형성된 제1 도금층(620)일 수 있다. 제2 폴리싱 단계(504)를 통해 제1 도금층(620)의 일부가 절삭되면 단차가 줄어들 수 있다. 외부 하우징(601)의 도금 영역(601A)을 제외한 부분을 기준 영역(601B)이라 할 때, 제2 폴리싱 단계(504)를 통해 도금 영역(601A)과 기준 영역(601B) 사이의 단차가 줄어들 수 있다.

[77] 다양한 실시예에 따르면, 제2 도금 단계(505)는 제2 금속재를 포함하는 제2 도금층(630)을 형성하는 도금 단계일 수 있다. 제2 도금 단계(505)의 세부적인 내용은 제1 도금 단계(503)와 같으므로 자세한 설명은 생략하도록 한다. 일 실시예에서 제2 금속재는 니켈(Ni)을 포함하는 금속재를 포함할 수 있다. 다른 실시예에서 제2 금속재는 제1 금속재와 다른 금속재일 수 있다. 제2 도금 단계(505)를 추가함으로써, 도전성 부재의 두께를 더 두껍게 형성하여 도전성 부재의 성능을 향상할 수 있다.

[78] 도 7을 참조하면, 도전성 부재의 두께는 도전성 부재의 성능에 관련될 수 있다. 도전성 부재는 제1 도금 단계(503)로 형성되는 제1 도금층(620) 및/또는 제2 도금 단계(505)로 형성되는 제2 도금층(630)에 의해 형성될 수 있다. 도 7에 도시된 것과 같이, 도전성 부재의 두께가 두꺼울수록 도전성 부재의 저항이 줄어들어 도전성 부재의 전기 전도성이 향상될 수 있다. 또한, 도전성 부재의 표면이 균일할수록 도전성 부재의 성능이 향상될 수 있다. 특히, 도전성 부재를 안테나 패턴으로 활용하는 경우 도전성 부재의 표면이 균일할수록 반사 계수가 낮아져 안테나의 효율이 향상될 수 있다. 본 문서에 개시된 다양한 실시예에 따른 제조 방법은 트렌치(610) 형성 이후 제1 폴리싱 단계(502) 및 제2 폴리싱 단계(504)를 수행하여 표면을 고르게 하므로 동일한 금속재를 사용하더라도 보다 두껍고 균일한 표면을 갖는 도전성 부재를 형성할 수 있다. 또한, 폴리싱 단계(예: 제1 폴리싱 단계(502), 제2 폴리싱 단계(504))를 통해 트렌치 형성에 의한 단차를 줄임으로써, 제1 도금층(620) 및 제2 도금층(630)의 두께를 줄일 수 있다. 예를 들어, 제1 도금층(620) 및 제2 도금층(630)을 포함하는 도전성 부재의 두께는 약 11um 내지 약 15um일 수 있다. 일 실시예에서, 도전성 부재에서 구리(Cu)와 은(Ag)을 포함하는 층(layer)의 두께는 약 8um일 수 있다. 이와 같이, 도전성 부재의 두께를 줄여, 도전성 부재가 배치된 도금 영역(601A)과 기준 영역(601B) 사이의 단차를 줄일 수 있다. 이 때문에 도전성 부재의 외부 시인을 차단하기 위한 도장 단계(506) 에서 단차를 보상하기 위한 공정이 간소화될 수 있다.

[79] 다양한 실시예에 따르면, 도장 단계(506)를 통해 도전성 부재(제1 도금층(620) 및 제2 도금층(630))가 배치된 도금 영역(601A)을 포함하는 외부 하우징(601)의

제1 면에 도장층(670)이 형성되므로, 도전성 부재가 도장층(670)에 가려져 전자 장치의 외부로 보이지 않을 수 있다. 도장 단계(506)는 복수의 단계를 포함할 수 있다. 일 실시예에서, 도장 단계(506)는 단차 보상 단계, 컬러 단계 및 보호 단계를 포함할 수 있다. 이상 설명한 도장 단계(506)는 각 단계는 예시에 불과하며 일부 단계가 추가되거나 일부 단계는 생략될 수 있다. 다양한 실시예에 따르면, 도장층(670)은 보상층(640), 컬러층(650) 및 보호층(660)을 포함할 수 있다.

[80] 다양한 실시예에 따르면, 단차 보상 단계는 도전성 소재가 배치된 도금 영역(601A)과 도금 영역(601A)이 아닌 영역인 기준 영역(601B) 사이의 단차를 제거하기 위한 보상층(640)을 형성하기 위한 단계일 수 있다. 예를 들어, 프라이머(primer), 서페이서(surfacer)와 같은 소재로 보상층(640)을 형성할 수 있다. 이러한 보상층(640)은 보상층(640)에 적층될 컬러층(650)이 보상층(640)에서 박리되지 않도록 컬러층(650)과 보상층(640) 사이의 접착성을 강화시켜줄 수 있다. 또한, 보상층(640)에 포함된 소재는 방청 소재가 포함될 수 있다. 본 문서에 개시된 다양한 실시예에 따르면, 폴리싱 단계(제1 폴리싱 단계(502) 및 제2 폴리싱 단계(504))를 통해 도금 영역(601A)과 기준 영역(601B) 사이의 단차를 미리 일정 정도 보상해두었으므로 단차 보상을 위하여 퍼티(purtty)와 같은 고비용의 소재를 사용할 필요가 없다. 따라서, 공정 비용을 현저하게 낮추는 것이 가능할 수 있다. 일 실시예에서, 보상층(640)은 적어도 두 개 이상의 서로 다른 프라이머로 형성될 수 있다. 예를 들어, 두 개의 프라이머를 사용할 수 있다. 폴리싱 단계(503)를 통해 단차가 일부 제거되었으므로, 단차 보상을 위한 프라이머의 양과 개수를 필요에 따라 줄일 수 있다.

[81] 다양한 실시예에 따르면, 컬러 단계는 컬러층(650)을 형성하는 단계일 수 있다. 컬러층(650)은 색상을 띄는 도료로 형성될 수 있다. 이 때, 컬러층(650)의 두께를 Å 단위로 설정함으로써, 컬러층(650)이 금속 느낌을 갖도록 만들 수 있다.

[82] 다양한 실시예에 따르면, 단차 보상 단계와 컬러 단계 사이에 UV 코팅재를 포함하는 UV 코팅층(미도시)를 형성하는 단계를 더 포함할 수 있다.

[83] 다양한 실시예에 따르면, 보호 단계는 컬러층(650)에 보호층(660)을 형성하는 단계일 수 있다. 보호층(660)은 컬러층(650)을 보호할 수 있도록 컬러층(650)에 코팅 피막을 형성하는 단계일 수 있다.

[84] 이상 설명한, 도장 단계(506)는 이 분야의 통상의 기술자가 이해할 수 있는 범위 내에서 다양하게 변경될 수 있다. 예를 들어, 앞서 설명한 도장 단계(506) 중 일부 단계는 생략될 수 있고, 필요에 따라 각 단계에서 사용되는 소재를 다양하게 변경할 수 있다.

[85] 이와 같은, 도장 단계(506)를 통해, 도전성 부재가 전자 장치의 외부로 시인되지 않을 수 있다. 폴리싱 단계(503)를 통해 도전성 부재 또는 도전성 부재가 배치되는 도금 영역(601A)과 기준 영역(601B) 사이의 단차를 보상하였으므로, 도장층(670)의 표면 단차도 감소할 수 있다. 도금 영역(601A)과 기준 영역(601B) 사이의 단차를 감소시킴으로써, 도전성 부재가 배치된 부분과 배치되지 않은

부분 사이의 단차로 인해 도전성 부재가 외부로 시인되는 문제를 해소할 수 있다.

[86] 도 5에 도시된 제조 방법의 흐름도는 예시에 불과하며, 제조 방법은 이 분야의 통상의 기술자가 이해할 수 있는 범위에서 다양하게 변경될 수 있다. 도 5에 도시된 제조 방법의 각 단계 중 일부 단계는 생략될 수 있고 일부 순서가 변경될 수도 있다. 앞에서 "~ 단계"는 공정의 순서를 한정하는 것은 아니다. "단계"로 호칭된 것은 "~ 과정" 또는 "~ 동작"으로 이해될 수 있다.

[87] 예를 들어, 제1 도금 단계(502) 및 제2 도금 단계(504) 이외의 도금 단계가 추가될 수 있고, 제2 도금 단계(504)는 생략될 수 있다.

[88] 또한, 도 5에는 폴리싱 단계가 제1 폴리싱 단계 및 제2 폴리싱 단계를 포함하여 2회 수행되는 것으로 설명하였으나, 폴리싱 단계의 횟수는 이에 한정되지 않는다. 예를 들어, 폴리싱 단계는 1회 수행될 수 있다. 이 경우, 폴리싱 단계는 트랜치 단계 이후에 1회 수행되거나, 제1 도금 단계 이후 1회 수행되거나, 제1 도금 단계 및 제2 도금 단계 이후 1회 수행될 수 있다. 또한, 폴리싱 단계가 수행되는 순서도 다양하게 변경될 수 있다. 예를 들어, 폴리싱 단계는 트랜치 단계 이후 제1 도금 단계나 제2 도금 단계가 수행되기 전에 수행될 수 있고, 제1 도금 단계 이후 수행될 수 있고, 제1 도금 단계 및 제2 도금 단계 이후 수행될 수 있다.

[89] 또한, 도장 단계(506)는 생략될 수 있다.

[90] 도 8은, 본 문서에 개시된 다양한 실시예에 따라 형성된 도전성 부재를 안테나로 사용하는 경우와 FPCB에 배치된 안테나의 성능을 비교한 그래프이다.

[91] 도 8의 (a) 그래프는 FPCB(flexible printed circuit board)에 배치된 안테나의 성능 그래프이고, 도 8의 (b) 그래프는 본 발명에 개시된 제조 방법을 통해 형성된 도전성 부재를 안테나로 활용한 경우의 성능 그래프이다. 도 8을 참조하면, 약 700MHz 내지 약 800MHz 부근에서 (b) 그래프의 방사 효율(radiation efficiency)가 더 높게 나타나는 것을 확인할 수 있다. 이 주파수 대역은 LTE(long term evolution)의 Band 28 대역에 해당하는 대역이다. 따라서, 본 발명에 개시된 제조 방법을 통해 형성된 도전성 부재는 특정 대역에서 기존 FPCB를 이용한 안테나보다 성능이 개선되는 것을 확인할 수 있다.

[92] 도 8을 참조하면, 1GHz 이하 대역(low band)에서, 본 발명에 개시된 제조 방법을 통해 형성된 안테나의 성능이 FPCB를 이용한 안테나의 성능보다 대체적으로 높게 나타남을 확인할 수 있다. 안테나에서 실제 신호가 방사되는 부분은 전자 장치의 다른 전자 부품들과 이격되어 배치되는 것이 유리하다. 본 발명에 개시된 제조 방법은 전자 장치의 외관을 이루는 하우징(예: 사출물)에 도전성 부재를 형성하여 이를 안테나로 이용할 수 있다. 전자 장치의 외면에 도전성 부재를 형성하여 이를 안테나의 방사체로 활용할 수 있으므로 높은 안테나 방사 효율을 얻을 수 있다.

[93] 도 9는, 본 문서에 개시된 다양한 실시예에 따라 형성된 도전성 부재를

안테나로 사용하는 경우, 도장층 형성 유무에 따른 성능을 비교한 그래프이다.

[94] 도 9의 (a) 그래프와 (b) 그래프는 모두 본 발명에 개시된 제조 방법을 통해 형성된 도전성 부재를 안테나로 활용한 경우의 성능 그래프이다. (a) 그래프는 도장층을 형성한 경우이고, (b) 그래프는 도장층을 형성하지 않은 경우의 그래프이다. 도 9를 참조하면, (a) 그래프와 (b) 그래프의 모양이 유사한 것을 확인할 수 있다. 이를 통해, 도전성 부재가 배치된 도금 영역에 도장층을 형성하더라도 도전성 부재의 성능에 큰 영향이 없음을 확인할 수 있다.

[95] 이하, 도 10 내지 도 15c를 통해, 앞에서 설명한 실시예와 다른 실시예에 따른 전자 장치의 제조 방법 및 그 제조 방법으로 제조된 전자 장치에 대해 설명한다.

[96] 도 10은, 본 문서에 개시된 다양한 실시예에 따른 전자 장치의 하우징의 도면이다. 도 11a는, 도 10의 P1 부분을 확대한 도면이다. 도 11b는, 도 10의 P2 부분을 확대한 도면이다.

[97] 다양한 실시예에 따르면, 전자 장치(1000)(예: 도 1의 전자 장치(101), 도 2의 전자 장치(200))의 하우징(1010)(예: 도 2의 외부 하우징(201))은 전자 장치(1000)의 외관의 적어도 일부를 형성할 수 있다. 하우징(1010)은 전자 장치(1000)에 포함된 다양한 전기물(예: 전자 부품을 포함하여 도전성 소재를 포함하는 다양한 장치를 총칭)과 전기물을 제외한 기구물을 수용하고 지지하는 구성 요소일 수 있다. 하우징(1010)의 형태는 도 10에 도시된 형태로 한정되지 않는다. 또한, 하우징(1010)은 다양한 방법으로 제작될 수 있다. 예를 들어, 하우징(1010)은 복수의 부분이 별도로 제작되어 결합되는 방식으로 제작될 수 있다.

[98] 일 실시예에서, 하우징(1010)은 외면(1010A)과 내면(1010B)을 포함할 수 있다. 하우징(1010)의 내면(1010B)은 하우징(1010)에 수용되는 다양한 전기물 및/또는 기구물이 수용되거나 지지되는 면을 의미하고, 하우징(1010)의 외면(1010A)은 내면(1010B)의 반대 면으로써, 전자 장치(1000)의 외관 일부를 구성하는 면을 의미할 수 있다. 다양한 실시예에 따르면, 하우징(1010)에는 도전성 부재(1020)가 형성될 수 있다.

[99] 도 10, 도 11a 및 도 11b를 참조하면, 하우징(1010)의 외면(1010A)에는 제1 도전성 부재(1021)가 위치할 수 있다. 예를 들어, 제1 도전성 부재(1021)는 도금 방식으로 하우징(1010) 외면(1010A)에 적어도 일부 형성될 수 있다. 제1 도전성 부재(1021)가 하우징(1010) 외면(1010A)에 형성되는 과정에 대해서는 후술하도록 한다. 예를 들어, 도 10에 도시된 것과 같이 하우징(1010)의 상부(예: 도 10의 P1 부분)과 하우징(1010)의 하부(예: 도 10의 P2)부분의 외면(1010A)의 일부에 제1 도전성 부재(1021)가 형성될 수 있다. 도 10에 도시된 제1 도전성 부재(1021)의 외형은 예시에 불과하며, 제1 도전성 부재(1021)가 형성된 위치도 예시에 불과하다. 제1 도전성 부재(1021)의 형태와 위치는 전자 장치(1000)의 설계에 따라 다양하게 변경될 수 있다.

[100] 도 10, 도 11a 및 도 11b를 참조하면, 하우징(1010)의 내면(1010B)에는 제2

도전성 부재(1022)가 위치할 수 있다. 예를 들어, 제2 도전성 부재(1022)는 도금 방식으로 하우징(1010) 내면(1010B)에 적어도 일부 형성될 수 있다. 제2 도전성 부재(1022)가 하우징(1010) 내면(1010B)에 형성되는 과정에 대해서는 후술하도록 한다. 예를 들어, 도 10에 도시된 것과 같이 하우징(1010)의 상부(예: 도 10의 P1 부분)과 하우징(1010)의 하부(예: 도 10의 P2)부분의 외면(1010A)의 일부에 제2 도전성 부재(1022)가 형성될 수 있다. 도 10에 도시된 제2 도전성 부재(1022)의 외형은 예시에 불과하며, 제2 도전성 부재(1022)가 형성된 위치도 예시에 불과하다. 제2 도전성 부재(1022)의 형태와 위치는 전자 장치(1000)의 설계에 따라 다양하게 변경될 수 있다.

[101] 다양한 실시예에 따르면, 하우징(1010)에는 홀(hole) 부(1030)가 형성될 수 있다. 홀 부(1030)는 하우징(1010)의 일부분에 형성된 구멍일 수 있다. 홀 부(1030)는 다양한 방식으로 하우징(1010)에 형성될 수 있다. 예를 들어, 하우징(1010)이 사출 방식으로 형성되는 경우, 하우징(1010)을 형성하는 홀 부(1030)가 형성될 부분을 포함하는 금형을 이용하여 하우징(1010)을 제작할 수 있다. 또한, 별도의 가공체를 이용하여 하우징(1010)에 구멍을 뚫는 방식으로 홀 부(1030)를 형성할 수 있다. 일 실시예에서, 홀 부(1030)에는 제3 도전성 부재(1023)가 위치할 수 있다. 예를 들어, 제3 도전성 부재(1023)는 도금 방식으로 홀 부(1030) 내면(1010B)에 형성될 수 있다. 홀 부(1030) 내면(1010B)에 형성된 제3 도전성 부재(1023)는 하우징(1010) 외면(1010A)에 형성된 제1 도전성 부재(1021)와 하우징(1010) 내면(1010B)에 형성된 제2 도전성 부재(1022)를 연결할 수 있다.

[102] 다양한 실시예에 따르면, 홀 부(1030)에 형성된 제3 도전성 부재(예: 도 12의 제3 도전성 부재(1023))는 제1 도전성 부재(1021)와 제2 도전성 부재(1022)를 연결할 수 있다. 예를 들어, 도 11a에 도시된 것과 같이, 제1-1 도전성 부재(1021-1)는 제1 홀 부(1031)에 형성된 제3 도전성 부재에 의해 제2-1 도전성 부재(1022-1)와 연결될 수 있다. 제1-2 도전성 부재(1021-2)는 제2 홀 부(1032)에 형성된 제3 도전성 부재에 의해 제2-2 도전성 부재(1022-2)와 연결될 수 있다. 또한, 도 11b를 참조하면, 제1-3 도전성 부재(1021-3)는 제3 홀 부(1033)에 형성된 제3 도전성 부재에 의해 제2-3 도전성 부재(1022-3)와 연결될 수 있다. 도면 상으로는 보이지 않으나, 제4 홀 부(1034)에 형성된 제3 도전성 부재는 하우징(1010) 외면(1010A)에 형성된 제1-3 도전성 부재(1021-3)와 하우징(1010) 내면(1010B)에 형성된 제2 도전성 부재(1022)를 연결할 수 있다. 여기서 도전성 부재(1020)의 연결은 도전성 부재(1020)가 물리적으로 연결(연결은 연속적인 연결을 포함함)됨으로써, 도전성 부재(1020)를 통해 전기적인 신호가 전달될 수 있는 것을 의미할 수 있다. 예를 들어, 제1 도전성 부재(1021)가 제3 도전성 부재를 통해 제2 도전성 부재(1022)와 연결되면, 제2 도전성 부재(1022)로 전달된 전기적 신호가 제3 도전성 부재를 경유하여 제1 도전성 부재(1021)로 전달될 수 있다.

[103] 다양한 실시예에 따르면, 도전성 부재(1020)는 전기적 신호의 전달이 필요한

전자 장치(1000)의 구성 요소로 활용될 수 있다. 예를 들어, 도전성 부재(1020)는 전자 장치(1000)의 근거리 및 원거리 통신을 위한 안테나로 활용될 수 있다. 이 밖에도 도전성 부재(1020)는 각종 전자 부품을 전기적으로 연결하는 배선으로 활용될 수 있다. 또한, 정전식 터치 입력을 인식하기 위한 터치 센서, 그립 센서 등으로 다양하게 활용될 수 있다(예: 도 4의 도전성 부재(410)). 이상 언급된 도전성 부재(1020)의 활용은 예시에 불과하며 도전성 부재(1020)는 전기적 신호의 전달이 필요한 다양한 구성 요소로 활용될 수 있다.

[104] 도 12는, 본 문서에 개시된 다양한 실시예에 따른 홀 부를 일부 절개한 단면도이다. 도 13a는, 본 문서에 개시된 다양한 실시예에 따른 홀 부를 일 방향에서 바라본 도면이다. 도 13b는, 도 13a에 도시된 홀 부를 A-A선을 따라 절개한 단면도이다.

[105] 다양한 실시예에 따르면, 홀 부(1030)는 하우징(1010)에 형성될 수 있다. 홀 부(1030) 내면의 일부 영역에는 제3 도전성 부재(1023)가 형성될 수 있다. 도 12에 도시된 것과 같이, 홀 부(1030) 내면에 형성된 제3 도전성 부재(1023)는 하우징(1010) 외면(1010A)에 형성된 제1 도전성 부재(1021)와 하우징(1010) 내면(1010B)에 형성된 제2 도전성 부재(1022)를 연결할 수 있다.

[106] 다양한 실시예에 따르면, 홀 부(1030)는 제1 부분(1031)과 제2 부분(1032)을 포함할 수 있다. 도 12 및 도 13b를 참조하면, 제1 부분(1031)은 하우징(1010)의 내면(1010B)과 인접한 부분이고, 제2 부분(1032)은 하우징(1010)의 외면(1010A)과 인접한 부분일 수 있다.

[107] 일 실시예에서, 제1 부분(1031)은 하우징(1010)의 내면(1010B)에서 하우징(1010)의 외면(1010A) 방향으로 형성된 부분일 수 있다. 제1 부분(1031)은 제1 직경(D1)으로 형성될 수 있다. 예를 들어, 제1 직경(D1)은 약 1.5mm 내지 약 5.5mm일 수 있다. 제2 부분(1032)은 제1 부분(1031)의 말단에서 하우징(1010)의 외면(1010A) 방향으로 형성된 부분일 수 있다. 제2 부분(1032)은 제2 직경(D2)으로 시작되어 하우징(1010)의 외면(1010A) 방향으로 갈수록 직경이 점차 줄어드는 형태로 형성될 수 있다. 제2 부분(1032)의 높이(H2)는 홀 부(1030)의 전체 높이(H1 + H2)에 대해 약 20% 내지 약 50%일 수 있다.

[108] 일 실시예에서, 제1 부분(1031)의 높이(H1)은 제2 부분(1032)의 높이(H2)와 다를 수 있다. 다른 실시예에서, 제1 부분(1031)의 높이(H1)와 제2 부분(1032)의 높이(H2)는 같을 수 있다.

[109] 일 실시예에서, 제2 직경(D2)은 제1 직경(D1)보다 작을 수 있다. 예를 들어, 제2 직경(D2)은 약 1.0mm 내지 3.5mm일 수 있다. 제1 부분(1031)의 제1 직경(D1)과 제2 부분(1032)이 시작되는 부분의 직경인 제2 직경(D2)이 서로 다르기 때문에 도 13b에 도시된 것과 같이, 제1 부분(1031)과 제2 부분(1032) 사이에는 단차가 형성될 수 있다. 이 단차는 제1 부분(1031)으로 충진재가 주입될 때, 충진재가 홀 부(1030)를 그대로 빠져나가지 않고 고정되어 홀 부(1030)에 수용되도록 하는 부분일 수 있다. 일 실시예에서, 제2 부분(1032)이 끝나는 지점의 직경인 제3

직경(D3)은 제2 직경(D2)보다 작을 수 있다. 예를 들어, 제3 직경(D3)은 약 0.4mm 내지 약 0.8mm일 수 있다.

[110] 일 실시예에서, 제3 도전성 부재(1023)는 홀 부(1030)의 일부분에 형성될 수 있다. 제3 도전성 부재(1023)는 홀 부(1030)의 내면 중 일부 영역에 형성될 수 있다. 예를 들어, 도 13b를 참조하면, 제3 도전성 부재(1023)는 홀 부(1030)의 내면 중 제2 부분(1032)에 일부 형성되거나, 제2 부분(1032)에 전부 형성될 수 있다. 일 실시예에서, 제3 도전성 부재(1023)이 형성된 부분의 높이(H3) 제2 부분(1032)의 높이(H2)의 약 30% 내지 100%일 수 있다. 도 12를 참조하면, 제3 도전성 부재(1023)는 홀 부(1030)의 제1 부분(1031) 중 일부에 형성될 수 있다. 이와 같이, 제3 도전성 부재(1023)를 홀 부(1030)의 일부에만 형성함으로써, 홀 부(1030)에 채워지는 충진재가 제3 도전성 부재(1023)가 형성되지 않은 부분을 통해 홀 부(1030)의 내벽에 직접 접촉될 수 있다. 예를 들어, 충진재와 하우징(1010)이 합성 수지 소재로 형성되는 경우, 충진재와 하우징(1010)의 친화력이 충진재와 제3 도전성 부재(1023)의 친화력에 비해 상대적으로 좋을 수 있다. 따라서, 충진재가 홀 부(1030)의 내벽을 직접 접촉되면 충진재가 제3 도전성 부재(1023)에 접촉되는 것보다 홀 부(1030)에 안정적으로 안착될 수 있다.

[111] 도 13c를 참조하면, 홀 부(1060)는 하우징의 내면(1010B)에서 외면(1010A)으로 갈수록 직경이 달라지는 모양으로 형성될 수 있다. 예를 들어, 홀 부(1060)는 도 13c에 도시된 것과 같이, 하우징의 내면(1010B)에서 외면(1010A)으로 갈수록 직경이 작아지는 형태로 형성될 수 있다.

[112] 이상 설명한 홀 부(1030, 1060)의 형태와 치수는 예시에 불과하며 홀 부(1030)의 형태 및 치수는 다양한 설계 요소에 따라 다양하게 변경될 수 있다.

[113] 다음으로, 도 14 및 도 15a 내지 도 15c를 참조하여, 도전성 부재를 하우징에 형성하는 과정에 대해 설명하도록 한다.

[114] 도 14는, 본 문서에 개시된 다양한 실시예에 따른 전자 장치 제조 방법의 흐름도이다. 도 15a 내지 도 15c는, 본 문서에 개시된 다양한 실시예에 따른 전자 장치의 제조 방법에 따라 도전성 부재가 형성되는 모습을 설명하기 위한 도면이다.

[115] 이하 설명에서 “도금 영역”은 도금이 수행되는 영역으로 앞서 설명한 도전성 부재(1020)가 형성되는 부분을 의미할 수 있다. 따라서, 이하의 제1 도금 영역은 앞서 설명한 제1 도전성 부재(1021)가 형성된 부분으로 이해할 수 있고, 제2 도금 영역은 앞서 설명한 제2 도전성 부재(1022)가 형성된 부분으로 이해할 수 있고, 제3 도금 영역은 앞서 설명한 제3 도전성 부재(1023)가 형성된 부분으로 이해할 수 있다. 이하 설명에서는 도전성 부재(1020)와 대응하는 도금 영역을 도전성 부재와 동일한 부재 번호를 사용하여 설명하도록 한다. 도금 영역의 예시적인 위치는 도 10, 도 11a 및 도 11b를 참조하도록 한다.

[116] 또한 이하 설명에서 도전성 부재를 형성하는 과정은 앞서 도 5를 통해 설명한 과정과 유사할 수 있다. 따라서, 도 5를 통해 설명한 과정과 유사한 과정에

대해서는 “도 5를 참조”할 수 있다는 지시를 기재하고 자세한 설명은 생략하도록 한다.

[117] 또한, 도 14의 흐름도는 예시에 불과하다. 도 14에 도시된 단계를 일부 생략하거나 다른 단계를 추가하는 것이 가능하고 단계의 순서도 필요에 따라 다양하게 변경될 수 있다.

[118] 다양한 실시예에 따르면, 하우징(예: 도 10의 하우징(1010))에 홀 부(1030)를 형성할 수 있다(1401). 하우징에 형성되는 홀 부(1030)는 다양한 방식으로 형성될 수 있다. 예를 들어, 홀 부(1030)를 고려한 금형을 이용하여 하우징을 사출 방식으로 형성하여 홀 부(1030)가 형성된 하우징을 제작할 수 있고, 하우징에 가공체를 이용하여 홀 부(1030)를 형성할 수 있다. 이 밖에도 다양한 방법으로 홀 부(1030)를 형성할 수 있다.

[119] 다양한 실시예에 따르면, 하우징의 일부 영역에 트랜치(trench)(예: 도 6a의 트랜치(610))를 형성할 수 있다(1402). 트랜치는 산(예: 도 6a의 산(611))과 골(예: 도 6a의 골(612))이 연속된 미세 요철을 의미할 수 있다. 후술하는 제1 도금 단계(1404)에서 트랜치가 형성된 부분에 도금층(예: 도 6d의 도금층(620))이 형성될 수 있다. 따라서, 제1 도전성 부재(1021)가 형성되는 제1 도금 영역(예: 도 10의 제1 도전성 부재(1021)가 형성된 영역), 제2 도전성 부재(1022)가 형성되는 제2 도금 영역(예: 도 10의 제2 도전성 부재(1022)가 형성된 영역), 제3 도전성 부재(1023)가 형성되는 제3 도금 영역(예: 도 12의 제3 도전성 부재(1023)이 형성된 영역에 트랜치를 형성할 수 있다. 도 12를 통해 설명한 것과 같이, 제3 도전성 부재(1023)는 홀 부(1030) 내면의 일부 영역에만 형성될 수 있다. 홀 부(1030) 내면(1010B)의 일부 영역에만 트랜치를 형성함으로써, 제3 도전성 부재(1023)가 홀 부(1030) 내면의 일부 영역에만 형성될 수 있다. 트랜치 단계(1402)에 대한 더 자세한 설명은 도 5를 참조할 수 있다.

[120] 다양한 실시예에 따르면, 제1 폴리싱 단계(1403)를 수행할 수 있다. 제1 폴리싱 단계(1403)는 트랜치를 일부 절삭시키는 단계일 수 있다. 예를 들어, 제1 도금 영역, 제2 도금 영역 및 제3 도금 영역에 형성된 트랜치를 절삭할 수 있다. 제1 폴리싱 단계(1403)는 도장 단계(1410)에서 형성되는 도장층(예: 도 6e의 도장층(670))의 품질을 고려한 단계일 수 있다. 따라서, 제1 폴리싱 단계(1403)는 도장층이 형성되는 제1 도금 영역에만 수행될 수 있다. 제1 폴리싱 단계(1403)에 대한 더 자세한 설명은 도 5를 참조할 수 있다.

[121] 다양한 실시예에 따르면, 제1 폴리싱 단계(1403) 이후에 제1 도금 단계(1404)를 수행할 수 있다. 제1 도금 단계(1404)는 제1 도금 영역, 제2 도금 영역 및 제3 도금 영역에 제1 금속재를 포함하는 제1 도금층(예: 도 6d의 제1 도금층(620))을 형성하는 단계일 수 있다. 제1 도금 단계(1404)로 도금 영역에 형성된 제1 도금층은 도전성 부재의 일부를 형성할 수 있다. 제1 도금 단계(1404)에 대한 더 자세한 설명은 도 5를 참조할 수 있다.

[122] 다양한 실시예에 따르면, 제1 도금 단계(1404) 이후 제2 폴리싱 단계(1405)를

수행할 수 있다. 제2 폴리싱 단계(1405)는 제1 도금 단계(1404)로 형성된 제1 도금층의 일부를 절삭하는 단계일 수 있다. 제2 폴리싱 단계(1405)는 도장층의 품질을 고려한 단계일 수 있다. 따라서, 제2 폴리싱 단계(1405)는 도장층이 형성되는 제1 도금 영역에만 수행될 수 있다. 제2 폴리싱 단계(1405)에 대한 더 자세한 설명은 도 5를 참조할 수 있다.

[123] 다양한 실시예에 따르면, 제2 폴리싱 단계(1405) 이후 제2 도금 단계(1406)를 수행할 수 있다. 제2 도금 단계(1406)는 도금 영역에 제2 금속재를 포함하는 제2 도금층(예: 도 6e의 제2 도금층(630))을 형성하는 도금 단계일 수 있다. 제2 도금 단계(1406)는 제1 도금 단계(1404)와 유사한 도금 단계일 수 있다. 제2 도금 단계(1406)에 대한 더 자세한 설명은 제1 도금 단계(1404)를 설명한 도 5를 참조할 수 있다.

[124] 다양한 실시예에 따르면, 제2 도금 단계(1406) 이후 홀 부 채움 단계(1407)를 수행할 수 있다. 홀 부 채움 단계(1407)는 홀 부(1030)에 충진재를 채우는 단계일 수 있다. 충진재는 합성 수지 소재일 수 있다. 예를 들어, 충진재는 광 경화성 레진(예: UV resin)일 수 있다. 충진재는 다양한 방식으로 홀 부(1030)에 채워질 수 있다. 예를 들어, 디스펜싱(dispensing) 장치, 펌핑 장치, 젯트 펌핑 장치와 같은 용융된 액체를 특정 장소에 주입할 수 있는 다양한 장치를 이용하여 충진재를 홀 부(1030)에 채울 수 있다. 일 실시예에서, 홀 부(1030)의 제1 부분(예: 도 12의 제1 부분(1031))으로 충진재를 주입할 수 있다. 제1 부분(1031)으로 주입된 충진재는 도 15a에 도시된 것과 같이, 제2 부분(예: 도 12의 제2 부분(1032))을 통해 하우징(1010)의 외면(1010A)으로 일부 돌출(1510)될 수 있다. 다양한 실시예에 따르면, 충진재를 채운 이후, 충진재를 경화하는 과정을 포함하는 후처리 단계 수 있다. 충진재의 종류에 따라 다양한 방법을 사용할 수 있다. 광, 열, 촉매 등을 이용하여 충진재를 경화하는 후처리 단계를 수행할 수 있다.

[125] 다양한 실시예에 따르면, 홀 부 채움 단계(1407) 이후 추가 폴리싱 단계(1408)를 수행할 수 있다. 추가 폴리싱 단계(1408)는 앞서 홀 부 채움 단계(1407)에 의해 하우징(1010)의 외면(1010A)으로 일부 돌출된 충진재의 돌출부(1510)를 제거하는 단계일 수 있다. 도 15b를 참조하면, 추가 폴리싱 단계(1408)에 의해 충진재의 돌출부(1510)가 제거될 수 있다. 이 때, 하우징(1010) 외면(1010A)의 제1 도금 영역(1021)에 형성된 도금층의 일부에 흠집(C)이 형성될 수 있다. 이 때문에 제1 도금 영역(1021)의 도금층 표면이 불균일해질 수 있다.

[126] 다양한 실시예에 따르면, 추가 폴리싱 단계(1408) 이후 추가 도금 단계(1409)를 수행할 수 있다. 추가 도금 단계(1409)는 추가 폴리싱 단계(1408)에서 제1 도금 영역(1021)의 도금층 표면에 형성된 흠집(C)을 보상하는 도금 단계일 수 있다. 추가 도금 단계(1409)에 의해 제1 도금 영역(1021)의 도금층 표면에 새로운 도금층이 형성될 수 있다. 따라서, 도 15c에 도시된 것과 같이, 제1 도금 영역(1021)의 도금층의 표면 균일도가 향상될 수 있다.

[127] 다양한 실시예에 따르면, 추가 도금 단계(1409) 이후 도장 단계(1410)를 수행할

수 있다. 도장 단계(1410)는 하우징(1010)의 외면(1010A) 중 적어도 일부에 도장층을 형성하는 단계일 수 있다. 도 6e를 참조하면, 하우징(1010) 외면(1010A)에 형성된 도장층에 의해 제1 도금 영역(1021)이 가려질 수 있다. 본 문서에 개시된 다양한 실시예에서는 폴리싱 단계(예: 제1 폴리싱 단계(1403), 제2 폴리싱 단계(1405) 및 추가 폴리싱 단계(1408))와 홀 부 채움 단계(1407)를 통해 하우징(1010) 외면(1010A)의 표면 균일도가 향상될 수 있다. 이와 같이 표면이 고르게 정리된 하우징(1010) 외면(1010A)에 도장층을 형성함으로써, 도장층의 품질이 향상될 수 있다. 도장 단계(1410)에 대한 더 자세한 설명은 도 5를 참조할 수 있다.

[128] 본 문서에 개시된 다양한 실시예에 따른 전자 장치의 제조 방법은, 상기 전자 장치의 외관을 적어도 일부 형성하는 외부 하우징에서 외부로 노출되는 면인 제1 면의 적어도 일부 영역인 도금 영역에 트랜치(trench)를 형성하는 트랜치 단계, 상기 도금 영역에 제1 금속재를 포함하는 제1 도금층을 형성하는 제1 도금 단계, 상기 도금 영역을 폴리싱(polishing)하는 폴리싱 단계 및 상기 외부 하우징의 제1 면에 도장층을 형성하는 도장 단계를 포함할 수 있다.

[129] 또한, 상기 폴리싱 단계는, 상기 제1 도금 단계 이전에 상기 도금 영역을 폴리싱하는 제1 폴리싱 단계 및 상기 제1 도금 단계 이후에 상기 도금 영역을 폴리싱하는 제2 폴리싱 단계를 포함할 수 있다.

[130] 또한, 상기 트랜치를 형성하는 단계는, 상기 도금 영역에 산과 골이 연속된 미세 요철이 형성되도록 레이저(laser)를 조사하여 이루어질 수 있다.

[131] 또한, 상기 폴리싱 단계는, 상기 도금 영역과 상기 도금 영역을 제외한 기준 영역 사이의 단차를 줄일 수 있도록 상기 미세 요철의 산의 일부 및 상기 제1 도금층의 일부 중 적어도 하나를 절삭시키는 단계일 수 있다.

[132] 또한, 상기 제2 폴리싱 단계 이후 제2 금속재를 포함하는 제2 도금층을 형성하는 제2 도금 단계를 더 포함할 수 있다.

[133] 또한, 상기 제1 금속재는, 니켈(Ni), 구리(Cu), 은(Ag)을 포함하는 금속재 중 적어도 하나를 포함할 수 있다.

[134] 또한, 상기 제2 금속재는, 니켈(Ni)을 포함하는 금속재를 포함할 수 있다.

[135] 또한, 상기 도장 단계는, 상기 외부 하우징의 제1 면의 단차가 보상될 수 있도록 상기 제1 면에 보상층을 형성하는 단차 보상 단계, 상기 보상층에 색상을 갖는 컬러층을 형성하는 컬러 단계 및 상기 컬러층에 상기 컬러층을 보호할 수 있도록 보호층을 형성하는 보호 단계를 포함할 수 있다.

[136] 또한, 상기 도장 단계의 단차 보상 단계는, 서로 다른 종류의 프라이머(primer)를 이용하여 보상층을 형성할 수 있다.

[137] 본 문서에 개시된 다양한 실시예에 따른 전자 장치의 제조 방법은, 상기 전자 장치의 외관을 적어도 일부 형성하는 외부 하우징에서 외부로 노출되는 면인 제1 면의 반대 면인 제2 면의 적어도 일부 영역인 도금 영역에 트랜치(trench)를 형성하는 트랜치 단계, 상기 도금 영역을 폴리싱(polishing)하는 폴리싱 단계 및

상기 도금 영역에 제1 금속재를 포함하는 제1 도금층을 형성하는 제1 도금 단계를 포함할 수 있다.

[138] 또한, 상기 폴리싱 단계는, 상기 제1 도금 단계 이전에 상기 도금 영역을 폴리싱하는 제1 폴리싱 단계 및 상기 제1 도금 단계 이후에 상기 도금 영역을 폴리싱하는 제2 폴리싱 단계를 포함할 수 있다.

[139] 또한, 상기 제2 폴리싱 단계 이후 제2 금속재를 포함하는 제2 도금층을 형성하는 제2 도금 단계를 더 포함할 수 있다.

[140] 또한, 상기 도금 영역은, 상기 전자 장치의 발열 부품과 대면하는 영역일 수 있다.

[141] 본 문서에 개시된 다양한 실시예에 따른 전자 장치는, 상기 전자 장치의 외관을 형성하는 외부 하우징, 상기 외부 하우징에서 외부로 노출되는 제1 면의 적어도 일부 영역인 도금 영역에 배치되는 도전성 부재 및 상기 도금 영역에 배치된 도전성 부재가 가려지도록 상기 제1 면에 형성되는 도장층을 포함할 수 있다.

[142] 또한, 상기 도전성 부재와 도장층은, 상기 도금 영역에 트랜치(trench)를 형성하는 트랜치 단계, 상기 도금 영역에 제1 금속재를 포함하는 제1 도금층을 형성하는 제1 도금 단계, 상기 도금 영역을 폴리싱(polishing)하는 폴리싱 단계 및 상기 외부 하우징의 제1 면에 도장층을 형성하는 도장 단계를 포함하는 제조 방법으로 형성될 수 있다.

[143] 또한, 상기 제조 방법의 폴리싱 단계는, 상기 제1 도금 단계 이전에 상기 도금 영역을 폴리싱하는 제1 폴리싱 단계 및 상기 제1 도금 단계 이후에 상기 도금 영역을 폴리싱하는 제2 폴리싱 단계를 포함할 수 있다.

[144] 또한, 상기 제조 방법의 트랜치 단계는, 상기 도금 영역에 산과 골이 연속된 미세 요철이 형성되도록 레이저(laser)를 조사하여 이루어질 수 있다.

[145] 또한, 상기 제조 방법의 폴리싱 단계는, 상기 도금 영역과 상기 도금 영역을 제외한 기준 영역 사이의 단차를 줄일 수 있도록 상기 미세 요철의 산의 일부 및 상기 제1 도금층의 일부 중 적어도 하나를 절삭시키는 단계일 수 있다.

[146] 또한, 상기 제조 방법은, 상기 제2 폴리싱 단계 이후 제2 금속재를 포함하는 제2 도금층을 형성하는 제2 도금 단계를 더 포함할 수 있다.

[147] 또한, 상기 도금 영역은, 상기 외부 하우징의 다른 영역에 비해 두껍게 형성된 영역일 수 있다.

[148] 본 문서에 개시된 다양한 실시예에 따른 전자 장치의 제조 방법은, 상기 전자 장치의 외관의 적어도 일부를 형성하는 하우징에 홀(hole) 부를 형성하는 단계, 상기 하우징의 외면의 적어도 일부 영역인 제1 도금 영역에 트랜치(trench)를 형성하고, 상기 하우징의 내면의 적어도 일부 영역인 제2 도금 영역에 트랜치를 형성하고, 상기 제1 도금 영역 및 상기 제2 도금 영역과 연결되고 상기 전자 장치에 형성된 홀 부의 내면의 적어도 일부 영역인 제3 도금 영역에 트랜치를 형성하는 트랜치 단계, 상기 제1 도금 영역, 상기 제2 도금 영역 및 상기 제3 도금 영역 중 적어도 하나에 제1 금속재를 포함하는 제1 도금층을 형성하는 제1 도금

단계, 상기 제1 도금 영역을 폴리싱(polishing)하는 폴리싱 단계, 상기 홀 부에 충진재를 채우는 채움 단계, 상기 홀 부에 채워져 상기 하우징 외면으로 돌출된 충진재의 일부를 포함하여 상기 제1 도금 영역을 폴리싱하는 추가 폴리싱 단계 및 상기 제1 도금 영역을 도금하는 추가 도금 단계를 포함할 수 있다.

[149] 또한, 상기 폴리싱 단계는, 상기 제1 도금 단계 이전에 상기 도금 영역을 폴리싱하는 제1 폴리싱 단계 및 상기 제1 도금 단계 이후에 상기 도금 영역을 폴리싱하는 제2 폴리싱 단계를 포함할 수 있다.

[150] 또한, 상기 제2 폴리싱 단계 이후 제2 금속재를 포함하는 제2 도금층을 형성하는 제2 도금 단계를 더 포함할 수 있다.

[151] 또한, 상기 제3 도금 영역은, 상기 홀 부 내면의 일부 영역에 해당하고, 상기 홀 부 내면에서 제3 도금 영역을 제외한 영역은 상기 충진재와 직접 접촉될 수 있다.

[152] 또한, 상기 홀 부는, 제1 직경으로 상기 하우징의 내면에서 상기 하우징의 외면 방향으로 형성된 제1 부분과, 상기 제1 직경보다 작은 제2 직경으로 상기 제1 부분의 말단에서 상기 하우징의 외면 방향으로 점차 직경이 줄어들도록 형성된 제2 부분을 포함할 수 있다.

[153] 또한, 상기 하우징의 외면에 도장층을 형성하는 도장 단계를 더 포함할 수 있다.

[154] 본 문서에 개시된 다양한 실시예에 따른 전자 장치는, 상기 전자 장치의 외관의 적어도 일부를 형성하고 홀(hole) 부가 형성된 하우징, 상기 하우징의 외면의 적어도 일부 영역에 도금 방식으로 형성되는 제1 도전성 부재, 상기 하우징의 내면의 적어도 일부 영역에 도금 방식으로 형성되는 제2 도전성 부재, 상기 홀 부의 내면의 적어도 일부 영역에 도금 방식으로 형성되어 상기 제1 도전성 부재 및 상기 제2 도전성 부재를 연결하는 제3 도전성 부재 및 상기 하우징의 외면에 형성되는 도장층을 포함할 수 있다.

[155] 또한, 상기 제3 도전성 부재는,

[156] 상기 홀 부 내면의 일부 영역에 형성되고, 상기 홀 부 내면에서 제3 도전성부재가 형성된 부분을 제외한 영역은 상기 홀 부에 채워지는 충진재와 직접 접촉되는 전자 장치.

[157] 또한, 상기 홀 부는, 제1 직경으로 상기 하우징의 내면에서 상기 하우징의 외면 방향으로 형성된 제1 부분과, 상기 제1 직경보다 작은 제2 직경으로 상기 제1 부분의 말단에서 상기 하우징의 외면 방향으로 점차 직경이 줄어들도록 형성된 제2 부분을 포함할 수 있다.

[158] 전자 장치의 케이스는 전자 장치의 외관을 형성하는 기구물을 의미할 수 있다. 전자 장치의 케이스는 앞서 설명한 방법으로 제작될 수 있다. 예를 들어, 전자 장치 케이스는 외부 하우징, 외부 하우징에 형성된 트랜치에 도금되는 도전성 부재 및 도장층을 포함할 수 있다.

[159] 그리고 본 명세서와 도면에 개시된 본 문서에 개시된 실시예들은 본 문서에 개시된 실시예에 따른 기술 내용을 쉽게 설명하고 본 문서에 개시된 실시예의 이해를 돕기 위해 특정 예를 제시한 것일 뿐이며, 본 문서에 개시된 실시예의

범위를 한정하고자 하는 것은 아니다. 따라서 본 문서에 개시된 다양한 실시예의 범위는 여기에 개시된 실시예들 이외에도 본 문서에 개시된 다양한 실시예의 기술적 사상을 바탕으로 도출되는 모든 변경 또는 변형된 형태가 본 문서에 개시된 다양한 실시예의 범위에 포함되는 것으로 해석되어야 한다.

청구범위

[청구항 1] 전자 장치에 있어서,
적어도 일부가 상기 전자 장치의 외관을 형성하는 외부 하우징;
상기 외부 하우징의 표면에 대하여 오목하게 형성된 골, 상기 외부 하우징의 표면에 대하여 볼록하게 형성되되 말단이 일부 제거된 산을 포함하는 트랜치(trench);
상기 트랜치에 도금되는 제1 도전성 부재; 및
상기 제1 도전성 부재가 가려지도록 상기 외부 하우징 상에 적층되는 도장층;을 포함하는 전자 장치.

[청구항 2] 제1항에 있어서,
상기 제1 도전성 부재는,
상기 트랜치의 산에 대응하는 부분이 일부 제거된 영역을 포함하는 전자 장치.

[청구항 3] 제1항에 있어서,
상기 제1 도전성 부재와 상기 도장층 사이에 배치되는 제2 도전성 부재;를 더 포함하는 전자 장치.

[청구항 4] 제1항에 있어서,
상기 외부 하우징의 제1 면의 일 영역에는,
상기 트랜치, 상기 제1 도전성 부재 및 상기 도장층이 위치하고,
상기 외부 하우징의 제1 면의 반대면인 제2 면의 일 영역에는,
제2 도전성 부재가 도금되는 전자 장치.

[청구항 5] 제4항에 있어서,
상기 외부 하우징에 형성된 홀 부; 및
상기 홀 부에 도금되어 상기 제1 도전성 부재 및 상기 제2 도전성 부재를 연결하는 제3 도전성 부재;를 더 포함하는 전자 장치.

[청구항 6] 제5항에 있어서,
상기 제3 도전성 부재는,
상기 홀 부 내면의 일부에 도금되고, 상기 홀 부에서 제3 도전성 부재가 도금되지 않은 영역은 상기 홀 부에 채워지는 충진재와 직접 접촉되는 전자 장치.

[청구항 7] 제5항에 있어서,
상기 홀 부는,
제1 직경으로 상기 외부 하우징의 제2 면에서 상기 하우징의 제1 면 방향으로 형성된 제1 부분과, 상기 제1 직경보다 작은 제2 직경으로 상기 제1 부분의 말단에서 상기 외부 하우징의 제1 면 방향으로 점차 직경이 줄어들도록 형성된 제2 부분을 포함하는 전자 장치.

[청구항 8] 전자 장치의 제조 방법에 있어서,

상기 전자 장치의 외관을 적어도 일부 형성하는 외부 하우징에서 외부로 노출되는 면인 제1 면의 적어도 일부 영역인 제1 도금 영역에 트렌치(trench)를 형성하는 트렌치 단계;
상기 제1 도금 영역에 제1 금속재를 포함하는 제1 도금층을 형성하는 제1 도금 단계;
상기 제1 도금 영역을 폴리싱(polishing)하는 폴리싱 단계; 및
상기 외부 하우징의 제1 면에 도장층을 형성하는 도장 단계;를 포함하는 전자 장치의 제조 방법.

[청구항 9] 제8항에 있어서,
상기 폴리싱 단계는,
상기 제1 도금 단계 이전에 상기 제1 도금 영역을 폴리싱하는 제1 폴리싱 단계 및 상기 제1 도금 단계 이후에 상기 제1 도금 영역을 폴리싱하는 제2 폴리싱 단계를 포함하는 전자 장치의 제조 방법.

[청구항 10] 제9항에 있어서,
상기 폴리싱 단계는,
상기 제1 도금 영역과 상기 제1 도금 영역을 제외한 기준 영역 사이의 단차를 줄일 수 있도록 상기 미세 요철의 산의 일부 및 상기 제1 도금층의 일부 중 적어도 하나를 절삭시키는 단계인 전자 장치의 제조 방법.

[청구항 11] 제8항에 있어서,
상기 도장 단계는,
상기 외부 하우징의 제1 면의 단차가 보상될 수 있도록 상기 제1 면에 보상층을 형성하는 단차 보상 단계,
상기 보상층에 색상을 갖는 컬러층을 형성하는 컬러 단계 및
상기 컬러층에 상기 컬러층을 보호할 수 있도록 보호층을 형성하는 보호 단계를 포함하고,
상기 도장 단계의 단차 보상 단계는,
서로 다른 종류의 프라이머(primer)를 이용하여 보상층을 형성하는 전자 장치의 제조 방법.

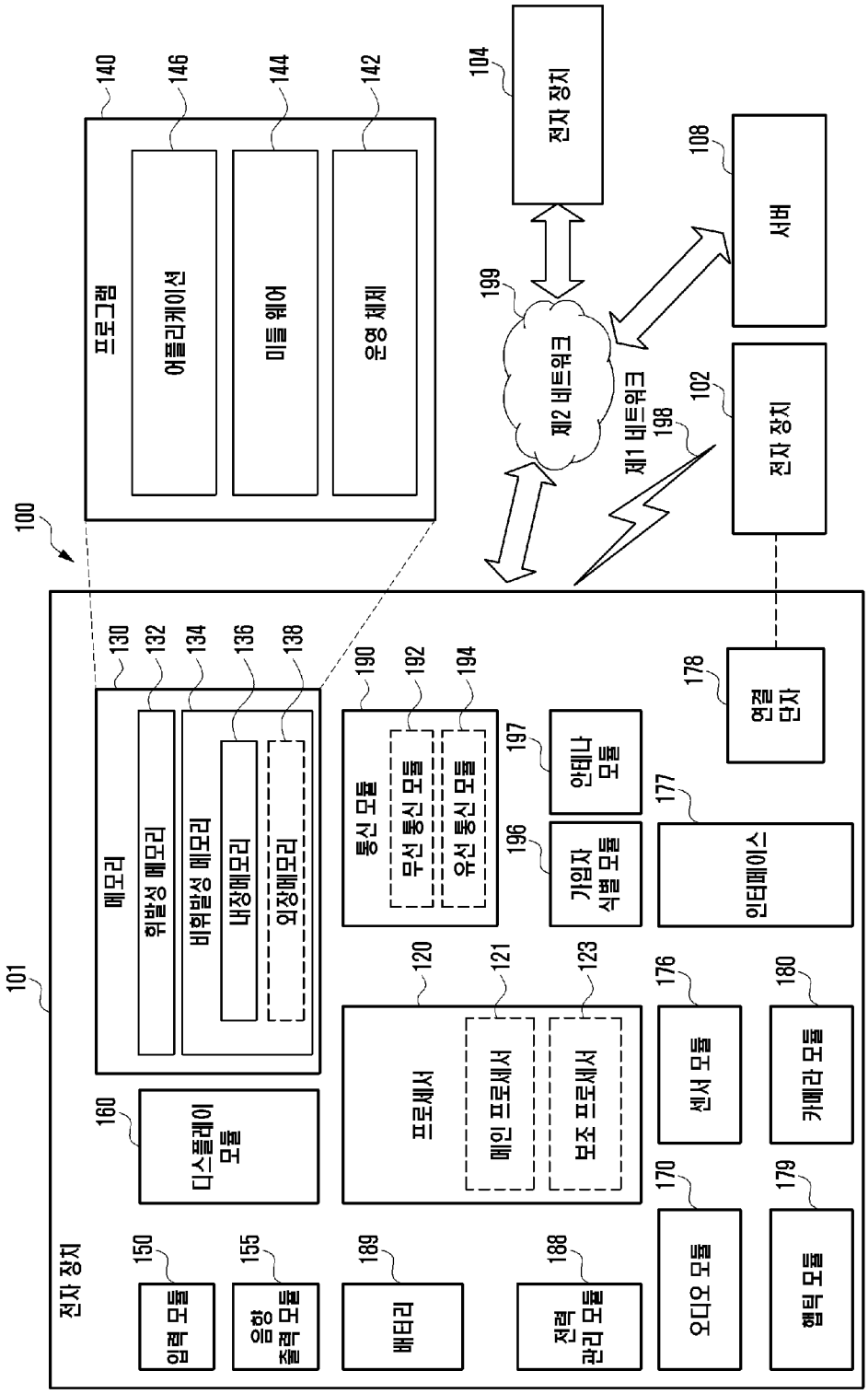
[청구항 12] 제8항에 있어서,
상기 외부 하우징에 홀(hole) 부를 형성하는 단계;를 더 포함하고,
상기 트렌치 단계는,
상기 외부 하우징의 제1 면의 반대 면인 제2 면의 적어도 일부 영역인 제2 도금 영역과 상기 홀 부의 내면의 적어도 일부 영역인 제3 도금 영역에 트렌치를 형성하는 단계를 포함하고,
상기 제1 도금 단계는,
상기 제1 도금 영역, 상기 제2 도금 영역 및 상기 제3 도금 영역 중 적어도 하나에 제1 금속재를 포함하는 제1 도금층을 형성하는 단계를 포함하는 전자 장치의 제조 방법.

[청구항 13] 제12항에 있어서,
상기 홀 부에 충진재를 채우는 채움 단계;
상기 홀 부에 채워져 상기 외부 하우징 외면으로 돌출된 충진재의 일부를 포함하여 상기 제1 도금 영역을 폴리싱하는 추가 폴리싱 단계; 및
상기 제1 도금 영역을 도금하는 추가 도금 단계;를 더 포함하는 전자 장치의 제조 방법.

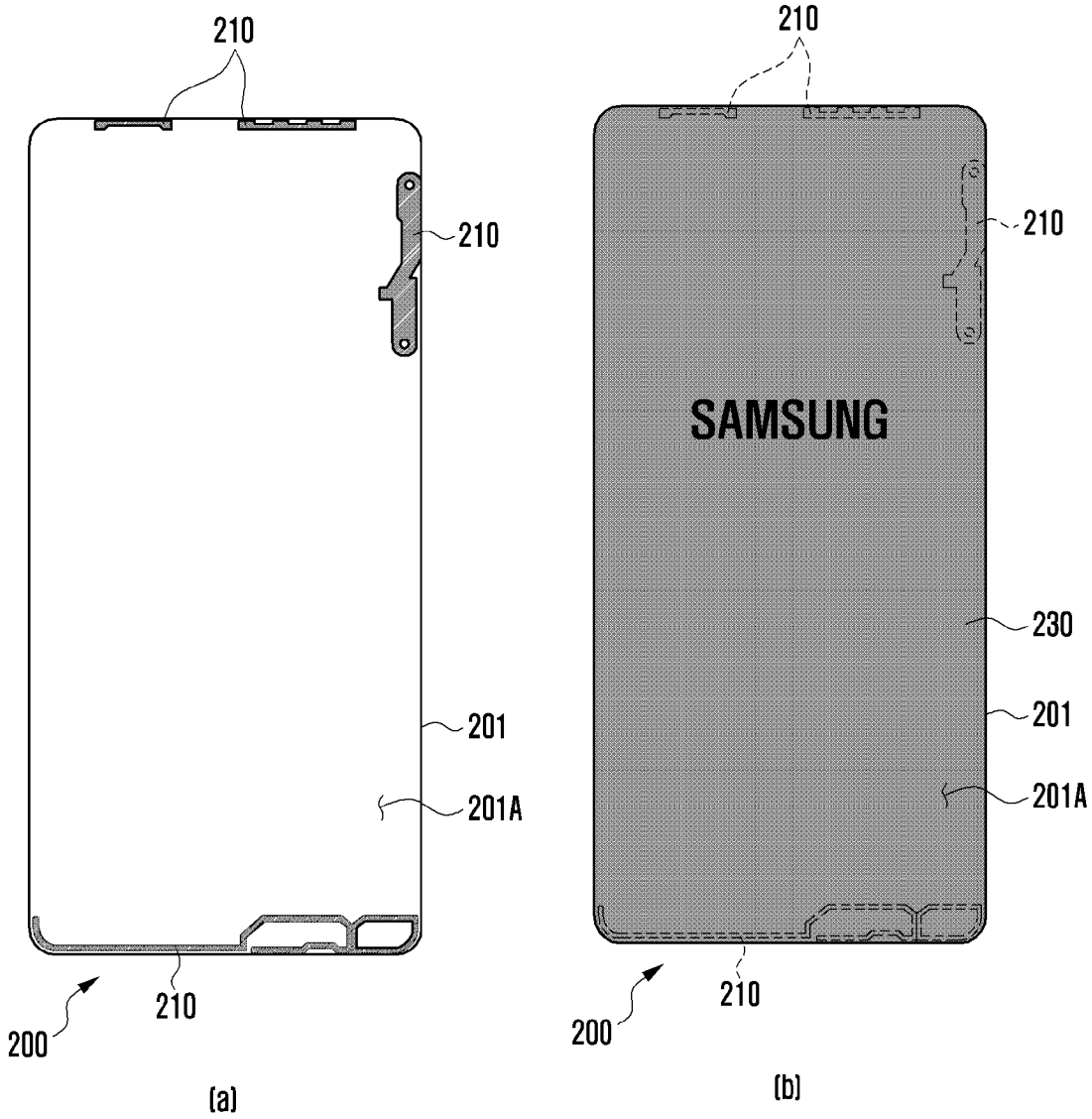
[청구항 14] 전자 장치의 케이스에 있어서,
외부 하우징;
상기 외부 하우징의 표면에 대하여 오목하게 형성된 골, 상기 외부 하우징의 표면에 대하여 볼록하게 형성되되 말단이 일부 제거된 산을 포함하는 트랜치(trench);
상기 트랜치에 도금되는 제1 도전성 부재; 및
상기 제1 도전성 부재가 가려지도록 상기 외부 하우징 상에 적층되는 도장층;을 포함하는 전자 장치의 케이스.

[청구항 15] 제14항에 있어서,
상기 외부 하우징의 제1 면의 일 영역에는,
상기 트랜치, 상기 제1 도전성 부재 및 상기 도장층이 위치하고,
상기 외부 하우징의 제1 면의 반대면인 제2 면의 일 영역에는,
제2 도전성 부재가 도금되고,
상기 외부 하우징에 형성된 홀 부; 및
상기 홀 부에 도금되어 상기 제1 도전성 부재 및 상기 제2 도전성 부재를 연결하는 제3 도전성 부재;를 더 포함하는 전자 장치의 케이스.

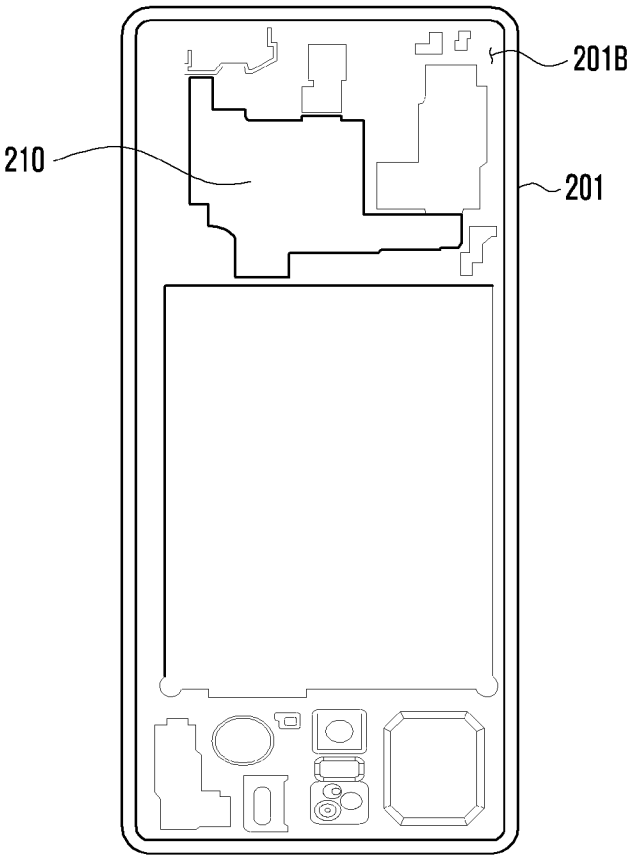
[도1]


104
전자 장치
108
서버
199
제2 네트워크
198
제1 네트워크
102
전자 장치
140
146
144
142
프로그램
어플리케이션
미들 웨어
운영 체제
100
101
130
132
134
136
138
메모리
휘발성 메모리
비휘발성 메모리
내장메모리
외장메모리
190
192
194
통신 모듈
무선 통신 모듈
유선 통신 모듈
197
안테나 모듈
196
가입자 식별 모듈
178
연결 단자
177
인터페이스
160
디스플레이 모듈
120
121
123
프로세서
메인 프로세서
보조 프로세서
176
센서 모듈
180
카메라 모듈
170
179
전자 장치
150
입력 모듈
155
음향 출력 모듈
189
배터리
188
전력 관리 모듈
오디오 모듈
햅틱 모듈

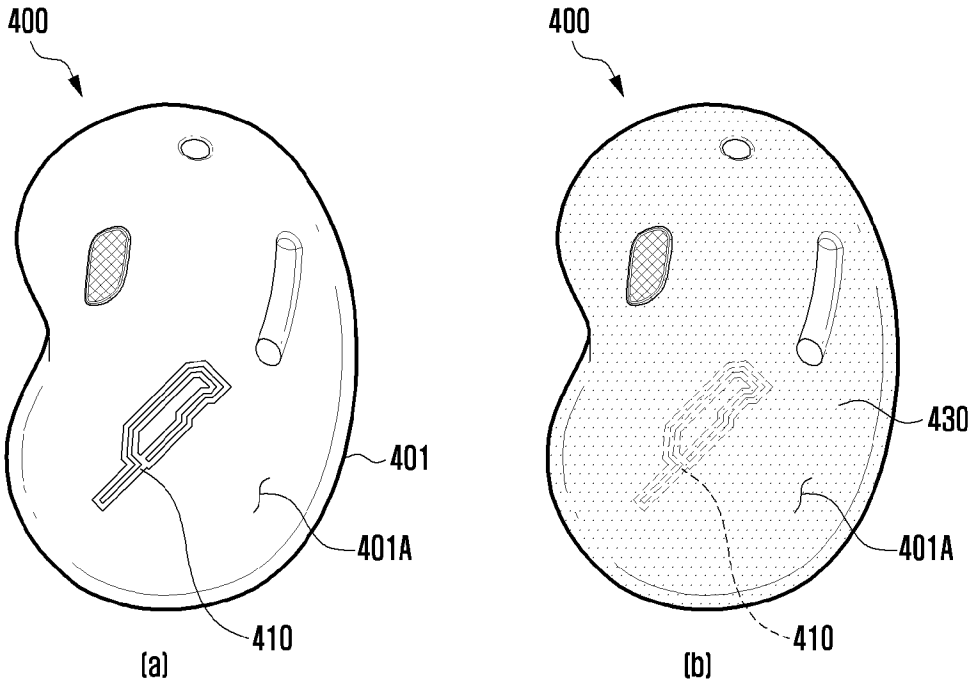
[도2]


210
210
201
201A
210
200
(a)
210
210
SAMSUNG
230
201
201A
210
200
(b)

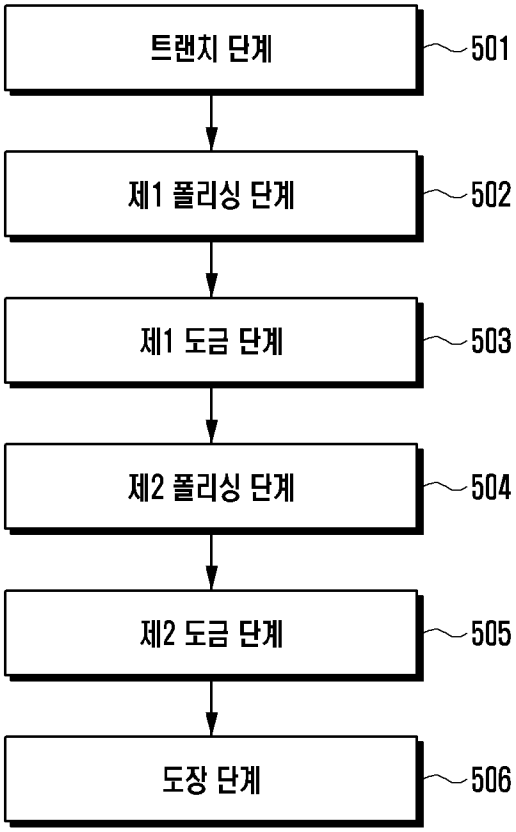
[도3]



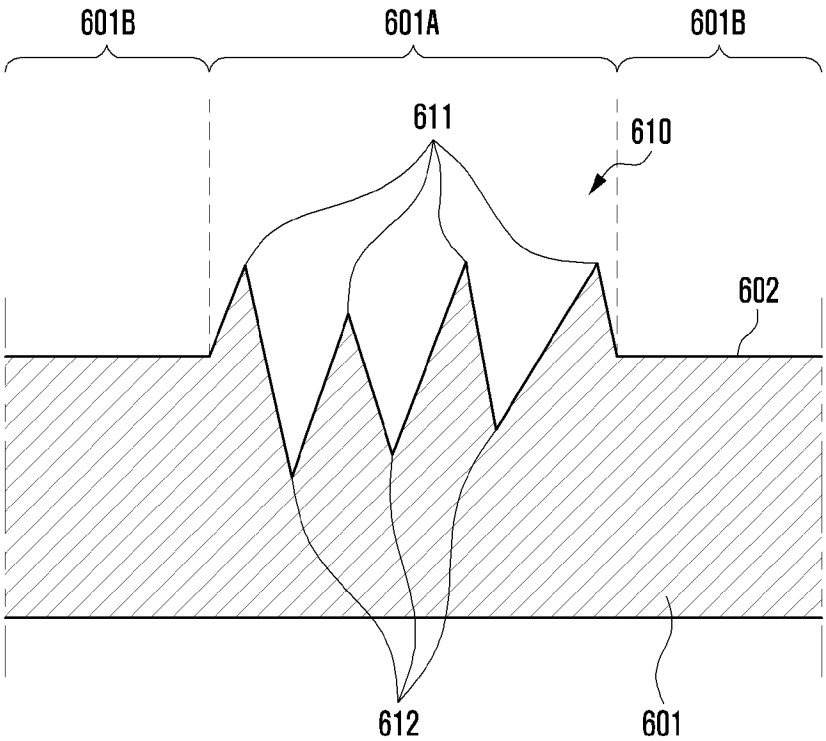
[도4]



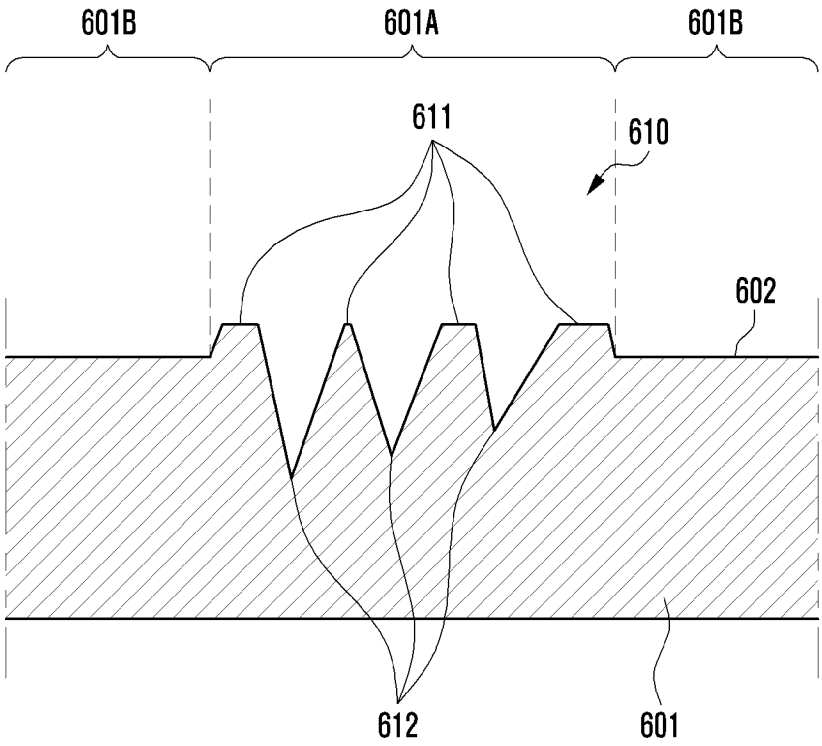
[도5]


트랜치 단계
501
제1 폴리싱 단계
502
제1 도금 단계
503
제2 폴리싱 단계
504
제2 도금 단계
505
도장 단계
506

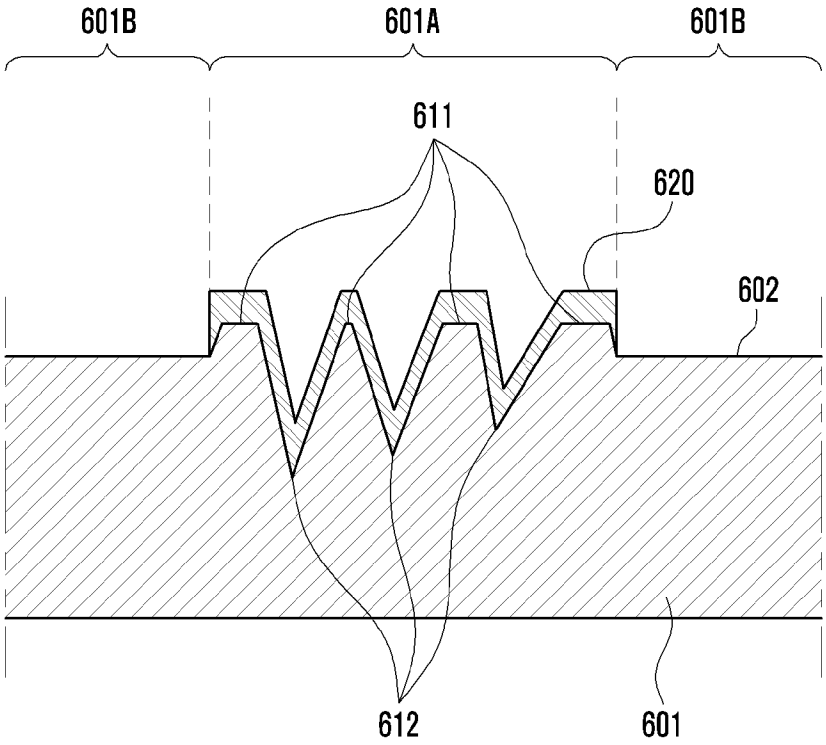
[도6a]


601B
601A
601B
611
610
602
612
601

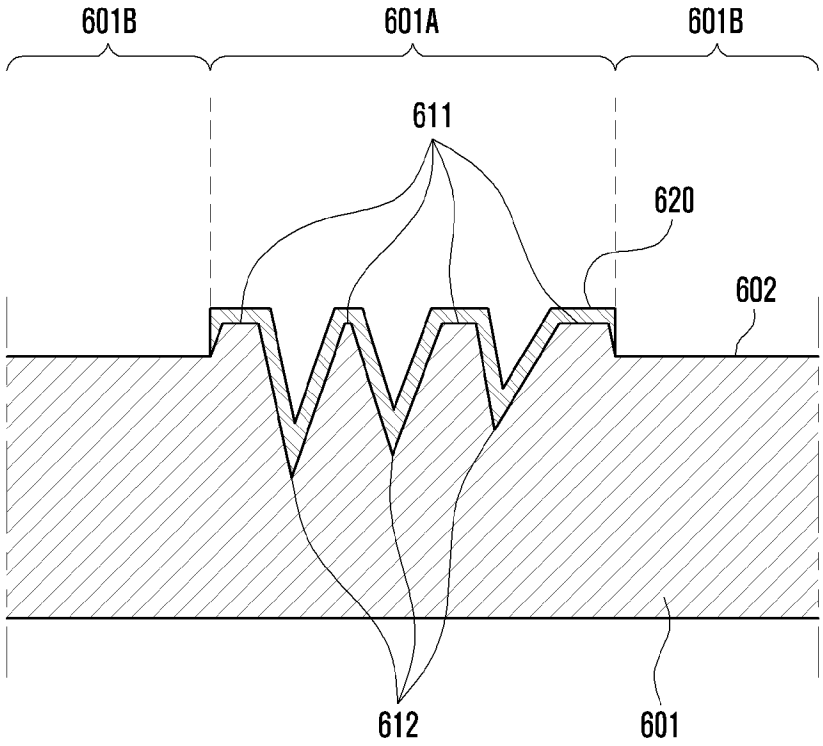
[도6b]


601B
601A
601B
611
610
602
612
601

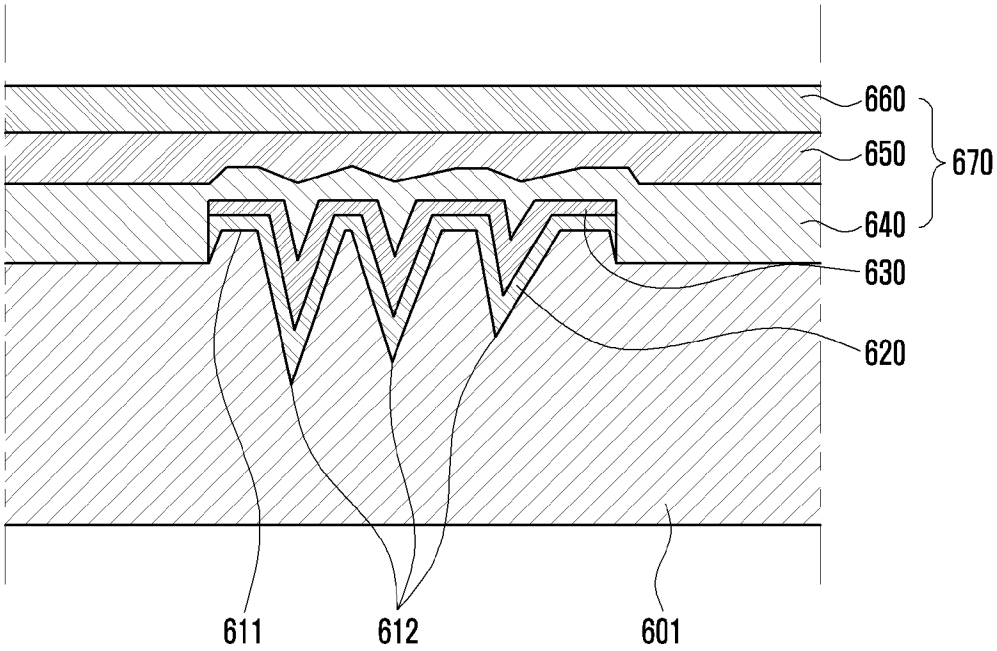
[도6c]


601B
601A
601B
611
620
602
612
601

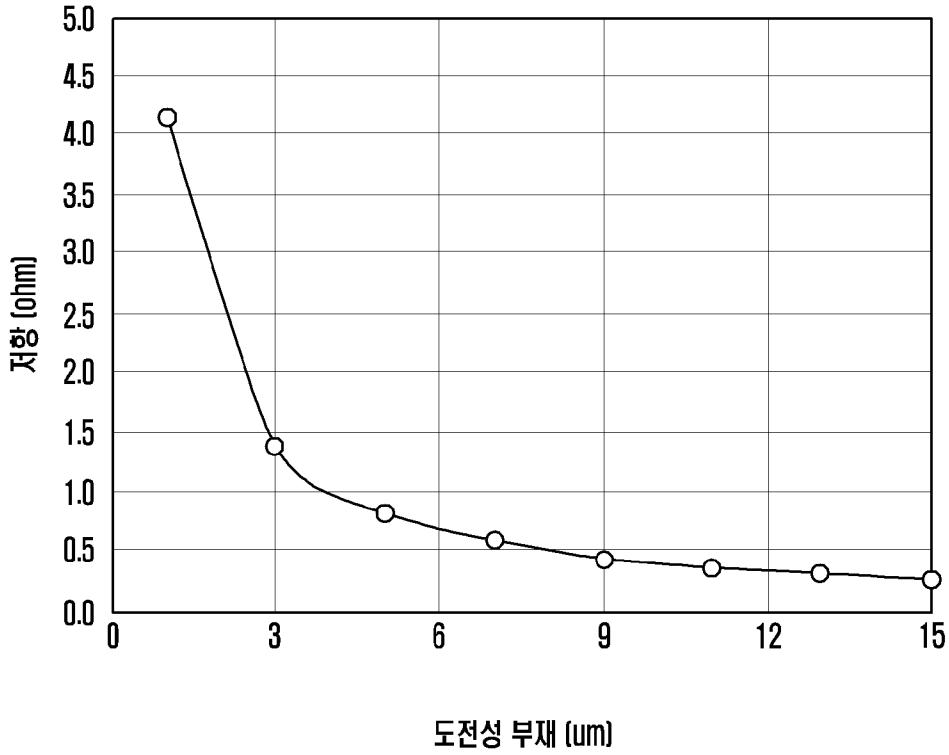
[도6d]


601B
601A
601B
611
620
602
612
601

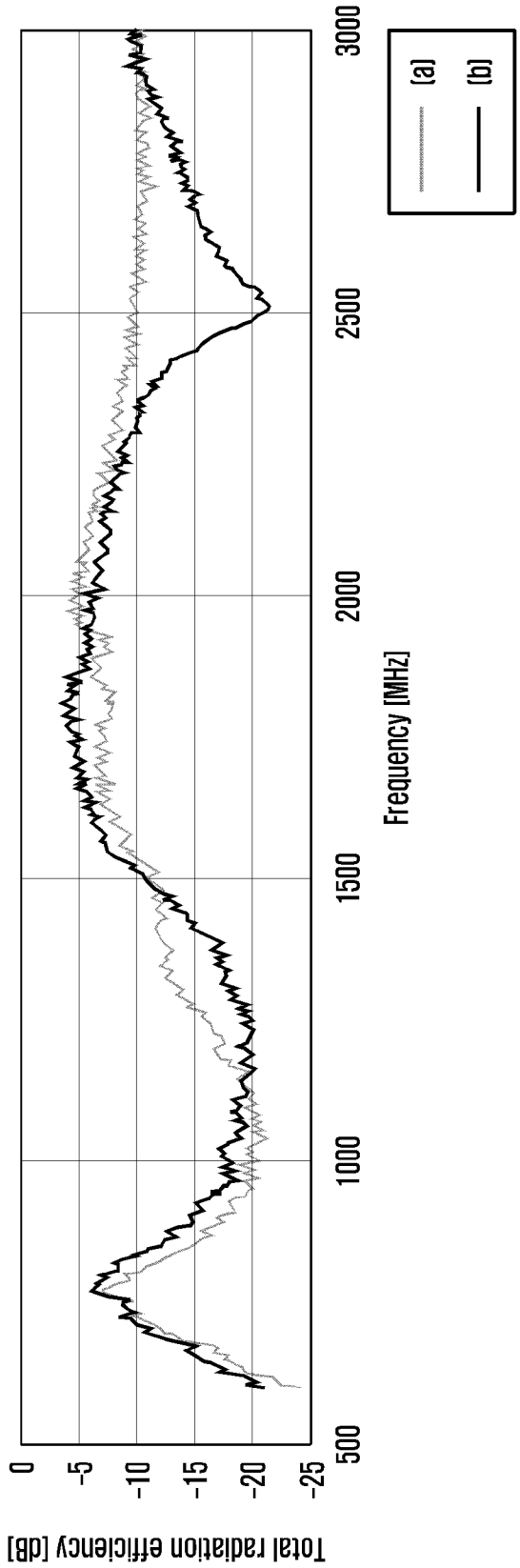
[도6e]


660
650
670
640
630
620
611
612
601

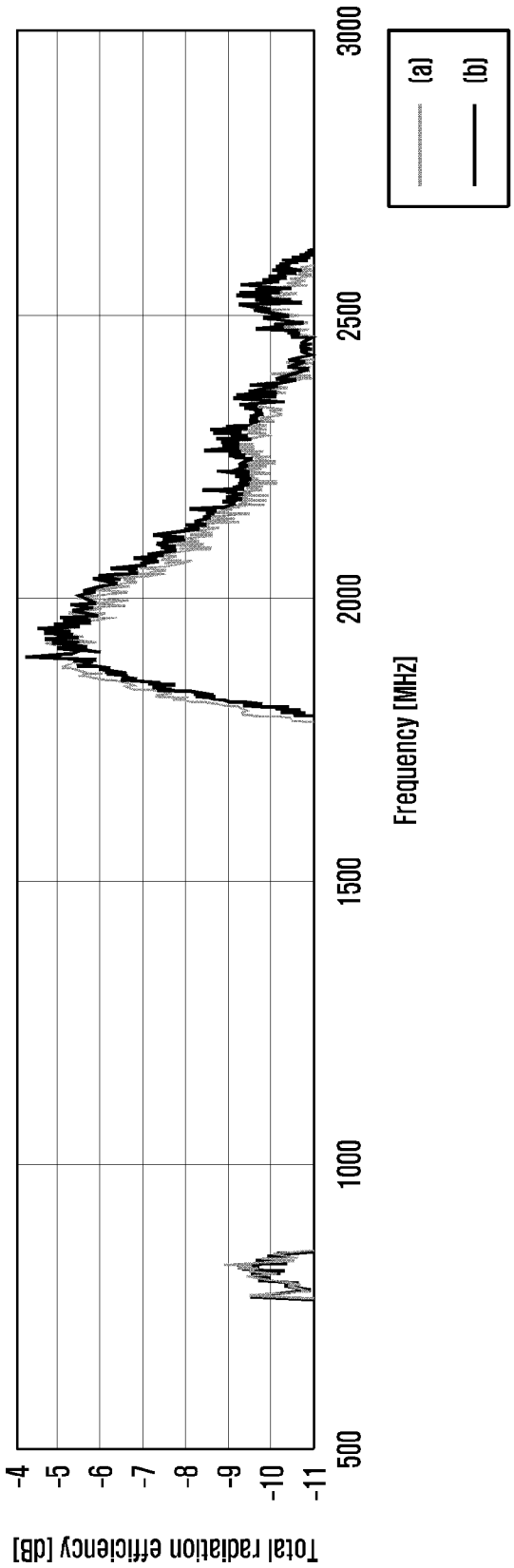
[도7]



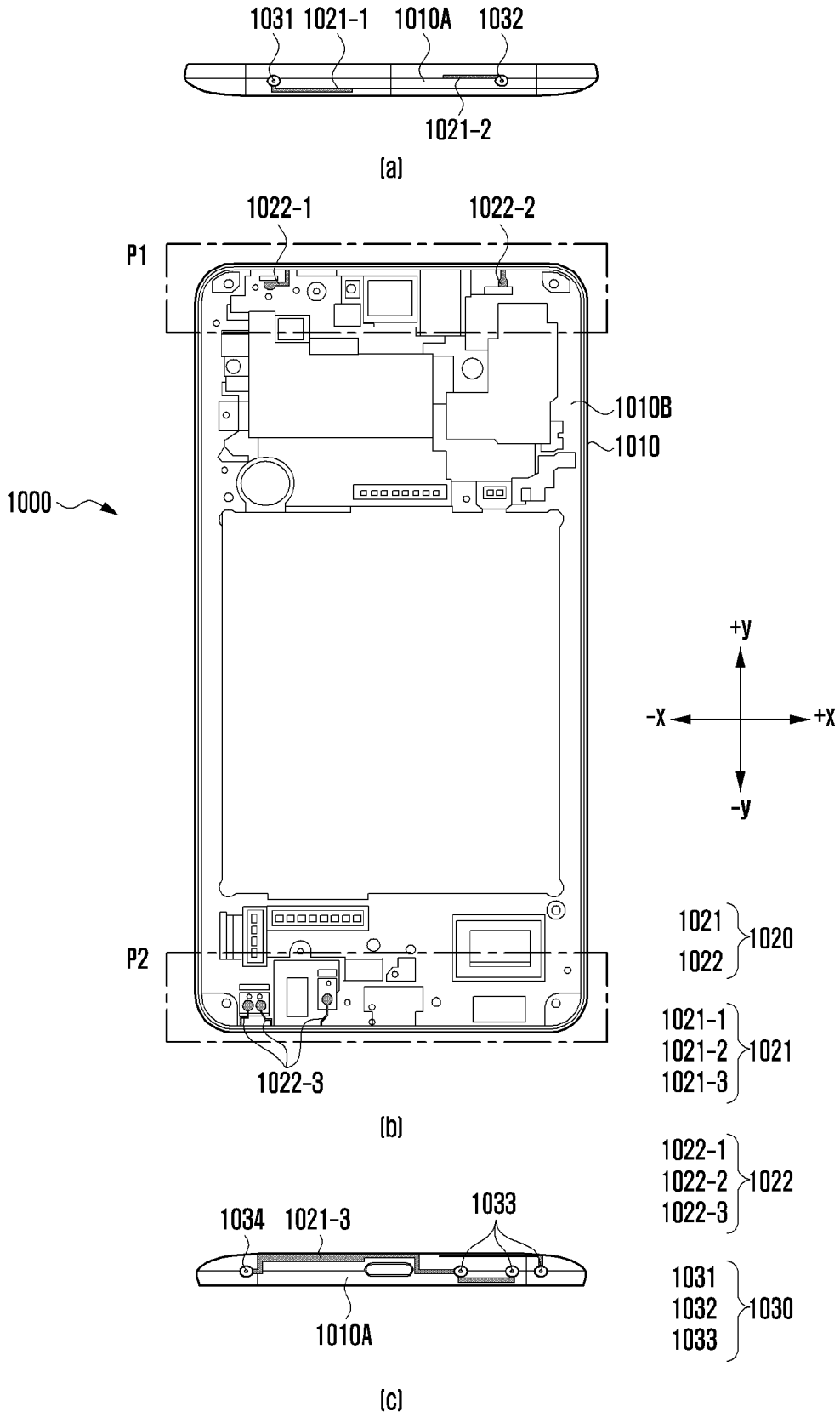
[도8]


Total radiation efficiency [dB]
0
-5
-10
-15
-20
-25
500
1000
1500
2000
2500
3000
Frequency [MHz]
(a)
(b)

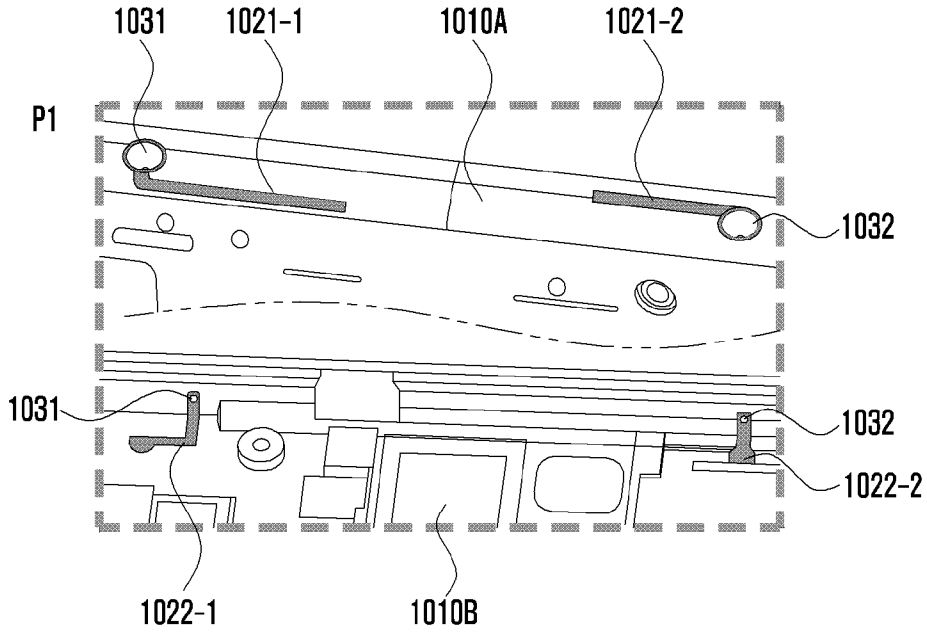
[도9]


Total radiation efficiency [dB]
-4
-5
-6
-7
-8
-9
-10
-11
500
1000
1500
2000
2500
3000
Frequency [MHz]
(a)
(b)

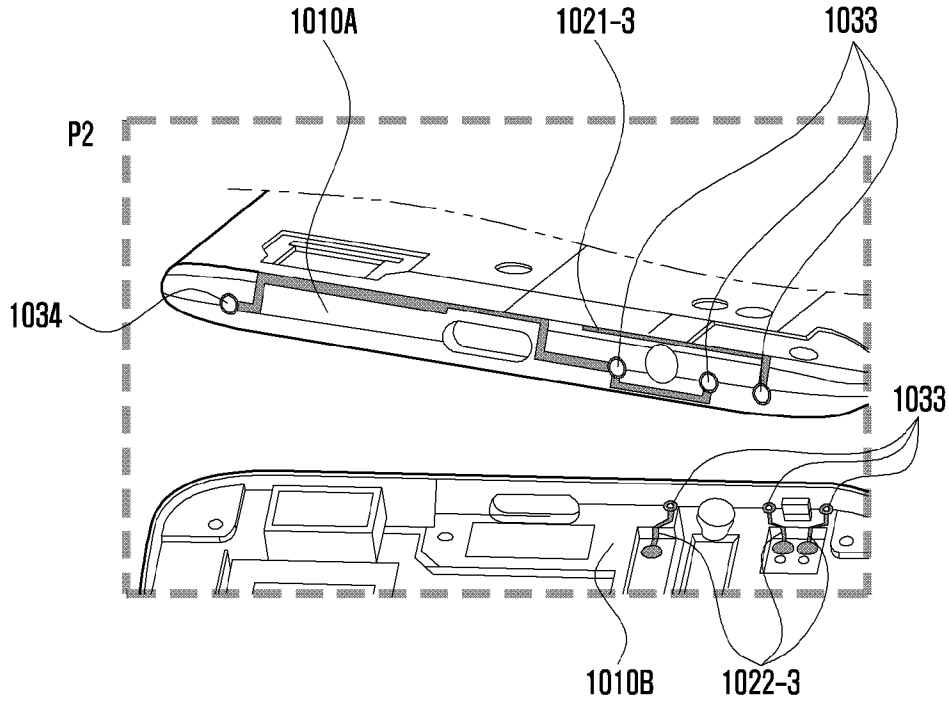
[도10]


1031
1021-1
1010A
1032
1021-2
(a)
1022-1
1022-2
P1
1010B
1010
1000
+y
-x
+x
-y
1021
1022
1020
P2
1021-1
1021-2
1021-3
1021
1022-3
(b)
1022-1
1022-2
1022-3
1022
1034
1021-3
1033
1031
1032
1033
1030
1010A
(c)

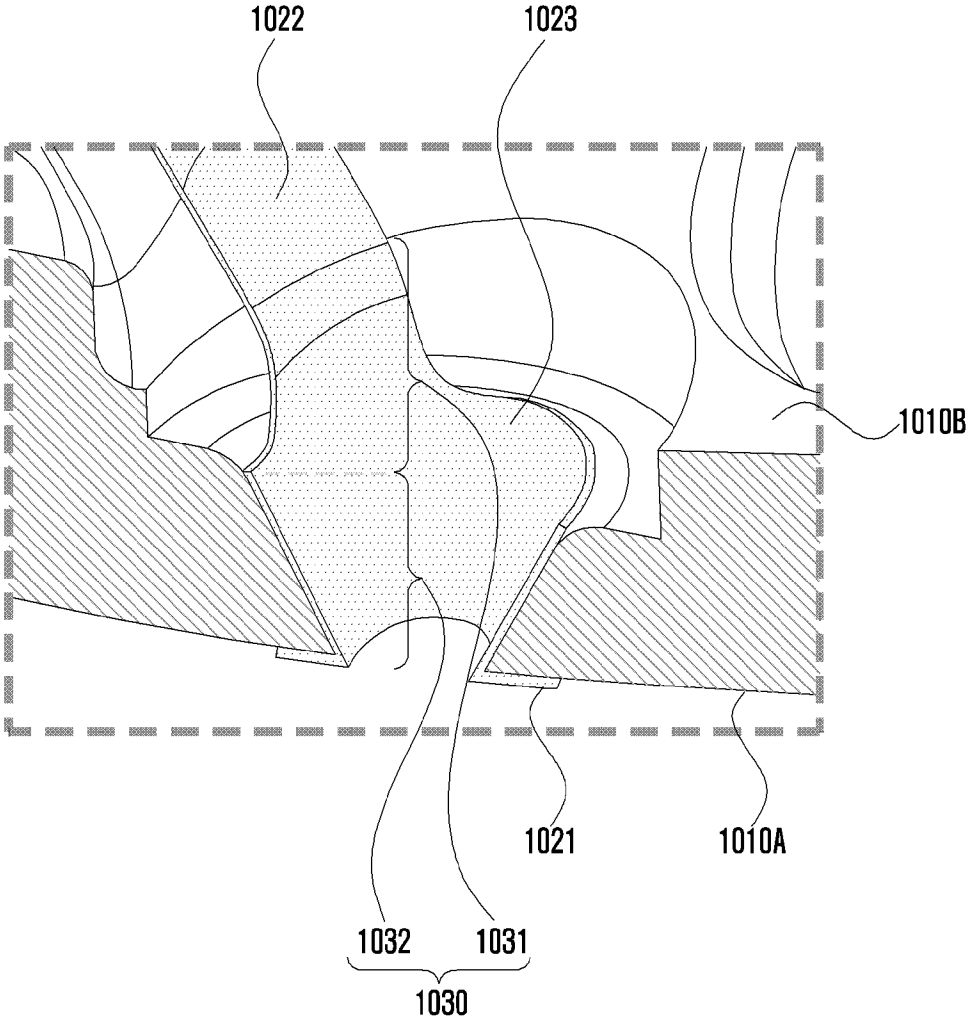
[도11a]


1031
1021-1
1010A
1021-2
P1
1032
1031
1032
1022-2
1022-1
1010B

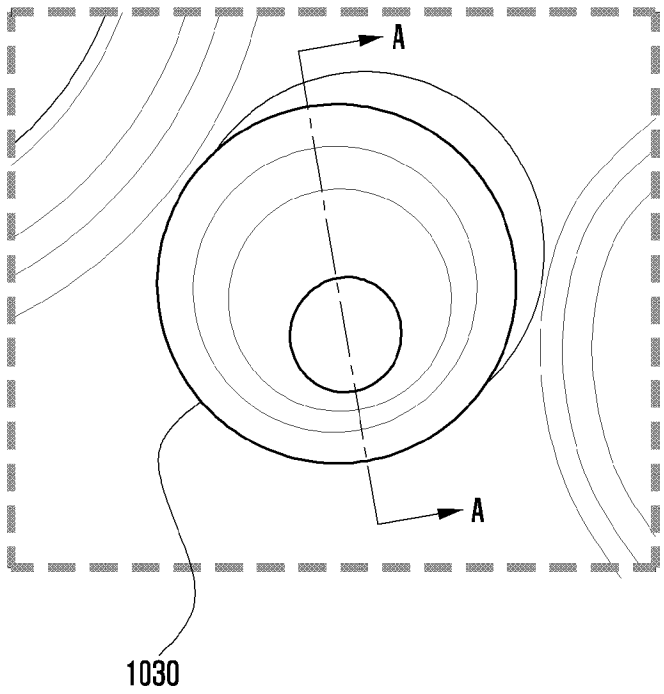
[도11b]


1010A
1021-3
1033
P2
1034
1033
1010B
1022-3

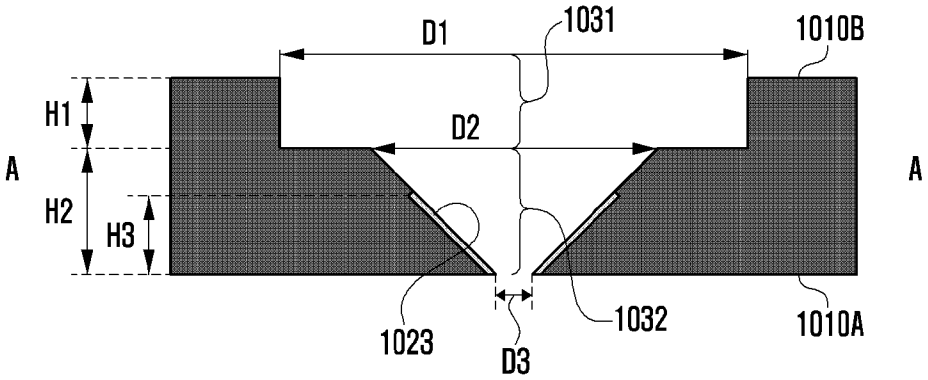
[도12]



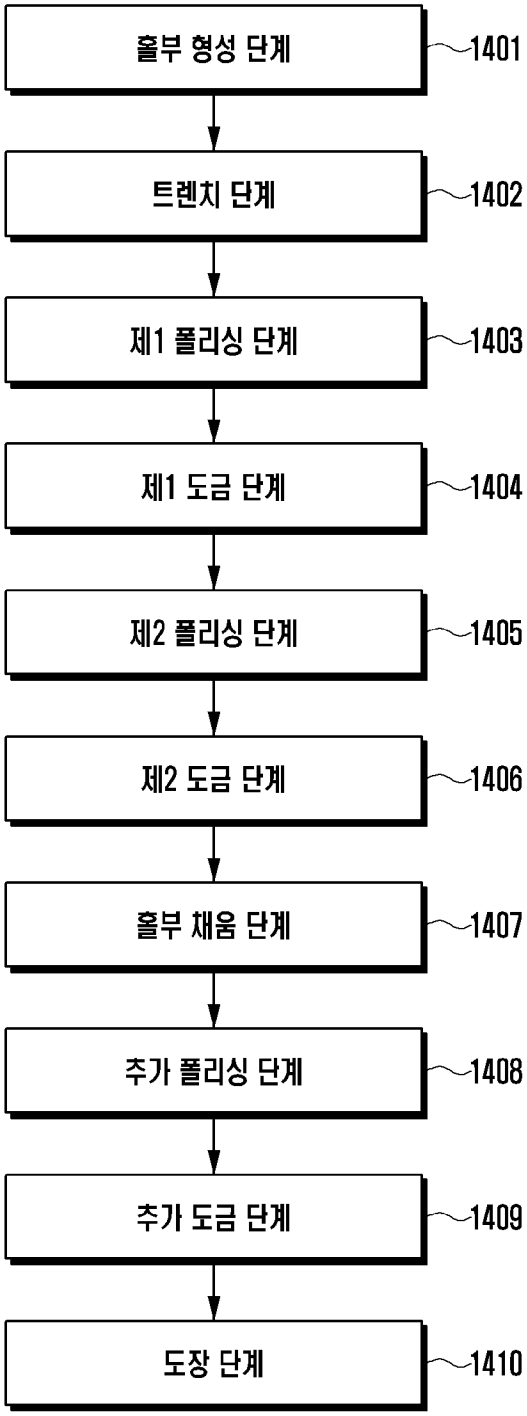
[도13a]



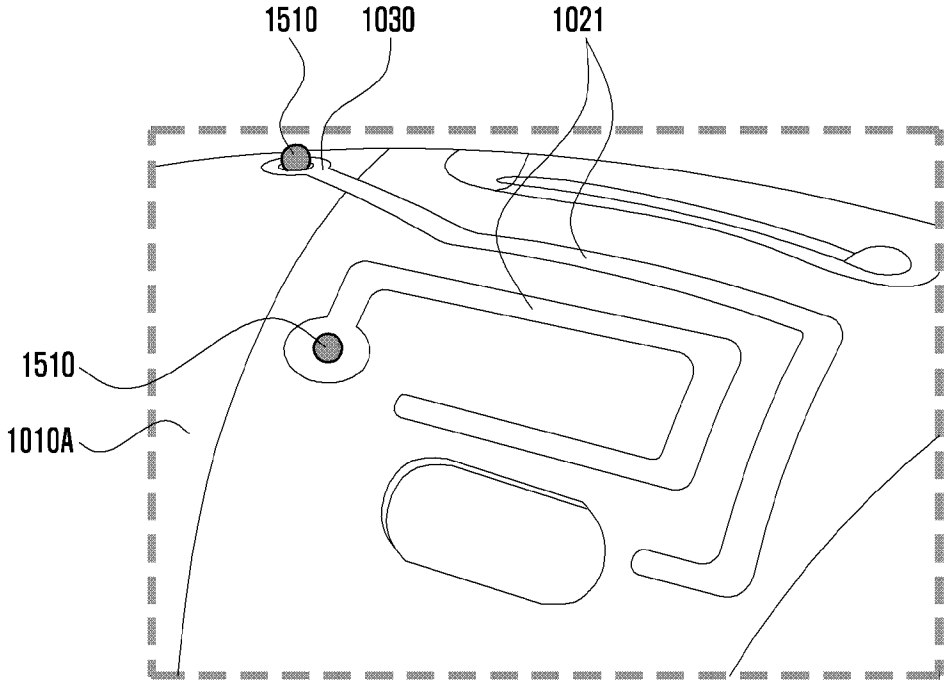
[도13b]



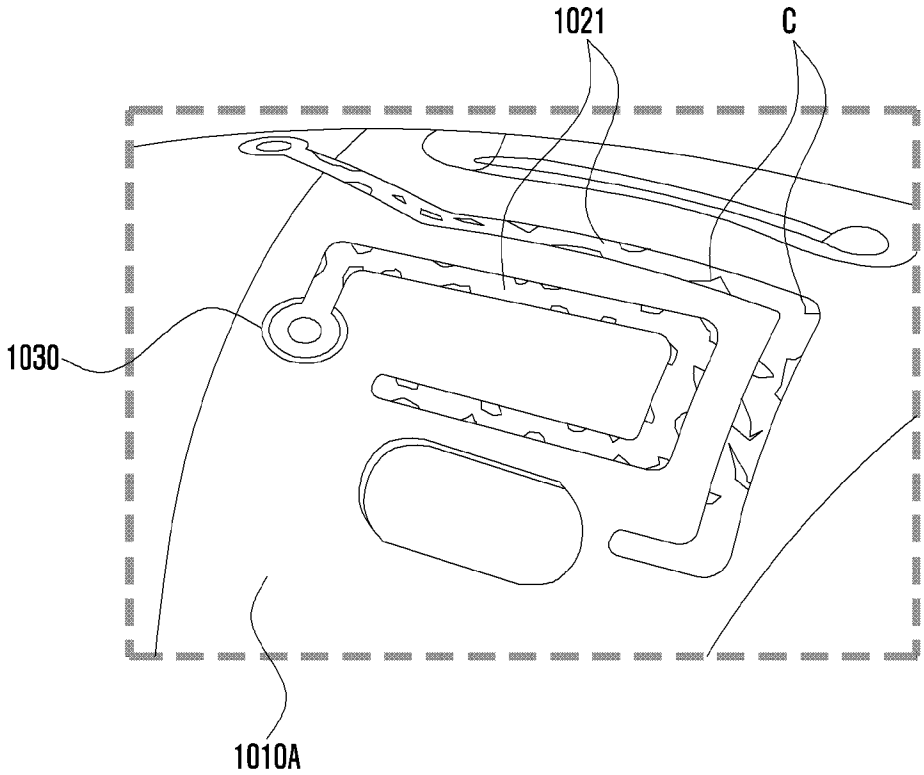
[도14]


홀부 형성 단계
1401
트렌치 단계
1402
제1 폴리싱 단계
1403
제1 도금 단계
1404
제2 폴리싱 단계
1405
제2 도금 단계
1406
홀부 채움 단계
1407
추가 폴리싱 단계
1408
추가 도금 단계
1409
도장 단계
1410

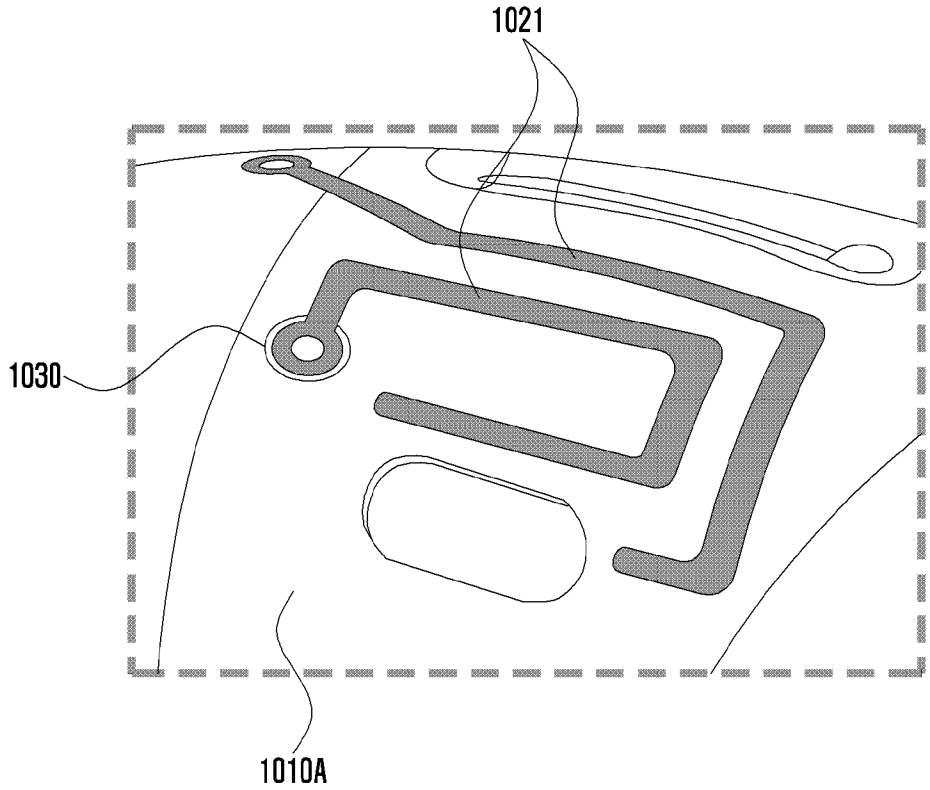
[도15a]



[도15b]



[도15c]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2021/014748

A. CLASSIFICATION OF SUBJECT MATTER

C23C 18/20(2006.01)i; **C23C 18/16**(2006.01)i; **B23K 26/364**(2014.01)i; **H05K 5/00**(2006.01)i; **B05D 3/12**(2006.01)i; **B05D 7/14**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

C23C 18/20(2006.01); G06F 3/041(2006.01); G06F 3/044(2006.01); H01L 21/00(2006.01); H01L 23/12(2006.01); H05K 1/11(2006.01); H05K 3/00(2006.01); H05K 3/18(2006.01); H05K 3/28(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 도금(coating), 도장(plating), 트렌치(trench), 폴리싱(polishing), 적층(lamination), 케이스(case), 홀(hole)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-1778553 B1 (HYUNDAI MOTOR COMPANY) 15 September 2017 (2017-09-15) See paragraphs [0049], [0065]-[0076], [0081] and [0084] and figures 5-13.	1-5,7,14-15
Y		8-10,12
A		6,11,13
Y	KR 10-0554855 B1 (EBARA CORPORATION) 14 June 2006 (2006-06-14) See paragraph [0032] and figures 2a-2b.	8-10,12
A	US 2013-0140074 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 06 June 2013 (2013-06-06) See paragraphs [0030]-[0042] and figure 2.	1-15
A	JP 2004-247549 A (FUJITSU LTD.) 02 September 2004 (2004-09-02) See paragraphs [0024]-[0036] and figure 3.	1-15

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 January 2022	**19 January 2022**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office **Government Complex-Daejeon Building 4, 189 Cheongsa-ro, Seo-gu, Daejeon 35208**	
Facsimile No. **+82-42-481-8578**	Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-0425728 B1 (LG ELECTRONICS INC.) 03 April 2004 (2004-04-03) See paragraphs [0030]-[0040] and figures 4-6.	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2021/014748

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-1778553	B1	15 September 2017	CN	107037935	A	11 August 2017
				CN	107066129	A	18 August 2017
				CN	107066129	B	10 August 2021
				EP	3144788	A1	22 March 2017
				EP	3144789	A1	22 March 2017
				JP	2017-059204	A	23 March 2017
				JP	2017-059231	A	23 March 2017
				JP	6858517	B2	14 April 2021
				KR	10-1887134	B1	09 August 2018
				KR	10-2017-0032830	A	23 March 2017
				US	10545611	B2	28 January 2020
				US	2017-0075473	A1	16 March 2017
				US	2017-0075494	A1	16 March 2017
				US	2020-0110507	A1	09 April 2020
KR	10-0554855	B1	14 June 2006	DE	69839066	T2	22 January 2009
				EP	0903774	A2	24 March 1999
				EP	0903774	A3	21 January 2004
				EP	0903774	B1	30 January 2008
				EP	1061157	A1	20 December 2000
				JP	11-154653	A	08 June 1999
				JP	11-246978	A	14 September 1999
				JP	11-315383	A	16 November 1999
				JP	11-335895	A	07 December 1999
				JP	3830272	B2	04 October 2006
				JP	3897439	B2	22 March 2007
				JP	3939456	B2	04 July 2007
				KR	10-0597024	B1	04 July 2006
				KR	10-2001-0041508	A	25 May 2001
				TW	405158	B	11 September 2000
				TW	589399	B	01 June 2004
				US	2002-0005359	A1	17 January 2002
				US	2004-0163947	A1	26 August 2004
				US	6294059	B1	25 September 2001
				US	6582580	B1	24 June 2003
				US	6929722	B2	16 August 2005
				WO	99-45170	A1	10 September 1999
US	2013-0140074	A1	06 June 2013	CN	103140057	A	05 June 2013
				JP	2013-118370	A	13 June 2013
JP	2004-247549	A	02 September 2004	None			
KR	10-0425728	B1	03 April 2004	CN	1225952	C	02 November 2005
				CN	1391431	A	15 January 2003
				JP	2002-368390	A	20 December 2002
				JP	4505623	B2	21 July 2010
				TW	552832	B	11 September 2003
				US	2002-0184757	A1	12 December 2002
				US	2004-0154166	A1	12 August 2004
				US	6954985	B2	18 October 2005
				US	7337535	B2	04 March 2008

국 제 조 사 보 고 서

국제출원번호
PCT/KR2021/014748

A. 발명이 속하는 기술분류(국제특허분류(IPC))

C23C 18/20(2006.01)i; **C23C 18/16**(2006.01)i; **B23K 26/364**(2014.01)i; **H05K 5/00**(2006.01)i; **B05D 3/12**(2006.01)i; **B05D 7/14**(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

C23C 18/20(2006.01); G06F 3/041(2006.01); G06F 3/044(2006.01); H01L 21/00(2006.01); H01L 23/12(2006.01); H05K 1/11(2006.01); H05K 3/00(2006.01); H05K 3/18(2006.01); H05K 3/28(2006.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 도금(coating), 도장(plating), 트랜치(trench), 폴리싱(polishing), 적층(lamination), 케이스(case), 홀(hole)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-1778553 B1 (현대자동차주식회사) 2017.09.15 단락 [0049], [0065]-[0076], [0081], [0084] 및 도면 5-13	1-5,7,14-15
Y		8-10,12
A		6,11,13
Y	KR 10-0554855 B1 (가부시키 가이샤 에바라 세이사꾸쇼) 2006.06.14 단락 [0032] 및 도면 2a-2b	8-10,12
A	US 2013-0140074 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 2013.06.06 단락 [0030]-[0042] 및 도면 2	1-15
A	JP 2004-247549 A (FUJITSU LTD.) 2004.09.02 단락 [0024]-[0036] 및 도면 3	1-15

☑ 추가 문헌이 C(계속)에 기재되어 있습니다.

☑ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
"D" 본 국제출원에서 출원인이 인용한 문헌
"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌
"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2022년01월19일(19.01.2022)	**2022년01월19일(19.01.2022)**

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)

팩스 번호 **+82-42-481-8578**

심사관

방승훈

전화번호 **+82-42-481-5560**

국 제 조 사 보 고 서

국제출원번호
PCT/KR2021/014748

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-0425728 B1 (엘지전자 주식회사) 2004.04.03 단락 [0030]-[0040] 및 도면 4-6	1-15

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호
PCT/KR2021/014748

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-1778553 B1	2017/09/15	CN 107037935 A	2017/08/11
		CN 107066129 A	2017/08/18
		CN 107066129 B	2021/08/10
		EP 3144788 A1	2017/03/22
		EP 3144789 A1	2017/03/22
		JP 2017-059204 A	2017/03/23
		JP 2017-059231 A	2017/03/23
		JP 6858517 B2	2021/04/14
		KR 10-1887134 B1	2018/08/09
		KR 10-2017-0032830 A	2017/03/23
		US 10545611 B2	2020/01/28
		US 2017-0075473 A1	2017/03/16
		US 2017-0075494 A1	2017/03/16
		US 2020-0110507 A1	2020/04/09
KR 10-0554855 B1	2006/06/14	DE 69839066 T2	2009/01/22
		EP 0903774 A2	1999/03/24
		EP 0903774 A3	2004/01/21
		EP 0903774 B1	2008/01/30
		EP 1061157 A1	2000/12/20
		JP 11-154653 A	1999/06/08
		JP 11-246978 A	1999/09/14
		JP 11-315383 A	1999/11/16
		JP 11-335895 A	1999/12/07
		JP 3830272 B2	2006/10/04
		JP 3897439 B2	2007/03/22
		JP 3939456 B2	2007/07/04
		KR 10-0597024 B1	2006/07/04
		KR 10-2001-0041508 A	2001/05/25
		TW 405158 B	2000/09/11
		TW 589399 B	2004/06/01
		US 2002-0005359 A1	2002/01/17
		US 2004-0163947 A1	2004/08/26
		US 6294059 B1	2001/09/25
		US 6582580 B1	2003/06/24
		US 6929722 B2	2005/08/16
		WO 99-45170 A1	1999/09/10
US 2013-0140074 A1	2013/06/06	CN 103140057 A	2013/06/05
		JP 2013-118370 A	2013/06/13
JP 2004-247549 A	2004/09/02	없음	
KR 10-0425728 B1	2004/04/03	CN 1225952 C	2005/11/02
		CN 1391431 A	2003/01/15
		JP 2002-368390 A	2002/12/20
		JP 4505623 B2	2010/07/21
		TW 552832 B	2003/09/11
		US 2002-0184757 A1	2002/12/12
		US 2004-0154166 A1	2004/08/12
		US 6954985 B2	2005/10/18
		US 7337535 B2	2008/03/04