

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/76

(11) 공개번호 특1998-079630
(43) 공개일자 1998년11월25일

(21) 출원번호	특1998-001521
(22) 출원일자	1998년01월20일
(30) 우선권주장	8/819,615 1997년03월17일 미국(US)
(71) 출원인	인터내셔널 비지네스 머신즈 코포레이션 포맨 제프리 엘 미국 뉴욕주 10540 아몬크
(72) 발명자	브라운 제프리 에스 미국 버몬트주 05464 제퍼슨빌 박스 5380 알알#2 고시어 로버트 제이 이세 미국 버몬트주 05401 버링톤 노쓰 윌라드 스트리트 11 티안 시아오웨이 미국 버몬트주 05452-3806 에섹스 정선 리지 로드 4
(74) 대리인	김창세, 장성구

심사청구 : 있음

(54) 아이솔레이션 구조체 및 래치 업으로 인한 손상 영향 감소 방법

요약

본 발명의 바람직한 실시예는 종래 기술의 한계를 극복하여, 소자간의 캐리어 이동도를 감소시킴으로써 CMOS 소자의 래치 업에 대한 면역성을 증가시키는 장치 및 방법을 제공한다. 바람직한 실시예에서는, n-채널 및 p-채널 소자 사이의 트렌치 아이솔레이션 아래에 형성되는 임플란트를 이용한다. 이 임플란트는 트렌치 아이솔레이션 아래의 웨이퍼에 주입되는 비교적 크고/무거운 엘리먼트를 포함하는 것이 바람직하다. 이 임플란트 엘리먼트는 전하 캐리어의 이동도를 감소시킨다. 이로 인해 래치 업 유지 전압이 증가하여 래치 업 경향을 감소시킨다. 임플란트는 부가적인 포토리소그래피 마스크없이 형성될 수 있다.

대표도

도5

명세서

도면의 간단한 설명

도 1은 웨이퍼 부분의 측단면도,

도 2는 얇은 트렌치 아이솔레이션을 위한 트렌치 에칭이 행해진 후의 웨이퍼 부분의 측단면도,

도 3은 측벽 산화물을 갖는 얇은 트렌치 아이솔레이션을 구비한 웨이퍼 부분의 측단면도,

도 4는 얇은 트렌치 아이솔레이션과 얇은 트렌치 아이솔레이션 아래에 임플란트를 구비한 웨이퍼 부분의 측단면도,

도 5는 완성된 얇은 트렌치 아이솔레이션과 얇은 트렌치 아이솔레이션 아래에 임플란트를 구비한 웨이퍼 부분의 측단면도,

도 6은 n-웰 및 p-웰내에 제조된 소자를 구비한 웨이퍼 부분의 측단면도.

* 도면의 주요부분에 대한 부호의 설명

100 : 웨이퍼 부분

102 : 얇은 트렌치 아이솔레이션

106 : 임플란트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 전반적으로 반도체 소자에 관한 것으로, 특히 래치 업(latch-up)에 대한 면역성을 증가시키기

위한 방법 및 구조에 관한 것이다.

집적 반도체 소자가 점점 복잡해져 감에 따라, 반도체 소자의 밀도를 증가시킬 것이 계속해서 요구된다. 이러한 밀도의 증가를 적절히 처리하지 않을 경우 소자 오동작을 유발할 수 있는 여러가지 문제가 발생한다. 이러한 문제중 하나는 반도체 소자, 특히 CMOS 소자에 대한 래치 업 현상이다. 래치 업은 집적 회로의 엘리먼트들간의 원치 않는 트랜지스터 작용에 의해 유발되는 잘 알려진 문제이다. 이 원치 않는 트랜지스터 작용은 여러 다양한 원인으로 의해 유발될 수 있으며, 반도체 소자의 오동작을 유발할 수 있다.

래치 업은 일반적으로, 현대 CMOS 소자의 n-채널 및 p-채널 소자가 근접하게 위치함으로 인해 발생한다. 예를 들어, p-타입 기판상에 제조된 전형적인 CMOS 소자는 n-웰(또는 n-타입 영역)내에 제조된 p-채널 소자와, p-웰(또는 p-타입 영역)내에 제조된 n-채널 소자를 포함하며, 이 웰들 사이에는 매우 작은 간격이 존재할 수 있다. 이러한 구조로 인해 본질적으로 기생 측면 바이폴라 구조(parasitic lateral bipolar structure)(npn) 및 기생 종단 바이폴라 구조(parasitic vertical bipolar structure)(pnp)가 형성된다. 소정의 바이어싱 상태하에서, pnp 구조는 npn 구조에 베이스 전류를 공급할 수 있어서(또는 이와 역도 가능함), 웰들 사이에 큰 전류가 흐르게 될 수 있다. 이 큰 전류는 CMOS 소자를 손상시킬 수 있다.

CMOS 소자에 대한 래치 업 현상은 여러 방법으로 다루어져 왔다. 그 중 하나의 방법은 트랜지스터(npn 및 pnp)의 이득 또는 베타(beta)를 감소시키는 것이다. 이는 일반적으로 트리거 전압/전류를 증가시킴으로써 CMOS 소자에 대한 래치 업 현상을 감소시키며, 여기서 트리거 전압/전류는 래치 업을 유발시킬 때 노드에 인가되어야 할 전압/전류이다.

래치 업 문제를 해결하기 위한 다른 방법은 래치 업 유지 전압을 상승시키는 것이다. 래치 업 유지 전압은, 래치 업이 유발된 후 큰 전류를 유지할 수 있는 안정된 최저 전압이다. 래치 업 유지 전압을 증가시킴으로써, 래치 업에 대한 면역성이 증가되며, 회로가 손상되는 경향이 줄어든다. 전형적으로 공칭 공급 전압(nominal supply voltage)(Vdd)의 1.5배인 번인(burn-in) 전압보다 큰 유지 전압을 갖는 것이 최적의 상태이다.

래치 업 경향을 최소화하기 위해 얇은 트렌치 아이솔레이션(shallow trench isolation : STI)이 n-채널 및 p-채널 소자 사이에 사용되어 왔다. 그러나, 소자 밀도가 계속해서 증가함에 따라, STI 깊이가 감소하는 경향이 있다. 이는 래치 업 유지 전압의 감소를 초래한다. 래치 업 유지 전압이 현저하게 감소될 경우, 즉 번인 전압보다 작게 될 경우, 소자의 신뢰성에 나쁜 영향이 미칠 수 있다.

발명이 이루고자 하는 기술적 과제

따라서, 래치 업 유지 전압을 증가시킴으로써 CMOS 소자의 래치 업에 대한 면역성을 증가시키기 위한 향상된 방법이 요구된다.

발명의 구성 및 작용

본 발명은 종래 기술의 한계를 극복하여, 소자들 사이의 전하 캐리어의 이동도를 감소시킴으로써 CMOS 소자의 래치 업에 대한 면역성을 증가시키는 장치 및 방법을 제공한다. 바람직한 실시예에서는 n-채널 및 p-채널 소자 사이의 트렌치 아이솔레이션 아래에 형성된 임플란트(implant)를 이용한다. 이 임플란트는 P+영역에서 N+영역으로 흐르는(혹은, N+영역에서 P+영역으로 흐르는) 캐리어의 이동도를 감소시킨다. 이로 인해 래치 업 유지 전압이 증가되어서 기술의 신뢰성이 향상된다. 이 임플란트는 추가적인 포토리소그래피 마스크없이 형성될 수 있다. 본 발명의 이점은, 제조 공정을 불필요하게 복잡하게 하지 않거나 혹은 반도체 기판상에 큰 영역을 필요로 하지 않으면서 래치 업에 대한 면역성을 증가시키는 것이다.

본 발명의 전술한 이점 및 특징과 그 밖의 다른 이점 및 특징은 첨부 도면에 도시한 바와 같이 이하의 본 발명의 바람직한 실시예의 상세한 설명을 통해 명백해질 것이다.

본 발명의 바람직한 실시예는 종래 기술의 한계를 극복하여, n-채널 및 p-채널 소자간의 캐리어 이동도를 감소시킴으로써 CMOS 소자의 래치 업에 대한 면역성을 증가시키는 장치 및 방법을 제공한다. 이는 소자들 사이에 임플란트를 형성함으로써 달성된다. 바람직한 실시예에서, 임플란트는 n-채널 및 p-채널 소자 사이의 얇은 트렌치 아이솔레이션(STI) 아래에 형성된다. 임플란트는 추가적인 고 에너지 주입 또는 추가적인 마스크 레벨을 필요로 하지 않고 형성될 수 있다.

도 1은 웨이퍼 부분(100)의 개략 단면도이며, 이 웨이퍼 부분(100) 위에 CMOS 소자가 제조될 것이다. 바람직한 실시예에서, 웨이퍼 부분(100)은 상부에 p-에피택셜층을 갖는 p+기판을 포함한다. 물론 그 밖의 다른 적절한 기판 재료도 사용될 수 있다.

도 2를 참조하면, 바람직한 실시예에 따라, p-채널 소자로부터 n-채널을 분리하는데 얇은 트렌치 아이솔레이션(STI)(102)이 사용된다. STI는 반응성 이온 에칭(RIE)과 같은 임의의 적절한 공정 방법에 의해 형성될 수 있다. 예를 들어, 마스크층(104)을 웨이퍼(100) 위에 침착한다. 마스크층은 임의의 적절한 물질을 포함할 수 있다. 예를 들어, 실리콘 질화물(SiN)층 밑의 실리콘 이산화물(SiO₂)층이 통상 에칭 마스크를 형성하기 위해 패터닝되는데 사용된다. 그 후, 통상적인 포토리소그래피 기법을 사용하여 마스크층(104)을 패터닝한다. 그 후, 마스크층(104)에 의해 덮여 있지 않은 웨이퍼 부분을 에칭함으로써 STI(102)를 형성한다.

이로 인해 얇은 트렌치 아이솔레이션(102)이 형성된다. 또다른 공정 단계에서 웨이퍼 부분(100)상에 n-채널 소자 및 p-채널 소자를 형성할 것이다. STI(102)와 같은 아이솔레이션 영역은 이들 여러 소자 사이(즉, 2개의 n-채널 소자 사이, 2개의 p-채널 소자 사이, n-채널 및 p-채널 소자 사이)에 형성된다. 이들 모든 경우에서, STI(102)는 소자들을 서로 격리시키도록 작용한다.

이하에서 더 명백해지는 바와 같이, 바람직한 실시예에서는, STI(102) 아래의 캐리어의 이동도를 감소시켜 STI(102)가 종래의 STI보다 더 얇아지도록 하고, 소자간에는 여전히 효과적인 격리가 유지되도록 한다. 따라서, 바람직한 실시예에서는 래치 업에 대한 면역성을 감소시키지 않으면서 STI의 스케일 가능

성(scalibility)을 향상시킨다.

도 3을 참조하면, 다음 단계는 STI 트렌치내에 측벽 산화물(110)(SiO₂가 적절함)을 성장시키는 것이다. 측벽 산화물(110)은 STI 에칭에 의해 유발되는 스트레스를 감소시키고 표면 오염물을 제거하도록 작용한다.

바람직한 실시예에 따르면, 래치 업에 대한 면역성은, STI(102) 아래에서 움직이는 캐리어의 이동도를 감소시킴으로써 증가한다. 특히, 래치 업 유지 전압을 상승시키는 임플란트 또는 임플란트들이 사용된다. 이들 임플란트는 부가적인 마스크없이 만들어질 수 있다.

도 4를 참조하면, STI(102) 아래에 임플란트(106)를 형성하는 요소(species)가 주입된다. 전형적인 이온 주입 기법과 같은 임의의 적절한 공정에 의해 주입이 행해질 수 있다. 마스크층(104)은 웨이퍼(100)의 다른 부분으로 임플란트가 주입되는 것을 차단한다. 따라서, 임플란트는 자기 정렬되며, 부가적인 마스크 또는 공정 단계를 필요로 하지 않는다.

임플란트는 STI(102) 아래의 도체 이동도를 충분히 감소시킬 수 있는 임의의 적절한 물질을 포함할 수 있다. 임플란트용 엘리먼트는 n-웰 또는 p-웰 카운터도핑을 최소화하도록 선택되는 것이 바람직하며, 이러한 바람직한 임플란트는 인접한 n-웰 또는 p-웰에 대해 도핑 변화가 최소한으로 되게 한다. 또한, 바람직한 임플란트는 낮은 확산도를 갖도록 선택되어야 하며, 이에 따라 인접하는 소자의 임플란트 확산의 가능성을 감소시키게 된다.

따라서, 이 엘리먼트는 크고 무거운 엘리먼트를 포함하는 것이 바람직하다. 큰 엘리먼트는 산란(scattering)의 가능성을 증가시키며, 이에 따라 STI 아래의 도체의 이동도를 현저하게 감소시킨다. 래치 업이 발생할 때, 거의 모든 전류가 STI(102) 아래로 흐르게 되는데, 이에 따라 STI(102) 아래의 이동도를 감소시킴으로써 래치 업 유지 전압이 증가한다.

바람직한 임플란트는 아르곤(Ar), 게르마늄(Ge), 산소(O), 질소(N)와 같은 전기적 중성 요소일 수 있으며, 이에 따라 캐리어의 이동도를 감소시켜서 기판의 도펀트 프로파일에 대해 매우 적은 변화를 갖게 한다. 대안으로서, 임플란트는 순 도펀트 프로파일을 적게 변화시키면서 이동도를 감소시키기 위해 p-타입 및 n-타입 물질이 화합되어 사용될 수 있다. 이들 경우에서, 안티몬(Sb)과 화합되는 인듐(In) 및 붕소(B)와 화합되는 인(P)과 같은 요소가 사용될 수 있다. 이들 엘리먼트는, STI(102) 아래에 주입될 때, STI(102) 아래의 캐리어의 이동도가 감소되게 한다. 이는 래치 업 유지 전압을 증가시키며, 래치 업에 대한 면역성을 증가시킨다.

따라서, 임플란트는 인접하는 웰들간의 영향을 최소화하기 위한, n-타입 및 p-타입 물질의 카운터 도핑 화합물이거나, 혹은 전기적으로 비활성 요소인 것이 바람직하다. 임플란트는 STI(102) 바로 아래에서 유지되도록 비교적 낮은 에너지로 주입되는 것이 바람직하다.

대안적인 실시예에서, 임플란트(106)는 측벽 산화물(110)이 형성되기 전에 형성된다.

도 5를 참조하면, 웨이퍼의 제조가 계속된다. 특히, 이어서 STI 트렌치가 채워지며, 그 후 웨이퍼(100)는 화학 기계적 연마(chemical mechanical polish : CMP)에 의해 평탄화된다. 이로 인해 나머지 마스크층(104)과 잉여의 측벽 산화물이 제거되어서, 얇은 트렌치 아이솔레이션이 완성된다.

이제 얇은 트렌치 아이솔레이션의 양측면상에 개별적인 소자가 제조된다. 도 6을 참조하면 완성된 소자의 예가 도시된다. 특히, 게이트(602), 게이트 산화물(604), 확산 영역(606, 608)을 포함하는 n-채널 소자가 p-웰(610)내에 형성된다. 마찬가지로, 게이트(612), 게이트 산화물(614), 확산 영역(616, 618)을 포함하는 p-채널 소자가 n-웰(620)내에 형성된다. 바람직한 실시예에 따르면, 임플란트(106)는 소자 사이의 캐리어 이동도를 감소시켜 래치 업 유지 전압을 증가시키도록 작용한다. 이로 인해 CMOS 소자의 래치 업에 대한 면역성이 증가하게 된다.

본 발명이 특별히, 얇은 트렌치 아이솔레이션을 이용하는 CMOS 소자를 구비한 바람직한 실시예를 참조하여 도시되고 기술되었지만, 본 기술 분야에 통상의 지식을 가진 자라면, 본 발명의 정신 및 범주를 벗어나지 않고 본 명세서의 형태 및 세부 사항의 여러가지 변경이 행해질 수 있음을 이해해야 한다. 특히 STI 아래의 캐리어를 이동도를 감소시킬 수 있는 임의의 유형의 임플란트가 제조될 수 있다.

발명의 효과

본 발명은 소자간의 캐리어 이동도를 감소시킴으로써 CMOS 소자의 래치 업에 대한 면역성을 증가시키는 장치 및 방법을 제공한다.

(57) 청구의 범위

청구항 1

반도체 기판에 제조되는 CMOS 소자의 래치 업 유지 전압(latch-up holding voltage)을 증가시키기 위한 아이솔레이션 구조체(an isolation structure)에 있어서, a) 상기 반도체 기판내에 제조되는 얇은 트렌치(a shallow trench)와, b) 상기 반도체 기판내의 상기 트렌치 아래에 형성되며, 상기 얇은 트렌치 아래의 상기 기판내에서의 캐리어의 이동도(mobility)를 감소시키는 임플란트(an implants)를 포함하는 아이솔레이션 구조체.

청구항 2

제 1항에 있어서, 상기 임플란트는 n-타입 및 p-타입 요소(species)를 포함하며, 낮은 순 도펀트 프로파일 변화(low net dopant profile change)를 유발하는 아이솔레이션 구조체.

청구항 3

제 1항에 있어서, 상기 임플란트는 전기적으로 중성 요소(neutral species)를 포함하는 아이솔레이션 구조체.

청구항 4

제 1항에 있어서, 상기 임플란트는 아르곤(argon)을 포함하는 아이솔레이션 구조체.

청구항 5

제 1항에 있어서, 상기 임플란트는 산소(oxygen)를 포함하는 아이솔레이션 구조체.

청구항 6

제 1항에 있어서, 상기 임플란트는 게르마늄(germanium)을 포함하는 아이솔레이션 구조체.

청구항 7

제 1항에 있어서, 상기 임플란트는 질소(nitrogen)를 포함하는 아이솔레이션 구조체.

청구항 8

제 1항에 있어서, 상기 임플란트는 인듐 및 안티몬(indium and antimony)을 포함하는 아이솔레이션 구조체.

청구항 9

제 8항에 있어서, 상기 인듐 및 안티몬 임플란트는 전기적으로 거의 중성인 화합물을 포함하는 아이솔레이션 구조체.

청구항 10

제 1항에 있어서, 상기 임플란트는 붕소 및 인(boron and phosphorus)을 포함하는 아이솔레이션 구조체.

청구항 11

제 10항에 있어서, 상기 붕소 및 인은 전기적으로 거의 중성인 화합물을 포함하는 아이솔레이션 구조체.

청구항 12

CMOS 소자의 래치 업으로 인한 손상 영향을 감소시키기 위한 방법에 있어서, a) 반도체 기판을 제공하는 단계와, b) 상기 반도체 기판내에 얇은 트렌치를 규정하는 단계와, c) 상기 얇은 트렌치 아래에 이동도 감소 요소(a mobility degrading species)를 주입하는 단계를 포함하는 래치 업으로 인한 손상 영향 감소 방법.

청구항 13

제 12항에 있어서, 상기 이동도 감소 요소는 낮은 순도펀트 프로파일 변화를 제공하기 위해 n-타입 및 p-타입 요소의 화합물을 포함하는 래치 업으로 인한 손상 영향 감소 방법.

청구항 14

제 12항에 있어서,

상기 이동도 감소 요소는 낮은 프로파일 변화를 제공하기 위해 중성인 요소를 포함하는 래치 업으로 인한 손상 영향 감소 방법.

청구항 15

제 12 항에 있어서,

상기 이동도 감소 요소는 아르곤을 포함하는 래치 업으로 인한 손상 영향 감소 방법.

청구항 16

제 12 항에 있어서, 상기 이동도 감소 요소는 산소를 포함하는 래치 업으로 인한 손상 영향 감소 방법.

청구항 17

제 12항에 있어서, 상기 이동도 감소 요소는 게르마늄을 포함하는 래치 업으로 인한 손상 영향 감소 방법.

청구항 18

제 12항에 있어서, 상기 이동도 감소 요소는 질소를 포함하는 래치 업으로 인한 손상 영향 감소 방법.

청구항 19

제 12항에 있어서, 상기 이동도 감소 요소는 인듐 및 안티몬을 포함하는 래치 업으로 인한 손상 영향 감소 방법.

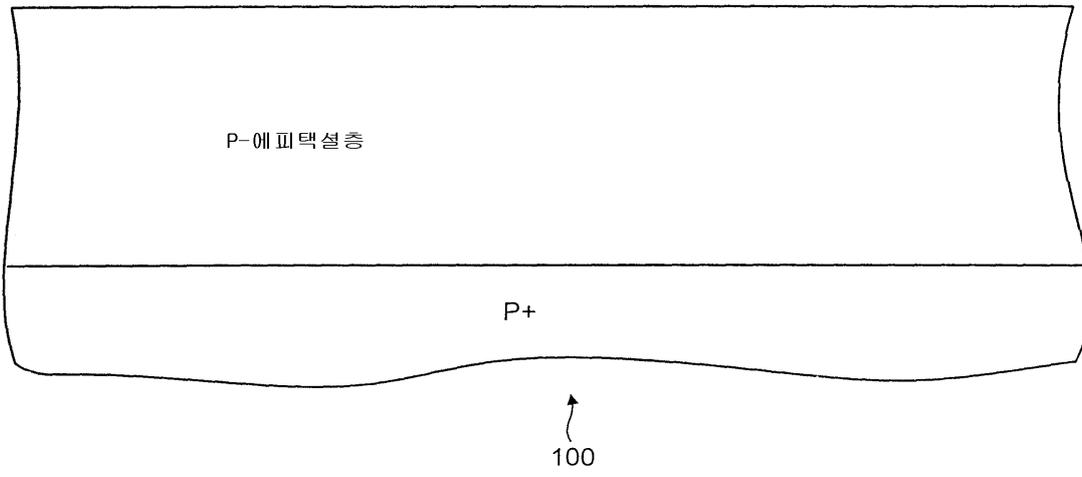
청구항 20

제 12항에 있어서, 상기 이동도 감소 요소는 붕소 및 인을 포함하는 래치 업으로 인한 손상 영향 감소 방

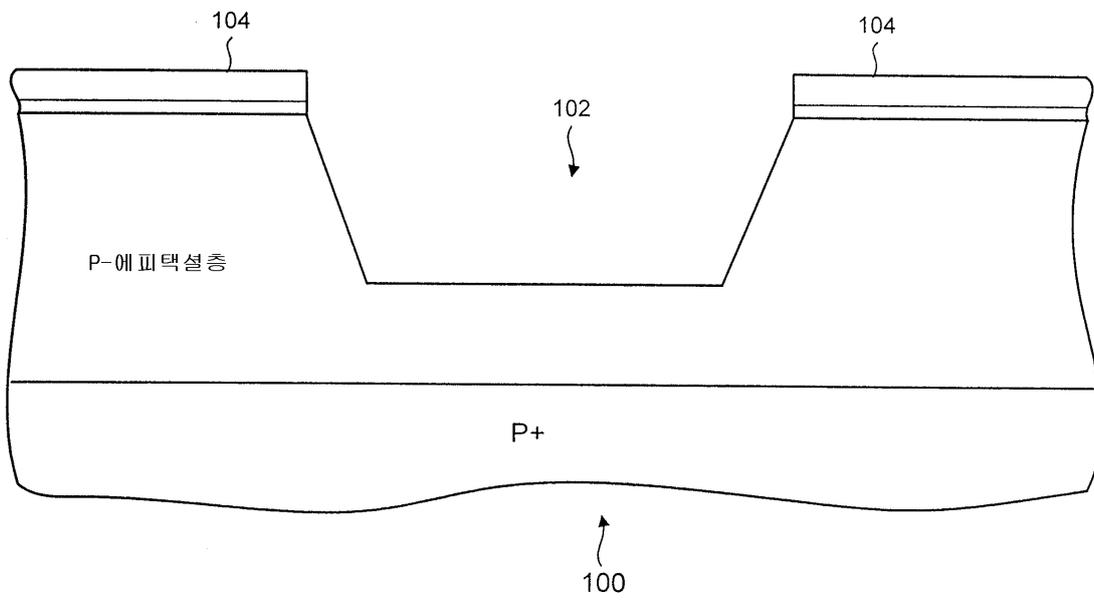
면.

도면

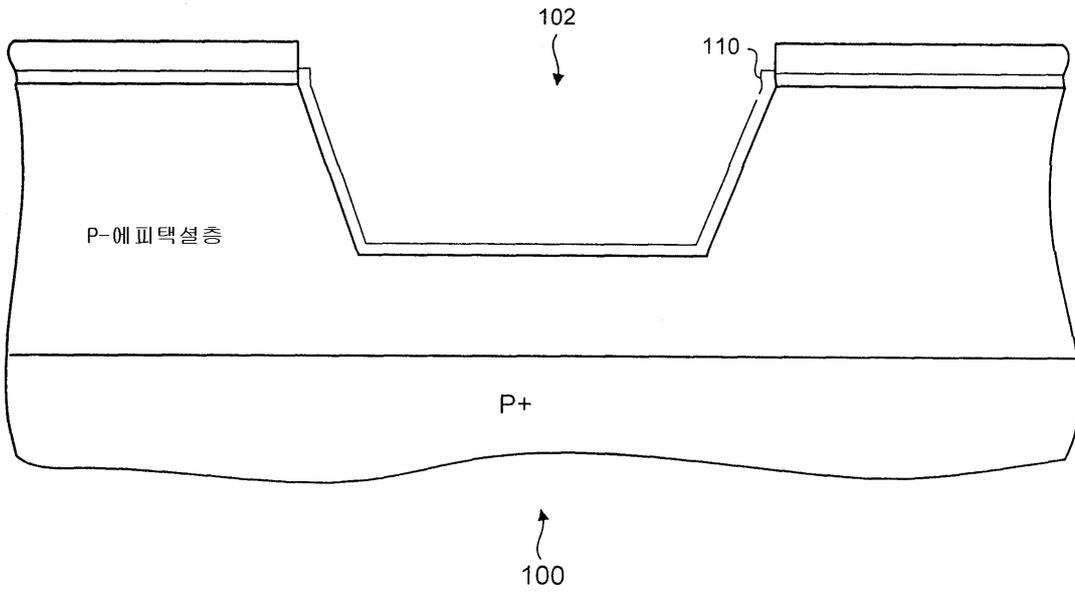
도면1



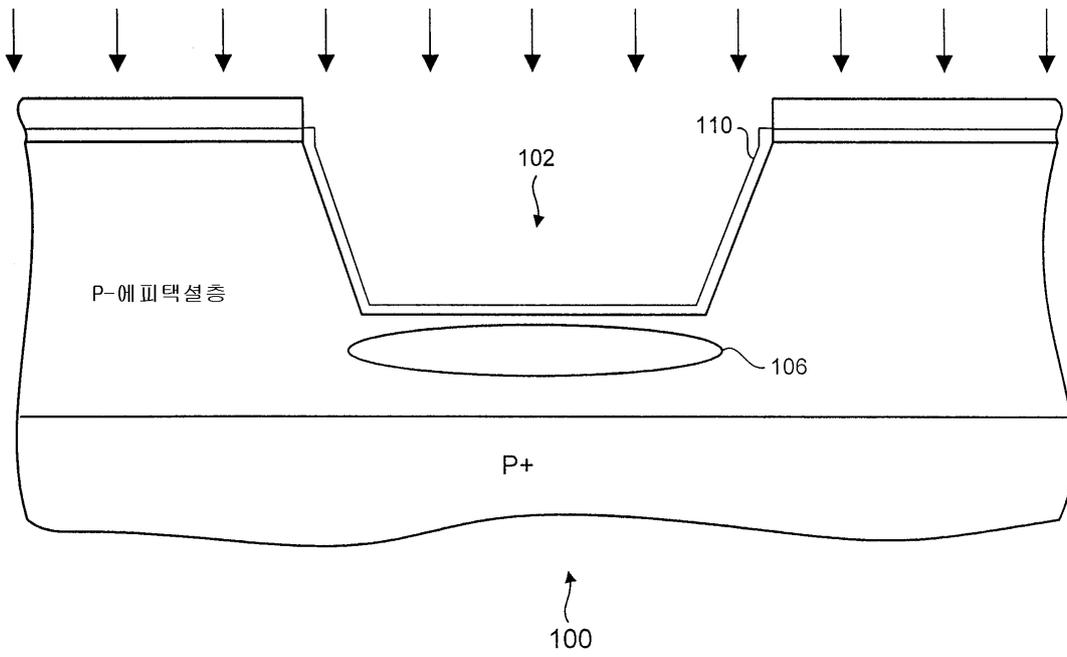
도면2



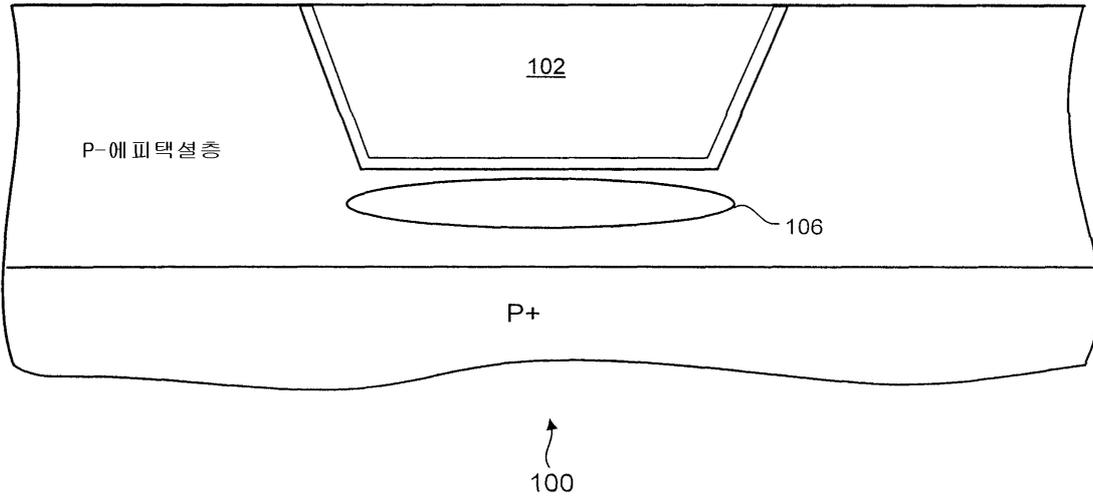
도면3



도면4



도면5



도면6

