

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3639636号
(P3639636)

(45) 発行日 平成17年4月20日(2005.4.20)

(24) 登録日 平成17年1月21日(2005.1.21)

(51) Int. Cl.⁷

F I

HO 1 L 21/66	HO 1 L 21/66	Z
GO 1 N 21/956	GO 1 N 21/956	A
GO 1 R 31/26	GO 1 R 31/26	G
HO 1 L 21/02	HO 1 L 21/02	A

請求項の数 12 (全 28 頁)

<p>(21) 出願番号 特願平7-101181</p> <p>(22) 出願日 平成7年4月25日(1995.4.25)</p> <p>(65) 公開番号 特開平8-293533</p> <p>(43) 公開日 平成8年11月5日(1996.11.5)</p> <p>審査請求日 平成13年6月20日(2001.6.20)</p>	<p>(73) 特許権者 503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号</p> <p>(74) 代理人 100064746 弁理士 深見 久郎</p> <p>(74) 代理人 100085132 弁理士 森田 俊雄</p> <p>(74) 代理人 100083703 弁理士 仲村 義平</p> <p>(74) 代理人 100096781 弁理士 堀井 豊</p> <p>(74) 代理人 100098316 弁理士 野田 久登</p> <p>(74) 代理人 100109162 弁理士 酒井 将行</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体ウェハの不良解析装置及び不良解析方法

(57) 【特許請求の範囲】

【請求項1】

複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標を含むデータと、上記製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータとを受け、上記フェイルビットデータに基づき追加不良領域を示す不良モード別限定条件データを作成するとともに、上記フェイルビットデータに基づく不良の位置を示す物理的位置座標データに上記不良モード別限定条件データを加味した補正物理的位置座標データを作成し、この補正物理的位置座標データと上記欠陥位置座標を含むデータに基づく欠陥位置座標データとを照合してその照合結果を出力する解析装置を備えた半導体ウェハの不良解析装置。

10

【請求項2】

複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標を含むデータを受け、このデータに基づいた欠陥位置座標データとして記憶する第1の記憶手段と、上記製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータを受け、このフェイルビットデータに基づいた不良の位置を示す物理的位置座標データとして記憶する第2の記憶手段と、上記受けたフェイルビットデータに基づき追加不良領域を示す不良モード別限定条件データを作成する追加不良領域推定手段と、

20

この追加不良領域推定手段からの不良モード別限定条件データを記憶する第3の記憶手段と、

上記第1の記憶手段に記憶された欠陥位置座標データと上記第2の記憶手段に記憶された物理的位置座標データと第3の記憶手段に記憶された不良モード別限定条件データとを受け、受けた物理的位置座標データに受けた不良モード別限定条件データを加味した補正物理的位置座標データを作成し、この補正物理的位置座標データと受けた欠陥位置座標データとを照合する照合手段とを有した解析装置を備えた半導体ウェハの不良解析装置。

【請求項3】

複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標を含むデータと、上記製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータとを受け、上記欠陥位置座標を含むデータに基づき所定単位毎の所定単位欠陥個数データを作成するとともに上記フェイルビットデータに基づき上記所定単位毎の所定単位不良数データを作成し、所定単位欠陥個数データと所定単位不良数データを照合する解析装置を備えた半導体ウェハの不良解析装置。

10

【請求項4】

複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標を含むデータを受け、この欠陥位置座標を含むデータに基づき所定単位毎の欠陥個数を算出し、所定単位欠陥個数データとして出力する欠陥個数算出手段と、

20

この欠陥個数算出手段からの所定単位欠陥個数データを記憶する第5の記憶手段と、

上記製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータとを受け、上記フェイルビットデータに基づき上記所定単位毎の不良数を算出し、所定単位不良数データを出力する不良数算出手段と、

この不良数算出手段からの所定単位不良数データを記憶する第6の記憶手段と、

上記第5の記憶手段に記憶された所定単位欠陥個数データと上記第6の記憶手段に記憶された所定単位不良数データとを受け、これら両データの照合を行い、演算処理して両データ間の相関係数を算出する相関係数算出手段とを有した解析装置を備えた半導体ウェハの不良解析装置。

30

【請求項5】

複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標及び欠陥サイズを含むデータと、上記製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータとを受け、上記欠陥位置座標及び欠陥サイズを含むデータに基づき所定単位毎の異物、欠陥等のサイズ別の所定単位サイズ別欠陥個数データを作成するとともに上記フェイルビットデータに基づき所定単位毎の所定単位不良数データを作成し、所定単位サイズ別欠陥個数データと所定単位不良数データを照合する解析装置を備えた半導体ウェハの不良解析装置。

【請求項6】

40

複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標及び欠陥サイズを含むデータを受け、この欠陥位置座標及び欠陥サイズを含むデータに基づき所定単位毎の異物、欠陥等のサイズ別の欠陥個数を算出し、所定単位サイズ別欠陥個数データとして出力するサイズ別欠陥個数算出手段と、

このサイズ別欠陥個数算出手段からの所定単位サイズ別欠陥個数データを記憶する第8の記憶手段と、

上記製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータとを受け、上記フェイルビットデータに基づき上記所定単位毎の不良数を算出し、所定単位不良数データを出力する不良数算出手段

50

と、

この不良数算出手段からの所定単位不良数データを記憶する第6の記憶手段と、
上記第8の記憶手段に記憶された所定単位サイズ別欠陥個数データと上記第6の記憶手段に記憶された所定単位不良数データとを受け、これら両データの照合を行い、演算処理して両データ間の相関係数を算出する相関係数算出手段とを有した解析装置を備えた半導体ウェハの不良解析装置。

【請求項7】

複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標及び欠陥形状別のカテゴリーを含むデータと、上記製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータとを受け、上記欠陥位置座標及びカテゴリーを含むデータに基づき所定単位毎の異物、欠陥等のカテゴリー別の所定単位カテゴリー別欠陥個数データを作成するとともに上記フェイルビットデータに基づき所定単位毎の所定単位不良数データを作成し、所定単位カテゴリー別欠陥個数データと所定単位不良数データを照合する解析装置を備えた半導体ウェハの不良解析装置。

10

【請求項8】

複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標及び欠陥形状のカテゴリーを含むデータを受け、この欠陥位置座標及びカテゴリーを含むデータに基づき所定単位毎の異物、欠陥等のカテゴリー別の欠陥個数を算出し、所定単位カテゴリー別欠陥個数データとして出力するカテゴリー別欠陥個数算出手段と、

20

このカテゴリー別欠陥個数算出手段からの所定単位カテゴリー別欠陥個数データを記憶する第9の記憶手段と、

上記製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータとを受け、上記フェイルビットデータに基づき上記所定単位毎の不良数を算出し、所定単位不良数データを出力する不良数算出手段と、

この不良数算出手段からの所定単位不良数データを記憶する第6の記憶手段と、

上記第9の記憶手段に記憶された所定単位カテゴリー別欠陥個数データと上記第6の記憶手段に記憶された所定単位不良数データとを受け、これら両データの照合を行い、演算処理して両データ間の相関係数を算出する相関係数算出手段とを有した解析装置を備えた半導体ウェハの不良解析装置。

30

【請求項9】

複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標を含むデータを取り込むステップ、

上記製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータを取り込むステップ、

このフェイルビットデータに基づいた不良の位置を示す物理的位置座標データとするステップ、

上記フェイルビットデータに基づき追加不良領域を示す不良モード別限定条件データを作成するステップ、

40

上記物理的位置座標データに上記不良モード別限定条件データを加味した補正物理的位置座標データを作成し、この補正物理的位置座標データと上記欠陥位置座標データとを照合するステップを備えた半導体ウェハの不良解析方法。

【請求項10】

複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標を含むデータを取り込むステップ、

この欠陥位置座標を含むデータに基づき所定単位毎の欠陥個数を算出し、所定単位欠陥個数データを得るステップ、

上記製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的

50

性のテスト結果に基づくフェイルビットデータを取り込むステップ、
 上記フェイルビットデータに基づき上記所定単位毎の不良数を算出し、所定単位不良数データを得るステップ、
 上記所定単位欠陥個数データと上記所定単位不良数データとの照合を行い、両データ間の相関係数を算出するステップを備えた半導体ウェハの不良解析方法。

【請求項 1 1】

複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標及び欠陥サイズを含むデータを取り込むステップ、

この欠陥位置座標及び欠陥サイズを含むデータに基づき所定単位毎の異物、欠陥等のサイズ別の欠陥個数を算出し、所定単位サイズ別欠陥個数データを得るステップ、 10

上記製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータを取り込むステップ、

上記フェイルビットデータに基づき上記所定単位毎の不良数を算出し、所定単位不良数データを得るステップ、

上記所定単位サイズ別欠陥個数データと上記所定単位不良数データとの照合を行い、両データ間の相関係数を算出するステップを備えた半導体ウェハの不良解析方法。

【請求項 1 2】

複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標及び欠陥形状のカテゴリーを含むデータを取り込むステップ、 20

この欠陥位置座標及びカテゴリーを含むデータに基づき所定単位毎の異物、欠陥等のカテゴリー別の欠陥個数を算出し、所定単位カテゴリー別欠陥個数データを得るステップ、

上記製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータを取り込むステップ、

上記フェイルビットデータに基づき上記所定単位毎の不良数を算出し、所定単位不良数データを得るステップ、

上記所定単位カテゴリー別欠陥個数データと上記所定単位不良数データとの照合を行い、両データ間の相関係数を算出するステップを備えた半導体ウェハの不良解析方法。

【発明の詳細な説明】 30

【0001】

【産業上の利用分野】

この発明は複数のメモリセルを有するチップが複数形成される半導体ウェハの不良解析装置及び不良解析方法に関するものである。

【0002】

【従来の技術】

複数のメモリセル（一般に行及び列のマトリクスに配置されている）を有するチップが複数形成される半導体ウェハの不良解析方法として、テストによってメモリセルすべてについての電気的特性をテストし、そのテスト結果をX（行）、Y（列）の座標空間で表示して不良の原因に応じた不良のパターン（一般にフェイルビットマップ（以下、FBMと称す）と呼ばれている）を得、このFBMを用いて不良原因を推定する方法がある。 40

【0003】

しかるに、FBMで得られる推定原因は、不良の三次元位置とそこでの電気的異常現象、つまりどこで何が起きているか（リーク/オープン/ショート等）という不良現象の推定に過ぎない。

実際に、不良の改善を行うためには、これだけでは不十分であり、不良現象を引き起こす製造プロセス上の原因を明確にする必要がある。

【0004】

このような考えに基づいたものとして特開平6 - 275688号公報に提案されている。すなわち、この提案例は、欠陥検査装置によって、複数の工程を有した製造ラインの各工 50

程毎の、半導体ウェハの表面における異物、欠陥等の物理的な検査結果を得るとともに、テストにて製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータ(FBM)を得、異物、欠陥等の物理的な検査結果とFBMとを照合し、不良原因が製造工程中で発生した異物、欠陥に起因するものか否かを推定する方法である。

【0005】

【発明が解決しようとする課題】

しかるに、テスト結果における不良を示す位置にその不良原因が必ずしもあるとは限らず、不良を示す位置以外に不良原因がある場合もかなりある。

また、製造工程中で発生した異物、欠陥がすべて不良の原因になるわけでもなく、異物、欠陥の存在する位置、大きさ等によって不良に起因する場合としない場合とがある。

したがって、上記した提案例に示されたものにあつては、テストによるテスト結果における不良を示す位置と、異物、欠陥等の位置とを照合しているだけであるため、十分に不良解析が行えないという課題を奏していた。

【0006】

この発明は、上記した点に鑑みてなされたものであり、テストから得られた不良アドレスに対する欠陥による不良原因がなく、その不良アドレスに位置するものと関係するものに欠陥による不良原因があつた場合でも、その不良を解析することができ、テストから得られた不良の原因となる欠陥を見つけることができるとともに、テストから得られた不良に影響のない欠陥を誤認識することもない半導体ウェハの不良解析装置及び不良解析方法を得ることを目的とするものである。

【0007】

【課題を解決するための手段】

この発明の第1の発明に係る半導体ウェハの不良解析装置は、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標を含むデータと、製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータとを受け、フェイルビットデータに基づき追加不良領域を示す不良モード別限定条件データを作成するとともに、フェイルビットデータに基づく不良の位置を示す物理的位置座標データに不良モード別限定条件データを加味した補正物理的位置座標データを作成し、この補正物理的位置座標データと欠陥位置座標を含むデータに基づく欠陥位置座標データとを照合してその照合結果を出力する解析装置を設けたものである。

【0008】

この発明の第2の発明に係る半導体ウェハの不良解析装置は、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標を含むデータと、製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータとを受け、欠陥位置座標を含むデータに基づき所定単位毎の所定単位欠陥個数データを作成するとともにフェイルビットデータに基づき所定単位毎の所定単位不良数データを作成し、所定単位欠陥個数データと所定単位不良数データを照合する解析装置を設けたものである。

【0009】

この発明の第3の発明に係る半導体ウェハの不良解析装置は、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標及び欠陥サイズを含むデータと、製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータとを受け、欠陥位置座標及び欠陥サイズを含むデータに基づき所定単位毎の異物、欠陥等のサイズ別の所定単位サイズ別欠陥個数データを作成するとともにフェイルビットデータに基づき所定単位毎の所定単位不良数データを作成し、所定単位サイズ別欠陥個数データと所定単位不良数データを照合する解析装置を設けたものである。

【0010】

この発明の第4の発明に係る半導体ウェハの不良解析装置は、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標及び欠陥形状別のカテゴリーを含むデータと、製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータとを受け、欠陥位置座標及びカテゴリーを含むデータに基づき所定単位毎の異物、欠陥等のカテゴリー別の所定単位カテゴリー別欠陥個数データを作成するとともにフェイルビットデータに基づき所定単位毎の所定単位不良数データを作成し、所定単位カテゴリー別欠陥個数データと所定単位不良数データを照合する解析装置を設けたものである。

【0011】

この発明の第5の発明に係る半導体ウェハの不良解析方法は、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標を含むデータを取り込むステップと、製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータを取り込むステップと、このフェイルビットデータに基づいた不良の位置を示す物理的位置座標データとするステップと、フェイルビットデータに基づき追加不良領域を示す不良モード別限定条件データを作成するステップと、物理的位置座標データに上記不良モード別限定条件データを加味した補正物理的位置座標データを作成し、この補正物理的位置座標データと欠陥位置座標データとを照合するステップと設けたものである。

【0012】

この発明の第6の発明に係る不良解析方法は、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標を含むデータを取り込むステップと、この欠陥位置座標を含むデータに基づき所定単位毎の欠陥個数を算出し、所定単位欠陥個数データを得るステップと、製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータを取り込むステップと、フェイルビットデータに基づき上記所定単位毎の不良数を算出し、所定単位不良数データを得るステップと、所定単位欠陥個数データと所定単位不良数データとの照合を行い、両データ間の相関係数を算出するステップとを設けたものである。

【0013】

この発明の第7の発明に係る半導体ウェハの不良解析方法は、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標及び欠陥サイズを含むデータを取り込むステップと、この欠陥位置座標及び欠陥サイズを含むデータに基づき所定単位毎の異物、欠陥等のサイズ別の欠陥個数を算出し、所定単位サイズ別欠陥個数データを得るステップと、製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータを取り込むステップと、フェイルビットデータに基づき所定単位毎の不良数を算出し、所定単位不良数データを得るステップと、所定単位サイズ別欠陥個数データと所定単位不良数データとの照合を行い、両データ間の相関係数を算出するステップとを設けたものである。

【0014】

この発明の第8の発明に係る半導体ウェハの不良解析方法は、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標及び欠陥形状のカテゴリーを含むデータを取り込むステップと、この欠陥位置座標及びカテゴリーを含むデータに基づき所定単位毎の異物、欠陥等のカテゴリー別の欠陥個数を算出し、所定単位カテゴリー別欠陥個数データを得るステップと、製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータを取り込むステップと、フェイルビットデータに基づき所定単位毎の不良数を算出し、所定単位不良数データを得るステップと、所定単位カテゴリー別欠陥個数データと所定単位不良数データとの照合を行い、両データ間の相関係数を算

10

20

30

40

50

出するステップとを設けたものである。

【0015】

【作用】

この発明の第1の発明にあつては、解析装置が物理的位置座標データに不良モード別限定条件データを加味し、この加味された補正物理的位置座標データと欠陥位置座標データとを照合して照合の精度を上げる。

【0016】

この発明の第2の発明にあつては、解析装置が所定単位毎の所定単位欠陥個数データと所定単位不良数データを照合して分布として照合できるようにし、領域をもつ不良の原因工程の推定を容易にせしめる。

10

【0017】

この発明の第3の発明にあつては、解析装置が所定単位毎の所定単位サイズ別欠陥個数データと所定単位不良数データを照合して分布として照合できるようにし、領域をもつ不良の原因工程の推定を容易にせしめる。

【0018】

この発明の第4の発明にあつては、解析装置が所定単位毎の所定単位カテゴリー別欠陥個数データと所定単位不良数データを照合して分布として照合できるようにし、領域をもつ不良の原因工程の推定を容易にせしめる。

【0019】

この発明の第5の発明にあつては、物理的位置座標データに不良モード別限定条件データを加味し、この加味された補正物理的位置座標データと欠陥位置座標データとを照合して照合の精度を上げる。

20

【0020】

この発明の第6の発明にあつては、所定単位毎の所定単位欠陥個数データと所定単位不良数データを照合して両データ間の相関係数を算出し、分布として照合でき、領域をもつ不良の原因工程の推定を容易にせしめる。

【0021】

この発明の第7の発明にあつては、所定単位毎の所定単位サイズ別欠陥個数データと所定単位不良数データを照合して両データ間の相関係数を算出し、分布として照合でき、領域をもつ不良の原因工程の推定を容易にせしめる。

30

【0022】

この発明の第8の発明にあつては、解析装置が所定単位毎の所定単位カテゴリー別欠陥個数データと所定単位不良数データを照合して両データ間の相関係数を算出し、分布として照合でき、領域をもつ不良の原因工程の推定を容易にせしめる。

【0023】

【実施例】

実施例1

図1はこの発明の実施例1である半導体ウェハの不良解析装置1を示すブロック図であり、図1において、2は工程A、工程B、工程C...を有した半導体装置の製造ラインで、各工程毎に半導体製造装置が配された集合体によって構成されている。なお、この実施例1において、製造ライン1にて製造される半導体装置はX/Yのマトリクス状に配置された複数のメモリセルが形成されるメモリ領域を有する半導体記憶装置、例えばDRAMを対象とし、半導体ウェハはこの半導体記憶装置のチップが複数形成されるものを対象としているものである。

40

【0024】

3は上記製造ライン1の各工程A、B、C...毎に半導体ウェハの表面における異物及び欠陥等(以下、総称して欠陥と称し、欠陥と表現した場合は、異物だけの場合、欠陥だけの場合、両者を含む場合すべてを含むものである。)を検出、つまり、物理的な外観検査(光学的検査)により検出する欠陥検査装置で、欠陥検査を行う検査部及び検査部からの検査結果を演算処理する演算部とを有する本体4と、この本体4にて演算処理され出力され

50

た欠陥位置座標（検査された半導体ウェハの識別情報（ID）、検査された工程、及び半導体ウェハの表面における欠陥の位置を示す欠陥位置座標を少なくとも含み、これらを含んだものを一義的に欠陥座標と総称する。）、欠陥サイズ及びカテゴリ等を蓄積（記憶）するデータベース（D/B）5とを備えているものであり、各工程毎にこの装置を配置したものでよく、また、共通に1台の装置を配置したものでよく、例えばKLA 21**（KLA社製）、サーフスキャン7***（TENCON社製）、WI880（日立社製）などが用いられるものである。

【0025】

なお、上記異物は例えば製造工程中に発生した装置異物、プロセス残留物、エッチング残渣、環境からのごみ、人系異物等種々のものがあり、大きさは0.1 μ m～数百 μ mである。また、上記欠陥は写真製版やエッチング、シミ（薄い酸化膜）、変色等によって生じたパターン欠陥やコンタクト不良等のものである。

10

【0026】

6は上記製造ライン1にて製造された半導体ウェハの各チップのメモリセル全てについて電気的特性を計測するテスト（電気的試験）、例えば、メモリセルに対してデータの書き込みを行い、その書き込みが正しく書き込まれ、読み出されるかの確認をするテスト等を行い、そのテスト結果をX/Yの座標空間に不良の原因に応じた不良パターンとして現すフェイルビットマップ（以下、FBMと称す。）を得るためのテストで、電気的試験を行うとともに試験結果を演算処理する本体7と、この本体7にて得られたFBMを表示するための表示部及びFBMのデータ（テスト方法、不良アドレス（メモリの配線のマトリクスにて指定）等）を蓄積（記憶）するデータベース（D/B）などを有した制御用コンピュータ・ワークステーション（以下、制御用EWSと称す）8を有しているものであり、例えばJ937（テラデザイン社製）、T5365P（アドバンテスト社製）などが用いられるものである。

20

【0027】

9は上記欠陥検査装置3にて検査され演算処理されたデータ（工程毎における欠陥位置座標、欠陥サイズ及びカテゴリ等のデータで、一旦データベース5に記憶されたデータであってもよく、欠陥位置座標は半導体ウェハ内のどのチップであるかを示すとともにチップ内にてあらかじめ設定された原点からの距離X1及びY1（単位は例えば μ mにて示される物理的位置座標として表現されており、X1は原点からの横方向の距離、Y1は原点からの縦方向の距離を示し、1つまたは複数の物理的位置座標を総称している。）及び上記テスト6にてテストされ演算処理されたデータ（テスト方法及び不良アドレス等のデータで、不良アドレスは半導体ウェハのチップにおける論理的アドレス（x2及びy2（単位なし）として表現されている。x2はアドレス原点からの行方向、y2はアドレス原点からの列方向のアドレスを示し、1つまたは複数の論理アドレスを総称している。）を受け、それぞれのデータを所定のフォーマットに基づいてデータ変換するデータフォーマット変換手段である。

30

【0028】

10は上記欠陥検査装置3からのデータを上記データフォーマット変換手段9にてデータ変換されたデータ（以下、説明の都合上、欠陥位置座標データと略称する。この欠陥位置座標データの欠陥位置座標を示すデータは半導体ウェハ内のどのチップであるかを示すとともにチップ内にてあらかじめ設定された原点からの距離X1及びY1（単位は例えば μ m）にて示される物理的位置座標として表現されており、1つまたは複数の物理的位置座標を総称している。）を工程別に蓄積（記憶）するデータベースである第1の記憶手段である。

40

【0029】

11は上記テスト6からのデータを上記データフォーマット変換手段9にてデータ変換されたデータ（以下、説明の都合上、FBMデータと略称する。）を受け、このFBMデータを基にして不良パターンの認識及び分類処理し、その処理結果を不良パターンの認識、分類、位置座標データ（以下、不良パターン認識結果データと略称する。なお、位置座標

50

データは半導体ウェハのチップにおける論理的アドレスとして表現されている。)として出力する不良パターン認識手段で、不良パターンの認識及び分類処理を行う演算処理部11aと、演算処理部11aからの演算処理結果を不良パターン認識結果データとし、そのデータを出力するための出力部11bとを有しているものである。なお、不良パターンの認識及び分類処理は、配線マトリクスのクロスポイントで表される点情報である上記テスト6からのデータにおける不良アドレスにより、半導体ウェハのチップそれぞれにおけるすべての不良アドレスに基づきチップ毎に、例えば、単一のメモリセルの不良である点状不良(図2の(a)を参照)なのか、直線上に並んだ複数のメモリセルの不良であるライン不良(線状不良、図2の(b)を参照)なのか、マトリクス状に配置された複数のメモリセルの不良であるブロック不良(面状不良)なのか、また線不良であればどれくらいの長さのものが何本不良であるかを認識し、例えば点状不良、線状不良、面状不良等に分類するものである。図2において100は不良パターンのFBMイメージ、200は欠陥位置座標データと照合するための照合領域で、FBMイメージ100の中心から距離r(欠陥検査装置3での欠陥検査における欠陥座標精度(ステージ精度)及びチップにおける配線パターン寸法精度に基づいた値)で規定される領域である。

【0030】

12はこの不良パターン認識手段11からの不良パターン認識結果データの位置座標データ(半導体ウェハのチップにおける論理的アドレス(x1及びy1)として表現されており、1つまたは複数の論理的アドレスを総称している。)を、半導体ウェハ内のどのチップであるかを示すとともチップ内にてあらかじめ設定された原点からの距離X2及びY2(単位は例えばμmであり、X2は原点からの横方向の距離、Y2は原点からの縦方向の距離を示している。)にて示される物理的位置座標(1つまたは複数の物理的位置座標を総称している。)に変換する位置座標変換手段である。

13はこの位置座標変換手段からの物理的位置座標データ(1つまたは複数の物理的位置座標データを総称している。)を蓄積(記憶)するデータベースである第2の記憶手段である。

【0031】

14は上記不良パターン認識手段11からの不良パターン認識結果データを受けるとともに、経験及び統計等に基づきあらかじめ技術者によって作成された条件が設定されており、この設定条件に従い入力された不良パターン認識結果データから不良の発生工程(不良を起こしたレイヤがどこであるかに基づく)、不良の位置、不良サイズの推定(推論)を行なうとともに、不良パターン認識結果データから得られ、不良の存在位置(回路上の位置)により生じる不良モードに対する追加不良領域を推定(推論)し、この追加不良領域を不良モード(不良状態)別限定条件データとして出力する追加不良領域推定手段である。不良モード別限定条件データは、半導体ウェハ内のどのチップであるかを示すとともチップ内にてあらかじめ設定された原点からの距離X3及びY3(単位は例えばμmにて示される物理的位置座標として表現されており、X3は原点からの横方向の距離、Y3は原点からの縦方向の距離を示し、1つまたは複数の物理的位置座標を総称している。)にて特定される追加不良領域としてのデータである。

【0032】

なお、設定条件はテスト6から得られた種々のテストによる結果に基づいて経験及び統計等によって得られたものである。

また、追加不良領域は各不良モード毎に不良の存在位置(回路上の位置)に対する経験及び統計等に基づいて得られた欠陥(不良)発生可能位置である。例えば、テスト6からのテスト結果(配線(ビット線)が不良)に基づいた不良パターン認識結果データがパターンショートからなる配線(ビット線)不良(不良の存在位置)と推定されると、ショートになり得る不良条件として配線をコントロールしている回路(周辺回路における配線(ビット線)制御回路、テスト6からのテスト結果は周辺回路が不良とはなっていない)を追加不良領域となすものである。具体的には、図3に示すように、チップ内のメモリセル領域17における符号300Aとして示すビット線の位置が、テスト6から得られた種々の

10

20

30

40

50

テストによる結果に基づいて不良として認識、推定されたとすると、ビット線300Aを制御する、またはビット線300Aに接続された周辺回路領域400に設けられた複数の周辺回路のうちの符号400Aとして示す周辺回路を追加不良領域となすものである。

【0033】

15はこの追加不良領域推定手段からの不良モード別限定条件データを蓄積（記憶）するデータベースである第3の記憶手段である。

16は上記第1の記憶手段10に記憶された工程別の欠陥位置座標データと上記第2の記憶手段13に記憶された物理的位置座標データと第3の記憶手段15に記憶された不良モード別限定条件データとを受け、上記物理的位置座標データに上記不良モード別限定条件データを加味し、つまり、テスト6からのテスト結果に基づいた不良の存在位置を示す物理的位置座標データに不良モード別限定条件データによる追加不良領域を示す物理的位置座標データを加えて条件入り物理的位置座標データとし、この条件入り物理的位置座標データに上記欠陥検査装置3での欠陥検査における欠陥座標精度（ステージ精度）及びチップにおける配線パターン寸法精度に基づいた値 r を加味して一定の誤差を範囲指定した補正物理的位置座標データを得、この補正物理的位置座標データと工程別の欠陥位置座標データとを照合し、半導体ウェハ別、チップ別、工程別、不良パターン別の照合結果を得る照合手段である。

10

【0034】

17はこの照合手段からの照合結果を蓄積（記憶）するデータベースである第4の記憶手段で、要望に応じて記憶された照合結果を表示手段（図示せず）に直接出力するものである。なお、この第4の記憶手段17に記憶された照合結果を直接出力しないものでもよいものである。

20

18はこの第4の記憶手段17に記憶された照合結果を半導体ウェハ別、チップ別、工程別、不良パターン別に統計処理して出力する統計処理手段で、統計処理され表示される一例として例えば図4に示す。図4は日毎あるいはロット毎にある層（Layer A）、メモリセル（BIT）、ビット線（BL）の不良数を示した図である。

【0035】

19は上記データフォーマット変換手段9、第1の記憶手段10、不良パターン認識手段11、位置座標変換手段12、第2の記憶手段13、追加不良領域推定手段14、第3の記憶手段15、照合手段16、第4の記憶手段17及び統計処理手段18によって構成されるコンピュータ・ワークステーションからなる解析装置で、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標を含むデータと、上記製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータとを受け、上記フェイルビットデータに基づき追加不良領域を示す不良モード別限定条件データを作成するとともに、上記フェイルビットデータに基づく不良の位置を示す物理的位置座標データに上記不良モード別限定条件データを加味した補正物理的位置座標データを作成し、この補正物理的位置座標データと上記欠陥位置座標を含むデータに基づく欠陥位置座標データとを照合してその照合結果を出力するものである。

30

【0036】

次に、このように構成された半導体ウェハの不良解析装置による不良解析方法を、主として図5に示したフローチャートに基づいて説明する。

40

まず、ステップS1に示すように、欠陥検査装置3によって製造ライン1の各工程A、B、C...毎に半導体ウェハの表面における欠陥を物理的な外観検査（光学的検査）により検出して欠陥位置座標を得、この欠陥位置座標を一旦工程別等にしてデータベース5に記憶する。

そして、ステップS2に示すように、欠陥検査装置3によって得られた欠陥位置座標はデータフォーマット変換手段9によって所定のフォーマットに基づいてデータ変換され、このデータ変換されたデータを欠陥位置座標データとして第1の記憶手段10に工程別等にして記憶する。

50

【 0 0 3 7 】

一方、ステップ S 3 に示すようにテスト 6 によって製造ライン 1 にて製造された半導体ウェハの各チップのメモリセル全てについて電気的特性が行なわれ、そのテスト結果を F B M として得、ステップ S 4 に示すように、この F B M のデータをデータベース 8 に一旦記憶する。

そして、ステップ S 5 に示すように、テスト 6 によって得られた F B M のデータはデータフォーマット変換手段 9 によって所定のフォーマットに基づいてデータ変換され、データ変換された F B M データは不良パターン認識手段 1 1 によって不良パターンの認識及び分類処理され、ステップ S 6 に示すように不良パターン認識結果データとして記憶される。

【 0 0 3 8 】

この時の不良パターンの認識及び分類処理は、配線マトリクスのカロスポイントで表される点情報であるテスト 6 からのデータにおける不良アドレスにより、半導体ウェハのチップそれぞれにおけるすべての不良アドレスに基づきチップ毎に、点状不良、線状不良、面状不良なのかを認識し、点状不良、線状不良、面状不良等に分類するものである。

【 0 0 3 9 】

次に、ステップ S 7 に示すように、位置座標変換手段 1 2 によって、不良パターン認識手段 1 1 からの不良パターン認識結果データの位置座標データ（論理的アドレスとして表現されている。）を物理的位置座標データに変換する。この変換された物理的位置座標データは、ステップ S 8 に示すように第 2 の記憶手段 1 3 によって記憶される。

【 0 0 4 0 】

一方、ステップ S 9 に示すように、追加不良領域推定手段 1 4 によってあらかじめ設定された設定条件に従い不良パターン認識手段 1 1 からの不良パターン認識結果データから不良の存在位置（回路上の位置）により生じる不良モードに対する追加不良領域を推定して不良状態別限定条件データを得る。この得られた不良状態別限定条件データは、ステップ S 1 0 に示すように第 3 の記憶手段 1 5 によって記憶される。

【 0 0 4 1 】

次に、ステップ S 1 1 に示すように、照合手段 1 6 によって、第 2 の記憶手段 1 3 に記憶された物理的位置座標データに第 3 の記憶手段 1 5 に記憶された不良モード別限定条件データを加味して条件入り物理的位置座標データを得、この得られた条件入り物理的位置座標データから一定の誤差を範囲指定した補正物理的位置座標データを得、さらに、この得られた補正物理的位置座標データと第 1 の記憶手段 1 0 に記憶された工程別の欠陥位置座標データとを照合し、半導体ウェハ別、チップ別、工程別、不良パターン別の照合結果を得る。この得られた照合結果データは、ステップ S 1 2 に示すように第 4 の記憶手段 1 7 によって記憶される。

【 0 0 4 2 】

そして、ステップ S 1 3 に示すように、統計処理手段 1 8 によって第 4 の記憶手段 1 7 に記憶された照合結果データが半導体ウェハ別、チップ別、工程別、不良パターン別に統計処理され、ステップ S 1 4 に示すように、照合結果として表やグラフ等にして出力されるものである。

【 0 0 4 3 】

このように構成された半導体ウェハの不良解析装置にあっては、テスト 6 から得られた不良アドレスに対する欠陥による不良原因がなく、その不良アドレスに位置するものと関係するものに欠陥による不良原因があった場合でも、その不良を解析することができ、テスト 6 から得られた不良の原因となる欠陥を見つけることができるとともに、テスト 6 から得られた不良に影響のない欠陥を誤認識することもないものである。

【 0 0 4 4 】

実施例 2 .

図 6 はこの発明の実施例 2 である半導体ウェハの不良解析装置 1 を示すブロック図であり、図 6 において図 1 と同一符号である 1 ~ 9 及び 1 1 は実施例 1 と同一または相当部分を示すものであり、2 0 は上記欠陥検査装置 3 からのデータを上記データフォーマット変換

10

20

30

40

50

手段9にてデータ変換されたデータ(以下、説明の都合上、欠陥位置座標データと略称する。この欠陥位置座標データの欠陥位置座標を示すデータは半導体ウェハ内のどのチップであるかを示すとともにチップ内にてあらかじめ設定された原点からの距離X1及びY1(単位は例えば μm)にて示される物理的位置座標として表現されており、1つまたは複数の物理的位置座標を総称している。)を受け、このデータに基づき工程別にかつチップ別にチップ単位毎の欠陥個数を算出し、工程別のチップ単位欠陥個数データとして出力する欠陥個数算出手段である。

【0045】

21はこの欠陥個数算出手段からの工程別のチップ単位欠陥個数データを工程別に蓄積(記憶)するデータベースである第5の記憶手段である。

10

22は上記不良パターン認識手段11からの不良パターン認識結果データを受け、不良パターン別にチップ単位の不良数を算出し、不良パターン別のチップ単位不良数データとして出力する不良数算出手段で、例えば、不良パターン認識手段11にて認識、分類された例えば点状不良、線状不良、面状不良等の不良パターン認識結果データにより、チップ単位毎の点状不良数、チップ単位毎の線状不良数、チップ単位毎の面状不良数を算出しているものである。

23はこの不良数算出手段からの不良パターン別のチップ単位不良数データを蓄積(記憶)するデータベースである第6の記憶手段である。

【0046】

24は上記第5の記憶手段21に記憶された工程別のチップ単位欠陥個数データと上記第6の記憶手段23に記憶された不良パターン別のチップ単位不良数データとを受け、これら両データの照合を行い、演算処理して工程別、不良パターン別の両データ間の相関係数を算出する相関係数算出手段である。

20

【0047】

なお、両データの照合は、同一の半導体ウェハのチップ毎にチップ単位欠陥個数データとチップ単位不良数データとの照合、もしくは、チップ単位欠陥個数データをチップ面積で割ったチップ単位欠陥密度データとチップ単位不良数データをチップ面積で割ったチップ単位不良密度データとの照合、チップ単位欠陥個数データまたはチップ単位欠陥密度データにより作成した欠陥分布図とチップ単位不良数データまたはチップ単位不良密度データにより作成した不良分布図との照合を言う。チップ単位欠陥密度データとチップ単位不良密度データを用いた場合は、チップサイズが異なる他の品種、デバイスに対してもノーマライズでき、比較しやすくなるものである。

30

【0048】

また、相関係数算出手段24にて算出される相関係数は、例えば以下のようにして算出されるものである。すなわち、いま、半導体ウェハに 3×3 の9つのチップが形成されたものを想定し、ある工程Nにおいて欠陥検査装置3で検出される欠陥の分布が図7の(a)に示すようになっており、テスト6によって得られるテスト結果に基づいて得られたワード線の不良パターンの分布(物理的位置に変更されている)が図7の(b)に示すようになっており、図7の(a)に示した大文字のアルファベットA~Iと図7の(b)に示した小文字のアルファベットa~iは、Aがa、Bがbと言うように同じチップを意味している。

40

【0049】

すると、第5の記憶手段21に記憶された工程別のチップ単位欠陥個数データは、工程NにおいてチップAの欠陥個数が3、チップBの欠陥個数が1、...というデータを意味していることになる。また、第6の記憶手段23に記憶された不良パターン別のチップ単位不良数データは、ワード線の不良パターンにおいてチップa(チップAに相当)のワード線不良数が4、チップbのワード不良数が0、...というデータを意味していることになる。これらデータを相関係数算出手段24は図7の(c)に示す欠陥数と不良数の散布図を作成し、この散布図から欠陥数と不良数との相関関数を求めているものである。

【0050】

50

25はこの相関係数算出手段24にて算出される相関係数を工程別、不良パターン別に蓄積（記憶）するデータベースである第7の記憶手段で、要望に応じて記憶された照合結果を表示手段（図示せず）に直接出力するものである。なお、この第7の記憶手段25に記憶された照合結果を直接出力しないものでもよいものである。

【0051】

26はこの第7の記憶手段25に記憶された相関係数を半導体ウェハ別、チップ別、工程別、不良パターン別に統計処理して出力する統計処理手段で、統計処理され表示される一例として例えば図8に示す。図8は欠陥サイズ（または欠陥カテゴリ）に対するある層（Layer A、Layer B、Layer C、工程別を示している）毎の相関係数を示した図であり、相関係数が1に近いほど相関があり、欠陥が不良の原因になっていることがわかる。また、任意に設定された管理値以上であるか否かによって欠陥が不良の原因か否かを判断できるものである。

10

【0052】

27は上記データフォーマット変換手段9、不良パターン認識手段11、欠陥個数算出手段20、第5の記憶手段21、不良数算出手段22、第6の記憶手段23、相関係数算出手段24、第7の記憶手段25及び統計処理手段26によって構成されるコンピュータ・ワークステーションからなる解析装置で、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標を含むデータと、上記製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータとを受け、上記欠陥位置座標を含むデータに基づきチップ毎のチップ単位欠陥個数データを作成するとともに上記フェイルビットデータに基づきチップ毎のチップ単位不良数データを作成し、チップ単位欠陥個数データとチップ単位不良数データを照合して相関係数を得、出力するものである。

20

【0053】

次に、このように構成された半導体ウェハの不良解析装置による不良解析方法を、主として図9に示したフローチャートに基づいて説明する。

まず、ステップS101に示すように、欠陥検査装置3によって製造ライン1の各工程A、B、C...毎に半導体ウェハの表面における欠陥を物理的な外観検査（光学的検査）により検出して欠陥位置座標を得、ステップS102に示すように、この欠陥位置座標を一旦工程別等にしてデータベース5に記憶する。

30

【0054】

そして、欠陥検査装置3によって得られた欠陥位置座標はデータフォーマット変換手段9によって所定のフォーマットに基づいてデータ変換され、このデータ変換された欠陥位置座標データを受けた欠陥個数算出手段20は、ステップS103に示すように、欠陥位置座標データに基づき工程別にかつチップ別にチップ単位毎の欠陥個数を算出し、工程別のチップ単位欠陥個数データを作成する。

この欠陥個数算出手段20にて算出されたチップ単位欠陥個数データは、ステップS104に示すように、第5の記憶手段21に記憶される。

【0055】

一方、ステップS105に示すようにテスト6によって製造ライン1にて製造された半導体ウェハの各チップのメモリセル全てについて電気的特性が行なわれ、そのテスト結果をFBMとして得、ステップS106に示すように、このFBMのデータをデータベース8に一旦記憶する。

40

そして、ステップS107に示すように、テスト6によって得られたFBMのデータはデータフォーマット変換手段9によって所定のフォーマットに基づいてデータ変換され、データ変換されたFBMデータは不良パターン認識手段11によって不良パターンの認識及び分類処理され、ステップS108に示すように不良パターン認識結果データとして記憶される。

【0056】

この時の不良パターンの認識及び分類処理は、配線マトリクスのクロスポイントで表され

50

る点情報であるテスト6からのデータにおける不良アドレスにより、半導体ウェハのチップそれぞれにおけるすべての不良アドレスに基づきチップ毎に、点状不良、線状不良、面状不良なのかを認識し、点状不良、線状不良、面状不良等に分類するものである。

【0057】

次に、ステップS109に示すように、不良数算出手段21によって、不良パターン認識手段11からの不良パターン認識結果データに基づき、不良パターン別にチップ単位の不良数を算出、例えば、不良パターン認識手段11にて認識、分類された例えば点状不良、線状不良、面状不良等の不良パターン認識結果データにより、チップ単位毎の点状不良数、チップ単位毎の線状不良数、チップ単位毎の面状不良数を算出し、不良パターン別のチップ単位不良数データを作成する。この不良数算出手段22によって算出されたチップ単位不良数データは、ステップS110に示すように第6の記憶手段23に記憶される。

10

【0058】

次に、ステップS111に示すように、相関係数算出手段23によって、第5の記憶手段21に記憶された工程別のチップ単位欠陥個数データと第6の記憶手段23に記憶された不良パターン別のチップ単位不良数データの照合を行い、演算処理して工程別、不良パターン別の両データ間の相関係数を算出する。

例えば、相関係数算出手段24は第5の記憶手段23に記憶された工程別のチップ単位欠陥個数データを用いて図10の(b)(d)(f)に示すような工程A、工程B、工程Cの欠陥分布を得る。

なお、図10の(b)(d)(f)において、A1、B1、C1はそれぞれチップ単位欠陥個数データに基づいて得られた工程A、B、C毎の欠陥マップを示し、A2、B2、C2はそれぞれ欠陥マップ上に現れた工程A、B、C毎の欠陥分布領域を示す。また、図10の(b)(d)(f)は図7の(a)に示したものに相当しているものである。

20

【0059】

一方、相関係数算出手段24は第6の記憶手段23に記憶された不良パターン別のチップ単位不良数データを用いて図10の(a)に示すような不良パターンに基づいた不良分布を得る。

なお、図10の(a)において、F1はある不良パターンにおけるフェイルビットマップを示し、F2はフェイルビットマップ上に現れたある不良パターンの不良分布領域を示す。また、図10の(a)は図7の(b)に示したものに相当しているものである。

30

【0060】

そして、相関係数算出手段24は工程A、B、C毎の欠陥マップA1、B1、C1とフェイルビットマップF1とを照合し、つまり、工程A、B、C毎の欠陥分布領域A2、B2、C2と不良分布領域F2との関係を求め、図10の(c)(e)(g)に示すような工程A、工程B、工程Cの散布図を得る。

なお、図10の(c)(e)(g)において、横軸は欠陥密度を、縦軸は不良密度をそれぞれ示し、A3、B3、C3は散布状態を示し、A4、B4、C4はこの散布状態A3、B3、C3から得られる、相関係数の基となる直線を示す。また、図10の(c)(e)(g)は図7の(b)に示したものに相当しているものである。

【0061】

40

このようにして得られた工程A、工程B、工程C毎の散布図の散布状態A3、B3、C3を用いて相関係数算出手段24は相関係数を求める。例えば図10の(c)(e)(g)に示される直線A4、B4、C4を得、この直線A4、B4、C4の傾きに基づいて相関係数を得るものである。

図10の(c)(e)(g)に示した例では、(c)が相関係数0.8~0.9を示し、(e)(g)はほぼ0を示しているので、工程Aでの欠陥がこの不良原因になっており、工程B及びCはこの不良原因にはなっていないことが分かる。

【0062】

すなわち、テスト6によるテスト結果におけるある不良パターンに対して、欠陥検査装置3により検出された工程毎の欠陥と照合し、各工程毎の照合結果である相関係数を比較す

50

ることにより、ある不良パターンに対する不良原因を引き起こす工程が容易に判断できることになるものである。

なお、各工程毎の相関係数を比較して不良原因を引き起こす工程を見いだすのではなく、前もってある不良パターンに対する相関係数の管理値を設定しておき、各工程毎の相関係数と管理値とを比較することによって、不良原因を引き起こす工程か引き起こさない工程かを判断させるものであってもよい。

【0063】

この得られた相関係数データは、ステップS112に示すように第7の記憶手段25によって記憶される。

そして、ステップS113に示すように、統計処理手段26によって第7の記憶手段25に記憶された相関係数データが半導体ウェハ別、工程別、不良パターン別に統計処理され、ステップS114に示すように、結果として表やグラフ等にして出力されるものである。

10

【0064】

このように構成された半導体ウェハの不良解析装置にあっては、テスト6から得られた不良パターンに対する欠陥による不良原因が、どの工程の欠陥に基づくものか容易に解析でき、テスト6から得られた不良パターンの原因となる欠陥を見つけることができるとともに、テスト6から得られた不良パターンに影響のない工程の欠陥を誤認識することもなく判断できるものである。

【0065】

なお、上記実施例2においては、チップ単位欠陥個数データとチップ単位不良数データともに、チップ単位毎のデータとしたが、チップ単位毎に限られるものではなく、チップ内の所定領域単位毎における欠陥個数、不良数に対するデータであってもよいものである。また、上記実施例2においては、相関係数算出手段24による相関係数の算出に際して散布図を得、その散布図に基づいて得ていたが、この例に限らず、他の統計的手法を用いて両データの照合を行って相関係数を求めても何ら問題ないものである。

20

【0066】

実施例3

図11はこの発明の実施例3を示すものであり、実施例2のものが工程別にかつチップ別にチップ単位毎の欠陥個数を算出し、工程別のチップ単位欠陥個数データと、チップ単位不良数データとに基づき相関係数を得て、不良解析するものであるのに対して、この実施例3にあっては、工程別にかつチップ別にチップ単位毎の欠陥のサイズ別、つまり粒径別に欠陥個数を算出し、工程別のチップ単位サイズ別欠陥個数データと、チップ単位不良数データとに基づき相関係数を得て、不良解析するものである点で相違するだけであり、その他の点においては、実施例2と同様である。

30

【0067】

図11において実施例2を示す図6と同一符号である1~9、11及び21~26は実施例2と同一または相当部分を示すものであり、28は上記欠陥検査装置3からのデータを上記データフォーマット変換手段9にてデータ変換されたデータ(以下、説明の都合上、欠陥位置座標データと略称するものの、欠陥サイズ(粒径)情報も含まれているものである。また、欠陥位置座標データの欠陥位置座標を示すデータは半導体ウェハ内のどのチップであるかを示すとともにチップ内にてあらかじめ設定された原点からの距離X1及びY1(単位は例えば μm)にて示される物理的位置座標として表現されており、1つまたは複数の物理的位置座標を総称している。)を受け、このデータに基づき工程別にかつチップ別に欠陥サイズ(粒径)別のチップ単位毎の欠陥サイズ別の欠陥個数を算出し、工程別のチップ単位サイズ別欠陥個数データとして出力するサイズ別欠陥個数算出手段で、例えば、工程Aにおけるあるチップの粒径X1 μm ~X2 μm (以下、サイズIと称す)、粒径X2 μm ~X3 μm (以下、サイズIIと称す)、粒径X3 μm ~X4 μm (以下、サイズIIIと称す)...毎の欠陥個数を算出するものである。

40

【0068】

50

29はこのサイズ別欠陥個数算出手段からの工程別のチップ単位サイズ別欠陥個数データを工程別、サイズ別に蓄積（記憶）するデータベースである第8の記憶手段である。

24は上記第8の記憶手段29に記憶された工程別のチップ単位サイズ別欠陥個数データと上記第6の記憶手段23に記憶された不良パターン別のチップ単位不良数データとを受け、これら両データの照合を行い、演算処理して工程別、サイズ別、不良パターン別の両データ間の相関係数を算出する相関係数算出手段である。

【0069】

なお、両データの照合は、同一の半導体ウェハのチップ単位でサイズ別にチップ単位サイズ別欠陥個数データとチップ単位不良数データとの照合、もしくは、チップ単位サイズ別欠陥個数データをチップ面積で割ったチップ単位サイズ別欠陥密度データとチップ単位不良数データをチップ面積で割ったチップ単位不良密度データとの照合、チップ単位サイズ別欠陥個数データまたはチップ単位サイズ別欠陥密度データにより作成したサイズ別欠陥分布図とチップ単位不良数データまたはチップ単位不良密度データにより作成した不良分布図との照合を言う。チップ単位サイズ別欠陥密度データとチップ単位不良密度データを用いた場合は、チップサイズが異なる他の品種、デバイスに対してもノーマライズでき、比較しやすくなるものである。

10

【0070】

30は上記データフォーマット変換手段9、不良パターン認識手段11、サイズ別欠陥個数算出手段28、第8の記憶手段29、不良数算出手段22、第6の記憶手段23、相関係数算出手段24、第7の記憶手段25及び統計処理手段26によって構成されるコンピュータ・ワークステーションからなる解析装置で、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標及び欠陥サイズを含むデータと、上記製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータとを受け、上記欠陥位置座標及び欠陥サイズを含むデータに基づきチップ毎のサイズ別のチップ単位サイズ別欠陥個数データを作成するとともに上記フェイルビットデータに基づきチップ毎のチップ単位不良数データを作成し、チップ単位サイズ別欠陥個数データとチップ単位不良数データを照合して相関係数を得、出力するものである。

20

【0071】

次に、このように構成された半導体ウェハの不良解析装置による不良解析方法を、主として図12に示したフローチャートに基づいて説明する。

30

まず、ステップS201に示すように、欠陥検査装置3によって製造ライン1の各工程A、B、C...毎に半導体ウェハの表面における欠陥を物理的な外観検査（光学的検査）により検出して欠陥位置座標及び欠陥サイズを得、ステップS202に示すように、この欠陥位置座標及び欠陥サイズを一旦工程別等にしてデータベース5に記憶する。

【0072】

そして、欠陥検査装置3によって得られた欠陥位置座標及び欠陥サイズはデータフォーマット変換手段9によって所定のフォーマットに基づいてデータ変換され、このデータ変換された欠陥サイズの情報を含む欠陥位置座標データを受けたサイズ別欠陥個数算出手段27は、ステップS203に示すように、欠陥サイズの情報を含む欠陥位置座標データに基づき工程別にかつチップ別にサイズ別にチップ単位毎のサイズ別の欠陥個数を算出し、工程別のサイズ別のチップ単位サイズ別欠陥個数データを作成する。

40

このサイズ別欠陥個数算出手段28にて算出されたチップ単位サイズ別欠陥個数データは、ステップS204に示すように、第8の記憶手段29に記憶される。

【0073】

一方、ステップS205に示すようにテスト6によって製造ライン1にて製造された半導体ウェハの各チップのメモリセル全てについて電気的特性が行なわれ、そのテスト結果をFBMとして得、ステップS206に示すように、このFBMのデータをデータベース8に一旦記憶する。

そして、ステップS207に示すように、テスト6によって得られたFBMのデータはデ

50

ータフォーマット変換手段9によって所定のフォーマットに基づいてデータ変換され、データ変換されたFBMデータは不良パターン認識手段11によって不良パターンの認識及び分類処理され、ステップS208に示すように不良パターン認識結果データとして記憶される。

【0074】

この時の不良パターンの認識及び分類処理は、配線マトリクスのカロスポイントで表される点情報であるテスト6からのデータにおける不良アドレスにより、半導体ウェハのチップそれぞれにおけるすべての不良アドレスに基づきチップ毎に、点状不良、線状不良、面状不良なのかを認識し、点状不良、線状不良、面状不良等に分類するものである。

【0075】

次に、ステップS209に示すように、不良数算出手段22によって、不良パターン認識手段11からの不良パターン認識結果データに基づき、不良パターン別にチップ単位の不良数を算出、例えば、不良パターン認識手段11にて認識、分類された例えば点状不良、線状不良、面状不良等の不良パターン認識結果データにより、チップ単位毎の点状不良数、チップ単位毎の線状不良数、チップ単位毎の面状不良数を算出し、不良パターン別のチップ単位不良数データを作成する。この不良数算出手段22によって算出されたチップ単位不良数データは、ステップS210に示すように第6の記憶手段23に記憶される。

【0076】

次に、ステップS211に示すように、相関係数算出手段24によって、第8の記憶手段29に記憶された工程別のサイズ別のチップ単位サイズ別欠陥個数データと第6の記憶手段23に記憶された不良パターン別のチップ単位不良数データの照合を行い、演算処理して工程別、サイズ別、不良パターン別の両データ間の相関係数を算出する。

例えば、相関係数算出手段24は第8の記憶手段21に記憶された工程別のサイズ別のチップ単位サイズ別欠陥個数データを用いて図13の(b)(d)(f)に示すようなある工程、例えば工程AにおけるサイズI、サイズII、サイズIIIの欠陥分布を得る。

なお、図13の(b)(d)(f)において、I1、II1、III1はそれぞれチップ単位サイズ別欠陥個数データに基づいて得られたサイズI、II、III毎の欠陥マップを示し、I2、II2、III2はそれぞれ欠陥マップ上に現れたサイズI、II、III毎の欠陥分布領域を示す。

【0077】

一方、相関係数算出手段24は第6の記憶手段23に記憶された不良パターン別のチップ単位不良数データを用いて図13の(a)に示すような不良パターンに基づいた不良分布を得る。

なお、図13の(a)において、F1はある不良パターンにおけるフェイルビットマップを示し、F2はフェイルビットマップ上に現れたある不良パターンの不良分布領域を示す。

【0078】

そして、相関係数算出手段24はサイズI、II、III毎の欠陥マップI1、II1、III1とフェイルビットマップF1とを照合し、つまり、サイズI、II、III毎の欠陥分布領域I2、II2、III2と不良分布領域F2との関係を求め、図13の(c)(e)(g)に示すようなサイズI、サイズII、サイズIIIの散布図を得る。

なお、図13の(c)(e)(g)において、横軸は欠陥密度を、縦軸は不良密度をそれぞれ示し、I3、II3、III3は散布状態を示し、I4、II4、III4はこの散布状態I3、II3、III3から得られる、相関係数の基となる直線を示す。

【0079】

このようにして得られたサイズI、サイズII、サイズIII毎の散布図の散布状態I3、II3、III3を用いて相関係数算出手段24は相関係数を求める。例えば図13の(c)(e)(g)に示される直線I4、II4、III4を得、この直線I4、II4、III4の傾きに基づいて相関係数を得るものである。

図13の(c)(e)(g)に示した例では、(g)が相関係数0.8~0.9を示し、

10

20

30

40

50

(c)(e)はほぼ0を示しているので、サイズIIIでの欠陥がこの不良原因になっており、サイズI及びIIはこの不良原因にはなっていないことが分かる。

【0080】

すなわち、テスト6によるテスト結果におけるある不良パターンに対して、欠陥検査装置3により検出された工程毎のサイズ別の欠陥と照合し、各工程毎のサイズ別の照合結果である相関係数を比較することにより、ある不良パターンに対する不良原因を引き起こすサイズが容易に判断できることになるものである。その結果、不良パターンに対して欠陥サイズの影響度を抽出でき、管理すべき欠陥サイズ及び不良対策を打つべき欠陥サイズが明確になり、管理及び対策が容易になるものである。

なお、各サイズ毎の相関係数を比較して不良原因を引き起こすサイズを見いだすのではなく、前もってある不良パターンに対する相関係数の管理値を設定しておき、各サイズ毎の相関係数と管理値とを比較することによって、不良原因を引き起こすサイズか引き起こさないサイズかを判断させるものであってもよい。

10

【0081】

この得られた相関係数データは、ステップS212に示すように第7の記憶手段25によって記憶される。

そして、ステップS213に示すように、統計処理手段26によって第7の記憶手段25に記憶された相関係数データが半導体ウェハ別、工程別、サイズ別、不良パターン別に統計処理され、ステップS214に示すように、結果として表やグラフ等にして出力されるものである。

20

【0082】

このように構成された半導体ウェハの不良解析装置にあっては、テスト6から得られた不良パターンに対する欠陥による不良原因が、どのサイズの欠陥に基づくものが容易に解析でき、テスト6から得られた不良パターンの原因となる欠陥を見つけることができるとともに、テスト6から得られた不良パターンに影響のないサイズの欠陥を誤認識することもなく判断できるものである。

【0083】

なお、上記実施例3においては、チップ単位サイズ別欠陥個数データとチップ単位不良数データとともに、チップ単位毎のデータとしたが、チップ単位毎に限られるのではなく、チップ内の所定領域単位毎におけるサイズ別の欠陥個数、不良数に対するデータであって

30

もよいものである。また、上記実施例3においては、相関係数算出手段24による相関係数の算出に際して散布図を得、その散布図に基づいて得ていたが、この例に限らず、他の統計的手法を用いて両データの照合を行って相関係数を求めても何ら問題ないものである。

【0084】

実施例4.

図14はこの発明の実施例4を示すものであり、実施例2のものが工程別にかつチップ別にチップ単位毎の欠陥個数を算出し、工程別のチップ単位欠陥個数データと、チップ単位不良数データとに基づき相関係数を得て、不良解析するものであるのに対して、この実施例4にあっては、工程別にかつチップ別にチップ単位毎の欠陥形状別にカテゴリー分類、例えばパターン欠陥か異物か、凹か凸か、表面が平面か粗面か等に分類し、カテゴリー別に欠陥個数を算出し、工程別のチップ単位カテゴリー別欠陥個数データと、チップ単位不良数データとに基づき相関係数を得て、不良解析するものである点で相違するだけであり、その他の点においては、実施例2と同様である。

40

【0085】

図14において実施例2を示す図6と同一符号である1~9、11及び21~26は実施例2と同一または相当部分を示すものであり、31は上記欠陥検査装置3(光学顕微鏡やSEMの観察装置を含む)からのデータを上記データフォーマット変換手段9にてデータ変換されたデータ(以下、説明の都合上、欠陥位置座標データと略称するものの、上記したカテゴリーサイズ情報も含まれているものである。また、欠陥位置座標データの欠陥位

50

置座標を示すデータは半導体ウェハ内のどのチップであるかを示すとともにチップ内にてあらかじめ設定された原点からの距離 X 1 及び Y 1 (単位は例えば μm) にて示される物理的位置座標として表現されており、1つまたは複数の物理的位置座標を総称している。)を受け、このデータに基づき工程別にかつチップ別にカテゴリー別のチップ単位毎のカテゴリー別の欠陥個数を算出し、工程別のチップ単位カテゴリー別欠陥個数データとして出力するカテゴリー別欠陥個数算出手段で、例えば、工程 A におけるある凹からなる欠陥個数、凸からなる欠陥個数、粗面における欠陥個数を算出するものである。

【 0 0 8 6 】

3 2 はこのカテゴリー別欠陥個数算出手段からの工程別のチップ単位カテゴリー別欠陥個数データを工程別、カテゴリー別に蓄積 (記憶) するデータベースである第 9 の記憶手段

10

である。
2 4 は上記第 9 の記憶手段 3 2 に記憶された工程別のチップ単位カテゴリー別欠陥個数データと上記第 6 の記憶手段 2 3 に記憶された不良パターン別のチップ単位不良数データとを受け、これら両データの照合を行い、演算処理して工程別、カテゴリー別、不良パターン別の両データ間の相関係数を算出する相関係数算出手段である。

【 0 0 8 7 】

なお、両データの照合は、同一の半導体ウェハのチップ単位でカテゴリー別にチップ単位カテゴリー別欠陥個数データとチップ単位不良数データとの照合、もしくは、チップ単位カテゴリー別欠陥個数データをチップ面積で割ったチップ単位カテゴリー別欠陥密度データとチップ単位不良数データをチップ面積で割ったチップ単位不良密度データとの照合、

20

【 0 0 8 8 】

チップ単位カテゴリー別欠陥個数データまたはチップ単位カテゴリー別欠陥密度データにより作成したカテゴリー別欠陥分布図とチップ単位不良数データまたはチップ単位不良密度データにより作成した不良分布図との照合を言う。チップ単位カテゴリー別欠陥密度データとチップ単位不良密度データを用いた場合は、チップサイズが異なる他の品種、デバイスに対してもノーマライズでき、比較しやすくなるものである。
3 3 は上記データフォーマット変換手段 9、不良パターン認識手段 1 1、カテゴリー別欠陥個数算出手段 3 1、第 9 の記憶手段 3 2、不良数算出手段 2 2、第 6 の記憶手段 2 3、相関係数算出手段 2 4、第 7 の記憶手段 2 5 及び統計処理手段 2 6 によって構成されるコンピュータ・ワークステーションからなる解析装置で、複数の工程を有した製造ラインの

30

【 0 0 8 9 】

各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標及びカテゴリーを含むデータと、上記製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータとを受け、上記欠陥位置座標及びカテゴリーを含むデータに基づきチップ毎のカテゴリー別のチップ単位カテゴリー別欠陥個数データを作成するとともに上記フェイルビットデータに基づきチップ毎のチップ単位不良数データを作成し、チップ単位カテゴリー別欠陥個数データとチップ単位不良数データを照合して相関係数を得、出力するものである。

40

次に、このように構成された半導体ウェハの不良解析装置による不良解析方法を、主として図 1 5 に示したフローチャートに基づいて説明する。
まず、ステップ S 3 0 1 に示すように、欠陥検査装置 3 によって製造ライン 1 の各工程 A、B、C... 毎に半導体ウェハの表面における欠陥を物理的な外観検査 (光学的検査) により検出して欠陥位置座標及び欠陥形状のカテゴリーを得、ステップ S 3 0 2 に示すように、この欠陥位置座標及びカテゴリーを一旦工程別等にしてデータベース 5 に記憶する。

【 0 0 9 0 】

そして、欠陥検査装置 3 によって得られた欠陥位置座標及びカテゴリーはデータフォーマット変換手段 9 によって所定のフォーマットに基づいてデータ変換され、このデータ変換された欠陥形状のカテゴリーの情報を含む欠陥位置座標データを受けたカテゴリー別欠陥個数算出手段 3 1 は、ステップ S 3 0 3 に示すように、カテゴリーの情報を含む欠陥位置座標データに基づき工程別にかつチップ別にカテゴリー別にチップ単位毎のカテゴリー別

50

の欠陥個数を算出し、工程別のカテゴリー別のチップ単位カテゴリー別欠陥個数データを作成する。

このカテゴリー別欠陥個数算出手段 3 1 にて算出されたチップ単位カテゴリー別欠陥個数データは、ステップ S 3 0 4 に示すように、第 9 の記憶手段 3 2 に記憶される。

【 0 0 9 1 】

一方、ステップ S 3 0 5 に示すようにテスト 6 によって製造ライン 1 にて製造された半導体ウェハの各チップのメモリセル全てについて電気的特性が行なわれ、そのテスト結果を F B M として得、ステップ S 3 0 6 に示すように、この F B M のデータをデータベース 8 に一旦記憶する。

そして、ステップ S 3 0 7 に示すように、テスト 6 によって得られた F B M のデータはデータフォーマット変換手段 9 によって所定のフォーマットに基づいてデータ変換され、データ変換された F B M データは不良パターン認識手段 1 1 によって不良パターンの認識及び分類処理され、ステップ S 3 0 8 に示すように不良パターン認識結果データとして記憶される。

【 0 0 9 2 】

この時の不良パターンの認識及び分類処理は、配線マトリクスのクロスポイントで表される点情報であるテスト 6 からのデータにおける不良アドレスにより、半導体ウェハのチップそれぞれにおけるすべての不良アドレスに基づきチップ毎に、点状不良、線状不良、面状不良なのかを認識し、点状不良、線状不良、面状不良等に分類するものである。

【 0 0 9 3 】

次に、ステップ S 3 0 9 に示すように、不良数算出手段 2 2 によって、不良パターン認識手段 1 1 からの不良パターン認識結果データに基づき、不良パターン別にチップ単位の不良数を算出、例えば、不良パターン認識手段 1 1 にて認識、分類された例えば点状不良、線状不良、面状不良等の不良パターン認識結果データにより、チップ単位毎の点状不良数、チップ単位毎の線状不良数、チップ単位毎の面状不良数を算出し、不良パターン別のチップ単位不良数データを作成する。この不良数算出手段 2 1 によって算出されたチップ単位不良数データは、ステップ S 3 1 0 に示すように第 6 の記憶手段 2 3 に記憶される。

【 0 0 9 4 】

次に、ステップ S 3 1 1 に示すように、相関係数算出手段 2 4 によって、第 9 の記憶手段 3 2 に記憶された工程別のカテゴリー別のチップ単位カテゴリー別欠陥個数データと第 6 の記憶手段 2 3 に記憶された不良パターン別のチップ単位不良数データの照合を行い、演算処理して工程別、カテゴリー別、不良パターン別の両データ間の相関係数を算出する。例えば、相関係数算出手段 2 4 は第 9 の記憶手段 3 2 に記憶された工程別のカテゴリー別のチップ単位カテゴリー別欠陥個数データを用いてある工程の欠陥分布を得る。

【 0 0 9 5 】

一方、相関係数算出手段 2 4 は第 6 の記憶手段 2 3 に記憶された不良パターン別のチップ単位不良数データを用いて不良パターンに基づいた不良分布を得る。そして、相関係数算出手段 2 4 はカテゴリー別の欠陥分布と不良分布とを照合し、カテゴリー別の散布図を得る。

このようにして得られたカテゴリー別の散布図の散布状態を用いて相関係数算出手段 2 4 は相関係数を求める。

【 0 0 9 6 】

すなわち、テスト 6 によるテスト結果におけるある不良パターンに対して、欠陥検査装置 3 により検出された工程毎の欠陥形状のカテゴリー別の欠陥と照合し、各工程毎のカテゴリー別の照合結果である相関係数を比較することにより、ある不良パターンに対する不良原因を引き起こすカテゴリーが容易に判断できることになるものである。その結果、不良パターンに対してカテゴリー毎の影響度を抽出でき、管理すべきカテゴリー及び不良対策を打つべきカテゴリーが明確になり、管理及び対策が容易になるものである。

なお、各カテゴリー毎の相関係数を比較して不良原因を引き起こすカテゴリーを見いだすのではなく、前もってある不良パターンに対する相関係数の管理値を設定しておき、各カ

10

20

30

40

50

テゴリー毎の相関係数と管理値とを比較することによって、不良原因を引き起こすカテゴリーか引き起こさないカテゴリーかを判断させるものであってもよい。

【0097】

この得られた相関係数データは、ステップS312に示すように第7の記憶手段25によって記憶される。

そして、ステップS313に示すように、統計処理手段26によって第7の記憶手段25に記憶された相関係数データが半導体ウェハ別、工程別、カテゴリー別、不良パターン別に統計処理され、ステップS314に示すように、結果として表やグラフ等にして出力されるものである。

【0098】

このように構成された半導体ウェハの不良解析装置にあっては、テスト6から得られた不良パターンに対する欠陥による不良原因が、どのカテゴリーの欠陥に基づくものか容易に解析でき、テスト6から得られた不良パターンの原因となる欠陥を見つけることができるとともに、テスト6から得られた不良パターンに影響のないカテゴリーの欠陥を誤認識することもなく判断できるものである。

【0099】

なお、上記実施例4においては、チップ単位カテゴリー別欠陥個数データとチップ単位不良数データとともに、チップ単位毎のデータとしたが、チップ単位毎に限られるものではなく、チップ内の所定領域単位毎におけるカテゴリー別の欠陥個数、不良数に対するデータであってもよいものである。

また、上記実施例4においては、相関係数算出手段24による相関係数の算出に際して散布図を得、その散布図に基づいて得ていたが、この例に限らず、他の統計的手法を用いて両データの照合を行って相関係数を求めても何ら問題ないものである。

【0100】

なお、上記実施例1ないし4について、個々の不良解析装置として示したが、一体構成にしてすべての実施例1ないし4の機能を切り替えて行えるようにしてもよいものである。すなわち、各実施例の解析装置19、27、30、33の機能をすべて兼ね備え、不良解析に応じて機能を切り替えられるコンピュータ・ワークステーションからなる解析装置とし、各実施例における機能をすべて行えるように欠陥検査装置3、テスト6からのデータをすべて取り込み記憶しておけばよいものである。また、すべての機能を兼ね備えた解析装置は、各実施例で共通に使えるものは1つでよく、また、同等の機能をもつもの、例えば、記憶手段10、21、29、32は一体構成にすればよいものである。

【0101】

【発明の効果】

この発明の第1の発明は、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標を含むデータと、製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータとを受け、フェイルビットデータに基づき追加不良領域を示す不良モード別限定条件データを作成するとともに、フェイルビットデータに基づく不良の位置を示す物理的位置座標データに不良モード別限定条件データを加味した補正物理的位置座標データを作成し、この補正物理的位置座標データと欠陥位置座標を含むデータに基づく欠陥位置座標データとを照合してその照合結果を出力する解析装置を設けたので、照合の精度が上がり、フェイルビットデータにて得られた不良アドレスに対する欠陥による不良原因がなく、その不良アドレスに位置するものと関係するものに欠陥による不良原因があった場合でも、その不良を解析することができ、推定精度が向上するという効果を有するものである。

【0102】

この発明の第2の発明は、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標を含むデータと、製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテス

10

20

30

40

50

ト結果に基づくフェイルビットデータとを受け、欠陥位置座標を含むデータに基づき所定単位毎の所定単位欠陥個数データを作成するとともにフェイルビットデータに基づき所定単位毎の所定単位不良数データを作成し、所定単位欠陥個数データと所定単位不良数データを照合する解析装置を設けたので、分布として照合でき、領域をもつ不良の原因工程の推定を容易にできるという効果を有するものである。

【 0 1 0 3 】

この発明の第3の発明は、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標及び欠陥サイズを含むデータと、製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータとを受け、欠陥位置座標及び欠陥サイズを含むデータに基づき所定単位毎の異物、欠陥等のサイズ別の所定単位サイズ別欠陥個数データを作成するとともにフェイルビットデータに基づき所定単位毎の所定単位不良数データを作成し、所定単位サイズ別欠陥個数データと所定単位不良数データを照合する解析装置を設けたので、分布として照合でき、領域をもつ不良の原因工程の推定を容易にできるという効果を有するものである。

10

【 0 1 0 4 】

この発明の第4の発明は、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標及び欠陥形状別のカテゴリーを含むデータと、製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータとを受け、欠陥位置座標及びカテゴリーを含むデータに基づき所定単位毎の異物、欠陥等のカテゴリー別の所定単位カテゴリー別欠陥個数データを作成するとともにフェイルビットデータに基づき所定単位毎の所定単位不良数データを作成し、所定単位カテゴリー別欠陥個数データと所定単位不良数データを照合する解析装置を設けたので、分布として照合でき、領域をもつ不良の原因工程の推定を容易にできるという効果を有するものである。

20

【 0 1 0 5 】

この発明の第5の発明は、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標を含むデータを取り込むステップと、製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータを取り込むステップと、このフェイルビットデータに基づいた不良の位置を示す物理的位置座標データとするステップと、フェイルビットデータに基づき追加不良領域を示す不良モード別限定条件データを作成するステップと、物理的位置座標データに上記不良モード別限定条件データを加味した補正物理的位置座標データを作成し、この補正物理的位置座標データと欠陥位置座標データとを照合するステップと設けたので、照合の精度が上がり、フェイルビットデータにて得られた不良アドレスに対する欠陥による不良原因がなく、その不良アドレスに位置するものと関係するものに欠陥による不良原因があった場合でも、その不良を解析することができ、推定精度が向上するという効果を有するものである。

30

【 0 1 0 6 】

この発明の第6の発明は、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標を含むデータを取り込むステップと、この欠陥位置座標を含むデータに基づき所定単位毎の欠陥個数を算出し、所定単位欠陥個数データを得るステップと、製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータを取り込むステップと、フェイルビットデータに基づき上記所定単位毎の不良数を算出し、所定単位不良数データを得るステップと、所定単位欠陥個数データと所定単位不良数データとの照合を行い、両データ間の相関係数を算出するステップとを設けたので、分布として照合でき、領域をもつ不良の原因工程の推定を容易にできるという効果を有するものである。

40

【 0 1 0 7 】

50

この発明の第7の発明は、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標及び欠陥サイズを含むデータを取り込むステップと、この欠陥位置座標及び欠陥サイズを含むデータに基づき所定単位毎の異物、欠陥等のサイズ別の欠陥個数を算出し、所定単位サイズ別欠陥個数データを得るステップと、製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータを取り込むステップと、フェイルビットデータに基づき所定単位毎の不良数を算出し、所定単位不良数データを得るステップと、所定単位サイズ別欠陥個数データと所定単位不良数データとの照合を行い、両データ間の相関係数を算出するステップとを設けたので、分布として照合でき、領域をもつ不良の原因工程の推定を容易にできるという効果を有するものである。

10

【0108】

この発明の第8の発明は、複数の工程を有した製造ラインの各工程毎に半導体ウェハの表面における異物、欠陥等の物理的な検査結果に基づく欠陥位置座標及び欠陥形状のカテゴリを含むデータを取り込むステップと、この欠陥位置座標及びカテゴリを含むデータに基づき所定単位毎の異物、欠陥等のカテゴリ別の欠陥個数を算出し、所定単位カテゴリ別欠陥個数データを得るステップと、製造ラインにて製造された半導体ウェハの各チップのメモリセルについての電気的特性のテスト結果に基づくフェイルビットデータを取り込むステップと、フェイルビットデータに基づき所定単位毎の不良数を算出し、所定単位不良数データを得るステップと、所定単位カテゴリ別欠陥個数データと所定単位不良数データとの照合を行い、両データ間の相関係数を算出するステップとを設けたので、分布として照合でき、領域をもつ不良の原因工程の推定を容易にできるという効果を有するものである。

20

【図面の簡単な説明】

【図1】 この発明の実施例1を示すブロック図。

【図2】 この発明の実施例1におけるFBMデータによる欠陥位置座標データとの照合領域を示すための図。

【図3】 この発明の実施例1における追加不良領域を説明するための図。

【図4】 この発明の実施例1の統計処理手段18から出力される一例を示す図。

【図5】 この発明の実施例1の解析装置19における処理手順を示すためのフローチャート。

30

【図6】 この発明の実施例2を示すブロック図。

【図7】 この発明の実施例2の相関係数算出手段23による相関係数の算出の仕方を説明するための概略図。

【図8】 この発明の実施例2の統計処理手段25から出力される一例を示す図。

【図9】 この発明の実施例2の解析装置26における処理手順を示すためのフローチャート。

【図10】 この発明の実施例2の相関係数算出手段23による相関係数の算出の仕方を説明するための模式図。

【図11】 この発明の実施例3を示すブロック図。

【図12】 この発明の実施例3の解析装置29における処理手順を示すためのフローチャート。

40

【図13】 この発明の実施例3の相関係数算出手段23による相関係数の算出の仕方を説明するための模式図。

【図14】 この発明の実施例4を示すブロック図。

【図15】 この発明の実施例4の解析装置29における処理手順を示すためのフローチャート。

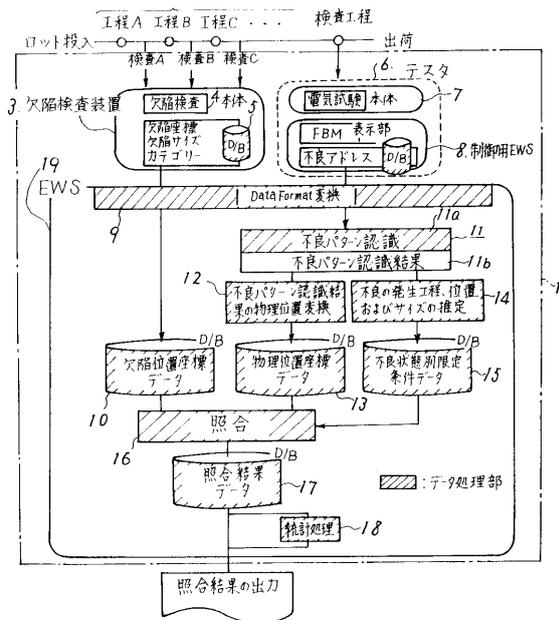
【符号の説明】

1 不良解析装置、2 製造ライン、3 欠陥検査装置、6 テスタ、10 第1の記憶手段、11 不良パターン認識手段、12 位置座標変換手段、13 第2の記憶手段、14 追加不良領域推定手段、15 第3の記憶手段、16 照合手段、17 第4の記憶手

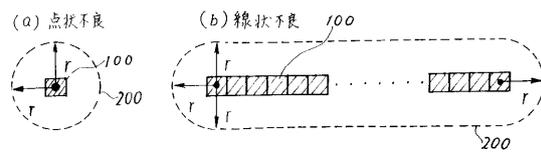
50

段、19、27、30、33 解析装置、20 欠陥個数算出手段、21 第5の記憶手段、22 不良数算出手段、23 第6の記憶手段、24 相関係数算出手段、25 第7の記憶手段、28 サイズ別欠陥個数算出手段、29 第8の記憶手段、31 カテゴリ別欠陥個数算出手段、32 第9の記憶手段。

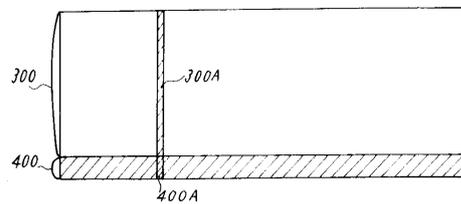
【図1】



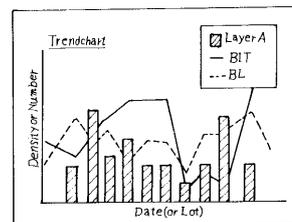
【図2】



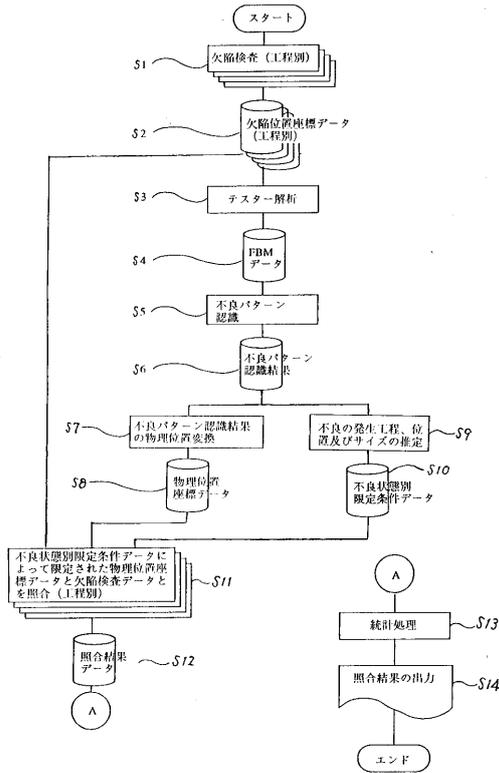
【図3】



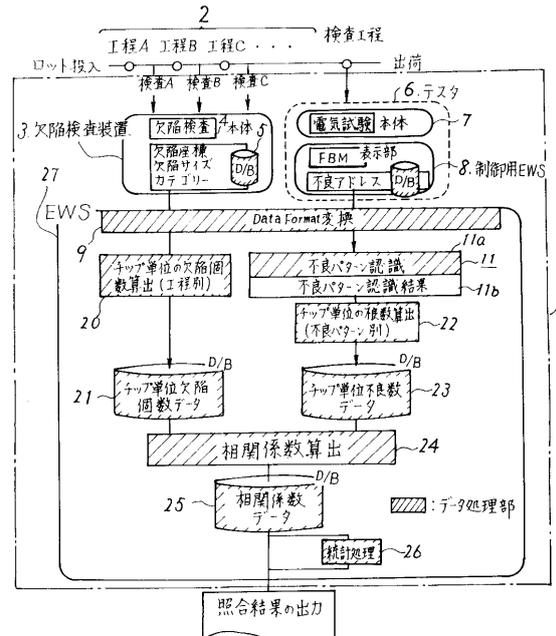
【図4】



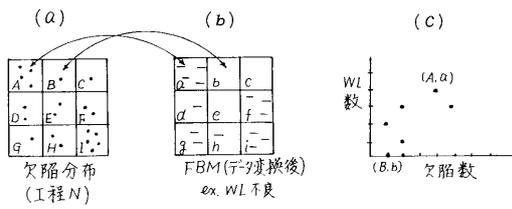
【図5】



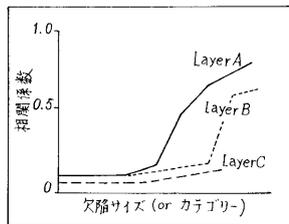
【図6】



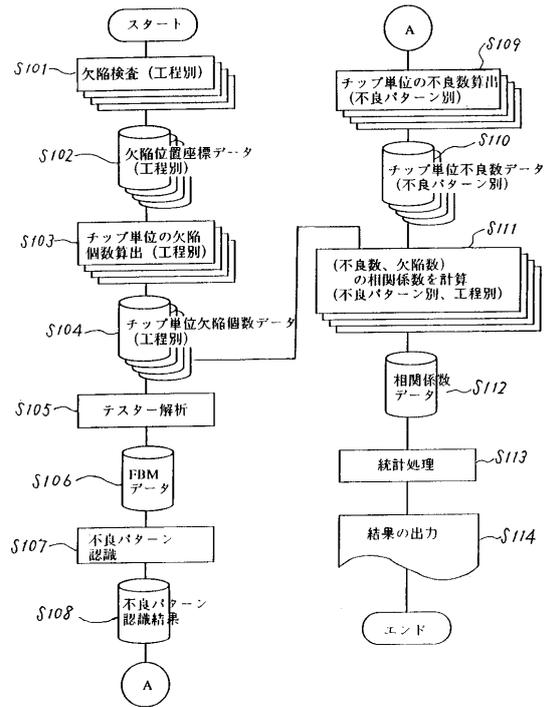
【図7】



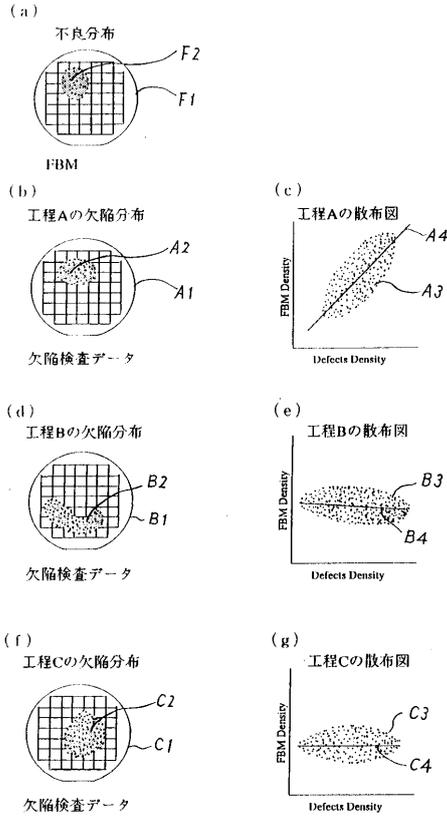
【図8】



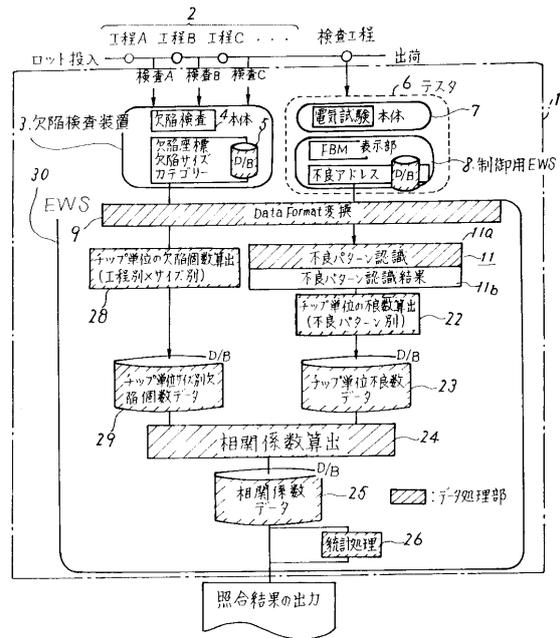
【図9】



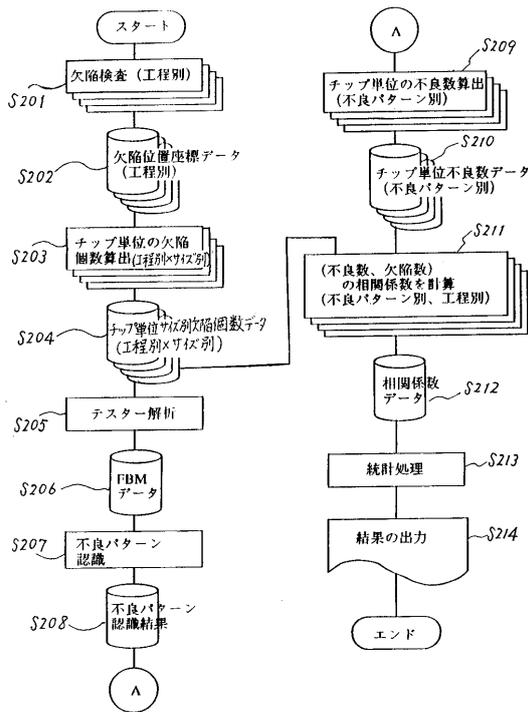
【図10】



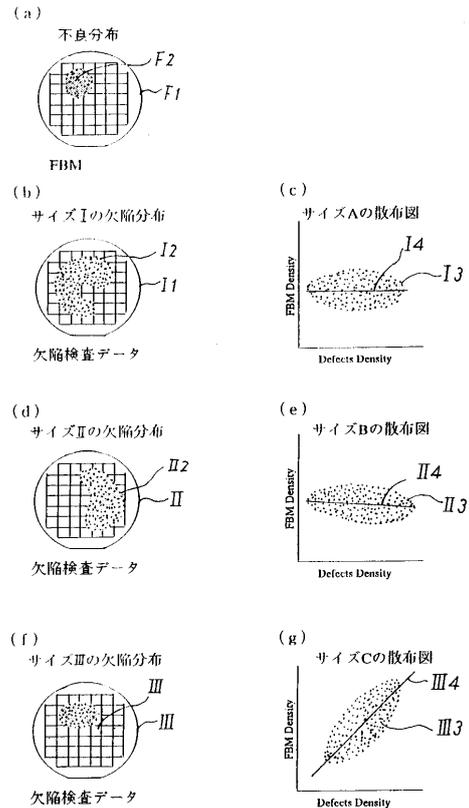
【図11】



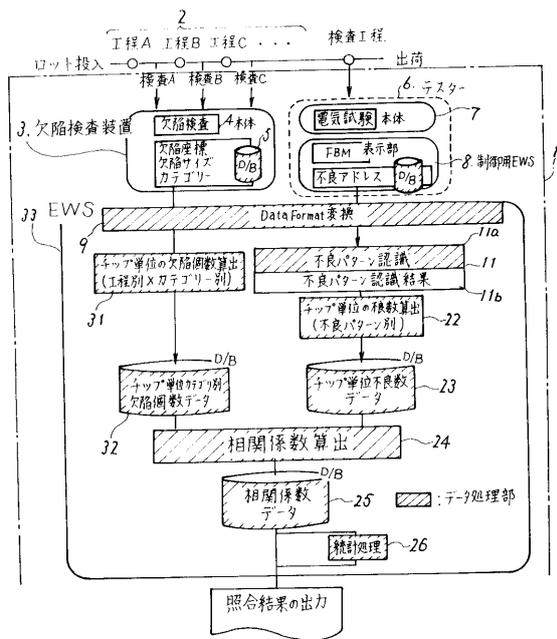
【図12】



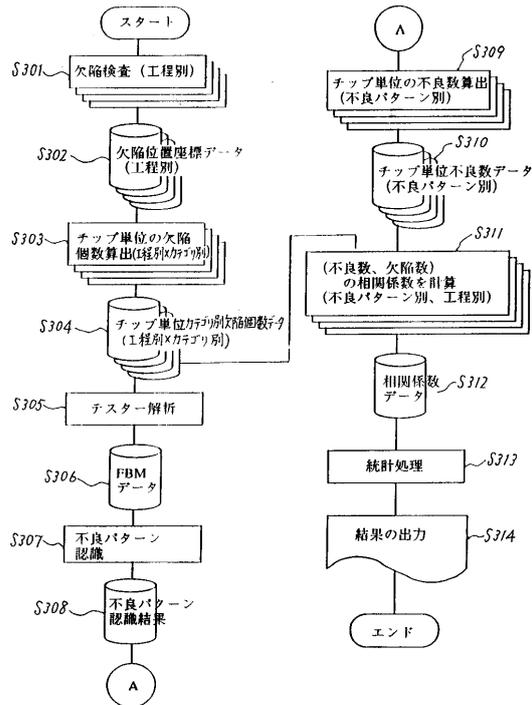
【図13】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

- (73)特許権者 591036505
株式会社ルネサスセミコンダクタエンジニアリング
兵庫県伊丹市瑞原4丁目1番地
- (74)代理人 100064746
弁理士 深見 久郎
- (74)代理人 100085132
弁理士 森田 俊雄
- (74)代理人 100083703
弁理士 仲村 義平
- (74)代理人 100096781
弁理士 堀井 豊
- (74)代理人 100098316
弁理士 野田 久登
- (74)代理人 100109162
弁理士 酒井 将行
- (72)発明者 筒井 俊和
兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社 ユー・エル・エス・アイ開発研究所内
- (72)発明者 小山 徹
兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社 ユー・エル・エス・アイ開発研究所内
- (72)発明者 太田 文人
兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社 ユー・エル・エス・アイ開発研究所内
- (72)発明者 向川 泰和
兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社 ユー・エル・エス・アイ開発研究所内
- (72)発明者 古田 正昭
兵庫県伊丹市瑞原四丁目1番地 菱電セミコンダクタシステムエンジニアリング株式会社内
- (72)発明者 益子 洋治
兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社 ユー・エル・エス・アイ開発研究所内

審査官 橋本 憲一郎

- (56)参考文献 特開平06-275688(JP,A)
特開平03-044054(JP,A)
特開平04-278556(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/66
G01N 21/956
G01R 31/26
H01L 21/02