



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년07월01일
 (11) 등록번호 10-1045449
 (24) 등록일자 2011년06월23일

(51) Int. Cl.
H04B 1/69 (2011.01) *H04L 1/00* (2006.01)
 (21) 출원번호 10-2004-7015848
 (22) 출원일자(국제출원일자) 2003년04월01일
 심사청구일자 2008년03월18일
 (85) 번역문제출일자 2004년10월05일
 (65) 공개번호 10-2004-0095366
 (43) 공개일자 2004년11월12일
 (86) 국제출원번호 PCT/DE2003/001061
 (87) 국제공개번호 WO 2003/085873
 국제공개일자 2003년10월16일
 (30) 우선권주장
 10215380.9 2002년04월08일 독일(DE)
 10219151.4 2002년04월29일 독일(DE)
 (56) 선행기술조사문헌
 KR1020010080052 A*
 KR1020030040367 A
 WO2001039420 A1
 WO2002009294 A2
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
지멘스 악티엔게젤샤프트
 독일 뮌헨 80333 비텔스파허프라쎄 2
 (72) 발명자
되틀링, 마르틴
 독일 85579 노이비베르크 하임트슈트라쎄 56
라이프, 베른하르트
 독일 81475 뮌헨 막스호프슈트라쎄 62
 (74) 대리인
남상선

전체 청구항 수 : 총 16 항

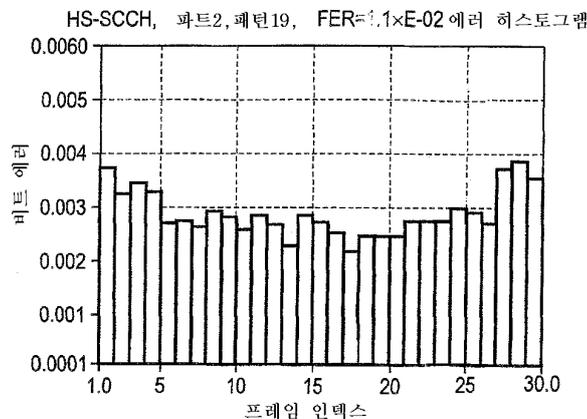
심사관 : 고연화

(54) 통신 장치에서 데이터 레이트를 적응시키기 위한 방법 및 통신 장치

(57) 요약

본 발명은 통신 장치에서 데이터 흐름의 데이터 전송 레이트를 적응시키기 위한 방법에 관한 것으로, 이는, 상기 데이터 흐름이 전송될 전송 비트들을 포함하고 있는 적어도 하나의 데이터 블록으로 세분될 수 있고; 상기 전송 비트들은 정보-운반 입력 비트들로부터 코딩 처리를 통해 형성되고; 상기 데이터 흐름의 데이터 블록으로부터 결정되는 전송 비트들은 데이터 전송 레이트를 적응시키기 위해 제거되고(도트되고(dotted)); 상기 도팅 패턴은 어떤 전송 비트들이 제거될지를 규정하고; 상기 도팅 패턴은 코딩 처리 동안에 소수의 입력 비트들에 의존하여 전송 비트들이 바람직하게 제거되도록 하는 방식으로 구성됨으로써, 이루어진다. 본 발명은 또한 상응하는 통신 장치에 관한 것이다.

대표도 - 도2



특허청구의 범위

청구항 1

통신 장치에서 데이터 스트림의 데이터 레이트를 매칭시키기 위한 방법으로서,

상기 데이터 스트림은 전송될 전송 비트들을 포함하고 있는 적어도 하나의 데이터 블록으로 세분될 수 있고;

상기 전송 비트들은 정보를 운반(bear)하고 있는 입력 비트들로부터 코딩 처리를 통해 형성되고;

상기 데이터 레이트를 매칭시키기 위해서, 상기 데이터 스트림의 데이터 블록으로부터 특정 전송 비트들이 제거(핑처리)되고;

제거될 상기 전송 비트들은 핑처리 패턴에 의해 특정되고;

상기 코딩 처리를 통해서 극소수의(few) 입력 비트들에 의해 좌우되는 상기 전송 비트들이 제거되도록 상기 핑처리 패턴이 설계되고;

상기 핑처리 패턴은,

정보 비트들의 어떤 성분이 전송 비트들의 제거에 의해서 상기 데이터 블록으로부터 제거되었는지를 명시하는 누산적인 핑처리 세기를 결정하는 단계;

상기 누산적인 핑처리 세기에 따라 결정 함수를 형성하는 단계; 및

상기 핑처리 패턴을 결정하기 위해 상기 결정 함수를 최소화하는 단계로 이루어지는,

데이터 스트림의 데이터 레이트를 매칭시키기 위한 방법.

청구항 2

통신 장치에서 데이터 스트림의 데이터 레이트를 매칭시키기 위한 방법으로서,

상기 데이터 스트림은 전송될 전송 비트들을 포함하고 있는 적어도 하나의 데이터 블록으로 세분될 수 있고;

상기 전송 비트들은 정보를 운반하고 있는 입력 비트들로부터 코딩 처리를 통해 형성되고;

상기 데이터 레이트를 매칭시키기 위해서, 상기 데이터 스트림의 데이터 블록으로부터 특정 전송 비트들이 제거(핑처리)되고;

제거될 상기 전송 비트들은 핑처리 패턴에 의해 특정되고;

상기 코딩 처리를 통해서 극소수의 입력 비트들에 의해 좌우되는 상기 전송 비트들이 제거되도록 상기 핑처리 패턴이 설계되고, 상기 핑처리 패턴은, 핑처리에 의해서, 핑처리될 상기 데이터 블록의 전단부로부터 보았을 때 섹션이 1, 4, 2, 3, 8, 7, 5, 6, 15, 12, 14, 11, 10, 9인 시퀀스(비트 위치들)의 섹션으로 구성되는 방식으로 구현되며, 여기서 "1"은 첫 번째 비트 위치에 상응하고,

상기 핑처리 패턴은, 정보 비트들의 어떤 성분이 전송 비트들의 제거에 의해서 상기 데이터 블록으로부터 제거되었는지를 명시하는 누산적인 핑처리 세기에 따라 형성되는 결정 함수를 최소화함으로써 결정되는,

데이터 스트림의 데이터 레이트를 매칭시키기 위한 방법.

청구항 3

통신 장치에서 데이터 스트림의 데이터 레이트를 매칭시키기 위한 방법으로서,

상기 데이터 스트림은 전송될 전송 비트들을 포함하고 있는 적어도 하나의 데이터 블록으로 세분될 수 있고;

상기 전송 비트들은 정보를 운반하고 있는 입력 비트들로부터 코딩 처리를 통해 형성되고;

상기 데이터 레이트를 매칭시키기 위해서, 상기 데이터 스트림의 데이터 블록으로부터 특정 전송 비트들이 제거(핑처리)되고;

제거될 상기 전송 비트들은 핑처리 패턴에 의해 특정되고;

상기 코딩 처리를 통해서 극소수의 입력 비트들에 의해 좌우되는 상기 전송 비트들이 제거되도록 상기 핑처리

패턴이 설계되고, 상기 평처링 패턴은, 평처링에 의해서, 평처링될 상기 데이터 블록의 후단부로부터 보았을 때 섹션이 0, 4, 6, 1, 2, 15, 12, 14, 10, 9, 7, 4, 5, 18, 13, 8인 시퀀스(비트 위치들)의 섹션으로 구성되는 방식으로 구현되며, 여기서 "0"은 마지막 비트 위치에 상응하고,

상기 평처링 패턴은, 정보 비트들의 어떤 성분이 전송 비트들의 제거에 의해서 상기 데이터 블록으로부터 제거되었는지를 명시하는 누산적인 평처링 세기에 따라 형성되는 결정 함수를 최소화함으로써 결정되는,

데이터 스트림의 데이터 레이트를 매칭시키기 위한 방법.

청구항 4

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 평처링 패턴은 제거될 상기 전송 비트들 사이의 간격을 특정하기 위해 평처링 레이트를 사용하고, 이 경우에 상기 평처링 레이트는 상기 데이터 블록의 각각의 상이한 영역들에 대해 다른,

데이터 스트림의 데이터 레이트를 매칭시키기 위한 방법.

청구항 5

제 3항에 있어서,

상기 데이터 블록의 중간 영역에서의 평처링 레이트는 제거될 비트들 사이의 본래 등거리 간격들을 갖는,

데이터 스트림의 데이터 레이트를 매칭시키기 위한 방법.

청구항 6

제 1항 내지 제 3항, 또는 제 5항 중 어느 한 항에 있어서,

상기 평처링 패턴은 48개 비트들 중 8개 비트들이 평처링되고 이러한 비트들이 비트들 1, 2, 4, 8, 42, 45, 47, 48이도록 하는 방식으로 구현되는,

데이터 스트림의 데이터 레이트를 매칭시키기 위한 방법.

청구항 7

제 1항 내지 제 3항, 또는 제 5항 중 어느 한 항에 있어서,

상기 평처링 패턴은 111개 비트들 중 31개 비트들이 평처링되고 이러한 비트들이 비트들 1, 2, 3, 4, 5, 6, 7, 8, 12, 14, 15, 24, 42, 48, 54, 57, 60, 66, 69, 96, 99, 101, 102, 104, 107, 108, 109, 110, 111이도록 하는 방식으로 구현되는,

데이터 스트림의 데이터 레이트를 매칭시키기 위한 방법.

청구항 8

제 1항 내지 제 3항, 또는 제 5항 중 어느 한 항에 있어서,

상기 평처링 패턴은 54개 비트들 중 14개 비트들이 평처링되고 이러한 비트들이 비트들 1, 2, 3, 4, 7, 8, 36, 39, 42, 48, 51, 52, 53, 54이도록 하는 방식으로 구현되는,

데이터 스트림의 데이터 레이트를 매칭시키기 위한 방법.

청구항 9

제 1항 내지 제 3항, 또는 제 5항 중 어느 한 항에 있어서,

상기 평처링 패턴은 54개 비트들 중 14개 비트들이 평처링되고 이러한 비트들이 비트들 1, 2, 3, 4, 7, 8, 39, 45, 48, 51, 52, 53, 54이도록 하는 방식으로 구현되는,

데이터 스트림의 데이터 레이트를 매칭시키기 위한 방법.

청구항 10

통신 장치에서 데이터 스트림의 데이터 레이트를 매칭시키기 위한 방법으로서,

상기 데이터 스트림은 전송될 전송 비트들을 포함하고 있는 적어도 하나의 데이터 블록으로 세분될 수 있고;

상기 전송 비트들은 정보를 운반하고 있는 입력 비트들로부터 코딩 처리를 통해 형성되고;

상기 데이터 스트림의 데이터 블록으로부터 상기 데이터 레이트를 매칭시키기 위해서, 특정 전송 비트들이 반복되고;

반복될 상기 전송 비트들은 반복 패턴에 의해 특정되며;

상기 코딩 처리를 통해서 복수의 입력 비트들에 의해 좌우되는 전송 비트들이 반복되도록 상기 반복 패턴이 설계되거나, 또는

상기 반복 패턴이,

상기 입력 비트들의 어떤 성분이 상기 데이터 블록에서 전송 비트들의 반복에 의해 반복되었는지를 명시하는 누산적인 반복 세기의 함수를 결정하는 단계;

상기 누산적인 반복 세기에 따라 결정 함수를 형성하는 단계; 및

상기 반복 패턴을 결정하기 위해 상기 결정 함수를 최대화하는 단계로 이루어지는,

데이터 스트림의 데이터 레이트를 매칭시키기 위한 방법.

청구항 11

제 10항에 있어서,

반복될 비트들 사이의 간격을 규정하는 상기 반복 패턴의 반복 레이트는 본래 상기 데이터 블록의 중간 영역에서 등거리 간격들을 필요로 하고, 상기 데이터 블록의 예에서는 어떠한 비트도 반복되지 않을 정도로 충분히 큰 간격들을 필요로 하는,

데이터 스트림의 데이터 레이트를 매칭시키기 위한 방법.

청구항 12

제 10항 또는 제 11항에 있어서,

상기 반복 패턴은 36개 비트들 중 4개 비트들이 반복되고 이러한 비트들이 비트들 16, 18, 20, 22이도록 하는 방식으로 설계되는,

데이터 스트림의 데이터 레이트를 매칭시키기 위한 방법.

청구항 13

제 1항 내지 제 3항, 제 5항, 제10항, 또는 제 11항 중 어느 한 항에 있어서,

상기 레이트 매칭이 수행되는 데이터 블록은 컨볼루션 코드를 통해 코딩된 데이터를 포함하는,

데이터 스트림의 데이터 레이트를 매칭시키기 위한 방법.

청구항 14

데이터 스트림의 데이터 레이트를 매칭시키기 위한 특정 레이트 매칭 패턴에 따라서 레이트 매칭 장치(6)로 지향되는 데이터 스트림의 데이터 블록을 평처링하거나 반복하기 위한 상기 레이트 매칭 장치(6)를 구비하는 통신 장치로서,

상기 레이트 매칭 장치는 상기 데이터 블록의 상응하는 비트들을 제거하거나 반복하기 위해서 상기 레이트 매칭 패턴의 평처링이나 반복을 사용하고,

상기 레이트 매칭 장치(6)는 제 1항 내지 제 3항, 제 5항, 제10항, 또는 제 11항 중 어느 한 항에 따라 구현되는 평처링 패턴이나 반복 패턴을 통해 레이트 매칭을 수행하도록 구현되는,

통신 장치.

청구항 15

제 14항에 있어서,
 상기 통신 장치(1)는 이동 무선 전송 장치 또는 이동 무선 수신 장치인,
 통신 장치.

청구항 16

제 15항에 있어서,
 상기 통신 장치(1)는 UMTS 이동 무선 송신기 또는 UMTS 이동 무선 수신기인,
 통신 장치.

청구항 17

삭제

명세서

기술분야

[0001] 본 발명은 통신 장치에서 데이터 레이트를 적응시키기 위한 청구항 제 1항 또는 제 11항의 전문에 따른 방법뿐만 아니라 청구항 제 16항의 전문에 따른 상응하는 통신 장치에 관한 것이다.

배경기술

[0002] 통신 시스템들에서의 각기 다른 응용 장치들은 주로 상이한 데이터 레이트들에 따라 동작한다. 그러나, 기초를 이루는 전송 채널들은 특정 전송 포맷들로 삽입되기 때문에 단지 고정된 데이터 전송 레이트나 원래의(raw) 데이터 전송 레이트나 또는 단지 그런 데이터 레이트들의 이산적인 세트를 제공한다. 따라서, 상응하는 인터페이스에서 서로 데이터 레이트를 매칭시키는 것이 일반적으로 필요할 것이다. 이는 UMTS 표준화의 일례를 사용하여 하기에서 설명된다: 현재, 제 3 세대 이동 무선 장치들에 대한 UMTS(Universal Mobile Telecommunications System) 이동 무선 표준으로 알려져 있는 것들을 표준화하는 작업이 진행 중이다. 알려진 현재의 UMTS 표준화 상태에 따르면, 고주파수 채널을 통해 전송될 데이터가 채널 코딩되는데, 이 경우에는 컨볼루션 코드가 특별히 사용된다. 상기 전송될 데이터는 수신기측에서 어찌면 상기 전송된 데이터가 더욱 신뢰성 있게 검색되게 하는 채널 코딩에 의해서 중복되어 코딩된다. 채널 코딩을 위해서 각각의 경우에 사용되는 코드는 그것의 코드 레이트 $r=k/n$ 에 의해 특징되는데, 여기서 k 는 전송될 데이터 비트들이나 메시지 비트들의 수이고, n 은 인코딩 이후에 존재하는 비트들의 수이다. 일반적으로, 코드 레이트가 작을수록 코딩은 더욱 강력해진다. 그러나, 데이터 레이트가 r 배수만큼(by a factor of r) 감소한다는 코딩과 관련된 문제점이 존재한다.

[0003] 특정 패턴에 따라 데이터 스트림으로부터 제거되거나 또는 상기 데이터 스트림에서 중복되는 비트들을 갖는 관련된 가능 전송 레이트에 대하여 상기 코딩된 데이터 스트림의 데이터 레이트를 적응시키기 위해서 송신기에서는 레이트 매칭이 수행된다. 비트들의 제거는 '평처링'으로 지칭되며, 중복은 반복으로 지칭된다.

[0004] 현재의 UMTS 표준화 상태에 따르면, 거의 규칙적인 평처링 패턴으로 평처링을 수행하는 알고리즘이 레이트 매칭을 위해 사용되어야 하는 것, 즉 평처링될 비트들이 각각의 경우에 평처링될 코딩된 데이터 블록에 걸쳐 등거리로 분포되는 것이 제안된다.

[0005] 부가하여, 컨볼루션 코딩의 경우, 비트 에러 레이트(BER)가 상응하게 코딩된 데이터 블록의 에지에서 감소한다는 것이 알려져 있다. 또한, 규칙적으로 분포되는 평처링에 의해서 데이터 블록 내의 비트 에러 레이트가 국부적으로 변할 수 있다는 것도 알려져 있다. 특정 평처링 패턴에 따라 데이터 레이트를 적응시키기 위해 데이터 스트림의 개별적인 데이터 블록들을 평처링하는 것이 유리하다는 것이 WO 01/26273A1 및 WO 01/39421 A1으로부터 또한 공지되어 있는데, 이 경우에 평처링 패턴은 개별적인 데이터 블록의 중간 영역으로부터 상기 개별적인 데이터 블록의 적어도 한 단부로 가면서 일정하게 증가하는 평처링 레이트를 특징으로 하는 방식으로 설계된다.

발명의 상세한 설명

- [0006] 따라서, 본 발명의 목적은 통신 장치에서 데이터 스트림의 데이터 레이트를 적응시키는 방법 및 만족스런 비트 에러 레이트를 보장하고 또한 컨볼루션 코딩을 통해 이동 무선 시스템에서 특별히 사용될 수 있는 상응하는 통신 장치를 명시하는 것이다.
- [0007] 상기 목적은 청구항 제 1항 및 제 16항의 특징들을 갖는 방법과 청구항 제 16항의 특징들을 갖는 통신 장치에 의해서 본 발명에 따라 달성된다. 종속항들에서는 본 발명의 실시예에 대한 바람직하고 유리한 형태들을 정의한다.
- [0008] 이 경우에, 발견적인 평처링 패턴들을 찾기 위해 컨볼루션 코드들의 방법론이 사용되고, 상기 방법론이 사용된 이후에는, 평처링된 데이터 블록의 모든 비트들이 그들의 관련된 중요성에 상응하는 비트 에러 레이트를 갖는다.
- [0009] 바람직하게, 상기 평처링 패턴은 관련 데이터 블록의 중간 영역부터 양단부로 가면서 증가하는 평처링 레이트를 특징으로 한다. 이러한 방식으로, 각각의 경우에 평처링될 데이터 블록의 처음과 끝에 있는 비트들은 평처링이 이루어질 경우에 더 심하게 평처링되어, 균일하게 분포된 평처링 레이트를 갖지 않고 데이터 블록의 양단부로 가면서 본질적으로 증가하는 임의의 평처링 레이트를 갖는데, 즉, 상기 평처링된 비트들 사이의 간격은 데이터 블록의 양단부로 가면서 평균적으로 더욱 짧아진다. 다음에서 설명될 바와 같이, 평처링 레이트는 놀랍게도 양단부로 가면서 상당히 단조로운 방식으로 증가할 필요가 없는데, 즉 평처링 간격은 상당히 단조롭게 감소할 필요가 없다. 대신에, 사용되는 컨볼루션 코드들 및 특히 사용되는 생성 다항식들의 특정한 특징들 때문에, 다소 더 불규칙적인 패턴들을 사용하는 것이 또한 유리할 수 있다.
- [0010] 이러한 평처링은 평처링된 데이터 블록에 걸쳐 개별적인 비트들의 균일하게-분포되는 에러 레이트를 유도하고, 결국은 전체적인 에러 확률이 또한 감소되게 한다.
- [0011] 본 발명은 컨볼루션 코딩 데이터 스트림의 데이터 레이트를 적응시키기에 특별히 적합하며 따라서 UMTS 이동 무선 시스템들에서 유리하게 사용될 수 있는데, 이 경우에, 본 발명은 이동 무선 송신기 및 이동 무선 수신기의 영역 모두에 관련된다. 그러나, 본 발명은 이러한 애플리케이션 영역으로 제한되지 않으며 일반적으로 데이터 스트림의 데이터 레이트가 적응되는 어느 곳에든지 사용될 수 있다.
- [0012] 본 발명은 바람직한 예시적인 실시예들을 사용하여 첨부 도면에 대해서 더욱 상세히 다음에 설명될 것이다.

실시예

- [0041] 일반적으로, 진한 모든 숫자들을 갖는 표의 행들은 특별히 관련 있는 바람직한 예시적 실시예를 의미하는데, 그러나, 이 경우에는, 다른 예시적인 실시예의 품질이 이러한 강조된 예시적인 실시예와 임의의 주된 방식에 있어 반드시 다르지는 않다. 그러나, 도 26 및 27에서, 진하게 표시된 수치들은 반복 패턴의 처음 또는 마지막에 본 발명에 따른 레이트 매칭 공식의 상기 설명된 구조 원리에 의해 평처링되거나 반복되는 비트들을 나타낸다. 이것들은, 대조적으로, 진한 형태로 표시되지 않은 비트들의 위치가 파라미터의 변경에 의해 또는 본 발명의 프레임 임위크 내에서 쉽게 시프트될 수 있도록 정의된다(통상적으로, 하나의 위치에 의해).
- [0042] 도 1은 본 발명에 따른 이동 무선 송신기(1)의 구조에 대한 개략적인 도면을 나타내는데, 상기 송신기로부터 데이터나 통신 정보, 특히 음성 정보가 고주파수 전송 채널을 통해 수신기에 전송될 것이다. 도 1에서, 이러한 정보나 데이터의 코딩에 수반되는 성분들이 상세히 도시되어 있다. 일례로 마이크로폰과 같은 데이터 소스(2)에 의해 제공되는 정보는 초기에 디지털 소스 코더(3)에 의해서 비트 스트림으로 변환된다. 음성-코딩 데이터는 후속해서 채널 코더에 의해 코딩되고, 이 경우에 실제 페이로드나 메시지 비트들은 반복적으로 코딩됨으로써 전송 에러들로 하여금 검출되어 후속적으로 정정될 수 있게 한다. 채널 코더(4)는 컨볼루션 코더이다. 채널 코딩 r을 위해 생성되는 코드 레이트는 채널 코딩을 위해 각각의 경우에 사용되는 코드들을 나타내기 위한 중요한 변수이고, 이미 설명한 바와 같이, 식 rk/n 으로 정의된다. 상기 식에서 k는 데이터 비트들의 수를 나타내고, n은 코딩된 비트들의 총 수를 나타내는데, 즉 삽입되는 반복 비트들의 수는 식 $n-k$ 에 상응한다. 위에서 정의된 코드 레이트 r을 갖는 코드는 (n,k) 코드로도 지칭되는데, 이 경우에 코드의 성능은 감소적인 코드 레이트 r에 따라 증가한다. 채널 코딩에 있어서는 소위 블록 코드들이나 컨볼루션 코드들이 일반적으로 사용된다.
- [0043] 다음의 설명은 UMTS 표준의 현 상태에 정의되어 있는 바와 같은 컨볼루션 코드들이 채널 코딩을 위해 사용된

다는 가정에 기초한다. 블록 코드들에 대한 주요 차이점은 컨볼루션 코드들은 연속해서 코딩되지 않지만 연속적인 처리가 수반되는데, 이 경우에 입력 시퀀스의 각각의 현재 코드 워드는 이전 입력 시퀀스에 또한 의존한다는 점이다. 코드 레이트 $r=k/n$ 에 상관없이 컨볼루션 코드들은 또한 구속장 K 로 알려진 것에 의해 특징된다. 구속장은 채널 코더(4)의 k 개의 새로운 입력 비트들의 많은 클록 펄스들에 걸쳐서 비트가 채널 코더(5)에 의해 출력되는 코드 워드에 영향을 주는지를 규정한다.

[0044] UMTS에 있어서는 도 5에 도시된 바와 같은 다음의 컨볼루션 코드들이 사용된다. 상기 도면은 규격 25.212, Chap.4.2.3.1 "컨볼루션 코드"으로부터 입수된다.

[0045] 채널-코딩된 정보를 수신기에 전송하기 이전에, 상기 정보는 특정 방식에 따라 전송될 비트들을 재순서화함으로써 시간에 걸쳐 그것들을 확산시키는 인터리버(5)에 루팅될 수 있는데, 이 경우에 일반적으로 균집적으로 발생하는 에러는 의사-랜덤 에러 분포를 갖는 무기억 전송 채널로 알려진 것을 달성하도록 분포된다. 이러한 방식으로 코딩된 정보나 데이터는 반송파 신호 상에서 데이터를 변조하고 미리 정해진 다중 액세스 방법에 따라 고주파수 전송 채널(3)을 통해서 수신기로 전송하는 임무를 갖는 변조기(7)로 루팅된다.

[0046] 전송을 위해서 상기 코딩된 데이터 스트림은 데이터 블록들로 세분되는데, 이 경우에 채널 코더(4)는 데이터 블록의 처음에 알려진 상태로 세팅된다. 종단에서는 각각의 코딩된 데이터 블록은 테일 비트들로 알려진 것에 의해 종료됨으로써 채널 코더(4)는 다시 알려진 상태로 된다. 이러한 컨볼루션 코드 및 채널 코더(4) 구조의 결과로서 코딩된 데이터 블록의 처음 및 마지막에 있는 비트들은 블록의 중간에 있는 것보다 전송 에러가 더 잘 방지된다. 이 경우에, 이러한 테일 비트들 모두가 0의 알려진 값을 갖는지 또는 그것들이 다른 값을 갖는지 여부는 중요하지 않다. 이러한 테일 비트를 위해 랜덤한 값들이 또한 선택될 수 있는데, 이 경우 송신기와 수신기 모두는 사용될 상기 값들을 알고 있다.

[0047] 비트의 에러 확률은 관련 데이터 블록 내에서 상기 데이터의 위치에 따라 다르다. 이러한 효과는 에러 확률이 가장 낮게 되는 양 종단에 블록의 가장 중요한 비트들을 위치시킴으로써 GSM 이동 시스템들에서의 예컨대 음성 전송에서 이용된다. 그러나 데이터 전송에 있어서, 만약 예컨대 "순환 중복 검사(CRC)"에 의해 수신기에서 형성될 수 있는 단지 하나의 단일 전송 비트만이 에러적이라면 미리 거부된다. 여기서는, 데이터 전송에 있어서 중요하거나 덜 중요한 데이터를 지칭하는 것은 따라서 불가능한데, 모든 비트들은 동일하게 중요하다고 간주된다. 만약 제어 블록, 즉 후속하는 페이로드 데이터가 어떻게 인코딩되고 전달될 것인지에 대한 정보를 포함하고 있는 제어 정보를 포함하는 데이터 블록에서 에러들이 발생한다면, 일반적으로 이러한 페이로드 데이터의 정확한 검출은 단지 단일 비트가 부정확하게 수신되는 경우에는 더 이상 가능하지 않은데, 그 이유는 상기 수신되는 데이터가 부정확하게 해석되기 때문이다.

[0048] 코딩된 데이터 스트림의 데이터 레이트를 있을 수 있는 관련 전송 레이트에 매칭시키기 위해서, 변조기(7)에 앞서서 레이트 매칭이 수행된다. 도 1에 도시된 예시적인 실시예에 있어서, 레이트 매칭은 레이트 매칭 유닛(6b)에서 이루어지는데, 이 경우에 평처링 유닛(6a)이 데이터 블록에 걸쳐 더욱 동일한 에러 분포를 달성하기 위해 특정 평처링 패턴에 따라 평처링을 먼저 수행한다. 도 1에 도시된 평처링 유닛(6a) 및 인터리버의 실행 시퀀스는 단순히 일례로서 취해질 것이다. 인터리버는 또한 유닛(6b) 다음에 배치될 수 있고, 마찬가지로 인터리버(5)도 또한 레이트 매칭 유닛(6b) 등의 앞 및 다음에 있는 두 인터리버에 의해 대체될 수 있다.

[0049] 본 발명의 목적은 평처링 패턴들을 더욱 최적화시키고 특히 채널 코더에서 사용되는 다항식에 그것들을 매칭시키는 것이다. 또한, (사용되는 다항식들을 포함해서) 사용되는 컨볼루션 코드 및 블록 길이에 따라서, 디코딩이 가능한 유리하게 수행되도록 평처링되거나 반복될 비트의 품질을 선택하는 작업이 존재한다. 일반적으로, 매우 많은 수의 옵션들이 생성되고, 그럼으로써 완전히 시뮬레이션을 통해 매우 양호한 레이트 매칭 패턴을 개발하는데 적어도 매우 시간 소모적이면서 자원 소모적이다. 만약 일례로 40비트들로 48비트들을 평처링하기 위해 모든 옵션들을 조사하길 원한다면, 이는 적합한 시간 내에 조사될 수 없는 $48!(8!*40)=377348994$ 개의 상이한 옵션들일 것이다.

[0050] 이러한 문제점은 특히 UMTS 확장 HSDPA의 예컨대 제어 정보와 같은 짧은 블록 길이들에 있어 명백하고, 특히 HS-SCCH(high speed shared control) 채널이 존재한다. 상기 채널은 특정 데이터 채널을 통해 전송되는 실제 페이로드 데이터가 어떻게 코딩되는지를 명시하고 또한 일례로 전송을 위해 사용되는 확산 코드들을 상세히 나타내는 구조 정보를 전송한다. 매우 많은 양의 데이터가 전송될 수 있게 하는 데이터 채널과는 대조적으로, 이것은 비교적 작은 양의 데이터이다. 레이트 1/2 또는 1/3을 갖는 코드들이 코딩을 위해 사용되는 UMTS 컨볼루션에 있어서는, 도 5에 제시된 다항식들이 사용된다. 또한, "태핑 포인트들"의 정확한 설계가 다항식들로서 지칭되는데, 즉, 지연 스테이지들이 개별적인 출력 비트 스트림들을 위해 태핑되고 배타적 OR 연산에 의해 국부적

으로 결합된다.

- [0051] 따라서, 본 발명은 HS-SCCH(high speed shared control) 채널로서 알려진 것에 특별히 적용가능하다.
- [0052] HS-SCCH의 코딩에 대한 정의는 규격 3GPP TS 25.1.212 V5.0.0(2002-03) "Multiplexing and Channel Coding(FDD)(Release 5), 특히 Chapter 4.6 "Coding for HS-SCCH"에 있는 현 종래기술에 따라 제공된다. 상기 규격은 본 특허 출원의 다른 곳에서는 25.212로 줄여 쓴다. 서브섹션 4.6.6 "Rate Matching for HS-SCCH"에서는 레이트 매칭이 등거리(가능할 때) 평처링 또는 반복을 기본적으로 실행하는 Chapter 4.2.7 "Rate Matching"의 표준 레이트 매칭 알고리즘에 따라 수행되어야 한다.
- [0053] HS-SCCH의 두 파트의 블록 길이는 현재 버전에 있어서는 제 1 파트에 대해 8 비트들에 달하고, 그렇지 않고 16 비트의 테일 비트들이 포함되는 경우에는 제 2 파트에 대해 29 비트에 달하며, 그렇지 않고 테일 비트들이 포함되는 경우에는 37 비트에 달한다. 상기 규격은 여러 파라미터들에 대한 변경에 대해 유동적이거나 다른 블록 길이들이 생성될 수 있다. 게다가, 레이트 1/2 또는 1/3을 갖는 컨볼루션 코드들이 또한 화상에 들어간다. 다음의 레이트 매칭이 특별히 관련된다:
 - [0054] a) 32 내지 40 (코드 레이트 R=1/2를 가짐), 또는
 - [0055] b) 48 내지 40 (코드 레이트 R=1/3을 가짐), 및
 - [0056] c) 74 내지 80 (코드 레이트 R=1/2를 가짐), 또는
 - [0057] d) 111 내지 80 (코드 레이트 R=1/3을 가짐).
- [0058] **평처링 및 반복 패턴들을 결정하기 위한 방법**
- [0059] 개략적으로, 레이트 매칭을 위해서 평처링 및/또는 반복이나 또한 반복만이 전체적인 비트 에러 레이트(BER)가 최소로 되도록 하기 위해 수행되는 것이 설명될 수 있다. 이를 위해서, 도 3에 제시된 솔루션을 먼저 보면, 그것은 프레임의 개별적인 비트들에 대한 비트 에러 레이트를 기록한다. 축(axis)은 인덱스 또는 관련 비트(프레임 인덱스)를 반영한다. 첫 번째 비트 및 마지막 비트가 더 낮은 비트 에러 레이트를 특징으로 한다는 것을 명확하게 알 수 있다. 이는 도 5로부터 컨볼루션 코드들에 대한 방식과 연계하여 이해될 수 있는데, 전송을 위해서 디코더의 여러 지연 단계(D)로부터의 비트들은 각각의 경우에 컨볼루션 코드에 의해서 서로 링크된다. 제 1 비트들은 일례로 실제로 존재하지 않는 비트들에서 상기 제 1 비트보다 앞선 비트들과 또한 링크된다. 다음으로, 이러한 "비존재 비트들"은 알려진 값으로 세팅되는데, 대부분 제로로 세팅된다. 이는 수신기에 알려지고, 상기 수신기측에서는 제로로 세팅된 이러한 비트들을 통해서 상기 전송되는 제 1 비트들을 이제 디코딩한다. 여기서 디코딩은 매우 안전한데, 그 이유는 비트들의 한 파트가 절대적으로 확실하게 알려지기 때문이다. 마지막 비트들에 대해서도 그와 동일한데, 마지막 비트들 다음에는 테일 비트들로 알려진 인위적인 비트들이 오고, 그 테일 비트들에는 디코더의 지연 엘리먼트들(D)이 삽입되며, 이러한 테일 비트들은 차례대로 알려진 값, 대부분 제로로 세팅된다.
- [0060] 중간 영역에서는 비트들이 서로 링크되는데, 그 경우에는 값들이 수신기에서 확실하게 알지 못한다. 이것은 디코딩 시에 에러가 발생할 확률이 더 높다는 것을 의미하는데, 이것은 더 높은 비트 에러 레이트를 나타낸다.
- [0061] 따라서, 프레임 수에 관련한 비트 에러 레이트의 포락선 커브는 처음에 동일한 반복 또는 평처링을 위해 불룩한 형태로 위쪽으로 변형된다. 평처링(또는 반복)이 변경될 때 상기 포락선 커브가 어떻게 변하는지에 대한 여러 옵션들이 현재 존재한다.
 - [0062] a) 포락선은 기본적으로 수평(또는 1에 근접)을 나타낸다.
 - [0063] 이것은 비트 에러 레이트가 프레임 내의 전체적인 비트들에 대해 기본적으로 동일하다. 이는 일례로 매칭될 레이트에 상당히 의존하는 에지들에서의 평처링이나 중간에서의 반복, 또는 양쪽 모두가 존재할 때 발생한다.
 - [0064] b) 포락선 커브는 불룩한 형태를 갖는다.
 - [0065] 이 경우에는 일례로 평처링이 에지에서 매우 심하게 이루어짐으로써 프레임의 중간 영역에 있는 비트들은 더 낮은 비트 에러 레이트를 나타낸다. 이는 도 2에서 확인될 수 있다.
 - [0066] c) 비트 에러 레이트는 프레임 수와 관련하여 불규칙적으로 분포된다. 이 경우는 아래에 제공되는 원인들에 대하여 여기서 더욱 상세히 설명되지 않는다.
- [0067] 아래에서 제공되는 정보는 평처링에 관한 것이다. 반복이나 평처링과 반복의 결합이 마찬가지로 고려된다. 개

별적인 비트들이 어떻게 평처링될 수 있는지에 대한 매우 많은 옵션들이 이제 존재한다. 만약 일예로 앞에서 이미 설명한 바와 같이 40 비트로 48비트를 평처링하기 위해 모든 가능한 옵션들을 조사하길 원한다면, 이는 $48!/(8!*40!)=377348994$ 개의 상이한 옵션들일 것이고, 이는 적절한 시간 내에 모두 조사될 수 없다.

[0068] 따라서, 본 발명의 목적은 존재할 수 없는 옵션들을 미리 제거하는 것이다. 이는 랜덤한 반복 및/또는 평처링에 의해 수행되지 않는데, 그 이유는 선택적인 c)가 여기서 더 이상 고려되지 않을 것이기 때문이다.

[0069] 순서화 원리가 도 7에 도시되어 있다. 처음 9 입력 비트들(1-9)뿐만 아니라 마지막 9 입력 비트들(n-8 내지 n)에 대해서, 관련 출력 스테이지 출력 0, 출력 1, 출력 2에 대한 평처링 레벨이 도시되어 있다. 출력 스테이지들 자체는 도 5로부터 알 수 있는 바와 같이 현재 고려 중인 입력 비트에 시간적으로 선행하는 모든 입력 비트들로부터 형성되는 관련 출력 함수이다. 여기서 도 5b의 출력 스테이지들, 즉 레이트 1/3 컨볼루션 인코더가 고려된다. 가능한 정보의 손실을 작게 하면서 평처링하기 위해서는 다른 비트들에 거의 영향을 주지 않는 비트들을 초기에 제거(평처링)하는 것이 유리하다. 따라서, 평처링 레벨은 얼마나 많은 비트들이 관련 비트들을 평처링함으로써 영향을 받을 것인지를 명시한다.

[0070] 비트들의 제거나 평처링을 위한 통상적인 방법은 도 8에 도시되어 있다. 제 1 열에서는 첫번째 9 입력 비트들(1 내지 9)이 다시 명시될뿐만 아니라 마지막 9 입력 비트들(n-8 내지 n)이 명시된다. 그 다음 열들에서는, 평처링에 의해 영향을 받는 정보 비트들의 비트 번호들, 즉 관련 출력 스테이지 출력 0, 출력 1 및 출력 2에 대한 정보 비트들이나 입력 비트들이 도시되어 있다. 테이블 필드들은 도 7에 이미 도시된 바와 같이 영향을 받는 증가적인 다수의 정보 비트들에 대한 점점 더 어두운 백그라운드에 대해 세팅된다. 따라서, 밝은 테이블 필드들에 속하는 비트들은 평처링을 위한 후보들이다.

[0071] 도 9는 중단부들 근처에서 평처링하기 위한, 즉 첫번째 및 마지막 비트들의 평처링을 위한 가장 중요한 변수들이 제시되는 테이블을 나타낸다. n 입력 비트들(정보 비트들) 및 k 코딩된 비트들(출력 스테이지에서의 비트, 출력 비트들)이 고려된다. 제 1 열에서는 평처링된 출력 비트들의 수(# 평처링 비트들)가 명시되고, 마지막 열에서는, 입력단에서 이러한 비트들에 의해 영향을 받는 (누산적인) 비트들의 수가 명시되는데, 이 경우에 다수의 출력 비트들의 평처링에 의해 여러번 영향을 받는 입력 비트들은 또한 그에 따라서 여러번 카운트된다.

[0072] 제 2 열에서는 시퀀스가 어떤 출력 비트(비트 번호)가 이 단계에서 평처링되는지를 명시한다. 이 경우에, 평처링은 첫번째 행에서 가장 덜 중요한 비트들로부터 시작해서 그 다음 행의 그 다음 비트들에까지 이루어진다. 따라서, 일예로 평처링될 7 비트들에 대한 전체적인 평처링 패턴은 행 1 내지 7, 즉 1, k, 4, k-4, k-6, 2, k-1에서 열 2에 명시된 비트들로부터 생성된다. 따라서, 이러한 패턴은 비트들 1, 2, 4, k-6, k-4, k-1, k를 포함한다. 위의 첫번째 행은 첫번째 정보 비트들 1-9뿐만 아니라 마지막 정보 비트들 k-8 내지 k에 대한 인덱싱이다. 여유 공간으로 인해서, 이는 k-8 대신에 단지 -8 등으로서 기록된다. 정보 비트들의 인덱싱 아래에 있는 열들의 엔트리들은 얼마나 많은 관련 정보가 관련 행까지 2nd 열에 명시되고 따라서 평처링되는 출력 비트들의 평처링에 의해 영향을 받는지를 명시한다. 이는 얼마나 많은 평처링된 출력 비트들이 이러한 정보 비트에 링크되었는지를 의미한다. 이는 얼마나 많은 관련 정보 비트가 평처링에 의해 약화되었는지에 대한 측정치이다.

[0073] 마지막 열에서는, (누산적인) 최종적으로 이러한 효과들의 합이 주어진다. 그것의 이 경우에 누산적인 평처링 세기로 지칭된다.

[0074] 열 평균 값은 관련된 정보 비트의 수에 의해 나누어진 마지막 열의 합의 비율 V를 제공한다. 일예로 6 평처링된 비트들에 대해서 $V=(2+1+1+1+1)/(1+1+1+1+1)=1.2$ 이다. 평균 평처링 레이트(av. puncturing rate)는 인코딩 동안에 정보 비트마다 발생하는 배타적 OR 연산들의 총 수인 18로 나누어지는 열 '평균 값'이다. 임의의 주어진 수의 비트들을 평처링하기 위한 절차는 위에 제공되는 것과 유사한 테이블을 준비하는 것을 포함한다. 도시된 테이블들은 관련된 컨볼루션 인코더의 다항식들과 레이트 1/3을 위해 사용될 수 있다. 다른 인코딩 레이트 및/또는 다른 다항식들에 있어서, 테이블은 매우 유사한 방식으로 결정될 수 있다. 이러한 테이블들을 통해 평처링 시퀀스가 형성되는데, 여기서 누산적인 평처링 세기에 작은 영향을 주는 첫번째 출력 비트들이 평처링된다. 만약 이러한 경우에 다수의 대안이 존재한다면, 개별적인 비트들의 평처링 세기의 최대치를 최소로 하는 이러한 비트들이 완전하게 평처링된다. 평처링될 더 많은 수의 비트들 및/또는 더 큰 블록 길이들에 있어서, 일반적으로 테이블들로부터의 정보는 전체 블록에 걸친 분포와 가능한 동일하게 달성하고자 하는 이상과 결합되어야 한다. 다음으로, 가장 낮은 전력, 즉 가장 적은 논리적 결합들을 갖는 생성된 다항식에 의해서 생성되는 중간 파트의 추가적인 비트들을 명백하게 사용하는 것이 유리하다. 동시에 프레임의 중간 영역에서 평처링 세기들의 전체적인 분포가 임의의 명확한 피크들을 나타내지 않도록 보장되어야 한다.

- [0075] 이와 동일한 사항들이 반복처리에도 적용되지만 반대의 리딩 부호들을 갖는다. 이는 발견적 교수법에 따라 먼저 펼쳐링된 비트들이 이제 마지막으로 반복되고, 균일한 반복이 가장 논리적인 결합들의 다항식들에 의해 완전하게 중간 파트에서 먼저 수행된다는 것을 의미한다. 나중에, 이러한 비트들은 (펼쳐링을 위해) 누산적인 펼쳐링 세기에 가능한 크게 영향을 주는 에지에서 반복된다.
- [0076] 펼쳐링 레이트가 중단들까지 일정하게 증가하는 방법과는 대조적으로, 이는 본래 예상되지 않는 결과를 초래하는데, 그 이유는 코딩된 비트들의 신뢰성이 중단들로 가면서 감소하는 것을 기대할 것이기 때문이다. 그러나 사용되는 컨볼루션 인코더들에 대한 세밀한 검사는 이러한 가정이 놀랍게도 옳바르지 않다는 것을 보여준다. 다항식들의 특정한 특징들은 특히 중단들에서 코딩된 비트들을 생성하는데, 이는 코딩에 보다 덜 효과적으로 기여한다. 그러나, 이러한 비트들은 일정하게 증하는 볼륨에서 중단까지 발생하지 않고 다소 불규칙적으로 분포된다. 이러한 "약한" 비트들에 특별히 펼쳐링 패턴들을 정렬시킴으로써, 즉 이러한 비트들을 펼쳐링하는 것에 우선권을 줌으로써, 코딩을 더욱 향상시킬 수 있다.
- [0077] 따라서, 본 발명은 다음을 허용하는 발견적인 방법을 사용한다:
- [0078] · 새롭게 정의된 발견적인 메트릭을 통해 접근될 기초 정보 비트들 상의 코딩된 비트의 펼쳐링/반복의 효과,
- [0079] · 명백하게 선택되고 또한 펼쳐링되거나 반복될 각각의 컨볼루션 코드에 대한 특정 비트들,
- [0080] · 매우 제한되어질 조사될 레이트 매칭 패턴들의 수.
- [0081] 다수의 유망한 레이트 매칭 패턴들이 이러한 방법에 근거하여 결정된 이후에, 이것들은 프레임 에러 레이트와 각각의 개별적인 정보 비트의 비트 에러 레이트(비트 에러 레이트 분포로 이후에 지칭됨)에 근거하여 비교될 것이다. 다음으로, 레이트 매칭 패턴은 개발된 메트릭에 근거하여 반복적으로 더욱 개발되고 최적화될 수 있다. 비-펼쳐링된/비-반복된 블록들의 비트 에러 레이트 분포는 시작 정보로서 기능한다.
- [0082] 비트 정보 비트 i 마다의 펼쳐링 세기 S_i 는 논리적인 연산의 수가 인코더의 관련 출력 비트들을 갖는 하나의 정보 비트를 펼쳐링함으로써 전송되지 않을 때 발견적인 메트릭으로서 정의될 것이다. 따라서, S_i 는 펼쳐링에 있어 긍정적이다. 반복에 있어서, $S_{i,k}=n-1$ 이 n 번 전송되는 각각의 논리 연산에 대해 정의된다.
- [0083] S_{max} 는 현존하는 논리 연산들의 코드-특정 총 수에 의해 명시되는 최대 가능한 펼쳐링 세기이다.
- [0084] 다음의 품질 기준에 따라 양호한 레이트 매칭 패턴이 탐색된다:
- [0085] 1. 가능한 최소에 가까운 누산적인 펼쳐링 세기를 선택,
- [0086] 2. 모든 정보 비트들에 걸쳐 비트 에러 레이트의 분포가 가능한 균일하게 존재하는 것을 보장.
- [0087] 펼쳐링/반복될 비트들의 선택에 있어서, 관련 정보 비트들뿐만 아니라 코딩된 비트당 누산적인 펼쳐링 세기를 나타내는 코딩된 블록들의 처음 및 끝에 대해 코드의 생성원 다항식들에 근거하여 테이블이 설정될 것이다. 이는 코딩된 비트들이 누산적인 펼쳐링 세기의 부류로서 알려져 있는 것으로 분할되도록 한다.
- [0088] 위의 품질 기준에 따르면, 이러한 테이블들은 이제 다른 비트들 보다 더 낮은 비트 에러 레이트를 나타내는 이러한 정보 비트들에 대해서 초기에 펼쳐링 세기가 증가되고 동시에 누산적인 펼쳐링 세기가 낮게 유지되도록 하는 방식으로 펼쳐링/반복될 비트들을 탐색하는데 사용된다. 따라서, 펼쳐링 세기는 정보 비트의 비트 에러 레이트에 반비례되도록 선택될 것이고, 또한 누산적인 펼쳐링 세기에 덜 기여하는 비트들이 명백하게 추구될 것이다.
- [0089] 다음으로, 본 방법은 결정된 제 1 패턴에 근거하여 반복적으로 적용될 것이고, 따라서, 심지어 몇번의 시뮬레이션 이후에도, 특별히 최적화된 레이트 매칭 패턴이 관련 컨볼루션 코드에 대해 발견될 수 있다.
- [0090] 도 11 및 12는 본 발명에 따른 펼쳐링 패턴들에 대한 상이한 연산을 나타내는데, 이 경우에 펼쳐링될 비트의 수는 각각의 경우에 규정된다(카운팅이 1에서 시작). 테이블들은 전송될 정보 비트들의 상이한 번호 및 레이트 매칭 이후에 전송될 비트들의 상이한 번호들에 대해 규정된다.
- [0091] 도 3은 통상적으로 규칙적인 펼쳐링 패턴을 갖는 종래 펼쳐링을 위한 데이터 블록에서 개별적인 비트들의 위치 및 지점에 따라 데이터 블록의 상기 개별적인 비트들에 대한 비트 에러 레이트의 그래프를 나타낸다.
- [0092] 도 2는 시뮬레이션에 특히 적합한 것으로 도시된 도 12로부터의 패턴 및 수 33을 갖는 본 발명에 따른 펼쳐링을

위한 그래프를 나타낸다. 도 2로부터 알 수 있는 바와 같이, 본 발명에 따른 평처링 패턴을 사용함으로써 전체 데이터 블록에 걸친 비트 에러 레이트의 더욱 균일한 커브가 달성될 수 있다. 데이터 블록의 중간 영역에서는 평처링이 종래의 방법에 비해 보다 덜 발생하기 때문에, 보다 작은 에러 확률이 거기서 획득될 수 있다. 실제로 에러 레이트는 현재 중단부들로 가면서 약간 증가하고, 이는 처음 보아서는 바람직하지 않게 보일 수 있다. 그러나, 그 결과로 위에서 이미 설명된 바와 같이 에지에는 많은 "약한" 비트들이 존재하고, 거기서는 평처링이 매우 효과적으로 수행될 수 있다. 도 4는 동일한 경우에 전송되는 비트의 에너지 대 잡음 전력 밀도의 비율에 대한 전체적인 에러 레이트의 커브를 기록한다. 본 발명(아래 커브, 원형)을 종래 방법(위 커브, 십자형)과 비교함으로써 대략 0.2 dB만큼 향상된 프레임 에러 레이트가 달성될 수 있다는 것을 도 4로부터 알 수 있다.

[0093] 다른 파라미터들에 대해서도 유사한 개선들이 달성될 수 있다. 일례로, 도 6은 레이트 1/3과 8비트(48 내지 40 비트들)의 규칙적인 평처링을 갖는 종래 평처링에 대한 데이터 블록에서 개별적으로 전송되는 비트들의 위치에 따른 상기 데이터 블록의 개별적으로 전송되는 비트들에 대한 비트 에러 레이트의 그래프를 나타낸다. 이는 8 입력 비트들의 전송에 상응한다. 도 10은 그 대신에 시뮬레이션에 특히 적합한 것으로 또한 증명된 도 11로부터의 평처링 패턴 3이 사용되는 경우의 분포를 나타낸다. 여기서는 매우 균일하게 균형된 분포가 생성되는 것이 확인될 수 있다. 여기서는 또한 대략 0.2 dB의 향상이 달성된다(그러나, 이에 대해서는 어떠한 커브도 도시되어 있지 않은데, 그 이유는 그것은 임의의 더 나은 인식을 제공하지 않기 때문이다). 도 16은 54 비트들 중 14 비트들의 평처링을 갖는 바람직한 예시적인 실시예들을 본 발명의 일부로서 도시하고 있는데, 이 경우에 패턴 3 및 4는 최상의 결과를 생성한다.

[0094] 도 13, 14 및 15는 본 발명에서 제시되는 규칙들을 사용하여 또한 획득되는 바람직한 반복 패턴들을 나타낸다.

[0095] 본 발명은 이동 무선 송신기에서의 사용에 근거하여 앞서 설명되었다. 본 발명은 또한 이동 무선 수신기들까지로 물론 확장될 수 있는데, 상기 수신기에서는 위에서 설명된 방식으로 데이터 레이트를 매칭하기 위해 평처링되거나 반복되는 신호들이 각각의 경우에 사용되는 평처링이나 반복 패턴에 따라 처리되어야 한다. 이 경우에, 송신기측에서 평처링된 비트들이나 반복된 비트들에 대해 관련 수신기에서는, 추가적인 비트들이 수신된 비트 스트림에 삽입되거나 수신기 비트 스트림의 두 개 이상의 비트들이 서로 그룹화된다. 추가적인 비트들을 삽입하는데 있어서, 정보 콘텐츠가 매우 불확실하다는 것을 나타내기 위해 연판정의 형태로 플래그가 동시에 세팅된다. 수신 신호의 처리과정은 도 1의 역순으로 동일한 방식에 따라 관련 수신기에서 수행될 수 있다.

[0096] **위에서 설명된 방법을 사용하여 결정되는 추가 비트 적용 패턴들**

[0097] 앞서서 주로 설명된 평처링 패턴들은 중단 영역에서의 평처링 및/또는 중단 영역에서의 반복에 집중하였다.

[0098] 이제 설명되는 추가적인 레이트 매칭 패턴은 표준화에 있어 HS-SCCH 코딩을 위한 상이한 제안들에 대해 앞서 설명된 방법에서 결정되었다. 평처링되거나 반복될 비트들은 각각의 경우에 규정된다. 비트들은 1부터 N까지로 연속해서 번호가 매겨진다. 바람직한 패턴이 각각의 경우에 먼저 제공되지만, 추가 패턴들은 항상 마찬가지로 유리한 특징들을 나타낸다. 추가 평처링 패턴들이 리스트된 도 17은 따라서 도 12의 확장을 나타낸다. 따라서, 여러 출력 비트 레이트들에 대한 평처링 패턴이 도 18 내지 24에 도시되어 있으며 도 25에 추가 반복 패턴이 도시되어 있다.

[0099] **UMTS에서 이미 규정된 성분들을 사용하는 바람직한 레이트 매칭 패턴들의 근사**

[0100] 앞서 제시된 패턴들은 평처링되거나 반복될 비트들의 최적의 가능한 선택을 제안하기 위한 것인데, 이 경우에는 상기 패턴에 대하여 어떠한 다른 제약도 부여되지 않는다. 그러나, 실질적인 구현에 있어서는 현존하는 레이트 매칭 회로들에 대한 최소한의 가능한 변경들을 통해 구현될 수 있는 상기 패턴들을 고려하는 것이 유리할 수 있다. 상응하는 레이트 매칭 규격은 이미 설명된 문헌 규격 25.212 v5.0.0 Chap 4.2.7 "Rate Matching"에 설명되어 있다. 아래의 선택은 실제 평처링이나 반복을 수행하며 Chapter 4.2.7.5 "Rate matching pattern determination"에서 설명되어 있는 상기 규격의 파트의 의미를 반영할 것이다.

[0101] 상기 규격으로부터의 추출

[0102] 레이트 매칭 이전에 비트들은 $X_{i1}, X_{i2}, X_{i3}, \dots, X_{iX}$ 에 의해 식별된다. 이 경우에, i 는 전송 채널 번호를 나타내고, 시퀀스 자체는 업링크에 대한 규격의 섹션들 4.2.7.4 및 다운링크에 대한 섹션들 4.2.7.1에 정의되어 있다. 업링크는 통신 장치로부터 기지국으로의 접속을 의미하고, 다운링크는 기지국으로부터 통신 장치로의 통신을 의미한다.

[0103] 레이트 매칭에 대한 규칙은 평처링이 수행되어야 하는 조건이 충족될 때 실행되는 도면에 도시된 프로그램의 섹

선에서 재생된다.

- [0104] - 먼저 에러 값 e 는 본래 에러 값과 원하는 평처링 레이트 사이에 놓이는 초기 값으로 세팅된다.
- [0105] - 실행 파라미터로서 현재 고려되는 비트의 인덱스 m 을 갖는 루프에서, 시퀀스의 종단, 즉 인덱스 X_i 까지,
- [0106] - 에러 값 e 는 초기에 $e - e_{\text{minus}}$ 로 세팅되는데, 여기서 e_{minus} 는 기본적으로 평처링될 비트의 수를 나타낸다.
- [0107] - 다음으로, 에러 값 $e \leq 0$ 인지 여부에 대한 검사가 이루어진다.
- [0108] - 이 경우에 인덱스 m 을 갖는 비트가 평처링될 지에 대한 검사가 이루어지고, 그 경우에 있어 평처링될 비트는 0이나 1이 아닌 값 δ 으로 세팅된다.
- [0109] 반복이 기본적으로 수행되어야 하는 경우에는 동일한 절차가 수행되는데, 이 경우에 비트는 본래 비트 바로 다음에 세팅된다.
- [0110] 평처링을 위해서, 실행 시퀀스는 제거되는 값 δ 으로 세팅되어진 비트들로 시작하고, 따라서 이러한 비트들이 평처링된다.
- [0111] 원하는 레이트 매칭이 달성될 수 있도록 파라미터들 X_i , e_{ini} , e_{plus} 및 e_{minus} 가 선택된다. 기본적으로, 이는 $e_{\text{plus}}=X_i$, $e_{\text{minus}}=N_p$ 를 의미하는데, 여기서 X_i 는 레이트 매칭 이전의 비트 수이고, N_p 는 평처링되거나 반복될 비트의 수이다. e_{ini} 는 1과 e_{plus} 의 범위 내에서 선택될 수 있는데, 그것은 패턴에서 약간의 시프트를 생성하고, 비트들은 특별한 경우(처음 인터리빙 이후의 레이트 매칭)에 서로에 대해 적합하게 상이한 프레임들에서 패턴을 시프트시키는데 사용된다. 파라미터 i 는 규격에서 상이한 전송 채널들을 식별한다. 그러나, 상기 파라미터는 이 경우에는 관련이 없고 따라서 생략된다. 이러한 현존하는 레이트 매칭 알고리즘을 사용하여 컨볼루션 코드들을 갖는 짧은 블록 크기들에 대한 바람직한 레이트 매칭 패턴들에 근접할 수 있게 하는 방법에 대한 옵션들이 아래에서 제시된다. 이 경우에는, 코드 블록의 종단에 있는 비트들을 바람직하게 사용하기 위해 평처링하고 특히 코드 블록의 중간에서부터 비트를 사용하기 위해 반복하기 위한 시도가 이러한 알고리즘의 일반적인 조건들 하에서 이루어진다. 이러한 예시적인 실시예의 중요한 양상은 파라미터 e_{ini} 를 1 내지 e_{plus} 의 범위 값으로 제한하지 않고 대신에 그것을 이러한 범위 밖에서 유리하게 선택한다. 이러한 선택은 원하는 수의 비트들이 평처링되거나 반복되는 것이 더 이상 보장되지 않기 때문에 언뜻 보아서는 모순된 것으로 보일 수 있다. 그러나, e_{plus} 및 e_{minus} 값들의 유리한 매칭을 통해서 원하는 수를 달성하는 것이 가능하다.
- [0112] X_i 는 레이트 매칭 이전의 비트 수
- [0113] N_p 는 평처링 및/또는 반복될 비트 수(N_p 의 인덱스 p 는 평처링될 비트의 수를 나타내지만, N_p 는 또한 반복될 비트의 수를 나타낸다)
- [0114] 레이트 매칭 알고리즘 및 그로인한 레이트 매칭 패턴의 사용을 완전히 규정하기 위해서, 초기 에러 값 e_{ini} , 에러 증분 e_{plus} 및 에러 감분 e_{minus} 가 정해져야 하는데, 그 이유는 이러한 파라미터들은 레이트 매칭 패턴을 완벽하게 나타내기 때문이다.
- [0115] 아래의 문단은 공개문 99 UMTS에서 제공되는 레이트 매칭 알고리즘을 사용하는 바람직한 레이트 매칭 패턴들을 도시한다.
- [0116] 후속해서 표준 레이트 매칭 알고리즘(데이터 레이트 매칭 알고리즘)에 이미 존재하는 바람직한 레이트 매칭 패턴들이 컨볼루션 코드들을 갖는 짧은 블록 크기들에 대해 어떠한 근접될 수 있는지에 대한 옵션들이 제시된다. 이 경우에는, 코드 블록의 종단들에 있는 비트들을 바람직하게 사용하기 위해 평처링하고 특히 코드 블록의 중간에서부터 비트들을 사용하기 위해 반복하고자 하는 시도가 이러한 알고리즘 하에서 이루어진다.
- [0117] **평처링**
- [0118] 레이트 매칭 알고리즘의 파라미터들은 코드 블록의 첫번째 N_0 비트들이 평처링되도록 선택되는데, 이는 다음의 식(1)이 적용되어야 한다는 것을 의미한다.

$$N_0 \cdot (e_{\min us} - e_{plus}) < e_{ini} \leq N_0 \cdot e_{\min us} - (N_0 - 1) \cdot e_{plus} \quad \text{식(1)}$$

[0119]

[0120] 블록의 마지막 비트가 잘 펼쳐링되도록 하는 추가적인 기준이 제공되는데, 이는 다음의 조건에 따라 수행된다:

$$(N_0 - 1) \cdot (e_{\min us} - e_{plus}) < e_{ini} \quad \text{식(2)}$$

[0121]

[0122] 이 경우에, 여러 변수 e의 값은 실제로 이러한 비트가 펼쳐링된다는 것을 의미하는 마지막 비트에 대해 정확하게 네거티브일 것이다. 두 기준은 일예로 다음의 바람직한 파라미터들 선택에 의해 충족된다:

$$e_{plus} = X_i - N_0 \quad \text{식(3)}$$

[0123]

$$e_{\min u} = N_p - N_0 \quad \text{식(4)}$$

[0124]

$$e_{ini} = N_0 \cdot e_{\min us} - (N_0 - 1) \cdot e_{plus} \quad \text{식(5)}$$

[0125]

[0126] 이러한 공식에는 코드 블록의 처음에 있는 어떠한 비트도 펼쳐링되지 않는($N_0=0$) 특별한 경우가 포함된다. 다음으로, $e_{ini}=X_i$, $e_{plus}=X_i$, $e_{minus}=N_p$ 가 적용된다.

[0127] 식 (1) 내지 (4)에 따라 e_{ini} 를 선택하는 일반적인 구현들은 (N_0+1)번째로부터 최대 (N_p-1)번째 펼쳐링 포인트까지 펼쳐링될 비트들의 인덱스가 1씩 증분된다는 점에서 식 (3) 내지 (5)에 따른 파라미터들의 바람직한 선택에서의 프레임 매칭 패턴과는 다른 프레임 매칭 패턴들을 생성한다.

[0128] 48 비트들로의 48 비트들의 펼쳐링에 대한 적용 예에 있어서, 도 26의 테이블은 $N_0=6$ 까지의 바람직한 파라미터 선택에 따른 펼쳐링 패턴들을 도시한다. 진하게 인쇄되지 않은 펼쳐링 포인트들은 식 (1) 및 (2)에 따른 e_{ini} 값의 변동에 의해 부분적으로 또는 전체적으로 1씩 감분될 수 있다.

[0129] 도 27에 후속해서 도시되는 테이블은 80 비트들로의 111 비트들의 펼쳐링을 위한 최종 패턴을 동일한 방식으로 도시하고 있다.

[0130] 비록 이는 달성되어질 이미 상술되어진 최적의 펼쳐링 패턴들을 허용하지는 않지만, 상기 규격의 현재 상태에 비교해서 전송 품질의 일정한 향상을 달성할 수 있는데, 이 경우에 이루어질 변경들은 비교적 작다.

[0131] **반복**

[0132] 레이트 매칭 알고리즘의 파라미터들이 본 발명에 따라 계산됨으로써, 반복될 마지막 비트와 블록 종단 사이의 최대 간격이 보장되고, 따라서 식 (6)이 적용된다:

$$e_{ini} = 1 + X_i \cdot e_{\min us} - N_p \cdot e_{plus} \quad \text{식(6)}$$

[0133]

[0134] 게다가, 반복될 비트들 R_R 사이의 평균 간격은 미리 정해질 수 있다. R_R 은 정수가 아니고 양의 유리수일 수 있다. 다음으로, 식(7)이 적용된다:

$$R_R = \frac{e_{plus}}{e_{\min us}} \quad \text{식(7)}$$

[0135]

[0136] 이는 e_{plus} 및 e_{minus} 가 그것들의 몫이 정확하게 R_R 을 생성하고 전체 N_p 비트들이 반복되어질 일반적인 조건 하에서 자유롭게 선택될 수 있다.

[0137] 만약 첫번째 비트가 반복되거나 또는 더욱 정확하게 그것을 배치한다면, 반복될 상기 첫번째 비트의 위치(여기서는 b_1 으로 표기됨)는 미리 정해질 것이고, 식(8)이 식(6)에 부가하여 적용되어야 하고:

$$\frac{e_{ini}}{b_1} \leq e_{minus} < \frac{e_{ini}}{b_1 - 1}$$

[0138] 식(8)

[0139] 여기서 e_{minus} 는 정수이어야 하고, $b_1 \leq X_i - N_p + 1$ 이다.

[0140] 다음을 위해서 바람직한 파라미터 선택이 생성된다:

$$e_{minus} = N_p$$

[0141] 식(9)

$$e_{plus} = X_i - b_1 + 1$$

[0142] 식(10)

$$e_{ini} = (b_1 - 1) \cdot N_p + 1$$

[0143] 식(11)

[0144] 이러한 파라미터들의 선택을 통해서 반복될 상기 첫번째 비트의 위치는 b_1 이고, 필요시 N_p 비트들이 반복된다.

[0145] 여기서는 또한 생성된 반복 패턴들이 이미 위에서 설명된 패턴들에 비해 최적이지 않다. 이러한 사실에도 불구하고, 규격의 현재 상태에 비해 본 방법을 통한 전송 품질의 일정한 향상을 달성할 수 있고, 이 경우에 이루어질 변경들 또한 비교적 작다. 파라미터 b_1 를 잘 선택함으로써, 처음에 올바르게 시작하지 않는 반복을 달성할 수 있다. 처음에는 반복이 실제로 필요하지 않은데, 그 이유는 위에서 제시된 바와 같이 컨볼루션 디코더의 처음에 비트들은 여하튼 비교적 낮은 에러 레이트를 나타내기 때문이다. 따라서, 본 방법을 통해 발생하는 반복될 비트들이 중간으로 가면서 더욱 집중될 때 더욱 더 유리하다. 그러나, 본 예시적인 실시예의 단점은 처음에는 반복이 단지 회피되어 중단에서의 환경이 훨씬 덜 긍정적으로 영향을 받을 수 있다는 점이다. 그것은 간략화된 구현을 위해 지불되어야 하는 금액이다.

[0146] 물론 위에서 제공된 기준의 결합이 또한 평처링 패턴의 선택을 위해 가능하다. 일례로, 처음엔 한 패턴의 처음을 사용하고 마지막엔 제 2 패턴의 중단을 사용함으로써 여기서 제공되는 패턴들 중 두 패턴들로부터의 패턴을 결합할 수 있다. 게다가, 만약 비트가 변경된 시퀀스로 출력되고 동시에 평처링 패턴이 그에 따라 적용된다면 어떠한 차이도 생기지 않는다. 일례로, 컨볼루션 코더에서 다항식의 시퀀스는 교환될 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명에 따른 이동 무선 송신기의 간략한 블록도.

[0014] 도 2는 HS-SCCH, 파트 2에서 예시적인 실시예에 따라 평처링하고 전송된 비트의 에너지 대 잡음 전력 밀도의 비율 $E_b/N_0 = -2\text{dB}$ 를 갖는 $R=1/3$ 로의 코딩을 위한 비트당 비트 에러 레이트 BER를 나타내는 도면 - 상기 HS-SCCH 채널은 파트 1 및 파트 2로 공지된 두 개의 부영역들로 세분될 수 있는 특정 구조 정보가 전송될 수 있도록 하는 고속의 공통 제어 채널을 나타낸다. 파트 1이 이 경우에는 먼저 전송되며, 이동국이 후속하는 데이터 채널을 처리하기 위해 가장 먼저 필요로 하는 정보를 포함한다. 파트 2는 이동국이 나중에 필요로 하는 정보를 포함한다. 이렇게 두 파트로 나누는 목적은 제 1 파트만이 데이터가 수신되기 시작할 수 있기 이전에 디코딩되어야 하기 때문에 HS-SCCH를 통한 지연이 가능한 작게 되도록 하기 위함이다 -.

[0015] 도 3은 전송되는 비트들의 에너지 대 잡음 전력 밀도의 비율 $E_b/N_0 = -2\text{dB}$ 인 경우에 HS-SCCH, 파트 2에 대해 UMTS(규격 25.21. V5.0.0, chap. 4.2.7 'Rate Matching')에서 제안된 레이트 매칭을 위한 비트당 비트 에러 레이트 BER를 나타내는 도면.

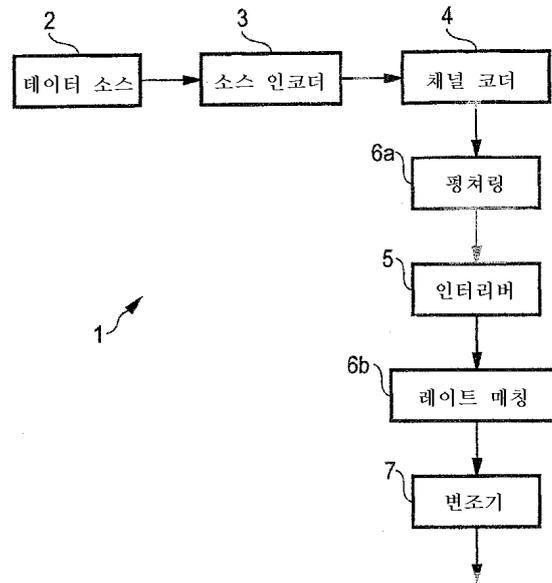
[0016] 도 4는 최종적인 전체적 에러 확률로서 간주되는, 본 발명에 따른 평처링을 통해 달성될 수 있는 결과(위쪽 곡선, 십자표시들)와 종래 평처링을 통해 달성될 수 있는 결과(아래쪽 곡선, 원표시들)의 비교를 나타내는 도면 - 도면은 블록의 적어도 한 비트가 부정확하게 전송되어지는 확률(프레임 에러 레이트로 공지되어 있음)을 나타냄 -.

[0017] 도 5는 UMTS에서 컨볼루션 코드들을 위한 기초적인 방식들을 나타내는 도면.

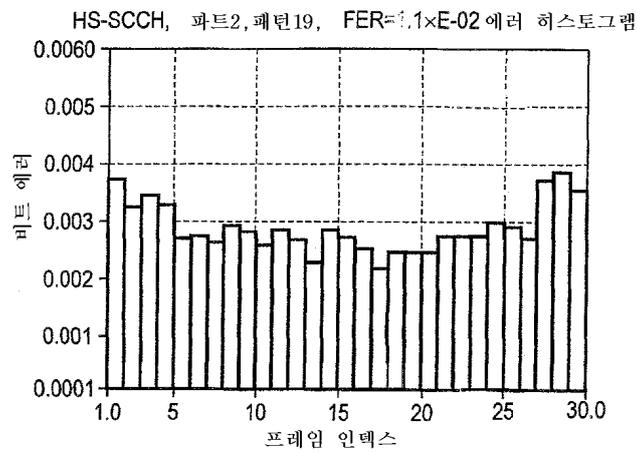
- [0018] 도 6은 전송되는 비트들의 에너지 대 잡음 전력 밀도 $E_b/N_0 = -3\text{dB}$ 인 경우에, HS-SCCH, 파트 1에 대해 UMTS(규격 25.21. v5.0.0, chap. 4.2.7 'Rate Matching')에서 제안된 레이트 매칭을 위한 비트당 비트 에러 레이트 BER를 나타내는 도면.
- [0019] 도 7은 여러 출력 스테이지들 출력 1, 출력 2 및 출력 3에서 한 출력 비트를 평처링하는데 얼마나 많은 입력 비트들이 수반되는지를 나타내는 도면.
- [0020] 도 8은 평처링에 의해 어떤 입력 비트들(비트 번호들)이 영향을 받는지를 나타내는 도면.
- [0021] 도 9는 평처링된 비트들의 수에 따른 평처링 결과들을 갖는 표.
- [0022] 도 10은 전송되는 비트들의 에너지 대 잡음 전력 밀도의 신호-대-잡음비율 $E_b/N_0 = -3\text{dB}$ 인 경우에, HS-SCCH, 파트 1에 대한 예시적인 실시예에 따른 평처링을 위한 비트당 비트 에러 레이트 BER을 나타내는 도면.
- [0023] 도 11은 레이트 1/3로의 인코딩을 위해 8 비트들(48 내지 40 비트들)을 평처링하는 것에 대한 상이한 예시적인 실시예를 나타내는 도면.
- [0024] 도 12는 레이트 1/3로 31 비트들을 평처링(111 내지 80 비트들의 평처링)하는 것에 대한 상이한 예시적인 실시예를 나타내는 도면.
- [0025] 도 13은 레이트 1/2로 31 비트들을 반복(32 내지 40 비트들의 반복)하는 것에 대한 상이한 예시적인 실시예를 나타내는 도면.
- [0026] 도 14는 레이트 1/3로 6 비트들을 반복(74 내지 80 비트들의 반복)하는 것에 대한 상이한 예시적인 실시예를 나타내는 도면.
- [0027] 도 15는 레이트 1/2로 4 비트들을 반복(36 내지 40 비트들의 반복)하는 것에 대한 상이한 예시적인 실시예를 나타내는 도면.
- [0028] 도 16은 레이트 1/3로 14 비트들을 반복(54 내지 40 비트들의 반복)하는 것에 대한 상이한 예시적인 실시예를 나타내는 도면.
- [0029] 도 17은 레이트 1/3로 31 비트들을 평처링(111 내지 80 비트들을 평처링)하는 것에 대한 상이한 예시적인 실시예로서 도 12의 연속으로도 보여질 수 있는 도면.
- [0030] 도 18은 레이트 1/3로 108 내지 80 비트들을 평처링하는 것에 대한 예시적인 실시예를 나타내는 도면.
- [0031] 도 19는 레이트 1/3로 114 내지 80 비트들을 평처링하는 것에 대한 예시적인 실시예를 나타내는 도면.
- [0032] 도 20은 레이트 1/3로 117 내지 80 비트들을 평처링하는 것에 대한 예시적인 실시예를 나타내는 도면.
- [0033] 도 21은 레이트 1/2로 52 내지 40 비트들을 평처링하는 것에 대한 예시적인 실시예를 나타내는 도면.
- [0034] 도 22는 레이트 1/2로 46 내지 40 비트들을 평처링하는 것에 대한 예시적인 실시예를 나타내는 도면.
- [0035] 도 23은 레이트 1/3로 54 내지 40 비트들을 평처링하는 것에 대한 예시적인 실시예를 나타내는 도면.
- [0036] 도 24는 레이트 1/2로 56 내지 40 비트들을 평처링하는 것에 대한 예시적인 실시예를 나타내는 도면.
- [0037] 도 25는 레이트 1/2로 36 내지 40 비트들을 평처링하는 것에 대한 예시적인 실시예를 나타내는 도면.
- [0038] 도 26은 48 내지 40 비트들을 평처링하는 것에 대한 예시적인 실시예를 나타내는 도면.
- [0039] 도 27은 11 내지 40 비트들을 평처링하는 것에 대한 예시적인 실시예를 나타내는 도면.
- [0040] 도 28은 3 GPP 규격 25.211 v5.0.0, Chap.4.2.7 Rate matching으로부터의 레이트 매칭 규격을 나타내는 도면.

도면

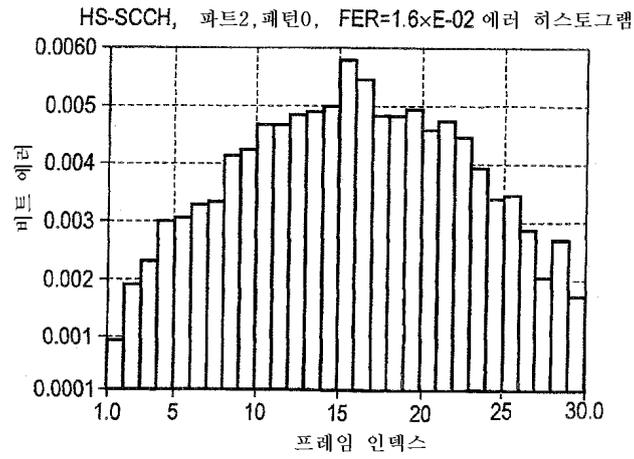
도면1



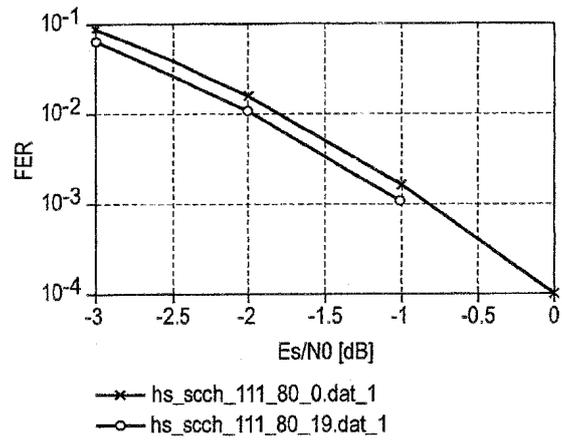
도면2



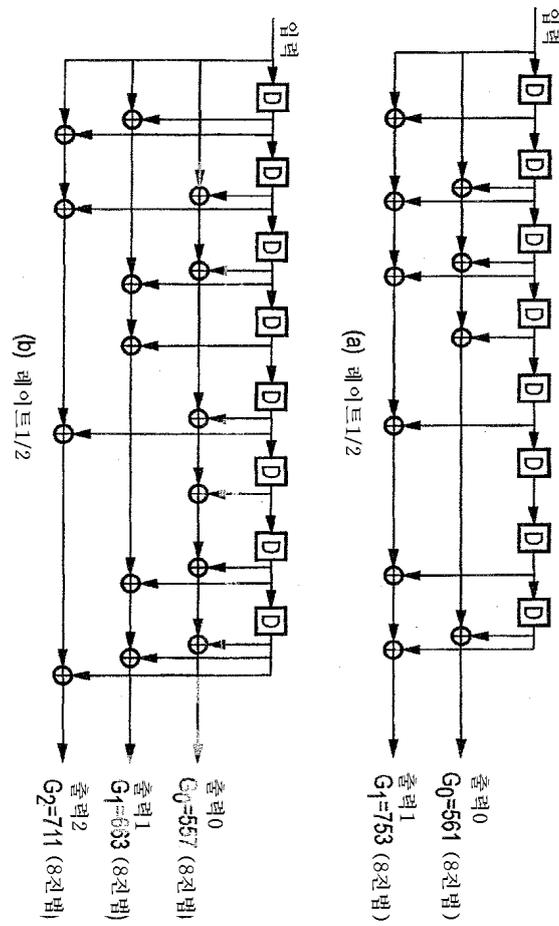
도면3



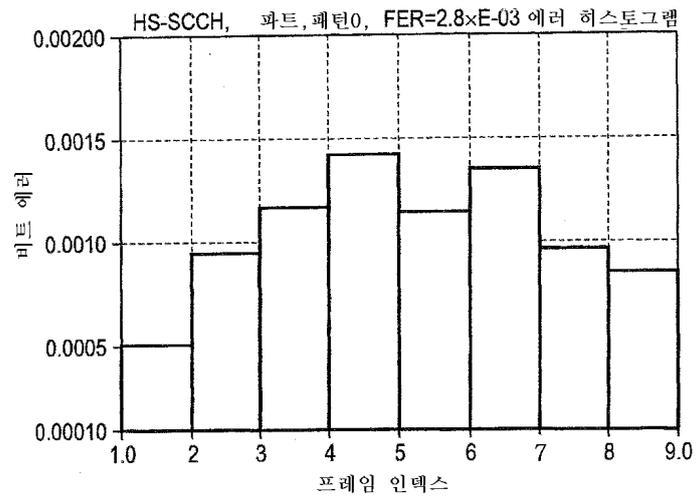
도면4



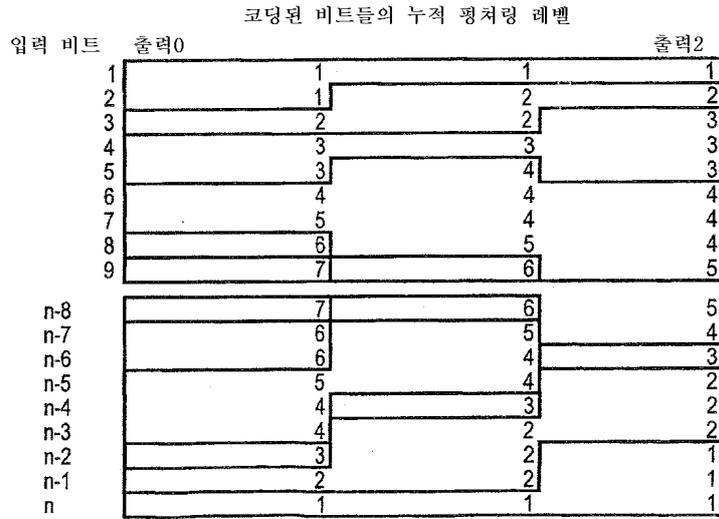
도면5



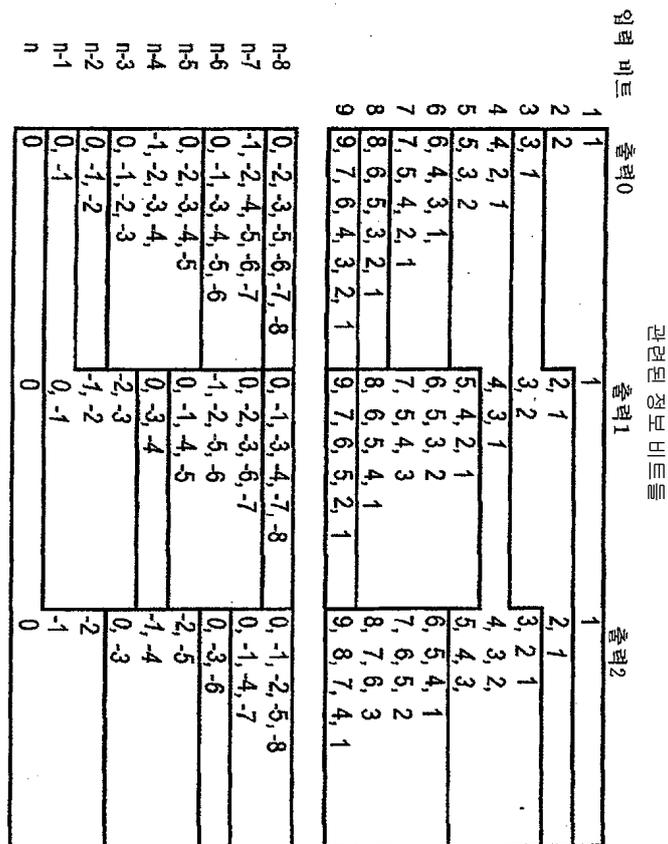
도면6



도면7



도면8



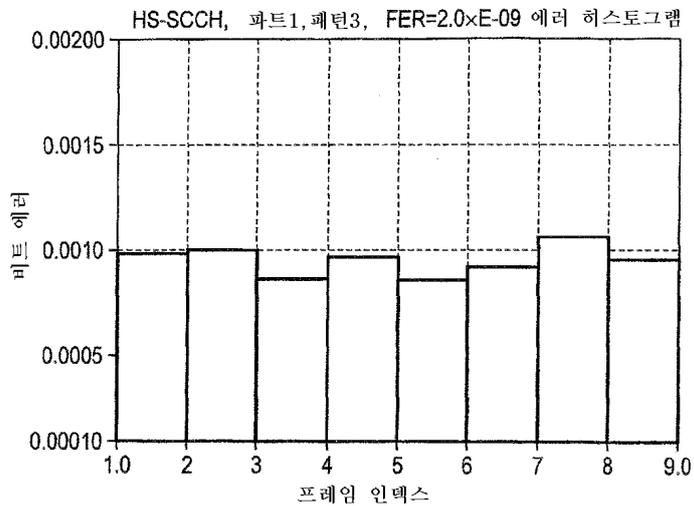
도면9

#구두 비트들

최적화된 평가 패턴

구두 비트들	시퀀스	평가 패턴	최대 18입력 비트에 대한 누적 평가량	평균값	평균 p-레이트	누적
1	k	1	1	1,00	0,06	1
2	k	2	2	1,00	0,06	2
3	k	3	3	1,00	0,06	3
4	k-4	1	4	1,00	0,06	4
5	k-6	1	5	1,00	0,06	5
6	k-1	2	6	1,20	0,07	6
7	k-1	1	7	1,40	0,08	7
8	k-1	1	8	1,60	0,09	8
9	k-2	3	9	1,80	0,10	9
10	k-2	1	10	1,88	0,10	11
11	k-15	2	11	1,88	0,10	13
12	k-12	1	12	1,86	0,10	15
13	k-10	3	13	1,88	0,10	17
14	k-10	2	14	1,89	0,12	19
15	k-9	4	15	2,11	0,14	21
16	k-7	2	16	2,56	0,13	23
17	k-7	2	17	2,78	0,15	25
18	k-4	3	18	3,00	0,17	27
19	k-4	5	19	3,22	0,18	29
20	k-5	2	20	3,44	0,19	31
21	k-5	4	21	3,09	0,17	34
22	k-12	4	22	3,36	0,19	37
23	k-14	5	23	3,64	0,20	40
24	k-18	5	24	3,58	0,20	43
25	k-11	6	25	3,75	0,21	45
26	k-13	7	26	4,00	0,22	48
27	k-10	8	27	4,25	0,24	51
28	k-8	6	28	4,50	0,25	54
29	k-8	7	29	4,75	0,26	57

도면10



도면11

48내지 40비트 평처링, R=1/3	
	평처링될 비트들
1	1, 2, 3, 4, 45, 46, 47, 48
2	1, 2, 3, 4, 42, 45, 47, 48
3	1, 2, 4, 8, 42, 45, 47, 48
4	1, 2, 4, 15, 42, 45, 47, 48

도면12A

111내지 80비트 평처링, R=1/3	
패턴	평처링될 비트
1	1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 14, 15, 24, 92, 93, 96, 98, 99, 101, 102, 103, 104, 105, 106, 107, 108, 109, 110, 111
2	1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 15, 24, 92, 93, 96, 98, 99, 101, 102, 103, 104, 105, 106, 107, 108, 109, 110, 111
3	1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 14, 15, 48, 60, 93, 96, 98, 99, 101, 102, 103, 104, 105, 106, 107, 108, 109, 110, 111
4	1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 15, 48, 60, 93, 96, 98, 99, 101, 102, 103, 104, 105, 106, 107, 108, 109, 110, 111
5	1, 2, 3, 4, 5, 6, 7, 8, 10, 11, 12, 14, 15, 42, 45, 57, 66, 93, 96, 98, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
6	1, 2, 3, 4, 5, 6, 7, 8, 10, 11, 12, 13, 15, 42, 45, 57, 66, 93, 96, 98, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
7	1, 2, 3, 4, 7, 8, 9, 15, 21, 27, 33, 39, 45, 51, 57, 63, 69, 75, 81, 87, 93, 96, 99, 101, 102, 104, 105, 108, 109, 110, 111
8	1, 2, 3, 4, 5, 6, 7, 8, 11, 12, 14, 15, 24, 36, 48, 60, 72, 84, 93, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
9	1, 2, 3, 4, 5, 6, 7, 8, 11, 12, 13, 15, 24, 36, 48, 60, 72, 84, 93, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
10	1, 2, 3, 4, 5, 6, 7, 8, 11, 12, 14, 15, 27, 39, 51, 63, 75, 87, 93, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
11	1, 2, 3, 4, 5, 6, 7, 8, 11, 12, 13, 15, 27, 39, 51, 63, 75, 87, 93, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
12	1, 2, 3, 4, 5, 6, 7, 8, 10, 11, 12, 14, 15, 45, 48, 57, 63, 93, 96, 98, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
13	1, 2, 3, 4, 5, 6, 7, 8, 10, 11, 12, 13, 15, 45, 48, 57, 63, 93, 96, 98, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
14	1, 2, 3, 4, 5, 6, 7, 8, 11, 12, 14, 15, 24, 36, 48, 54, 60, 72, 84, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
15	1, 2, 3, 4, 5, 6, 7, 8, 11, 12, 13, 15, 24, 36, 48, 54, 60, 72, 84, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
16	1, 2, 3, 4, 5, 6, 7, 8, 10, 11, 12, 14, 15, 45, 48, 51, 57, 63, 93, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111

도면12B

17	1, 2, 3, 4, 5, 6, 7, 8, 10, 11, 12, 13, 15, 45, 48, 51, 57, 63, 93, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
18	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 36, 48, 54, 57, 60, 72, 84, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
19	1, 2, 3, 4, 5, 6, 7, 8, 12, 14, 15, 24, 36, 42, 48, 54, 57, 60, 72, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
20	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 36, 42, 48, 54, 57, 60, 72, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
21	1, 2, 3, 4, 5, 6, 7, 8, 12, 14, 15, 36, 42, 45, 48, 54, 57, 60, 72, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
22	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 36, 42, 45, 48, 54, 57, 60, 72, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
23	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 36, 42, 48, 51, 57, 60, 66, 72, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
24	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 36, 48, 54, 57, 60, 66, 72, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
25	1, 2, 3, 4, 5, 6, 7, 8, 12, 14, 15, 24, 48, 54, 57, 60, 63, 66, 72, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
26	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 48, 54, 57, 60, 63, 66, 72, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
27	1, 2, 3, 4, 5, 6, 7, 8, 13, 15, 24, 36, 42, 48, 51, 57, 60, 66, 72, 92, 96, 99, 101, 102, 104, 105, 107, 108, 109, 110, 111
28	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 42, 48, 54, 57, 60, 66, 69, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
29	1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 14, 15, 24, 92, 93, 96, 98, 99, 101, 102, 103, 104, 105, 106, 107, 108, 109, 110, 111
30	1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 15, 24, 92, 93, 96, 98, 99, 101, 102, 103, 104, 105, 106, 107, 108, 109, 110, 111
31	1, 2, 3, 4, 5, 6, 7, 8, 10, 11, 12, 14, 15, 45, 48, 57, 66, 93, 96, 98, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
32	1, 2, 3, 4, 5, 6, 7, 8, 10, 11, 12, 13, 15, 45, 48, 57, 66, 93, 96, 98, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111
33	1, 2, 3, 4, 5, 6, 7, 8, 12, 14, 15, 24, 42, 48, 54, 57, 60, 66, 69, 96, 99, 101, 102, 104, 105, 106, 107, 108, 109, 110, 111

도면13

8비트 반복(32내지 40비트), =1/2	
패턴	반복될 비트
1	17, 19, 21, 23, 25, 27, 29, 31
2	13, 14, 15, 16, 17, 18, 19, 20
3	18, 20, 22, 24, 26, 28, 30, 32
2	16, 18, 20, 22, 24, 26, 28, 30

도면14

6비트 반복(74내지 80비트), R=1/2	
패턴	반복될 비트
1	35, 36, 37, 38, 39, 40
2	32, 34, 36, 38, 40, 42
3	26, 30, 34, 38, 42, 44
4	20, 28, 36, 44, 52, 60

도면15

4비트 반복(36내지 40비트), R=1/2	
패턴	반복될 비트
1	16, 18, 20, 22
2	14, 18, 20, 22

도면16

14비트 반복(54내지 60비트), R=1/3	
패턴	반복될 비트
1	1, 2, 3, 4, 7, 8, 39, 42, 45, 48, 51, 52, 53, 54
2	1, 2, 3, 4, 6, 7, 8, 39, 42, 48, 51, 52, 53, 54
3	1, 2, 3, 4, 7, 8, 36, 39, 42, 48, 51, 52, 53, 54
4	1, 2, 3, 4, 6, 7, 8, 39, 45, 48, 51, 52, 53, 54

도면17

111 내지 80비트의 추가적인 평처링 패턴, R=1/3		/3
패턴	평처링될 비트	
34	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 39, 44, 49, 54, 59, 64, 69 92, 96, 99, 101, 102, 104, 106, 107, 108, 109, 110, 111	
35	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 42, 47, 52, 57, 62, 67, 72, 92, 96, 99, 101, 102, 104, 106, 107, 108, 109, 110, 111	
36	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 42, 44, 49, 54, 59, 64, 69 92, 96, 99, 101, 102, 104, 106, 107, 108, 109, 110, 111	
37	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 39, 43, 47, 57, 61, 65, 69, 92, 96, 99, 101, 102, 104, 106, 107, 108, 109, 110, 111	
38	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 39, 42, 44, 49, 54, 59, 64, 69 92, 96, 99, 101, 102, 104, 106, 107, 108, 109, 110, 111	
39	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 36, 39, 44, 49, 54, 59, 64, 69 92, 96, 99, 101, 102, 104, 106, 107, 108, 109, 110, 111	
40	1, 2, 3, 4, 5, 7, 8, 13, 15, 24, 30, 35, 40, 45, 50, 55, 60, 68, 70, 75, 83, 96, 99, 101, 102, 104, 106, 108, 109, 110, 111	
41	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 39, 45, 51, 57, 63, 69, 75, 92, 96, 99, 101, 102, 104, 106, 107, 108, 109, 110, 111	
42	1, 2, 3, 4, 5, 7, 8, 12, 13, 15, 24, 36, 41, 46, 51, 56, 61, 66, 71, 76, 92, 96, 99, 101, 102, 104, 106, 108, 109, 110, 111	

도면18

108내지 80비트의 평처링, R=1/3	
패턴	평처링될 비트들
1	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 48, 54, 57, 63, 66, 69, 72, 75, 93, 96, 98, 99, 101, 102, 103, 104, 105, 106, 107, 108

도면19

평처링 패턴 114->80, R=1/3

114내지 80비트의 평처링, R=1/3	
패턴	평처링된 비트
1	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 42, 45, 48, 54, 57, 60, 66, 69, 72, 75, 99, 102, 104, 105, 107, 108, 109, 110, 111, 112, 113, 114
2	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 42, 48, 54, 57, 60, 66, 69, 72, 96, 99, 102, 104, 105, 107, 108, 109, 110, 111, 112, 113, 114
3	1, 2, 3, 4, 5, 6, 7, 8, 10, 12, 13, 15, 21, 24, 48, 54, 57, 60, 63, 66, 96, 97, 99, 102, 104, 105, 107, 108, 109, 110, 111, 112, 113, 114
4	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 42, 48, 54, 57, 60, 66, 69, 72, 75, 96, 99, 102, 104, 105, 107, 108, 109, 110, 111, 112, 113, 114
5	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 42, 45, 48, 54, 57, 60, 66, 69, 72, 75, 96, 99, 102, 104, 105, 107, 108, 110, 111, 112, 113, 114
6	1, 2, 3, 4, 5, 6, 7, 8, 11, 12, 13, 15, 24, 42, 48, 54, 57, 60, 66, 69, 72, 75, 96, 99, 102, 104, 105, 107, 108, 110, 111, 112, 113, 114
7	1, 2, 3, 4, 5, 6, 7, 8, 10, 12, 13, 15, 24, 48, 54, 57, 60, 66, 69, 96, 99, 101, 102, 104, 105, 107, 108, 109, 110, 111, 112, 113, 114

도면20

평처링 비트 117->80, R=1/3

117내지 80비트의 평처링 패턴, R=1/3	
패턴	평처링될 비트
1	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 36, 40, 44, 48, 52, 56, 60, 64, 68, 72, 76, 80, 84, 98, 102, 105, 107, 108, 110, 112, 113, 114, 115, 116, 117
2	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 39, 40, 44, 48, 52, 56, 60, 64, 68, 72, 76, 80, 84, 98, 102, 105, 107, 108, 110, 112, 113, 114, 115, 116, 117
3	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 39, 40, 44, 51, 52, 56, 63, 64, 68, 72, 76, 80, 87, 98, 102, 105, 107, 108, 110, 112, 113, 114, 115, 116, 117
4	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 39, 43, 47, 51, 55, 59, 63, 67, 71, 75, 79, 83, 87, 98, 102, 105, 107, 108, 110, 112, 113, 114, 115, 116, 117
5	1, 2, 3, 4, 5, 7, 8, 9, 12, 13, 18, 23, 28, 33, 38, 43, 48, 53, 58, 63, 68, 73, 78, 83, 88, 93, 98, 105, 106, 109, 110, 111, 113, 114, 115, 116, 117
6	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 40, 43, 46, 49, 55, 61, 64, 67, 70, 73, 76, 79, 82, 98, 102, 105, 107, 108, 110, 112, 113, 114, 115, 116, 117
7	1, 2, 3, 4, 5, 7, 8, 12, 13, 15, 20, 24, 36, 40, 44, 48, 52, 56, 60, 64, 68, 72, 76, 80, 84, 87, 98, 102, 105, 107, 108, 110, 112, 114, 115, 116, 117
8	1, 2, 3, 4, 5, 7, 8, 12, 13, 15, 24, 32, 36, 40, 44, 48, 52, 56, 60, 64, 68, 72, 76, 80, 84, 86, 98, 102, 105, 107, 108, 110, 112, 114, 115, 116, 117
9	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 42, 45, 48, 51, 54, 57, 60, 63, 66, 69, 72, 75, 78, 98, 102, 105, 107, 108, 110, 112, 113, 114, 115, 116, 117
10	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 39, 42, 45, 48, 54, 60, 63, 66, 69, 72, 75, 78, 81, 98, 102, 105, 107, 108, 110, 112, 113, 114, 115, 116, 117
11	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 39, 42, 45, 48, 51, 54, 57, 60, 69, 75, 78, 81, 84, 98, 102, 105, 107, 108, 110, 112, 113, 114, 115, 116, 117
12	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 42, 45, 48, 54, 57, 60, 63, 66, 69, 72, 75, 78, 81, 102, 105, 107, 108, 110, 111, 112, 113, 114, 115, 116, 117
13	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 39, 42, 45, 48, 54, 60, 63, 66, 69, 72, 75, 78, 81, 84, 102, 105, 107, 108, 110, 112, 113, 114, 115, 116, 117
14	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 39, 42, 45, 48, 54, 60, 63, 66, 69, 72, 75, 78, 81, 99, 102, 105, 107, 108, 110, 111, 113, 114, 115, 116, 117
15	1, 2, 3, 4, 5, 6, 7, 8, 12, 13, 15, 24, 36, 42, 45, 48, 54, 60, 63, 66, 69, 72, 75, 78, 81, 98, 102, 105, 107, 108, 110, 112, 113, 114, 115, 116, 117

도면21

평처링 패턴 52 -> 40, R=1/2

52내지 40비트의 평처링, R=1/2	
패턴	평처링 될 비트
1	1, 2, 3, 4, 5, 43, 45, 47, 49, 50, 51, 52
2	1, 2, 3, 4, 5, 45, 47, 48, 49, 50, 51, 52
3	1, 2, 3, 4, 15, 25, 45, 47, 49, 50, 51, 52
4	1, 2, 3, 4, 5, 43, 47, 48, 49, 50, 51, 52
5	1, 2, 3, 4, 5, 43, 45, 48, 49, 50, 51, 52
6	1, 2, 3, 4, 5, 25, 45, 47, 48, 49, 51, 52
7	1, 2, 3, 4, 5, 25, 43, 47, 48, 49, 51, 52
8	1, 2, 3, 4, 5, 43, 45, 47, 48, 49, 51, 52
9	1, 2, 3, 4, 15, 43, 45, 47, 48, 49, 51, 52

도면22

평처링 패턴 46 -> 40, R=1/2

46내지 40비트의 평처링, R=1/2	
패턴	평처링 될 비트
1	1, 3, 39, 41, 45, 46
2	1, 3, 39, 41, 43, 46
3	1, 3, 39, 43, 45, 46
4	1, 2, 3, 43, 45, 46
5	1, 2, 39, 41, 45, 46
6	1, 2, 3, 39, 43, 46

도면23

평처링 패턴 54 -> 40, R=1/3

54내지 40비트의 평처링, R=1/3	
패턴	평처링될 비트
1	1, 2, 3, 4, 6, 7, 8, 39, 42, 48, 51, 52, 53, 54
2	1, 2, 3, 4, 6, 7, 8, 39, 45, 48, 51, 52, 53, 54
3	1, 2, 3, 4, 7, 8, 39, 42, 45, 48, 51, 52, 53, 54
4	1, 2, 3, 4, 7, 8, 13, 39, 45, 48, 51, 52, 53, 54
5	1, 2, 3, 4, 7, 8, 36, 39, 42, 48, 51, 52, 53, 54

도면24

평처링 패턴 56 -> 40, R= 1/2

56내지 40비트의 평처링, R= 1/2	
패턴	평처링될 비트
1	1, 2, 3, 4, 5, 6, 7, 45, 47, 49, 51, 52, 53, 54, 55, 56
2	1, 2, 3, 4, 5, 6, 15, 45, 47, 49, 51, 52, 53, 54, 55, 56
3	1, 2, 3, 4, 5, 15, 21, 29, 47, 49, 51, 52, 53, 54, 55, 56

도면25

반복 패턴 36 -> 40비트, R=1/2

36내지 40비트의 반복, R=1/2	
패턴	반복될 비트
1	14, 18, 20, 22
2	16, 18, 20, 22
3	14, 17, 10, 23
4	10, 15, 20, 25
5	13, 16, 19, 22

도면26

48내지 40비트의 평처링	
패턴	평처링될 비트
1	1, 8, 15, 22, 28, 35, 42, 48
2	1, 2, 10, 18, 25, 33, 41, 48
3	1, 2, 3, 12, 21, 30, 39, 48
4	1, 2, 3, 4, 15, 26, 37, 48
5	1, 2, 3, 4, 5, 20, 34, 48
6	1, 2, 3, 4, 5, 6, 27, 48

도면27

Figure 27: 111내지 80비트의 평차령

패턴	평차령될 비트
1	1, 5, 8, 11, 14, 17, 20, 23, 25, 29, 32, 35, 38, 41, 44, 47, 50, 53, 56, 60, 63, 66, 69, 72, 75, 78, 81, 84, 87, 90, 93, 96, 99, 102, 105, 108, 111
2	1, 2, 6, 9, 12, 15, 18, 21, 24, 27, 31, 34, 37, 40, 43, 46, 49, 52, 55, 59, 62, 65, 68, 71, 74, 77, 80, 83, 87, 90, 93, 96, 99, 102, 105, 108, 111
3	1, 2, 3, 7, 10, 13, 16, 19, 23, 25, 29, 32, 35, 38, 42, 45, 48, 51, 54, 57, 61, 64, 67, 70, 73, 77, 80, 83, 86, 89, 92, 96, 99, 102, 105, 108, 111
4	1, 2, 3, 4, 8, 11, 14, 17, 21, 24, 27, 30, 34, 37, 40, 43, 47, 50, 53, 56, 60, 63, 66, 69, 73, 76, 79, 82, 86, 89, 92, 95, 99, 102, 105, 108, 111
5	1, 2, 3, 4, 5, 9, 12, 15, 19, 22, 25, 29, 32, 35, 39, 42, 45, 49, 52, 55, 58, 62, 65, 68, 72, 75, 78, 82, 85, 88, 92, 95, 98, 102, 105, 108, 111
6	1, 2, 3, 4, 5, 6, 10, 13, 17, 20, 23, 27, 30, 34, 37, 40, 44, 47, 51, 54, 57, 61, 64, 67, 71, 74, 78, 81, 84, 88, 91, 95, 98, 101, 105, 108, 111
7	1, 2, 3, 4, 5, 6, 7, 11, 14, 18, 21, 25, 28, 32, 35, 39, 42, 46, 49, 53, 56, 59, 63, 66, 70, 73, 77, 80, 84, 87, 91, 94, 98, 101, 105, 108, 111
8	1, 2, 3, 4, 5, 6, 7, 8, 12, 16, 19, 23, 26, 30, 33, 37, 40, 44, 48, 51, 55, 58, 62, 65, 69, 72, 76, 80, 83, 87, 90, 94, 97, 101, 104, 108, 111
9	1, 2, 3, 4, 5, 6, 7, 8, 9, 13, 17, 20, 24, 28, 31, 35, 39, 42, 46, 50, 53, 57, 60, 64, 68, 71, 75, 79, 82, 86, 90, 93, 97, 101, 104, 108, 111
10	1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 14, 18, 22, 25, 29, 33, 37, 40, 44, 48, 52, 55, 59, 63, 67, 70, 74, 78, 82, 85, 89, 93, 97, 100, 104, 108, 111
11	1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 15, 19, 23, 27, 31, 35, 38, 42, 46, 50, 54, 58, 61, 65, 69, 73, 77, 81, 85, 88, 92, 96, 100, 104, 108, 111

도면28

```

if puncturing is to be performed
5   e = eini           -- initial error between current and desired puncturing ratio
    m = 1             -- index of current bit
    do while m <= Xi
        c = e - eminus    -- update error
        if c <= 0 then    -- check if bit number m should be punctured
10          set bit xi,m to δ where δ ∈ {0, 1}
            e = e + eplus -- update error
        end if
        m = m + 1        -- next bit
    end do
15 else
    e = eini           -- initial error between current and desired puncturing ratio
    m = 1             -- index of current bit
    do while m <= Xi
        c = c - eminus    -- update error
20        do while c <= 0 -- check if bit number m should be repeated
            repeat bit xi,m
                e = e + eplus -- update error
            end do
            m = m + 1    -- next bit
        end do
25    end do
end if
    
```

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제2항 및 제3항

【변경전】

상기 평처링 패턴

【변경후】

상기 평처링 패턴