



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년07월05일
(11) 등록번호 10-0967883
(24) 등록일자 2010년06월28일

(51) Int. Cl.

H01L 29/78 (2006.01)

(21) 출원번호 10-2004-7006443
(22) 출원일자(국제출원일자) 2002년10월30일
심사청구일자 2007년10월26일
(85) 번역문제출일자 2004년04월29일
(65) 공개번호 10-2005-0042022
(43) 공개일자 2005년05월04일
(86) 국제출원번호 PCT/US2002/034826
(87) 국제공개번호 WO 2003/038863
국제공개일자 2003년05월08일

(30) 우선권주장

10/021,419 2001년10월30일 미국(US)

(56) 선행기술조사문헌

US05072266 A1*

US05463241 A1*

US05925911 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

제네럴 세미컨덕터, 인코포레이티드

미국 11747-3113 뉴욕 맨빌 맨빌 파크 로드 10

(72) 발명자

호시에호, 푸아-이우안

미국캘리포니아95070, 사라토가, 20768세빌라레인 소, 군중

미국캘리포니아94539, 프레몬트, 591우드뷰테라스 (뒷면에 계속)

(74) 대리인

김학수, 문경진

전체 청구항 수 : 총 29 항

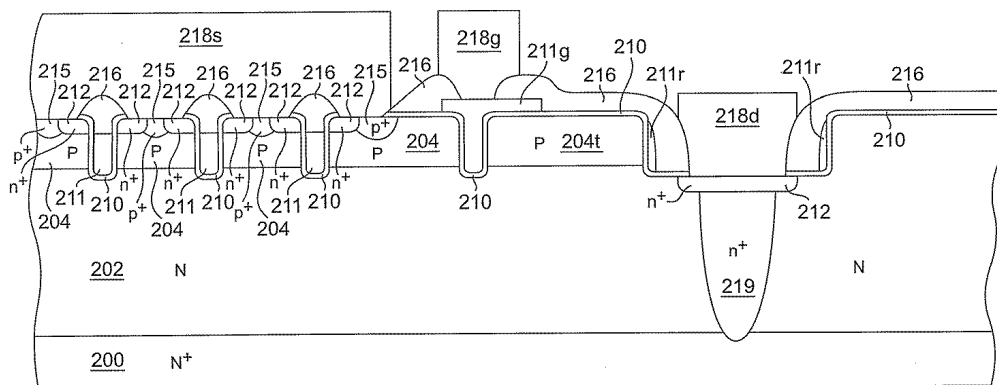
심사관 : 김건형

(54) 개선된 드레인 접점을 가진 트랜치 DMOS 디바이스

(57) 요약

트랜치 DMOS 트랜지스터 디바이스는: (a) 제 1 도전성 타입의 기판과; (b) 상기 기판 위의 제 1 도전성 타입이고, 상기 기판보다 더 낮은 다수 캐리어 농도를 가지는 에피택셜층과; (c) 상기 에피택셜층의 상부 표면에 서부터 상기 에피택셜층 안으로 연장하는 트랜치와; (d) 상기 트랜치의 적어도 일부를 따라서 형성하는 절연층과; (e) 상기 절연층에 인접하는 상기 트랜치 내의 도전 영역과; (f) 상기 에피택셜층의 상부 부분 내 및 상기 트랜치에 인접하여 제공되는 제 2 도전성 타입의 바디 영역과; (g) 상기 바디 영역의 상부 부분 내 및 상기 트랜치에 인접한 제 1 도전성 타입의 소스 영역; 및 (h) 상기 에피택셜층의 상부 표면으로부터 상기 디바이스 안으로 연장하는 하나 이상의 저-고유저항 깊은 영역을 포함한다. 상기 저-고유저항 깊은 영역은, 디바이스를 위한 하나의 공통 드레인 영역인 상기 기판과 전기적 접촉을 제공하는 역할을 한다. 이러한 방식으로 트랜치 DMOS 트랜지스터 디바이스를 구성함으로써, 소스, 드레인 및 게이트 접점들이 모두 디바이스의 하나의 단일 표면 상에 제공될 수 있다.

대표도



(72) 발명자

넬슨, 윌리엄, 존

미국캘리포니아94506, 단빌, 3655컨트리클럽테라스

아마토, 존, 이.

미국캘리포니아95376, 트레이시, 585파치코드라이브

특허청구의 범위

청구항 1

트렌치 DMOS 트랜지스터 디바이스로서:

제 1 도전성 타입이며, 상기 디바이스를 위한 하나의 공통 드레인 영역으로서 작용하는 기판과;

상기 기판 위의 제 1 도전성 타입이고, 상기 기판보다 더 낮은 다수 캐리어 농도를 가지는 에피택셜층과;

상기 에피택셜층의 상부 표면에서부터 상기 에피택셜층 안으로 연장하는 제 1 및 제 2 트렌치와;

상기 제 1 트렌치의 일부 또는 전부를 따라서 형성하는 절연층과;

상기 절연층에 인접하는 상기 제 1 트렌치 내의 도전 영역과;

상기 에피택셜층의 상부 부분 내 및 상기 제 1 트렌치에 인접하여 제공되는 제 2 도전성 타입의 바디 영역과;

상기 바디 영역의 상부 부분 내 및 상기 제 1 트렌치에 인접한 제 1 도전성 타입의 제 1 소스 영역과;

상기 제 2 트렌치 부분 아래에 있는 상기 제 1 도전성 타입의 저-고유저항의 깊은 영역으로서, 상기 깊은 영역은 상기 에피택셜층의 상부 표면으로부터 상기 기판 안으로 연장하며, 상기 기판과의 전기적 접촉을 제공하는 저-고유저항의 깊은 영역(low resistivity deep region)과;

상기 깊은 영역 위의 상기 에피택셜층의 상부 부분 내에 상기 제 1 도전성 타입의 제 2 소스 영역으로서, 상기 에피택셜층의 상부 부분 내에 있는 제 2 소스 영역은 상기 깊은 영역과 완전히 겹치는, 제 2 소스 영역과;

상기 깊은 영역의 상부 표면 위에 상기 제 2 소스 영역 상에 있는 금속 드레인 접점(218d), 상기 바디 영역의 상부 부분 내에 있는 상기 제 1 소스 영역의 상부 표면 상에 있는 금속 소스 접점, 및 상기 제 1 및 제 2 소스 영역으로부터 먼 종단 영역에서 상기 도전 영역의 상부 표면 상에 있는 금속 게이트 접점

을 포함하는, 트렌치 DMOS 트랜지스터 디바이스.

청구항 2

제 1 항에 있어서, 상기 저-고유저항 깊은 영역은 0.01 Ohm-cm 이하의 고유저항을 가지며 상기 에피택셜층의 상부 표면으로부터 시작하여 상기 기판 까지 거리의 20% 내지 100 %의 깊이까지 존재하는, 트렌치 DMOS 트랜지스터 디바이스.

청구항 3

제 1 항에 있어서, 상기 깊은 영역은 상기 제 1 도전성 타입의 반도체 영역을 포함하는, 트렌치 DMOS 트랜지스터 디바이스.

청구항 4

제 3 항에 있어서, 상기 깊은 영역은 상기 에피택셜층의 상부 표면으로부터 시작하여 상기 기판에까지 존재하는, 트렌치 DMOS 트랜지스터 디바이스.

청구항 5

제 1 항에 있어서, 상기 깊은 영역은 금속 영역을 포함하는, 트렌치 DMOS 트랜지스터 디바이스.

청구항 6

제 5 항에 있어서, 상기 금속 영역은 알루미늄을 포함하는, 트렌치 DMOS 트랜지스터 디바이스.

청구항 7

제 5 항에 있어서, 상기 깊은 영역은 상기 에피택셜층의 상부 표면으로부터 시작하여 상기 기판에까지 존재하는, 트렌치 DMOS 트랜지스터 디바이스.

청구항 8

제 1 항에 있어서, 상기 깊은 영역은 도핑된 폴리실리콘 영역을 포함하는, 트렌치 DMOS 트랜지스터 디바이스.

청구항 9

제 8 항에 있어서, 상기 깊은 영역은 상기 에피택셜층의 상부 표면으로부터 시작하여 상기 기판에까지 존재하는, 트렌치 DMOS 트랜지스터 디바이스.

청구항 10

제 1 항에 있어서, 상기 디바이스 내에 복수의 깊은 영역이 제공되는, 트렌치 DMOS 트랜지스터 디바이스.

청구항 11

삭제

청구항 12

제 1 항에 있어서, 상기 디바이스는 사각형의 기하학적 모양 또는 육각형의 기하학적 모양의 복수의 트랜지스터 셀을 포함하는, 트렌치 DMOS 트랜지스터 디바이스.

청구항 13

제 1 항에 있어서, 상기 트렌치 DMOS 트랜지스터 디바이스는 실리콘 디바이스인, 트렌치 DMOS 트랜지스터 디바이스.

청구항 14

제 1 항에 있어서, 상기 제 1 절연층은 산화물층인, 트렌치 DMOS 트랜지스터 디바이스.

청구항 15

제 1 항에 있어서, 상기 도전 영역은 도핑된 다결정 실리콘 영역인, 트렌치 DMOS 트랜지스터 디바이스.

청구항 16

제 1 항에 있어서, 상기 제 1 도전성 타입은 N-타입 도전성이고 상기 제 2 도전성 타입은 P-타입 도전성인, 트렌치 DMOS 트랜지스터 디바이스.

청구항 17

제 1 항에 있어서, 상기 기판은 N+ 기판이고, 상기 에피택셜층은 N 에피택셜층이며, 상기 바디 영역은 P 영역이고, 상기 소스 영역은 N+ 영역인, 트렌치 DMOS 트랜지스터 디바이스.

청구항 18

트렌치 DMOS 트랜지스터 디바이스로서:

N-타입 도전성이며 상기 디바이스를 위한 하나의 드레인 영역으로서 작용하는 실리콘 기판과;

상기 기판 위의 N-타입 도전성 타입이고, 상기 기판보다 더 낮은 다수 캐리어 농도를 가지는 실리콘 에피택셜층과;

상기 에피택셜층의 상부 표면에서부터 상기 에피택셜층 안으로 연장하는 제 1 및 제 2 트렌치와;

상기 제 1 트렌치의 적어도 일부를 따라서 형성하는 산화실리콘 절연층과;

상기 절연층에 인접하는 상기 제 1 트렌치 내의 도핑된 다결정 실리콘 도전 영역과;

상기 에피택셜층의 상부 부분 내 및 상기 제 1 트렌치에 인접하여 제공되는 P-타입 도전성의 바디 영역과;

상기 바디 영역의 상부 부분 내 및 상기 제 1 트렌치에 인접하여 제공되는 N-타입 도전성의 제 1 소스 영역과;

상기 제 2 트렌치 부분 아래에 있는 상기 N-타입 도전성의 저-고유저항의 깊은 영역으로서, 상기 깊은 영역은 상기 에피택셜층의 상부 표면으로부터 상기 기판 안으로 연장하며, 상기 기판과의 전기적 접촉을 제공하는 작용을 하는 저-고유저항의 깊은 영역과;

상기 깊은 영역 위의 상기 에피택셜층의 상부 부분 내에 상기 N-타입 도전성의 제 2 소스 영역으로서, 상기 에피택셜층의 상부 부분 내에 있는 제 2 소스 영역은 상기 깊은 영역과 완전히 겹치는 제 2 소스 영역

을 포함하며,

상기 트렌치 DMOS 트랜지스터 디바이스는 하나의 공통 소스 접점, 하나의 공통 드레인 접점 및 하나의 공통 게이트 접점이 제공된 복수의 트랜지스터 셀을 포함하며, 각각의 접점은 상기 디바이스의 상부 표면 상에 제공되는,

트렌치 DMOS 트랜지스터 디바이스.

청구항 19

제 18 항에 있어서, 상기 저-고유저항 깊은 영역은 0.01 Ohm-cm 이하의 고유저항을 가지는, 트렌치 DMOS 트랜지스터 디바이스.

청구항 20

제 18 항에 있어서, 상기 깊은 영역은 N-타입 도전성의 반도체 영역을 포함하는, 트렌치 DMOS 트랜지스터 디바이스.

청구항 21

제 18 항에 있어서, 상기 깊은 영역은 금속 영역을 포함하는, 트렌치 DMOS 트랜지스터 디바이스.

청구항 22

제 18 항에 있어서, 상기 깊은 영역은 도핑된 폴리실리콘 영역을 포함하는, 트렌치 DMOS 트랜지스터 디바이스.

청구항 23

제 18 항에 있어서, 상기 셀들은 육각형의 기하학적 모양 및 사각형의 기하학적 모양에서 선택된 기하학적 모양으로 제공되는, 트렌치 DMOS 트랜지스터 디바이스.

청구항 24

트렌치 DMOS 트랜지스터 디바이스를 형성하는 방법으로서:

제 1 도전성 타입이며 상기 디바이스를 위한 하나의 공통 드레인 영역으로서 작용하는 기판을 제공하는 단계와;
상기 기판 위에 제 1 도전성 타입이고, 상기 기판보다 더 낮은 다수 캐리어 농도를 가지는 에피택셜층을 적층시키는 단계와;

상기 에피택셜층의 상부 부분 안에 제 2 도전성 타입의 바디 영역을 형성하는 단계와;

상기 에피택셜층의 상부 표면에서부터 상기 에피택셜층 안으로 연장하는 제 1 및 제 2 트렌치를 형성하는 단계와;

상기 제 1 트렌치의 적어도 일부를 따라 절연층을 형성하는 단계와;

이전에 형성된 제 2 트렌치 부분 아래에 제 1 도전성 타입의 저-고유저항의 깊은 영역을 형성하는 단계로서, 상기 깊은 영역은 상기 에피택셜층의 상부 표면으로부터 상기 기판 안으로 연장하며, 상기 기판과의 전기적 접촉을 제공하는 작용을 하는 저-고유저항의 깊은 영역을 형성하는 단계와;

상기 절연층에 인접한 상기 제 1 트렌치 안에 도전성 영역을 형성하는 단계와;

상기 깊은 영역 위의 상기 에피택셜 층의 상부 부분 안에 상기 깊은 영역과 완전히 겹치게 제 1 도전성 타입의 소스 영역을 형성하는 단계

를 포함하는, 트렌치 DMOS 트랜지스터 디바이스를 형성하는 방법.

청구항 25

제 24 항에 있어서, 상기 깊은 영역은 주입 및 확산 공정에 의해 형성되는 상기 제 1 도전성 타입의 반도체 영역을 포함하는, 트렌치 DMOS 트랜지스터 디바이스를 형성하는 방법.

청구항 26

제 24 항에 있어서, 상기 깊은 영역은 금속 영역을 포함하고, 여기서 상기 깊은 영역은 상기 에피택셜층의 상부 표면으로부터 상기 디바이스 안으로 연장하는 깊은 트렌치를 에칭하는 단계와, 상기 깊은 트렌치 안에 금속을 적층하는 단계를 포함하는 공정에 의해 형성되는, 트렌치 DMOS 트랜지스터 디바이스를 형성하는 방법.

청구항 27

제 24 항에 있어서, 상기 깊은 영역은 도핑된 폴리실리콘 영역을 포함하고, 여기서 상기 깊은 영역은 상기 에피택셜층의 상부 표면으로부터 상기 디바이스 안으로 연장하는 깊은 트렌치를 에칭하는 단계와, 상기 깊은 트렌치 안에 폴리실리콘을 적층하는 단계를 포함하는 공정에 의해 형성되는, 트렌치 DMOS 트랜지스터 디바이스를 형성하는 방법.

청구항 28

제 24 항에 있어서, 상기 깊은 영역의 상부 표면에 인접한 금속 드레인 접점을 형성하는 단계, 상기 소스 영역의 상부 표면에 인접한 금속 소스 접점을 형성하는 단계, 및 상기 소스 영역으로부터 먼 종단 영역에서 상기 도전 영역의 상부 표면에 인접한 금속 게이트 접점을 형성하는 단계를 더 포함하는, 트렌치 DMOS 트랜지스터 디바이스를 형성하는 방법.

청구항 29

제 24 항에 있어서, 상기 저-고유저항 깊은 영역은 0.01 Ohm-cm 이하의 고유저항을 가지며 상기 에피택셜층의 상기 상부 표면으로부터 상기 기판을 향하는 거리의 적어도 20% 연장하는, 트렌치 DMOS 트랜지스터 디바이스를 형성하는 방법.

청구항 30

제 29 항에 있어서, 상기 저-고유저항 깊은 영역은 상기 에피택셜층의 상기 상부 표면으로부터 상기 기판까지 연장하는, 트렌치 DMOS 트랜지스터 디바이스를 형성하는 방법.

명세서

기술분야

[0001] 본 발명은 트렌치(trench) DMOS 디바이스에 관한 것이며, 더 상세하게는 개선된 접점 형상을 가진 트렌치 DMOS 디바이스에 관한 것이다.

배경기술

[0002] DMOS(Double Diffused MOS: 이중확산 MOS) 트랜지스터는, 트랜지스터 영역을 형성하기 위하여 확산을 이용하는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor: 금속산화막 반도체 전계 효과 트랜지스터)의 일종이다. DMOS 트랜지스터는 통상적으로 고 전압 전력 집적 회로를 위한 전력 트랜지스터로서 사용된다. DMOS 트랜지스터는 낮은 순방향 전압 강하가 필요한 곳에서 단위 면적당 높은 전류를 제공한다.

[0003] DMOS 트랜지스터의 특정한 일 타입은 소위 트렌치 DMOS 트랜지스터인데, 트렌치 DMOS 트랜지스터에 있어서 채널은 수직하게 형성되고 게이트는 소스와 드레인 사이에서 연장되는 트렌치(trench: 도랑)에 형성된다. 트렌치는, 얇은 산화막으로 윤곽이 형성되고 폴리실리콘(즉 다결정 실리콘)으로 채워지는데, 수축 현상이 덜 생기는 전류 흐름이 가능하게 함으로써 낮은 값의 특정 온-저항(specific on-resistance)을 제공한다. 트렌치 DMOS 트랜지스터의 예들이 미국 특허 번호 5,072,266, 5,541,425, 및 5,866,931 에 개시되어 있는데, 이들 공보들은 본 출원 명세서에 참고문헌(reference)으로서 포함되어 있다.

[0004] 도 1은 육각형 모양의 종래 트랜치 DMOS 구조(21)의 절반을 도시한다. 이 구조는 n+ 기판(23)을 포함하는데, 이 기판(23) 위에 미리결정된 깊이(d_{epi})의 약하게 도핑된 n 에피택셜층(25)이 성장된다. 에피층(25) 안에, p-바디 영역(27)(p, p+)이 제공된다. 도시된 구조에서, p 바디 영역(27)은 (중앙 영역을 제외하고) 대체로 평평하고, 에피층의 상부면 아래로 거리(d_{min})만큼 떨어져 위치한다. p 바디 영역(27)의 대부분과 겹쳐 위치하는 다른 층(28)(n+)은 소스로서의 역할을 한다. 일련의 육각형 모양의 트랜치(29)들이, 상부를 향해 열려 있고 미리 결정된 깊이(d_{tr})를 가지고, 에피택셜층 안에 제공된다. 트랜치(29)는 일반적으로 산화물에 의해 윤곽이 형성되며 도전성 폴리실리콘으로 채워지며, DMOS 디바이스를 위한 게이트를 형성한다. 트랜치(29)는, 수평적인 단면 방향에서 역시 육각형 모양인 셀 영역(31)을 한정한다. 셀 영역(31) 안에서, p 바디 영역(27)은 에피층의 상부면까지 올라와 있으며, 셀 영역(31)의 상부면에서 수평 단면 방향에서 노출 패턴(33)을 형성한다. 도시된 구체적인 구조에서, p 바디 영역(27)의 p+ 중앙부는 에피층의 표면 아래로 깊이(d_{max}) 만큼, 즉 트랜지스터 셀을 위한 트랜치 깊이(d_{tr})보다 더 많이 연장하여, 항복전압(breakdown voltage)이 트랜치 표면으로부터 반도체 물질의 벌크 영역 내로 존재하도록 한다.

[0005] 하나의 일반적인 DMOS 디바이스는 하나의 단일칩(즉 반도체 웨이퍼의 일 섹션) 내에서 나란히 제조되는 수 많은 개별 DMOS 트랜지스터 셀(31)들을 포함한다. 그러므로 도 1에 도시된 칩은 수 많은 육각형-모양의 셀(31)들을 포함한다(이들 셀 중 5개의 부분들이 도시되어 있다). 육각형 구조가 아닌 셀 구조는, 사각형-모양의 구조를 포함하여, 통상적으로 사용된다. 도 1에 도시된 것과 같은 구조에서, 기판 영역(23)은 모든 개별 DMOS 트랜지스터 셀(31)들을 위한 하나의 공통 드레인으로서 작용한다. 미도시되었으나, DMOS 셀(31)들을 위한 모든 소스들은 일반적으로 n+ 소스 영역(28)들의 상단에 배치되는 하나의 금속 소스 접점을 통해 함께 단락된다. 보로포스포실리케이트(borophosphosilicate) 유리(미도시됨)와 같은 절연 영역이 일반적으로 트랜치(29) 내의 폴리실리콘과 금속 소스 접점 사이에 배치되어, 게이트 영역들이 소스 영역들과 단락되는 것을 방지한다. 결과적으로, 게이트 접점을 만들기 위하여, 트랜치(29) 내의 폴리실리콘은 일반적으로 DMOS 셀(31) 너머의 종단 영역까지 연장되는데, 상기 종단 영역에는 금속 게이트 접점이 폴리실리콘 상에 제공된다. 폴리실리콘 게이트 영역들이 트랜치들을 통해 서로 서로 연결되어 있기 때문에, 이러한 배열은 해당 디바이스의 모든 게이트 영역들을 위한 하나의 단일 게이트 접점을 제공한다. 이러한 구조의 결과로서, 상기 칩이 개별 트랜지스터 셀(31)의 매트릭스를 포함한다고 할지라도, 이들 셀(31)들은 하나의 단일한 대규모 트랜지스터로서 작동한다.

[0006] 공개롭게도, 위에 기술된 바와 같은 종래 기술의 구조에 있어서는, 드레인과의 접점은 칩의 하부측에서 이루어지며, 한편 소스 및 게이트 접점은 칩의 상부측으로부터 이루어진다. 그 결과, 일반적으로 소스, 드레인 및 게이트 접점들을 하나의 단일 표면 상에 제공하는 패키징 내에 상기 칩을 배치하는 것이 필수적이다.

발명의 상세한 설명

[0007] 본 발명의 일 실시예에 따라 트랜치 DMOS 트랜지스터 디바이스가 제공되며, 상기 트랜치 DMOS 트랜지스터 디바이스는, (a) 제 1 도전성 타입의 기판과; (b) 상기 기판 위의 제 1 도전성 타입이고, 상기 기판보다 더 낮은 다수 캐리어 농도를 가지는 에피택셜층과; (c) 상기 에피택셜층의 상부 표면에서부터 상기 에피택셜층 안으로 연장하는 트랜치와; (d) 상기 트랜치의 적어도 일부를 따라서 형성하는 절연층과; (e) 상기 절연층에 인접하는 상기 트랜치 내의 도전 영역과; (f) 상기 에피택셜층의 상부 부분 내 및 상기 트랜치에 인접하여 제공되는 제 2 도전성 타입의 바디 영역과; (g) 상기 바디 영역의 상부 부분 내 및 상기 트랜치에 인접한 제 1 도전성 타입의 소스 영역; 및 (h) 상기 에피택셜층의 상부 표면으로부터 상기 디바이스 안으로 연장하는 저-고유저항 깊은 영역(low resistivity deep region)을 포함한다. 상기 저-고유저항 깊은 영역은, 디바이스를 위한 하나의 공통 드레인 영역인 상기 기판과 전기적 접촉을 제공하는 역할을 한다.

[0008] 바람직하게, 저-고유저항 깊은 영역은 0.01 Ohm-cm 이하의 고유저항을 가지며, 에피택셜층의 상부 표면으로부터 기판을 향한 거리의 적어도 20% 연장하며, 더 바람직하게는 기판까지의 거리의 100%까지 연장한다.

[0009] 상기 깊은 영역은, 예컨대 에피택셜층 내의 제 1 도전성 타입의 도핑된 영역, (알루미늄과 같은) 금속 영역, 또는 도핑된 폴리실리콘 영역을 포함할 수 있다.

[0010] 바람직하게, 트랜치 DMOS 트랜지스터 디바이스는 복수의 트랜지스터 셀들(일반적으로 사각형 모양의 또는 육각형 모양의)을 포함하며, 상기 디바이스에는 하나의 공통 소스 접점과, 하나의 공통 드레인 접점, 및 하나의 공통 게이트 접점이 제공되는데, 각각의 접점은 상기 디바이스의 상부면 상에 제공된다.

[0011] 본 발명의 다른 실시예에 따라 트랜치 DMOS 트랜지스터 디바이스가 제공되며, 상기 트랜치 DMOS 트랜지스터 디

바이스는, (a) N-타입 도전성의 실리콘 기판과; (b) 상기 기판 위의 N-타입 도전성 타입이고, 상기 기판보다 더 낮은 다수 캐리어 농도를 가지는 실리콘 에피택셜층과; (c) 상기 에피택셜층의 상부 표면에서부터 상기 에피택셜층 안으로 연장하는 트렌치와; (d) 상기 트렌치의 적어도 일부를 따라서 형성하는 산화실리콘 절연층과; (e) 상기 절연층에 인접하는 상기 트렌치 내의 도핑된 다결정 실리콘 도전 영역과; (f) 상기 에피택셜층의 상부 부분 내 및 상기 트렌치에 인접하여 제공되는 P-타입 도전성의 바디 영역과; (g) 상기 바디 영역의 상부 부분 내 및 상기 트렌치에 인접한 N-타입 도전성의 소스 영역; 및 (h) 상기 에피택셜층의 상부 표면으로부터 디바이스를 위한 하나의 공통 드레인 영역인 상기 기판을 향해 연장하는 저-고유저항 깊은 영역을 포함한다.

[0012] 본 발명의 다른 실시예에 따른 트렌치 DMOS 트랜지스터 디바이스를 형성하는 방법이 제공되며, 상기 방법은, (a) 제 1 도전성 타입의 기판을 제공하는 단계와; (b) 상기 기판 위의 제 1 도전성 타입이고, 상기 기판보다 더 낮은 다수 캐리어 농도를 가지는 에피택셜층을 적층시키는 단계와; (c) 상기 에피택셜층의 상부 부분 안에 제 2 도전성 타입의 바디 영역을 형성하는 단계와; (d) 상기 에피택셜층의 상부 표면에서부터 상기 에피택셜층 안으로 연장하는 트렌치를 에칭하는 단계와; (e) 상기 트렌치의 적어도 일부를 따라서 형성하는 절연층을 형성하는 단계와; (f) 상기 절연층에 인접하는 상기 트렌치 안에 도전 영역을 형성하는 단계와; (g) 상기 바디 영역의 상부 부분 내 및 상기 트렌치에 인접한 제 1 도전성 타입의 소스 영역을 형성하는 단계; 및 (h) 상기 에피택셜층의 상부 표면으로부터 상기 디바이스 안으로 연장하는 저-고유저항 깊은 영역을 형성하는 단계를 포함한다. 상기 깊은 영역은, 디바이스를 위한 하나의 공통 드레인 영역인 상기 기판과 전기적 접촉을 제공하는 역할을 한다.

[0013] 몇몇 바람직한 실시예에서, 상기 깊은 영역은 에피택셜층 내에서 주입 및 확산 공정에 의해 형성되는 제 1 도전성 타입의 영역을 포함한다. 다른 실시예에서, 상기 깊은 영역은, (a) 에피택셜층의 상부 표면으로부터 디바이스 안으로 연장하는 깊은 트렌치를 에칭하는 단계 및 (b) 상기 트렌치 안에 금속 또는 폴리실리콘을 적층하는 단계를 포함하는 공정에 의해 형성되는, 금속 영역 또는 도핑된 폴리실리콘 영역을 포함한다.

[0014] 본 발명의 일 장점은, 수 많은 트렌치 DMOS 셀들을 포함하는 하나의 칩과 연결을 이루는 능력을, 상기 칩의 상부에 소스, 드레인 및 게이트 접점을 제공함으로써 개선한다는 것이다.

[0015] 본 발명의 다른 장점은, 하나의 단일 표면 상에 소스, 드레인 및 게이트 접점이 제공되는 별도의 패키지에 대한 요구가 제거된다는 것이다.

[0016] 본 발명의 이점 및 다른 실시예들과 장점들은 아래의 상세한 설명과 청구항을 고찰하는 경우 당업자에게는 즉시 명백해질 것이다.

실시예

[0022] 이제 본 발명은 본 발명의 바람직한 실시예가 도시되어 있는 첨부된 도면을 참조하여 이하에서 더욱 상세하게 기술될 것이다. 그러나 본 발명은 여러가지 형태로 구체화될 수 있으며 본 명세서에서 기술되는 실시예들로 제한되는 것으로 해석되지 않아야 한다.

[0023] 이제 도 2a를 참조하면, N-타입 에피택셜층(202)이 N+ 기판(200) 상에 제공되어 있는 트렌치 DMOS가 도시된다. N+ 기판(200)은, 일반적으로, 예컨대 10 내지 25 mil(1 mil은 1/1000인치) 범위의 두께와, 예컨대 0.005 내지 0.01 Ohm-cm 범위의 고유저항을 가지는 실리콘 기판이다. N-타입 에피택셜층(202)은 또한 일반적으로, 예컨대 5 내지 10 mm 범위의 두께를 가지며, 예컨대 0.18 내지 0.25 Ohm-cm 범위의 고유저항을 가지는 실리콘이다.

[0024] 에피택셜층 안에 형성된 트렌치는 산화물층(210)을 따라서 형성되고 폴리실리콘(211)으로 채워져, 디바이스의 게이트 전극 기능을 제공한다. 산화물층(210)은 일반적으로 500 내지 700 Å 두께이다. 폴리실리콘(211)은 일반적으로 15 내지 25 Ohm/sq의 고유저항을 가진다. 트렌치는 일반적으로 1.0 내지 2.0 미크론의 깊이를 가진다. 트렌치들 사이의 영역은 그 형태에 기초하여, 메사 또는 트렌치 메사라고 종종 언급된다.

[0025] 에피택셜층 안에는, 하부 부분(204) 및 상부 부분(215) 둘 모두를 포함하는 P-바디 영역이 존재한다. P-바디 영역의 하부 부분(204)의 고유저항은 일반적으로 0.1 내지 3.0 Ohm-cm 범위이다. 낮은 부분(204)은 일반적으로 에피택셜층 안으로 1.0 내지 3.0 미크론의 깊이까지 연장한다. P-바디 영역의 상부 부분(215)은 0.003 내지 0.03 Ohm-cm 범위의 고유저항을 가지며, 일반적으로 에피택셜층의 표면으로부터 0.5 내지 1.0 미크론의 깊이까지 연장한다. 이들 상부 영역(215)은 디바이스 조야성(ruggedness)을 향상시키기 위하여 제공된다. 도시된 다른 P-타입 영역(204t)은 트렌치 세그먼트의 종단과 관련된다.

[0026] 도 2a의 트렌치 DMOS 디바이스는 또한 N+ 소스 영역(212)을 포함하며, 이 영역(212)은 일반적으로 에피택셜층

표면으로부터 0.3 내지 0.45 마이크론의 깊이까지 연장하고 또한 일반적으로 0.001 내지 0.003 Ohm-cm의 고유저항을 가진다. 전기 접촉이 금속 소스 접점(218s)을 경유하여 N+ 소스 영역과 이루어진다.

- [0027] 별개의 금속 게이트 접점(218g)은, 트렌치 DMOS 셀 영역의 외부에 배치되어 있는 폴리실리콘(211g)의 게이트 줄기(runner) 부분에 연결된다. 좌측 BPSG(borophosphosilicate glass) 영역(216)은, 게이트 전극과 연결되어 있는 폴리실리콘 영역(211)이 소스 접점(218s)을 통해 N+ 소스 영역(212)으로 단락되는 것을 방지한다.
- [0028] 금속 드레인 접점(218d)이 또한 트렌치 DMOS 셀 영역의 외부에 제공된다. 소스 접점(218s)과 게이트 접점(218g)와 유사한 방식으로 드레인 접점(218d)을 디바이스의 상단에 배치시킴으로써, 다른 전자 컴포넌트와의 용이한 상호 연결성이 개선된다.
- [0029] 금속 드레인 접점(218d)은 N+ 기판(200)에 전기적으로 연결된 상태로 배치된다. 이러한 연결을 이루기 위해 본 발명과 관련하여 몇개의 방법이 고려된다.
- [0030] 예컨대, 도 2a에 도시된 실시예에서, 이 연결은 깊은 n+ 영역(219)을 통해 이루어져 있다. 바람직하게 이 깊은 n+ 영역은 0.001 내지 0.003 Ohm-cm 범위의 고유저항을 가진다. 이 깊은 n+ 영역은 금속 드레인 접점(218d)으로부터 N+ 기판(200)에까지 연장한다. 비록 도시된 바람직한 실시예에서는 깊은 n+ 영역(219)이 에피택셜층(202)을 완전히 통과하여 연장하고 있으나, 디바이스의 설계 요구조건에 따라, 다른 실시예에서 깊은 n+ 영역(219)은 에피택셜층(202)을 부분적으로만 연결할 것이다.
- [0031] 본 발명의 다른 실시예가 도 2b에 도시되는데, 본 실시예에서는 깊은 n+ 영역이 아니라 깊은 금속 영역을 포함한다. 본 실시예는 깊은 n+ 영역(219)이 더 이상 이용되지 않는다는 점을 제외하면 도 2a의 실시예와 본질적으로 동일하다. 그 대신에 본 실시예에서는 금속 드레인 접점(218d)이 에피택셜층(202)을 통과하여 N+ 기판(200)과 접촉되도록 연장된다.
- [0032] 또한 다른 실시예들도 고안될 수 있다. 예컨대 몇몇 실시예들에 있어서, 도 2a의 깊은 n+ 영역(219)은 도핑된 폴리실리콘 영역으로 대체된다.
- [0033] 이러한 대안적인 실시예는, 에피택셜층의 표면에서부터 아래 기판층까지의 거리 중 적어도 일부에 걸쳐 상대적으로 낮은 고유저항의 통로를 제공하는 깊은 영역이 형성된다는 공통적인 양상을 가진다.
- [0034] 일반적으로 이 깊은 영역은 0.01 Ohm-cm 이하, 바람직하게는 0.001 Ohm-cm 이하의 고유저항을 가진다.
- [0035] 깊은 영역은 이러한 기준에 부합하는 낮은 고유저항 물질의 조합으로 구성될 수 있다. 예컨대 깊은 영역은 도핑된 단결정 실리콘, 도핑된 다결정 실리콘, 및/또는 금속의 조합으로 구성될 수 있다.
- [0036] 깊은 영역은 일반적으로 에피택셜층의 상부 표면으로부터 기판까지의 거리의 적어도 20% 까지 연장한다. 깊은 영역은 내내(all the way) 기판까지(즉 상기 거리의 100%) 연장하는 것이 바람직하다.
- [0037] 비록 도 2a 및 도 2b에서 하나의 단일 깊은 영역이 도시되어 있으나, 여러 개의 깊은 영역이 제공될 수 있는데, 이러한 여러개의 깊은 영역은 하나의 단일 드레인 접점을 통해 단락되는 것이 바람직하다.
- [0038] 본 발명의 일실시예에 따라, 이제 도 3a 내지 도 3f를 참조하여 도 2a의 트렌치 DMOS를 제조하는 방법이 기술될 것이다. 이제 도 3a를 참조하면, 먼저 N 도핑된 에피택셜층(202)이 N+ 도핑된 기판(200) 상에서 성장된다. 예컨대 에피택셜층(202)은 6.0 마이크론 두께이며 $3.4 \times 10^{16} \text{ cm}^{-3}$ 의 n-타입 도핑 농도를 가질 수 있고, 한편 N+ 도핑된 기판(200)은 250 마이크론 두께이며 $5 \times 10^{19} \text{ cm}^{-3}$ 의 n-타입 도핑 농도를 가질 수 있다. 그후 적절한 마스크를 사용하여, P-타입 영역(204)이 주입 및 확산에 의해 에피택셜층(202) 내에 형성된다. 예컨대, 에피택셜층(202)은 40 keV 및 $6 \times 10^{13} \text{ cm}^{-2}$ 의 1회주입량의 붕소로 주입될 수 있고, 그후 1150 °C의 온도에서 1.8 마이크론의 깊이로 확산될 수 있다. 그 결과 이루어진 구조는 도 3a에 도시된다.
- [0039] 그후 마스크 산화물층(미도시됨)이 예컨대 화학기상증착법에 의해 적층되고, 트렌치 마스크(미도시됨)를 사용하여 패터닝된다. 패터닝된 마스크 산화물층의 개구를 통해 일반적으로 반응성 이온 에칭법에 의해 트렌치가 에칭된다. 본 예에서 트렌치 깊이는 약 2.0 μm 이다. 이러한 트렌치-형성 단계의 결과로서 분리되어 있는 P-타입 영역들(204)이 만들어진다. 이들 P-타입 영역 중 몇몇(204)은 디바이스 셀의 바디 영역에 대응한다. P-타입 영역의 다른 것(204t)은 트렌치 세그먼트의 종단과 관련된다.
- [0040] 그후 깊은 n+ 영역(219)의 형성을 위해 패터닝된 마스크층(미도시됨)이 제공된다. 본 예에서, 깊은 n+ 영역

(219)은 주입 및 확산 공정을 통해 형성된다. 예컨대 깊은 n+ 영역(219)은 10^{16} cm^{-2} 의 1회주입량으로 인이 주입되어 1150 °C의 온도에서 3 내지 7 마이크론의 깊이까지 확산될 수 있다. 이 확산 단계는 게이트 산화물층뿐만 아니라 임의의 희생 산화물층의 후속 형성과 연계되어 수행될 수 있다.

[0041] 이어지는 주입 도펀트들의 분포에 영향을 끼치지 않도록 하기 위하여, 비록 n+ 영역(219)이 도시된 공정에서 상대적으로 일찍 형성되지만, n+ 영역(219)이 제조 공정 중에 임의의 갯수의 지점에서 도입될 수 있다는 점을 당업자라면 알 것이다.

[0042] 그후 패터닝된 마스크 산화물층 및 임의의 희생 산화물은 제거되고 그 대신 산화물층(210)이, 일반적으로 950 내지 1050°C에서 건식 산화법(dry oxidation)에 의해 성장된다. 산화물층(210)의 부분들은 최종적으로 완성된 디바이스를 위한 게이트 산화물 영역을 형성한다. 산화물층(210)에 대해서는 500 내지 700 옹스트롬 범위의 두께가 일반적이다. 그 결과로 생기는 구조는 도 3b에 도시되어 있다.

[0043] 그후 폴리실리콘층으로, 일반적으로 CVD에 의해, 상기 구조의 표면이 덮히고 트렌치가 채워진다. 폴리실리콘은 일반적으로 20 W/sq 정도로 그 고유저항을 줄이기 위해 일반적으로 N-타입 도핑된다. N-타입 도핑은 예컨대 염화인을 사용하여 CVD 공정 동안에 또는 비소나 인을 가지고 주입해서 수행될 수 있다. 그후 폴리실리콘층은 예컨대 반응성 이온 에칭법에 의해 에칭된다. 트렌치 세그먼트 내의 폴리실리콘층은, 에칭 균일성 고려때문에 통상적으로 약간 과-에칭되며, 이렇게 형성된 폴리실리콘 게이트 영역(211)은 일반적으로 에피택셜층(204)의 인접된 표면 아래에서 0.1 내지 0.2 마이크론인 상부 표면을 가진다. 중단 영역 내에는 우측 트렌치의 폭에 기인하여 오직 작은 잔여 폴리실리콘 영역(211r)만이 남는다. 게이트 줄기 영역 내에 폴리실리콘 영역(211g)을 보존하기 위하여 패터닝된 마스크층(205)이 에칭 공정 동안에 사용된다. 그 결과 만들어진 구조는 도 3c에 도시된다.

[0044] 그후 패터닝된 마스크층(205)이 제거되고, 노출된 산화물층(210)은 주입물 산화물을 형성하도록 약 100 옹스트롬의 두께로 습식 에칭된다. 상기 주입물 산화물은 후속하는 소스 영역의 형성 동안에 주입물-채널링 효과, 주입물 피해, 및 증속속 오염을 회피한다. 그후 패터닝된 마스크층(213)이 제공되고, n+ 소스 영역(212)이 주입 및 확산 공정을 통해 셀 영역 안에서 에피택셜층의 상부 부분들에 형성된다. 동시에 n+ 영역(212)도 역시 깊은 n+ 영역(219)의 면적 안에 형성되며, 후속적인 점점 고유저항을 개선시킬 수 있다. 예컨대 n+ 영역(212)은 $1 \times 10^{16} \text{ cm}^{-2}$ 의 1회주입량으로 비소를 이용하여 주입되고 950 °C의 온도에서 0.4 마이크론의 깊이로 확산될 수 있다. 그 결과 만들어진 구조가 도 3d에 도시된다.

[0045] 패터닝된 마스크층(213)이 제거된다. 그후 추가적인 마스크(미도시됨)가 형성되고, n+ 영역(212)들 사이에서 P-바디 상부 부분(215)(p+ 영역)들을 형성하기 위하여 붕소의 주입 및 확산 공정이 이어진다. 그후 전체 구조 위로 예컨대 PECVD 공정에 의해, BPSG(borophosphosilicate glass)층이 형성되고, 상기 구조에는 패터닝된 포토레지스트층(미도시됨)이 제공된다. 그후 상기 구조는 상기 구조의 선택된 부분들 위에서 BPSG 및 산화물층(210)을 제거하기 위하여 일반적으로 반응성 이온 에칭 공정에 의해 에칭되고, 환류(reflow) 이후 BPSG 영역(216)가 된다. 그후 패터닝된 포토레지스트층이 제거되어 도 3e의 단면도가 된다.

[0046] 마지막으로, 패터닝된 포토레지스트층(미도시됨)이 제공되고 점점층(예컨대 알루미늄과 같은 금속 점점층)이 적층되어, 소스 점점(218s), 게이트 점점(218g) 및 드레인 점점(218d)을 형성한다. 포토레지스트층의 제거는 도 3f의 단면이 생기도록 한다. 도시된 바와 같이, 소스 점점(218s)은 n+ 소스 영역(212)과 접촉하고, 게이트 점점(218g)은 폴리실리콘 게이트 줄기(211)에 접촉하고, 드레인 점점(218d)은 깊은 n+ 영역(219)을 통해 N+ 기판(200)에 접촉한다. 모든 점점(218s, 218g, 218d)은 디바이스의 상부 표면 상에 존재한다.

[0047] 디바이스의 상부 표면으로부터 N+ 기판(200)과 전기 접속을 형성하기 위한 다른 옵션들이 이용가능하다. 예컨대 깊은 n+ 영역(219)은 위의 도 3b에서와 같이 형성될 필요는 없다. 그 대신, 도 3d에서 논의된 바와 같은 n+ 영역(212)을 제공한 후, 패터닝된 마스크층(217)의 형태로 에칭 고유저항층이 제공될 수 있다. 그후 상기 구조는 예컨대 반응 이온 에칭에 의해 에칭되어 도 4a에 도시된 깊은-트렌치 구조를 생성할 수 있다. 물론 깊은 트렌치 생성은 원하는 경우 해당 공정의 어느 곳에서도 수행될 수 있다.

[0048] 본 특정예를 계속 설명하면, 그후 패터닝된 마스크층(213, 217)이 제거되고, 상기 절차들이 이어져(예컨대 p+ 영역(215)의 주입 및 확산 그리고 BPSG 영역(216)의 적층 및 패터닝) 도 4b와 같은 구조를 생성한다.

[0049] 마지막으로, 깊은 트렌치를 채우기 위해 사용되는 하나 이상의 추가적인 금속 적층 단계들을 제외하고, 금속 접점도 역시 상기와 같이 형성되어 도 4c의 구조와 같은 구조로 된다.

[0050] 또 다른 옵션이 고려된다. 예컨대 깊은 트렌치를 금속으로 채우는 대신에, 폴리실리콘으로 채우고 드레인 점점

의 증착이 이어질 수 있다. 폴리실리콘은 예컨대 상기 구조를 폴리실리콘으로 덮음(및 깊은 트렌치를 채움)으로써 제공될 수 있다. 그후 폴리실리콘은 깊은 트렌치 내의 폴리실리콘만이 남겨지도록 에칭될 수 있다. 후속적으로 상기와 같이 드레인 접점이 적층된다.

[0051] 비록 본 명세서에서 여러 실시예들이 구체적으로 도시되고 기술되었지만, 본 발명의 수정 및 변형은 상기한 교시에 의해 커버되며 본 발명의 사상 및 의도된 기술범위로부터 벗어나지 않고 첨부된 청구범위의 범위 내에 존재한다는 것을 알 것이다. 일례로서 본 발명의 방법은 여러 반도체 영역들의 도전성 타입들이 본 명세서에서 기술된 도전성 타입에서 역전되어 있는 구조를 형성하기 위해서 사용될 수 있다.

산업상 이용 가능성

[0052] 상기한 바와 같은 본 발명은 트렌치 DMOS 디바이스 등에 이용할 수 있다.

도면의 간단한 설명

[0017] 도 1은 종래 기술의 트렌치 DMOS 트랜지스터 디바이스를 개략적으로 도시하는 부분적인 단면도.

[0018] 도 2a는 본 발명의 일 실시예에 따라, 트렌치 DMOS 트랜지스터 디바이스를 개략적으로 도시하는 부분적인 단면도.

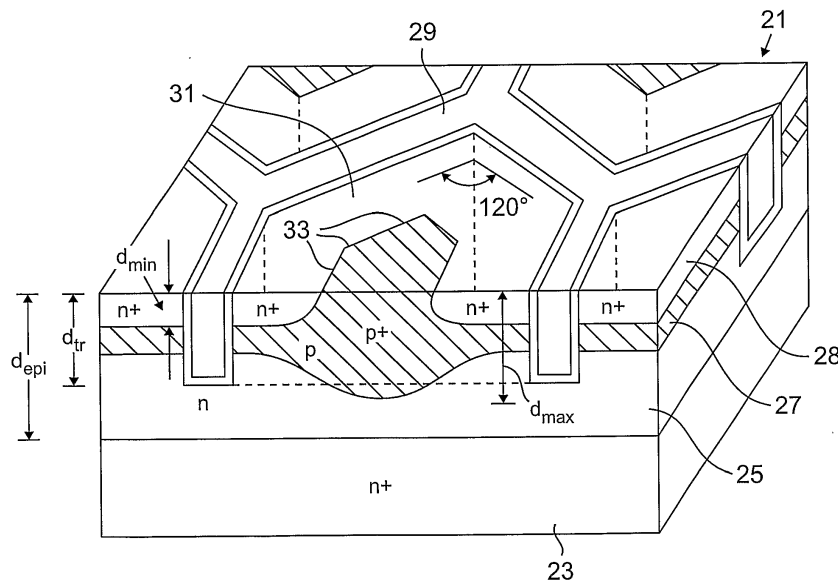
[0019] 도 2b는 본 발명의 일 실시예에 따라, 다른 트렌치 DMOS 트랜지스터 디바이스를 개략적으로 도시하는 부분적인 단면도.

[0020] 도 3a 내지 도 3f는 본 발명의 일 실시예에 따라, 도 2a의 트렌치 DMOS 트랜지스터 디바이스를 제조하는 방법을 개략적으로 도시하는 부분적인 단면도들.

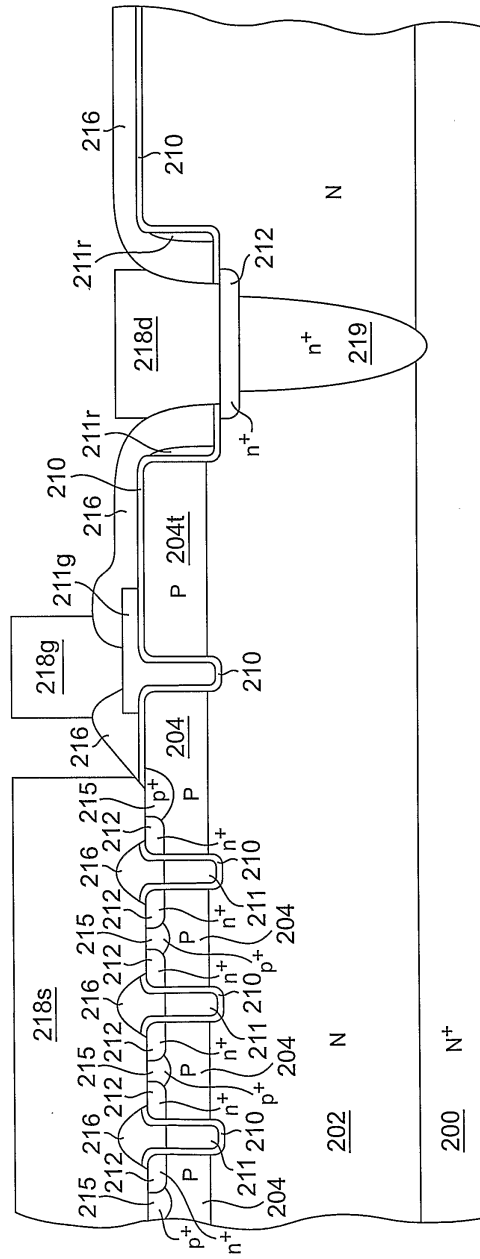
[0021] 도 4a 내지 도 4c는 본 발명의 일 실시예에 따라, 도 2b의 트렌치 DMOS 트랜지스터 디바이스를 제조하는 방법을 개략적으로 도시하는 부분적인 단면도들.

도면

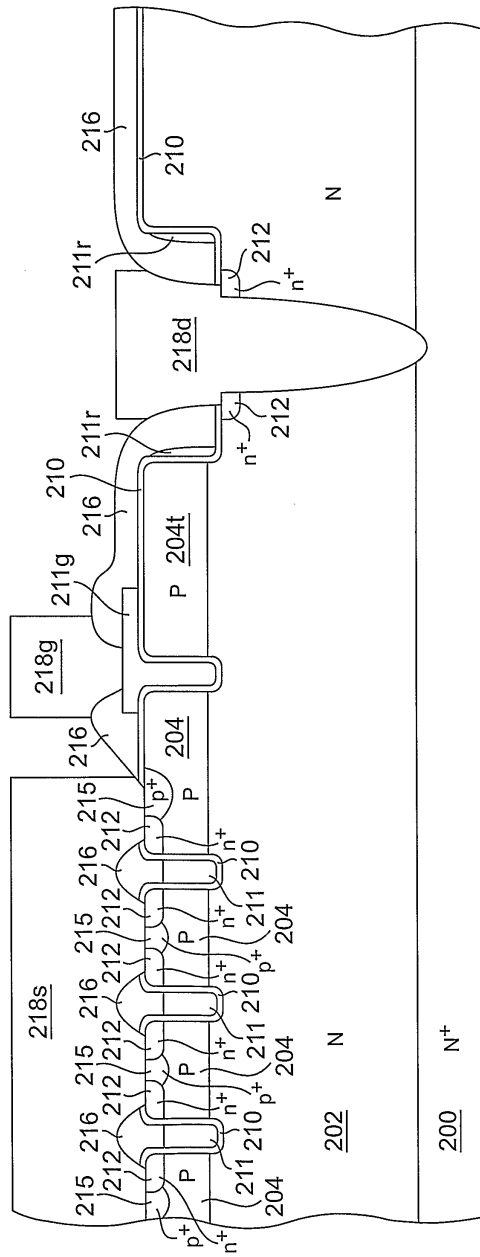
도면1



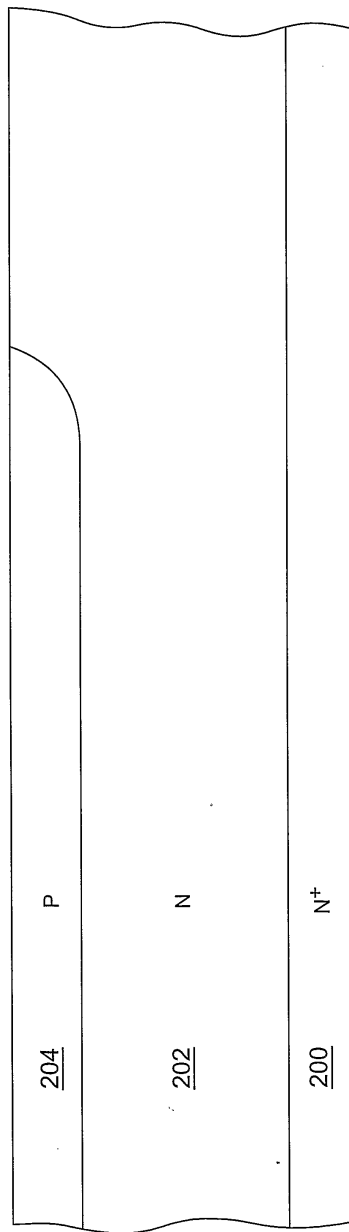
도면2a



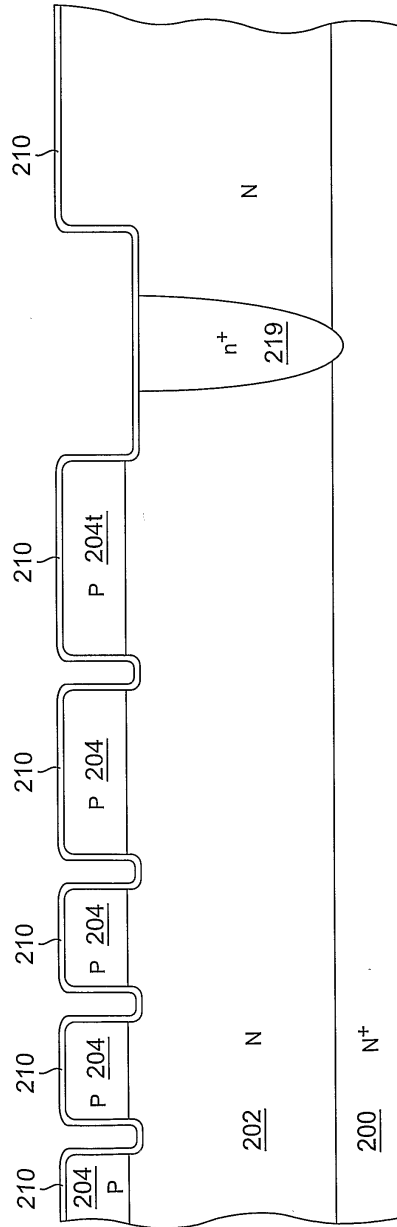
도면2b



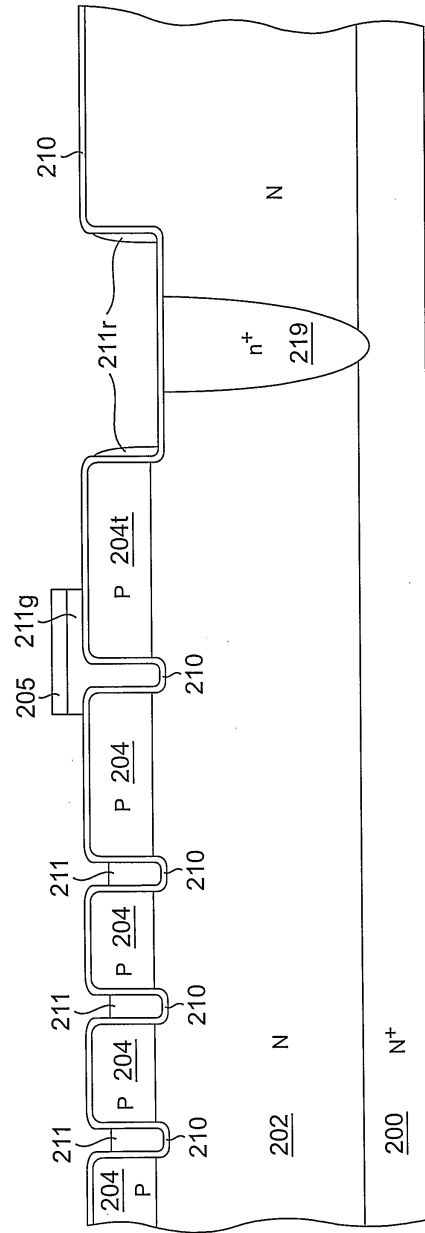
도면3a



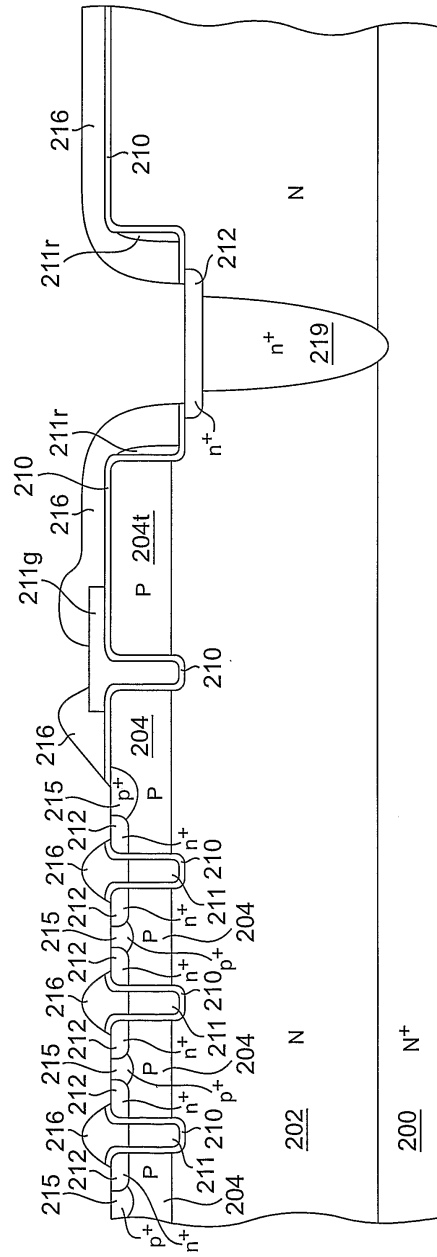
도면3b



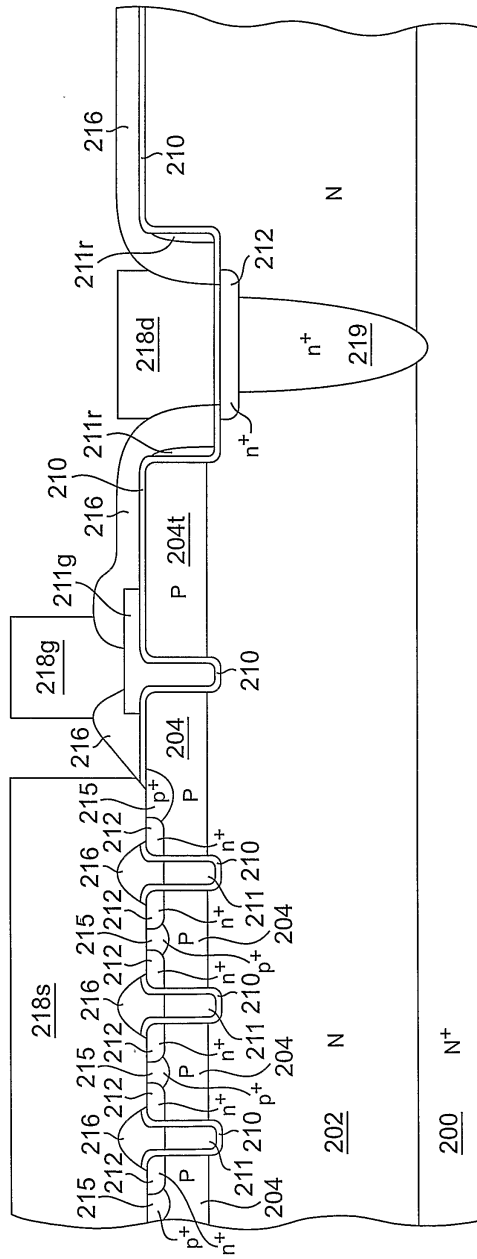
도면3c



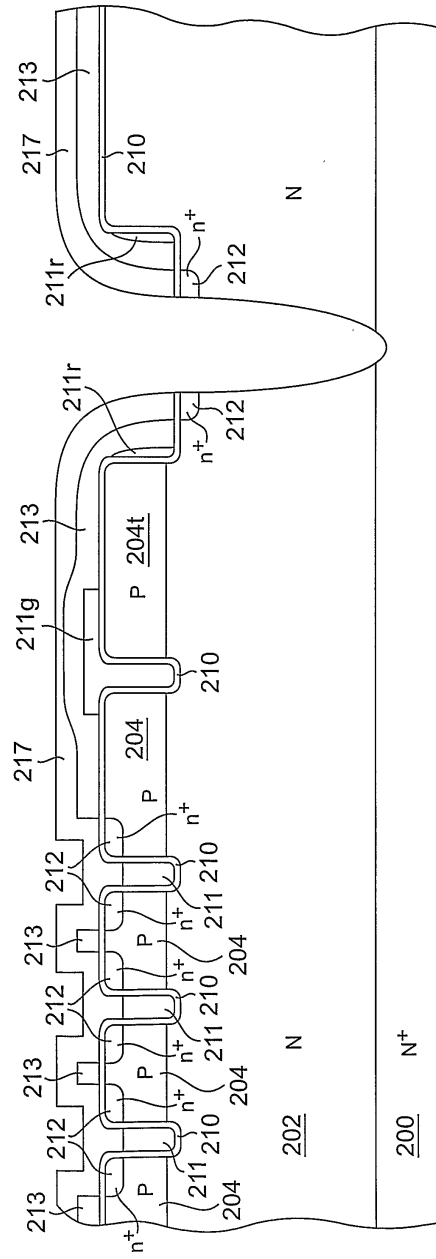
도면3e



도면3f



도면4a



도면4b

