



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I626698 B

(45)公告日：中華民國 107 (2018) 年 06 月 11 日

(21)申請案號：104119398

(22)申請日：中華民國 104 (2015) 年 06 月 16 日

(51)Int. Cl. : H01L21/56 (2006.01)

H01L23/31 (2006.01)

(30)優先權：2014/07/03 美國

14/323,077

(71)申請人：英特爾股份有限公司(美國) INTEL CORPORATION (US)
美國(72)發明人：杜貝 曼尼許 DUBEY, MANISH (IN)；迪亞斯 拉傑德拉 DIAS, RAJENDRA C.
(US)；納迪 派翠克 NARDI, PATRICK (US)；伍德漢 大衛 WOODHAMS,
DAVID (US)

(74)代理人：林志剛

(56)參考文獻：

US 2010/0078791A1

US 2011/0260338A1

審查人員：于若天

申請專利範圍項數：18 項 圖式數：8 共 34 頁

(54)名稱

電子封裝以及連接第一晶粒至第二晶粒以形成電子封裝的方法

ELECTRONIC PACKAGE AND METHOD OF CONNECTING A FIRST DIE TO A SECOND DIE TO
FORM AN ELECTRONIC PACKAGE

(57)摘要

某些實施例關於電子封裝。電子封裝包含基底及附著至基底的晶粒。電子封裝又包含導因於毛細作用而位於晶粒與基底之間的填充膠。支撐構件圍繞晶粒。支撐構件在所有的晶粒邊緣上提供相同有利的圓角幾何形狀。因此，支撐構件在所有晶粒邊緣上提供類似的應力縮減。其它實施例關於電子封裝的製造方法。方法包含：將晶粒附著至基底，以及，使用毛細作用，將填充膠插入於晶粒與基底之間。方法又包含將支撐構件圍繞晶粒設置以致於支撐構件圍繞晶粒。

Some embodiments relate to an electronic package. The electronic package includes a substrate and a die attached to the substrate. The electronic package further includes an underfill positioned between the die and the substrate due to capillary action. A support surrounds the die. The support provides the same beneficial fillet geometry on all die edges. Therefore, the support provides similar stress reduction on all die edges. Other embodiments relate to method of fabricating an electronic package. The method includes attaching a die to a substrate and inserting an underfill between the die and the substrate using capillary action. The method further includes placing a support around the die such that the support surrounds the die.

指定代表圖：

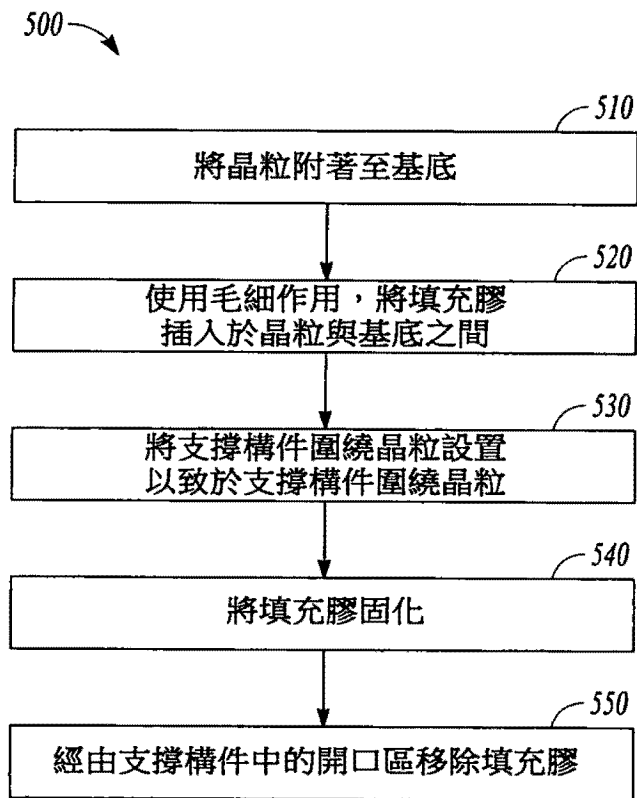


圖 5

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

電子封裝以及連接第一晶粒至第二晶粒以形成電子封裝的方法

Electronic package and method of connecting a first die to a second die to form an electronic package

【技術領域】

此處說明的實施例大致上關於電子封裝以及連接第一晶粒至另一晶粒以形成電子封裝的方法。

【先前技術】

使電晶體尺寸最小化以跟上莫爾定律持續地要求縮減第一級互連 (FLI) 間距及凸塊尺寸。此外，使用進階的介電質通常造成在矽中使用低 k 及相當低 k 的材料。

這些因素的結合造成對組裝期間的應力及熱機械應力更高的靈敏度。因此，隨著各新技術的進階，降低熱機械應力的解決之道變成更加的重要。

在毛細填充組裝製程期間，設計者需要將用於環氧樹脂的禁入區 (KOZ) 併入，以允許環氧樹脂設置於晶粒的至少一側上 (對於更大的晶粒可能是一側以上)。併入 KOZ 的需求典型上會增加電子封裝的整體形態因數。

以往降低熱機械應力的解決之道是使用毛細填充

(CUF) 製程。典型的 CUF 製程會圍繞晶粒邊緣形成圓角，以助於應力降低。為了取得更緊密的 KOZ，通常會要求增加的步驟（例如物理或化學障壁）。

另一習知的解決之道使用模製填充（ MUF ）製程。MUF 製程通常用以對薄的封裝提供應力縮減以及翹曲控制。

應力有關的故障在大的晶粒封裝中典型上是更關鍵的（及主要的）。舉例而言，伺服機及倒裝片球柵陣列（FCBGA）封裝通常是更貴的。此外，FCBGA 封裝通常用於極端條件下的應用（例如軍事應用），其中，可靠度故障必須極度的低。

大的電子封裝也通常苦於其它型式的故障。舉例而言，在更大的封裝中，通常會發生層間介電質脫層。此外，在更大的封裝中通常發生圓角斷裂及鍍材塗料斷裂。

熱機械模型化顯示圓角幾何形狀在應力縮減中扮演重要的角色。圖 1 顯示在典型的處理器上最大的 UF 及 SR 應力。圖 1 顯示高圓角比較低圓角提供 50%更低的應力。

目前的 CUF 製程典型上僅控制 CUSP。CUSP 通常取決於環氧樹脂量。當使用更多的環氧樹脂時，對於固定大小的 KOZ 會產生更大的圓角。目前的 CUF 製程的一缺點是它們通常無法提供經過修整的圓角幾何形狀。

【圖式簡單說明】

圖 1A-1E 顯示習知的圓角幾何形狀相對於包含在此處

揭示的某些電子封裝及方法中的圓角幾何形狀實例之測得的應力比較。

圖 2 顯示舉例說明的電子封裝之爆炸視圖。

圖 3A 顯示支撐構件圍繞晶粒設置前圖 2 中所示的晶粒及支撐構件之上視圖。

圖 3B 顯示填充膠被固化以將支撐構件固定於填充膠中之後圖 3A 中所示的電子封裝 10 的剖面視圖。

圖 4A 及 4B 顯示支撐構件包含倒角內底部邊緣之另一舉例說明的電子封裝。

圖 4C 及 4D 顯示支撐構件包含通道及外表面之另一舉例說明的電子封裝。

圖 5 是流程圖，顯示圖 2-4 中所示的舉例說明的電子封裝的製造方法。

圖 6A 是電子封裝的側視圖。

圖 6B 是圖 6A 中所示的電子封裝的上視圖。

圖 6C 顯示包含複數個電子封裝的晶圓。

圖 7 是流程圖，顯示圖 6A-6C 中所示的舉例說明的電子封裝的製造方法。

圖 8 是方塊圖，顯示將此處所述的至少一電子封裝及/或方法併入之電子裝置的方塊圖。

【發明內容及實施方式】

下述說明及圖式充份地顯示具體實施例以使習於此技藝者能夠實施它們。其它實施例會將結構、邏輯、電氣、

處理、及其它改變併入。某些實施例的部份及特點可以包含於其它實施例的部份及特點中或替代它們。申請專利範圍中揭示的實施例涵蓋這些請求項所有可取得的均等範圍。

例如「水平」等本申請案中使用的方向術語係界定無論晶圓或基底的方向為何都會與晶圓或基底的一般平面或表面相平行的平面。「垂直」一詞意指與上述界定的水平相垂直的方向。例如「on（在...上）」、「側」（例如在「側壁」中）、「較高」、「較低」、「在...之上」、及「在...之下」等前置詞係被定義為無論晶圓或基底的方向為何，一般平面或表面是在晶圓或基底的上表面上。

此處所述的舉例說明的電子封裝及方法可以提供降低電子封裝中的應力之優良的圓角幾何形狀。圖 1A-1E 顯示用於習知的圓角幾何形狀相對於包含在此處所述的某些電子封裝及方法中的舉例說明的圓角幾何形狀之測得的應力比較。

如圖 1 所示，包含在此處所述的某些電子封裝及方法中的舉例說明的圓角幾何形狀可以在 SR 及 UF 中取得接近 100%應力降低。

圖 1A 顯示此處所述的電子封裝及方法中提出的舉例說明的圓角幾何形狀。圖 1B 顯示具有 1 密爾的 CUSP 之高圓角幾何形狀。圖 1C 顯示具有 11 密爾的 CUSP 之低圓角幾何形狀。

在此處所述的某些電子封裝及方法的形式中，配合

CUF 製程，使用半固化環氧樹脂框切口（請參見圖 2）。在某些實施例中，CUF 製程中的填充膠可以用以保護電子封裝的 FLI 區。此外，在 CUP 製程中的填充膠可以用以將環氧樹脂「膠合」於適當處。此處所述的電子封裝及方法可以提供應力縮減及更緊密的 KOZ。

圖 3A 及 3B 顯示舉例說明的電子封裝 10。電子封裝 10 包含基底 11 和附著於基底 11 的晶粒 12。電子封裝 10 又包含因毛細作用而位於晶粒 12 與基底 11 之間的填充膠 13。

支撐構件 14 圍繞晶粒 12。支撐構件 14 在所有的晶粒 12 邊緣上提供相同有利的圓角幾何形狀。因此，支撐構件 14 在所有晶粒邊緣上提供類似的應力縮減。

在圖 3A & 3B 中所示的舉例說明的形式中，支撐構件 14 具有實質上均勻的剖面。應注意，可以考慮專用的支撐構件，其中，假使晶粒 12 的邊緣具有更高的局部化應力時，則支撐構件 14 可以設計成在晶粒 12 的一邊緣上提供更高的應力餘裕。

在某些形式中，支撐構件 14 可以是使用現有的工業製程（例如沖壓、擠製、輥壓、等等）製造的環氧樹脂塊。舉例而言，可以藉由使用線及/或水鋸，從固化的填充膠之固體塊切割出環氧樹脂塊。

在電子封裝 10 的某些形式中，晶粒 12 係接合至基底 11 的倒裝片。晶粒 12 接合至基底 11 的方式部份地取決於製造電子封裝 10 的成本、製造考量、及有關的功能

（在其它因素之外）。

應注意，填充膠 13 可以將支撐構件 14 固定於基底 11 及/或晶粒 12。支撐構件 14 是否固定於基底 11 及/或晶粒 12 之決定是部份地根據電子封裝 10 中用的材料形式及成份以及相關的製造成本（在其它因素之外）。

填充膠 13 由環氧樹脂類材料形成、或是現在已知或未來發現的任何材料形成。用於填充膠 13 的材料型式將部份地取決於與電子封裝 10 的製造相關的成本、製造考量、及功能（在其它因素之外）。

圖 3A 顯示支撐構件 14 設置成圍繞晶粒 12 之前，晶粒 12 及支撐構件 14 的上視圖。圖 3B 顯示填充膠 13 被固化以將支撐構件 14 固定於填充膠 13 中之後的電子封裝 10 之剖面視圖。在支撐構件 14 與填充膠 13 之間有強力的介面，以致於與電子相關的可靠度擔憂可以降低。

圖 4A 及 4B 顯示支撐構件 14 包含內底部邊緣 15A 及外底部邊緣 15B 之另一舉例說明的電子封裝 10。內底部邊緣 15A 被倒角以便當支撐構件 14 圍繞晶粒 12 安裝時容納填充膠 13。

在圖 4A 及 4B 中所示的電子封裝 10 的舉例說明的形式中，支撐構件 14 包含內上緣 16A 及外上緣 16B。內上緣 16A 包含通道 17，當支撐構件 14 圍繞晶粒 12 安裝時，通道 17 會用以容納在晶粒 12 與支撐構件 14 之間向上流動的過量填充膠 13。

當支撐構件 14 圍繞晶粒 12 安裝時由支撐構件 14 施

加至填充膠 13 的力量會將填充膠 13 在晶粒 12 與支撐構件 14 之間的區域中向上推。過量的填充膠 13 會被儲存於通道 17 中以避免填充膠 13 反轉至晶粒 12 上。

圖 4C 及 4D 顯示支撐構件 14 包含內下緣 18A 及外下緣 18B 之另一舉例說明的電子封裝 10。支撐構件 14 又包含通道 19 及外表面 25。通道 19 從支撐構件 14 的內下緣 18A 延伸至支撐構件 14 的外表面 25，以致於在支撐構件 14 圍繞晶粒 12 安裝後，填充膠 13 可以從外表面 25 流經通道 19 而至內下緣 18。

在圖 4C 及 4D 顯示之舉例說明的形式中，支撐構件 14 可在 CUF 製程之前圍繞晶粒 12 設置。在支撐構件 14 中的通道 19 可以用以導引填充膠 13 流至支撐構件 14 的內下緣 18A（亦即，晶粒 12 的 FLI 區）。在施加填充膠 13 之前，將支撐構件 14 圍繞晶粒 12 設置可以降低填充膠 13 流出。

應注意，通道 19 可以從下述之上的支撐構件 14 的外表面 25 延伸：（i）支撐構件 14 的一側上；（ii）支撐構件 14 的多側上；或（iii）支撐構件 14 的所有側上。此外，支撐構件 14 在支撐構件 14 的一、某些、或所有側上包含多個通道 19。通道 19 的數目以及包含通道 19 的側之數目可以部份地取決於電子封裝 10 中使用的材料型式及成分以及相關製造成本（在其它因素之外）。

圖 5 是流程圖，顯示電子封裝 10（請參見圖 2 及 3）的製造方法 [500]。方法 [500] 包含 [510] 將晶粒 12 附著至

基底 11 以及[520]使用毛細作用，將填充膠插入於晶粒 12 與基底 11 之間。

方法[500]又包含[530]將支撐構件 14 圍繞晶粒 12 設置以致於支撐構件 14 圍繞晶粒 12。應注意，當基底 11 包含基準標誌（未顯示）時，特別是在大量製程中，支撐構件 14 更容易圍繞晶粒 12 設置。

在方法[500]的某些形式中，[510]將晶粒 12 附著至基底 11 可以包含使用倒裝片接合而將晶粒 12 附著至基底 11。晶粒 12 附著至基底 11 部份地取決於製造電子封裝 10 相關的成本、製造者量及功能（在其它因素之外）。

此外，[530]將支撐構件 14 圍繞晶粒 12 設置以致於支撐構件 14 圍繞晶粒 12 會包含（i）使用填充膠 13 以將支撐構件 14 附著至晶粒 12；及/或（ii）使用填充膠 13，將支撐構件 14 附著至基底 11。決定支撐構件 14 是否固定於基底 11 及/或晶粒 12 是部份地根據電子封裝 10 中使用的材料型式及成分以及相關製造成本（在其它因素之外）。

方法[500]又包含[540]將填充膠 13 固化。適當的固化處理可以部份地根據電子封裝 10 中使用的材料型式及成分以及相關製造成本（在其它因素之外）。

在方法[500]的某些形式中，[530]將支撐構件 14 圍繞晶粒 12 設置以致於支撐構件 14 圍繞晶粒 12 可在[520]使用毛細作用在晶粒 12 與基底 11 之間插入填充膠之後儘快地完成以及在[540]將填充膠 13 固化之前儘快地完成。在

[520]插入填充膠 13 之後及在[540]固化填充膠 13 之前可以儘快地設置支撐構件 14，以確保支撐構件 14 與填充膠 13 之間有良好的黏著。

方法[500]又包含[550]經由支撐構件 14 中的開口區（請參見例如圖 4A 及 4B）移除某些填充膠 13。舉例而言，支撐構件 14 包含內上緣 16A 及內外上緣 16B。內上緣 16A 包含通道 17，在[530]將支撐構件 14 圍繞晶粒 12 設置以致於支撐構件 14 圍繞晶粒 12 期間，通道 17 可以收納在晶粒 12 與支撐構件 14 之間向上流動的過量填充膠 13。

當支撐構件 14 圍繞晶粒 12 安裝時由支撐構件 14 施加至填充膠 13 的力量會將填充膠 13 在晶粒 12 與支撐構件 14 之間的區域中向上推。在方法[600]的某些形式中，過量的填充膠 13 會被儲存於通道 17 中以避免填充膠 13 反轉至晶粒 12 上。

如圖 4C 及 4D 中所示，在方法[500]的某些形式中，[520]使用毛細作用在晶粒 12 與基底 11 之間插入填充膠 13 可包含從支撐構件 14 的外表面 25 經由支撐構件 14 中的通道 19 而將填充膠 13 插入至支撐構件 14 的下內緣 18A（亦即，晶粒 12 的 FLI 區）。應注意，通道 19 可以從下述之上的支撐構件 14 的外表面 25 延伸：（i）支撐構件 14 的一側上；（ii）支撐構件 14 的多側上；或（iii）支撐構件 14 的所有側上。

此外，支撐構件 14 在支撐構件 14 的一、某些、或所

有側上包含多個通道 19。通道 19 的數目以及包含通道 19 的側之數目可以部份地取決於電子封裝 10 中使用的材料型式及成分以及相關製造成本（在其它因素之外）。

圖 6A 是電子封裝置 20 的側視圖。圖 6B 是圖 6A 中所示的電子封裝置 20 的上視圖。電子封裝 20 包含晶粒 22 及支撐構件 24，支撐構件 24 模製到晶粒 22 以致於支撐構件 24 圍繞晶粒 22。電子封裝 20 又包含基底 21 及填充膠 23，填充膠 23 將晶粒 22 及支撐構件 24 附著至基底 21。導因於填充膠 23 的毛細作用，填充膠 23 在一側上的支撐構件 24 及晶粒 22 的結合與另一側上的基底 21 之間延伸。

包含於電子封裝 20 中的晶粒 22 與支撐構件 24 的型式、尺寸及配置將部份地取決於電子封裝 20 的整體所需配置及功能。

在電子封裝 20 的某些形式中，晶粒 22 係接合至基底 21 的倒裝片。晶粒 22 接合至基底 21 的方式將部份地取決於與電子封裝 20 的製造相關的成本、製造考量、及功能（在其它因素之外）。

可以考慮電子封裝 20 的多種形式，其中，基底 21 包含複數個再分佈層（未顯示）及填充膠 23 將晶粒 22 及支撐構件 24 結合附著至形成基底 21 的複數個再分佈層中至少之一。舉例而言，藉由熱壓縮接合，將晶粒 22 附著至複數個再分佈層中之一內的導體。

應注意，藉由現在已知或是未來發現的任何接合方

法，晶粒 22 可附著至複數個再分佈層中之一內的導體。晶粒 22 接合至基底 21 的方式部份地取決於與電子封裝 20 的製造相關的成本、製造考量、及功能（在其它因素之外）。

如同有關電子封裝 10 之上述所述般，在電子封裝 20 中的支撐構件 24 可以具有實質均勻的剖面。應注意，可以考慮專用的支撐構件，其中，假使晶粒 22 的邊緣具有更高的局部化應力時，則支撐構件 24 可以設計成在晶粒 22 的一邊緣上提供更高的應力餘裕。

圖 7 是流程圖，顯示圖 6A-6C 中所示的舉例說明的電子封裝 20 的製造方法 [700]。方法 [700] 包含 [710] 將晶粒 22 模製到支撐構件 24 以致於支撐構件 24 圍繞晶粒 22 以及 [720] 將晶粒 22 及支撐構件 24 設置成相鄰於基底 21。方法 [700] 又包含 [730] 使用毛細作用，將填充膠 23 插入於支撐構件 24 及晶粒 22 的結合與基底 21 之間。

在方法 [700] 的某些形式中，[720] 將晶粒 22 及支撐構件 24 設置成相鄰於基底 21 包含使用倒裝片接合以將晶粒 22 附著至基底 21。晶粒 22 接合至基底 21 的方式部份地取決於與電子封裝 20 的製造相關的成本、製造考量、及功能（在其它因素之外）。

方法 [700] 又包含 [740] 將電子封裝 20 中的填充膠固化。適當的固化處理可以部份地根據電子封裝 20 中使用的材料型式及成分以及相關製造成本（在其它因素之外）。

方法[700]又包含[750]將晶粒 22 與支撐構件 24 的結合從包含複數個電子封裝 20 的晶圓 25 分開，其中，各電子封裝 20 包含晶粒 22 及支撐構件 24。圖 6C 顯示包含複數個電子裝置 20 的晶圓 25。

在方法[700]的某些形式中，藉由切過晶圓 25（例如延著線 26），可以將各電子封裝彼此分開。適當的分離處理可以部份地根據電子封裝 10 中使用的材料型式及成分以及相關製造成本（在其它因素之外）。

此處說明的方法[700]允許單一或多個晶粒 22 與用於後續製造的支撐構件 24 一起製於電子封裝中。舉例而言，藉由使用修改的 eWLB（嵌入式晶圓等級球柵陣列）製程，將晶粒 22 模製至基底 24。

應注意，以修改的 eWLB 製程製造的電子封裝 20 可以適用於高量產製造。此外，當以修改的 eWLB 製程製造電子封裝 20 時，晶粒 22 可以嵌入於形成基底 21 的複數個重分配層中之一中。晶粒 22 嵌入於基底 21 中的程度部份地取決於與電子封裝 20 的製造相關的成本、製造考量、及功能（在其它因素之外）。

填充膠 23 可以由環氧樹脂類材料形成、或是現在已知或未來發現的任何材料形成。用於填充膠 23 的材料型式將部份地取決於與電子封裝 20 的製造相關的成本、製造考量、及功能（在其它因素之外）。

可以考慮方法[700]的其它形式，其中，重複類似的處理（或是處理的一部份）以將增加的晶粒 22 設於相同

基底 21 上。使用倒裝片接合，增加的晶粒 22 可以嵌入於基底 21 中或是附著至基底 21。

簡單總結

在某些形式中，此處所述的電子封裝及方法提供增進的可靠度。舉例而言，可以取得大於 100% 的應力縮減。此外，對於更大的晶粒封裝，可以取得較低的故障率。

應注意，可以取決於各種產品的應力需求而不同地設計環氧樹脂塊。舉例而言，由於使用更好的適當材料以限制濕氣吸收（相較於習知的 CUF/MUF 製程），所以，濕氣吸收可降低。

在某些形式中，此處所述的電子封裝及方法可以經由改良的可靠度及更大的 KOZ 控制而提升成本降低。舉例而言，由於習知的 MUF 製程浪費 95% 的模製材料因而造成不必要的成本，所以，此處所述的電子封裝及方法相較於 MUF 製程可以節省成本。

此外，此處所述的電子封裝及方法僅要求一固化步驟。相較於習知的製程，僅有一固化步驟的需求會降低組裝成本。

相較於習知的電子封裝及方法，此處所述的電子封裝及方法提供更佳的翹曲控制。使此處所述的電子封裝及方法提供更佳的翹曲控制之一因素是在某些形式中，整個基底可以由環氧樹脂塊遮蓋。由於整個基底可以由環氧樹脂塊遮蓋，所以，此處所述的電子封裝及方法可以作為

MUF 的取代。

此外，環氧樹脂塊能夠使用範圍更廣的材料，以致相較於習知的製程，能提升增進的製造力。應注意，某些潛在的材料可以提供更好的翹曲突起控制。在現有的製程中，部份導因於對翹曲突起的高靈敏度，所以 MUF 翹曲預測及控制目前是非常不佳的。

為了更佳地顯示此處揭示的方法及設備，於此提供非限定的實施例清單。

實例 1 包含電子封裝。電子封裝包含：基底；附著至基底的晶粒；及導因於毛細作用而位於晶粒與基底之間的填充膠；以及，圍繞晶粒的支撐構件。

實例 2 包含實例 1 的電子封裝，其中，晶粒係接合至基底的倒裝片。

實例 3 包含實例 1-2 中任一實例的電子封裝，其中，填充膠將支撐構件固定至基底。

實例 4 包含實例 1-3 中任一實例的電子封裝，其中，填充膠將支撐構件固定至晶粒。

實例 5 包含實例 1-4 中任一實例的電子封裝，其中，支撐構件具有實質上均勻的剖面。

實例 6 包含實例 1-5 中任一實例的電子封裝，其中，支撐構件具有內底部邊緣及外底部邊緣，內底部邊緣被倒角以當支撐構件圍繞晶粒安裝時容納填充膠。

實例 7 包含實例 6 的電子封裝，其中，支撐構件具有內上緣及內外上緣，內上緣包含通道以接納當支撐構件圍

繞晶粒設置時在晶粒與支撐構件之間向上流動的過多的填充膠。

實例 8 包含實例 1-7 中任一實例的電子封裝，其中，支撐構件的剖面會改變以致於剖面在晶粒上相對較高的應力之區域中較大以及在晶粒上相對較低的應力之區域中較小。

實例 9 包含實例 8 的電子封裝，其中，支撐構件具有內下緣及外下緣，支撐構件包含通道及外表面，通道從支撐構件的內下緣延伸至支撐構件的外表面，以致於當支撐構件圍繞晶粒安裝時填充膠從外表面流經通道而至內下緣。

實例 10 包含實例 9 的電子封裝，其中，通道從支撐構件的一側上的支撐構件的外表面延伸。

實例 11 包含方法，包括將晶粒附著至基底；使用毛細作用，將填充膠插入於晶粒與基底之間；以及，將支撐構件圍繞晶粒設置以致於支撐構件圍繞晶粒。

實例 12 包含實例 11 的方法，其中，將晶粒附著至基底包含使用倒裝片接合以將晶粒附著至基底。

實例 13 包含實例 11-12 中任一實例的方法，其中，將支撐構件圍繞晶粒設置以致於支撐構件圍繞晶粒包含使用填充膠以將支撐構件附著至晶粒。

實例 14 包含實例 11-13 中任一實例的方法，其中，將支撐構件圍繞晶粒設置以致於支撐構件圍繞晶粒包含使用填充膠以將支撐構件附著至基底。

實例 15 包含實例 11-14 中任一實例的方法，又包含將填充膠固化。

實例 16 包含實例 11-15 中任一實例的方法，又包含經由支撐構件中的開口區而移除填充膠。

實例 17 包含實例 11-16 中任一實例的方法，其中，使用毛細作用將填充膠插入於晶粒與基底之間包含經由從支撐構件的外表面至支撐構件的下內緣之支撐構件中的通道而插入填充膠。

實例 18 包含電子封裝。電子封裝包含：晶粒；支撐構件，模製至晶粒，其中，支撐構件圍繞晶粒；基底；以及，填充膠，導因於支撐構件及晶粒與基底之間的填充膠之毛細作用，填充膠將晶粒及支撐構件附著至基底。

實例 19 包含實例 18 的電子封裝，其中，晶粒係接合至基底的倒裝片。

實例 20 包含實例 18-19 中任一實例的電子封裝，其中，基底包含複數個再分佈層以及填充膠將晶粒及支撐構件附著至形成基底的複數個再分佈層中至少之一。

實例 21 包含實例 18-20 中任一實例的電子封裝，其中，支撐構件具有實質均勻的剖面。

實例 22 包含方法，方法包括：將晶粒模製至支撐構件以致於支撐構件圍繞晶粒；將晶粒及支撐構件設置成相鄰於基底；以及，使用毛細作用，將填充膠插入於基底與晶粒及支撐構件之間。

實例 23 包含實例 22 的方法，其中，將晶粒及支撐構

件設置成相鄰於基底包含使用倒裝片接合以將晶粒附著至基底。

實例 24 包含實例 22-23 中任一項的方法，又包含將填充膠固化。

實例 25 包含實例 22-24 中任一項的方法，又包含將晶粒及支撐構件從包含複數個晶粒及複數個支撐構件的晶圓分離。

本電子裝置、銲材成份、及相關方法的這些及其它實例和特點部份地揭示於詳細說明中。此概述是要提供本標的之非限定性的實例，不是要提供排它的或竭盡性的說明。包含詳細說明以提供系統及方法有關的進一步資訊。

包含使用本揭示中說明的使用電子封裝方法之電子裝置的實施例，以顯示本發明之更高階裝置應用。圖 8 是方塊圖，顯示併有此處所述的至少一電子封裝及/或方法。電子裝置 800 僅為使用本發明的實施例之電子系統的一實例。

電子裝置 800 包含但不限於個人電腦、平板電腦、行動電話、遊戲機、MP3 或其它數位音樂播放器、等等。在本實例中，電子裝置 800 包含系統匯流排 802 以將系統的各种組件耦合。系統匯流排 802 提供電子裝置 800 的各種組件之間的通訊鏈結且可實施成單一匯流排、多匯流排的組合、或是以任何其它適當方式實施。

電子封裝 810 耦合至系統匯流排 802。電子封裝 810 包含任何電路或電路的組合。在一實施例中，電子封裝

810 包含任何型式的處理器 812。如同此處使用般，「處理器」意指任何型式的計算電路但不侷限於微處理器、微控制器、複雜指令集計算（CISC）微處理器、精簡指令集計算（RISC）微處理器、超長指令字（VLIW）微處理器、圖形處理器、數位訊號處理器（DSP）、多核心處理器、或任何其它型式的處理器或處理器電路。

包含於電子封裝 810 中的其它型式的電路為客製電路、特定應用積體電路（ASIC）、等等，舉例而言，用於例如行動電話、平板電腦、膝上型電腦、雙向無線電裝置、及類似的電子系統等無線裝置中的一或更多電路（例如通訊電路 814）。IC 可以執行其它形式的功能。

電子裝置 800 也包含外部記憶體 820，其接著包含一或更多適於特定應用的記憶體元件，例如隨機存取記憶體（RAM）形式的主記憶體 822、一或更多硬碟機 824、及/或一或更多處理例如光碟（CD）、快閃記憶體卡、數位影音光碟（DVD）等可移式媒體 826 之驅動器。

電子裝置 800 也包含顯示裝置 816、一或更多揚音器 818、及鍵盤和/或控制器 830，控制器 830 包含滑鼠、軌跡球、觸控螢幕、語音辨識裝置、或任何其它允許系統使用者對電子裝置 800 輸入及接收資訊之裝置。

本概述是要提供本標的之非限定性實例，不是要提供排它的或竭盡性的說明。包含詳細說明以提供關於關於方法的進一步資訊。

上述詳細說明包含參考形成其一部份的附圖。圖式以

舉例說明的方式顯示可實施本發明之特定實施例。這些實施例於此也稱為「實例」。這些實例包含所示或所述以外的元件。但是，本發明人也慮及僅提供所示及說明的那些元件之實例。此外，本發明人也考慮到使用所示或所述、或是與特定實例（或是其一或更多態樣）有關、或是與此處所示或說明的其它實施例有關（或是其一或更多態樣）的那些元件之任何結合或替代（或其一或更多態樣）之實例。

在本文件中，也使用專利文獻使用的「非定冠詞（a 或 an）」等詞以包含一或一個以上，與「至少之一」或是「一或更多」的任何情形或使用相獨立。在本文獻中，「或」一詞用以意指非排它的，例如，除非另外指明，否則「A 或 B」包含「A 但非 B」、「B 但非 A」、以及「A 及 B」。在本文獻中，使用「包含（including）」、及「其中（in which）」等詞作為「包括（comprising）」及「其中（wherein）」等分別的詞之一般英文的同義。而且，在後附的申請專利範圍中，「包含（including）」及「包括（comprising）」是開放式的，亦即，包含除了請求項中此詞之後列出的元件以外的元件之系統、裝置、物品、成份、配方、或處理仍被視為落在該請求項的範圍之內。此外，在後附的申請專利範圍中，「第一」、「第二」、及「第三」等等僅作為標示，而非要對它們的物件施加數字要求。

上述說明是說明性的而非限制性的。舉例而言，上述

實例（或是其一或更多態樣）可以彼此結合地使用。舉例而言，具有此技藝的一般技術者在審視上述說明之後，可以使用其它實施例。

提供摘要以符合 37.C.F.R. §1.72 (b)，以使讀者能夠快速地確定技術揭示的本質。須瞭解，摘要不應用以解釋或限定申請專利範圍的範圍或意義。

而且，在上述詳細說明中，各式各樣的特點可以分組在一起以使揭示流暢。這不應被解釋為未請求的揭示特點對任何請求項是必要的。反而，發明的標的在於少於特定揭示的實施例之所有特點。因此，後附的申請專利範圍於此併入詳細說明中，以各請求項代表它自己分別的實施例，以及，可以思及這些實施例以不同的結合或更換而彼此結合。應參考後附的申請專利範圍、及伴隨這些請求項的全均等範圍，而決定發明的範圍。

【符號說明】

10：電子封裝

11：基底

12：晶粒

13：填充膠

14：支撐構件

15A：內底部邊緣

15B：外底部邊緣

16A：內上緣

16B：外上緣

17：通道

19：通道

20：電子封裝

21：基底

22：晶粒

23：填充膠

24：支撐構件

25：外表面

800：電子裝置



發明摘要

※申請案號：104119398

※申請日：104年06月16日

※IPC分類：

H01L 21/56 (2006.01)
H01L 23/31 (2006.01)

【發明名稱】(中文/英文)

電子封裝以及連接第一晶粒至第二晶粒以形成電子封裝的方法

Electronic package and method of connecting a first die to a second die to form an electronic package

【中文】

某些實施例關於電子封裝。電子封裝包含基底及附著至基底的晶粒。電子封裝又包含導因於毛細作用而位於晶粒與基底之間的填充膠。支撐構件圍繞晶粒。支撐構件在所有的晶粒邊緣上提供相同有利的圓角幾何形狀。因此，支撐構件在所有晶粒邊緣上提供類似的應力縮減。其它實施例關於電子封裝的製造方法。方法包含：將晶粒附著至基底，以及，使用毛細作用，將填充膠插入於晶粒與基底之間。方法又包含將支撐構件圍繞晶粒設置以致於支撐構件圍繞晶粒。

【 英文 】

Some embodiments relate to an electronic package. The electronic package includes a substrate and a die attached to the substrate. The electronic package further includes an underfill positioned between the die and the substrate due to capillary action. A support surrounds the die. The support provides the same beneficial fillet geometry on all die edges. Therefore, the support provides similar stress reduction on all die edges. Other embodiments relate to method of fabricating an electronic package. The method includes attaching a die to a substrate and inserting an underfill between the die and the substrate using capillary action. The method further includes placing a support around the die such that the support surrounds the die.

圖式

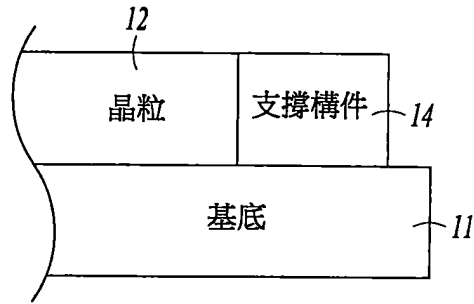


圖 1A

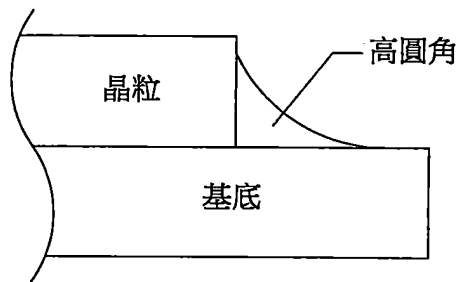


圖 1B
(先前技術)

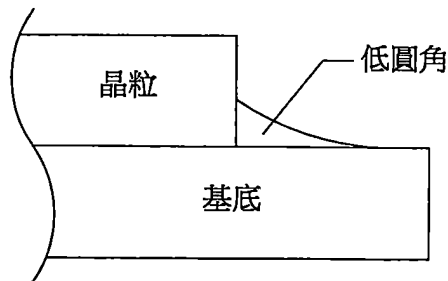


圖 1C
(先前技術)

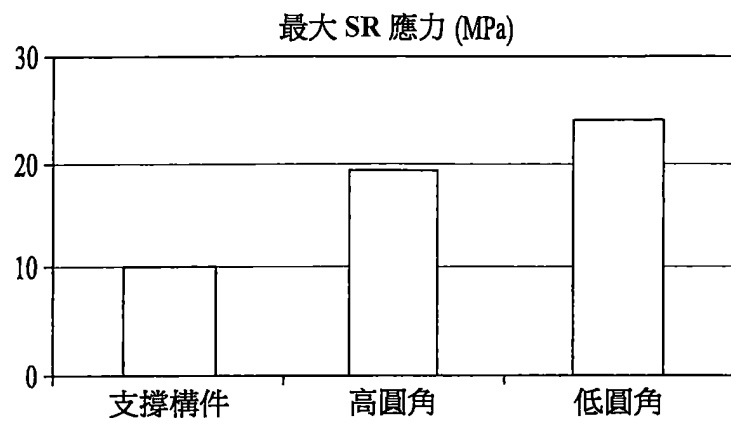


圖 1D

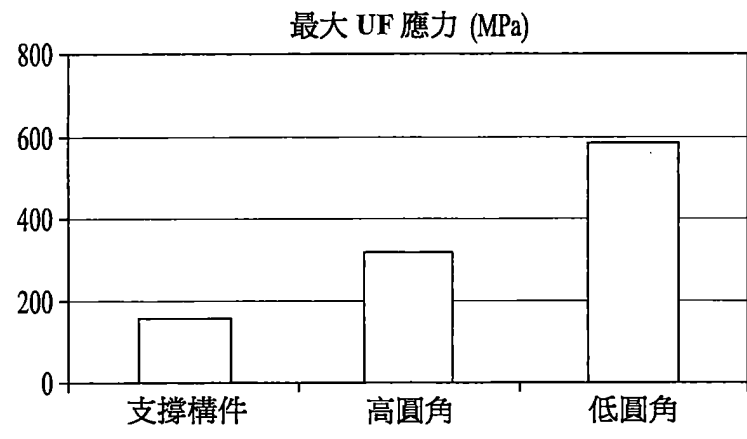


圖 1E

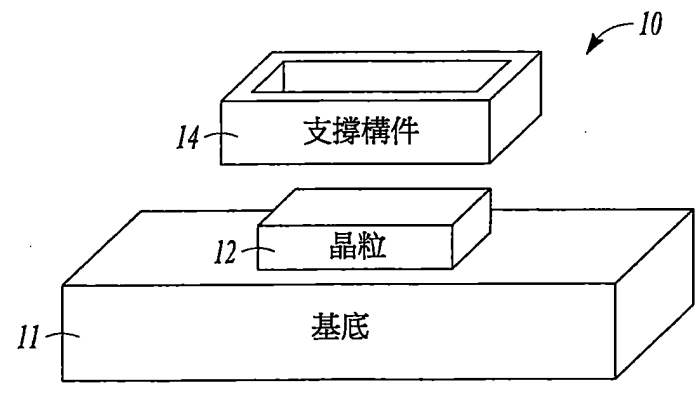


圖 2

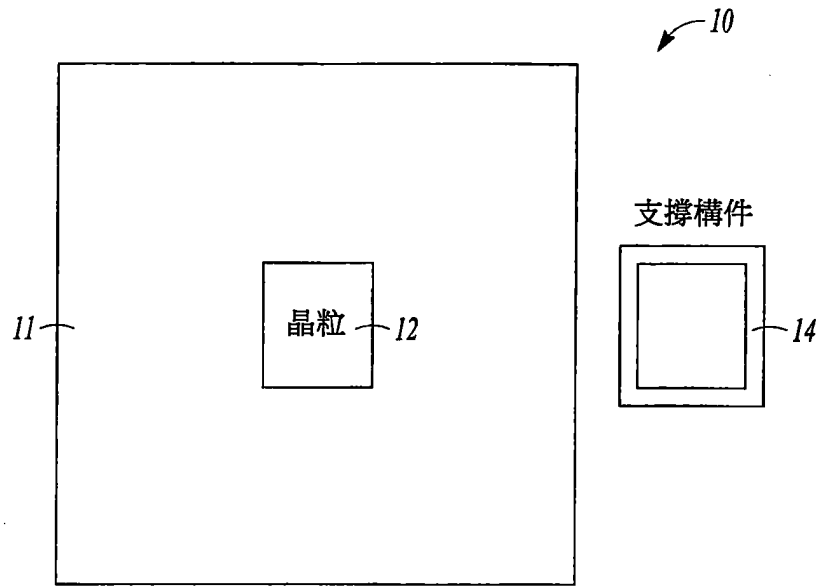


圖 3A

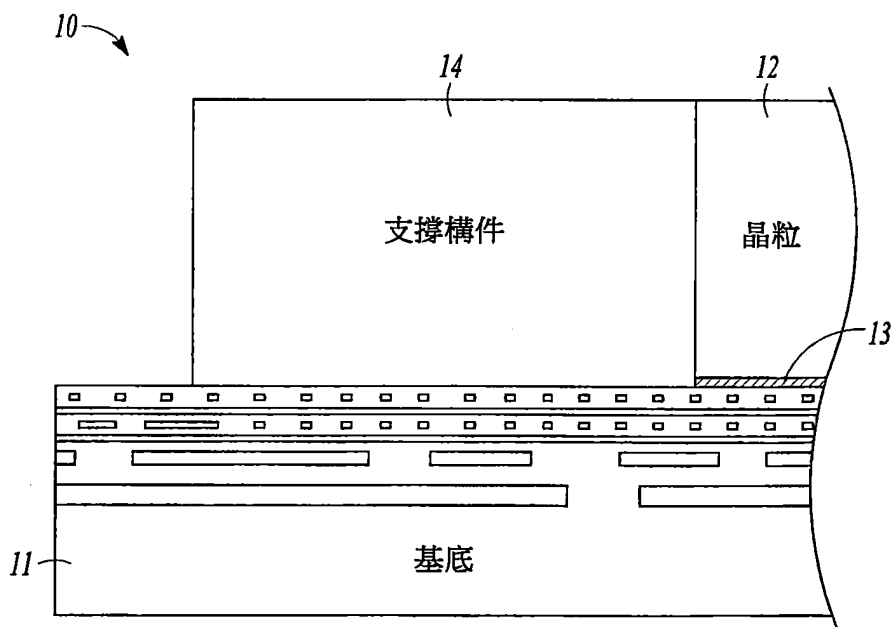


圖 3B

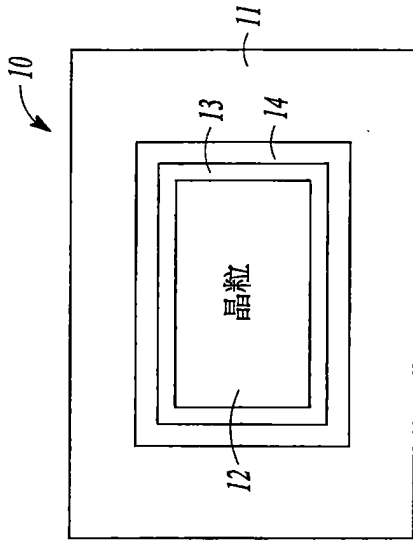


圖 4B

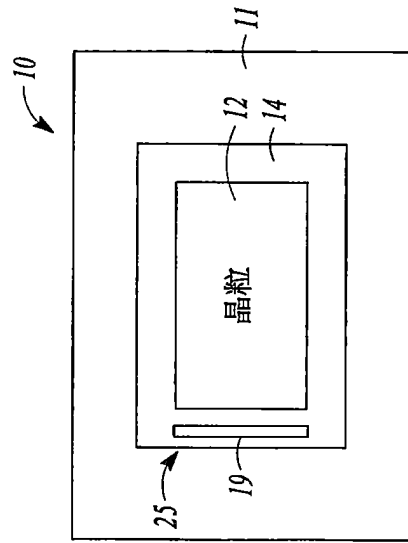


圖 4D

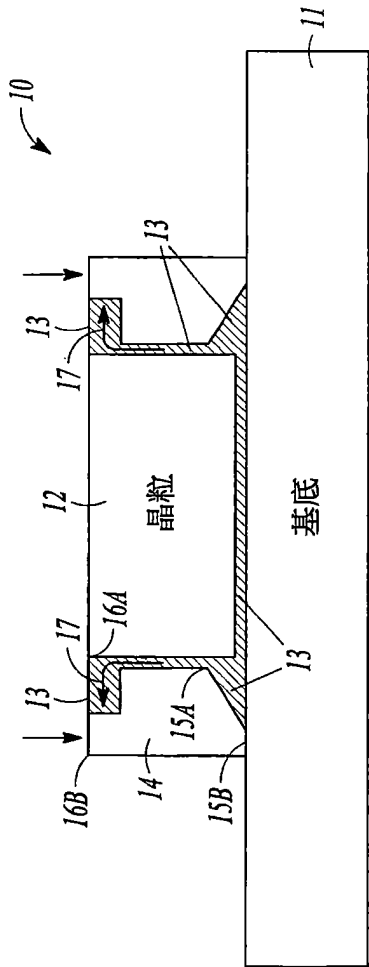


圖 4A

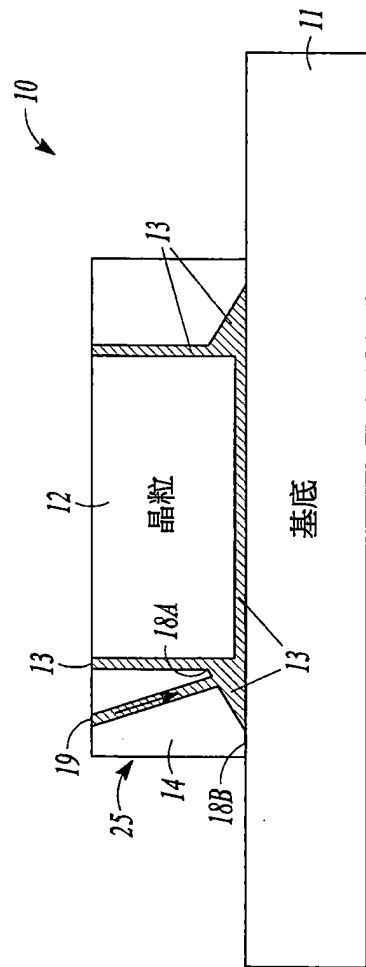


圖 4C

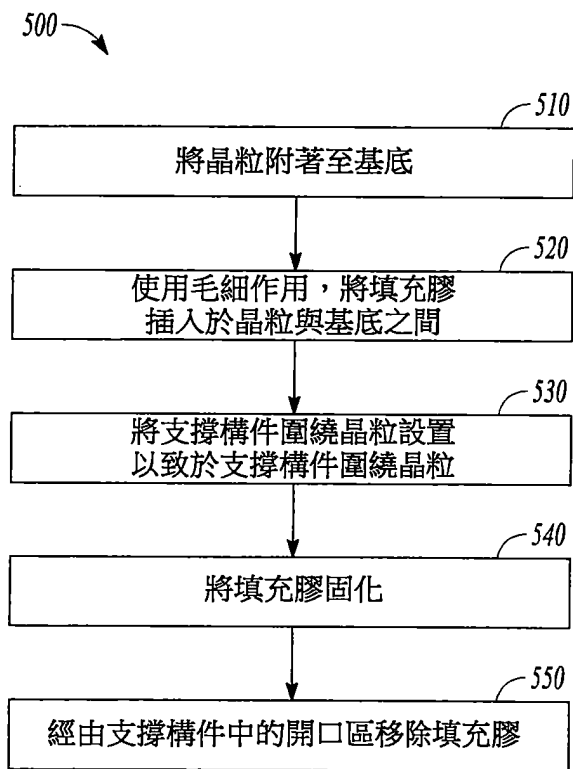


圖 5

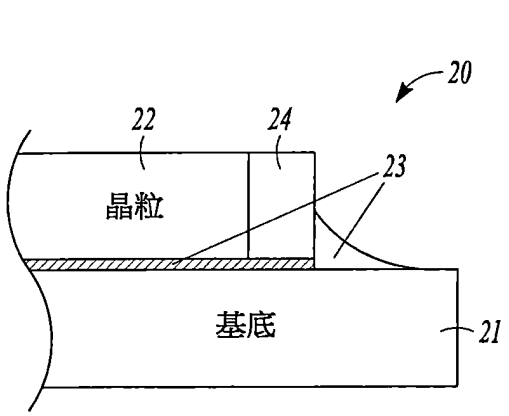


圖 6A

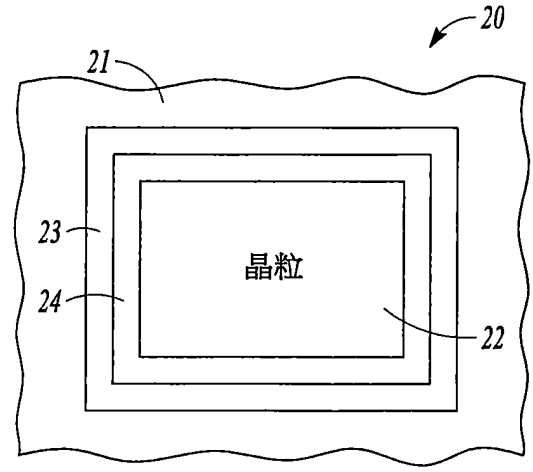


圖 6B

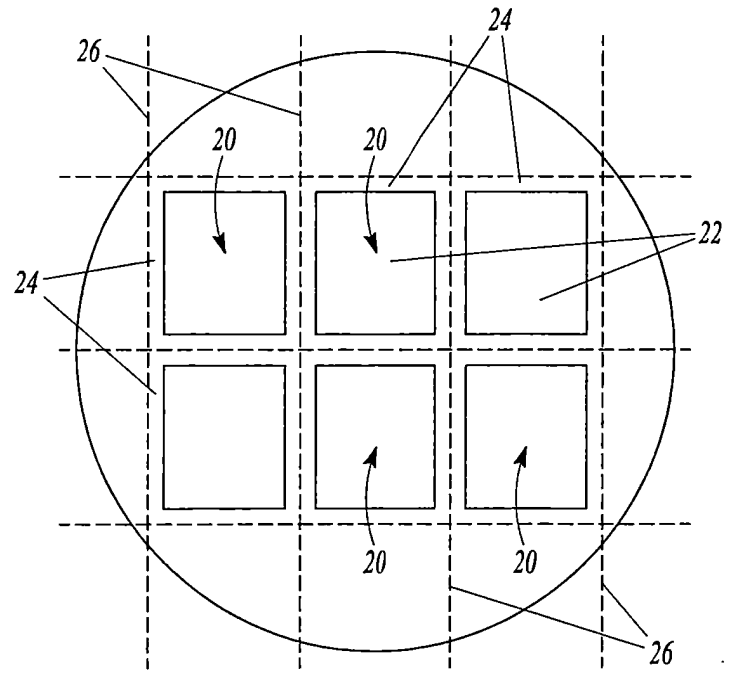


圖 6C

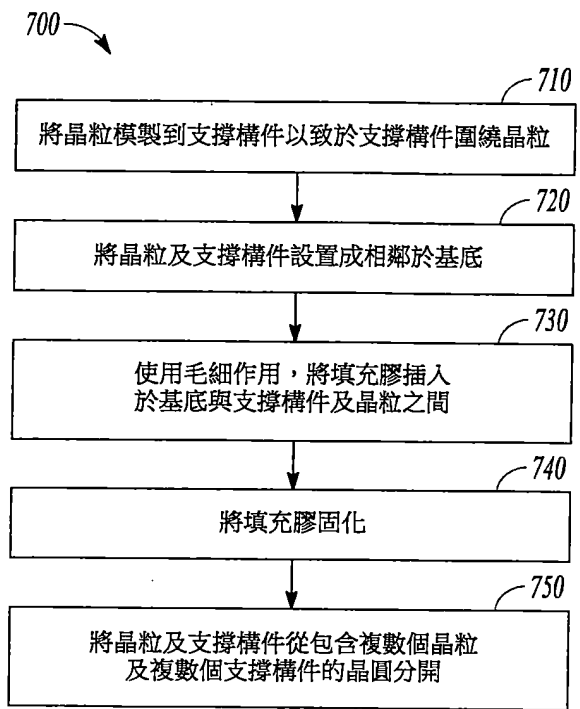


圖 7

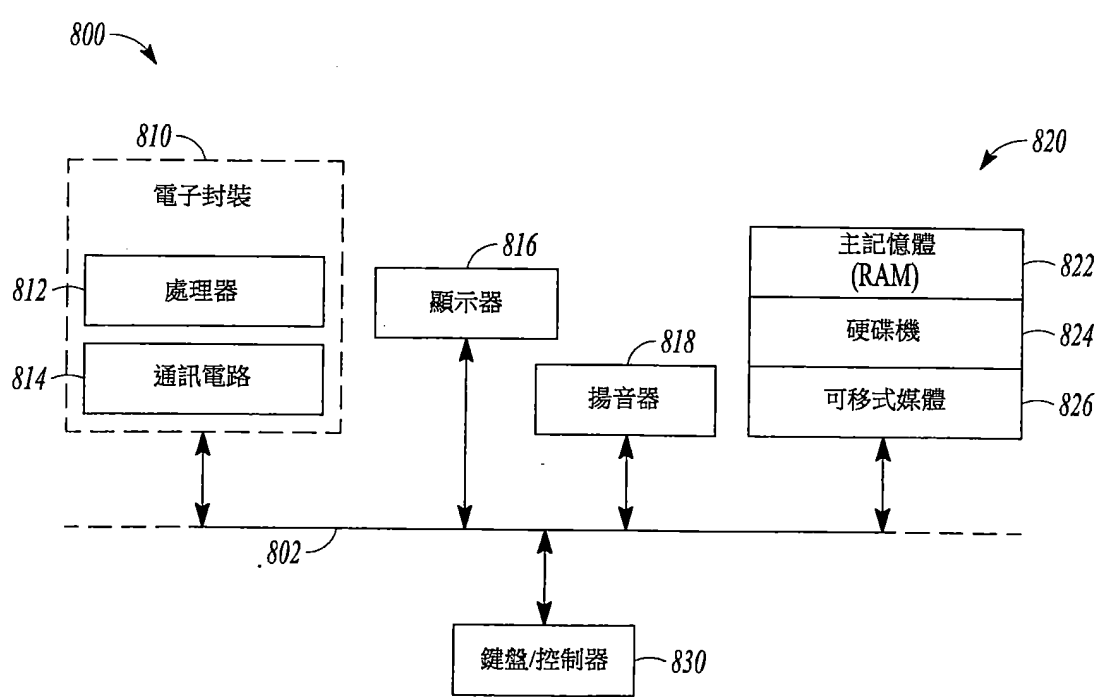


圖 8

【代表圖】

【本案指定代表圖】：第(5)圖。

【本代表圖之符號簡單說明】：無

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種電子封裝，包含：

基底；

附著至該基底的晶粒；

導因於毛細作用而位於該晶粒與該基底之間的填充膠；以及，

完全地圍繞該晶粒的支撐構件，其中，該支撐構件具有內下緣及外下緣，該支撐構件包含通道及外表面，該通道從該支撐構件的該內下緣延伸至該支撐構件的該外表面，以致於當該支撐構件圍繞該晶粒安裝時該填充膠從該外表面流經該通道而至該內下緣。

2. 如申請專利範圍第 1 項之電子封裝，其中，該通道從該支撐構件的一側上的該支撐構件的該外表面延伸。

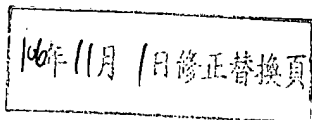
3. 如申請專利範圍第 1 項之電子封裝，其中，該晶粒係接合至該基底的倒裝片（flip chip）。

4. 如申請專利範圍第 1 項之電子封裝，其中，該填充膠將該支撐構件固定至該基底。

5. 如申請專利範圍第 1 項之電子封裝，其中，該填充膠將該支撐構件固定至該晶粒。

6. 如申請專利範圍第 1 項之電子封裝，其中，該支撐構件具有實質上均勻的剖面。

7. 如申請專利範圍第 1 項之電子封裝，其中，該支撐構件的剖面會改變以致於該剖面在該晶粒上相對較高的應力之區域中較大以及在該晶粒上相對較低的應力之區域



中較小。

8. 一種形成電子封裝的方法，包括：

將晶粒附著至基底；

使用毛細作用，將填充膠插入於該晶粒與該基底之間；以及

將該支撐構件圍繞該晶粒設置以致於該支撐構件圍繞該晶粒。

9. 如申請專利範圍第 8 項之方法，其中，將該晶粒附著至該基底包含使用倒裝片接合以將該晶粒附著至該基底。

10. 如申請專利範圍第 8 項之方法，其中，將支撐構件圍繞該晶粒設置以致於圍繞該晶粒的該支撐構件包含使用該填充膠以將該支撐構件附著至該晶粒。

11. 如申請專利範圍第 8 項之方法，其中，將支撐構件圍繞該晶粒設置以致於圍繞該晶粒的該支撐構件包含使用該填充膠以將該支撐構件附著至該基底。

12. 如申請專利範圍第 8 項之方法，又包括將該填充膠固化。

13. 如申請專利範圍第 8 項之方法，又包括經由該支撐構件中的開口區而移除填充膠。

14. 如申請專利範圍第 8 項之方法，其中，使用毛細作用將填充膠插入於該晶粒與該基底之間包含經由從該支撐構件的外表面至該支撐構件的下內緣之該支撐構件中的通道而插入該填充膠。

15. 一種形成電子封裝的方法，包括：

將晶粒模製至支撐構件以致於該支撐構件圍繞該晶粒；

將該晶粒及該支撐構件設置成相鄰於基底；以及，

使用毛細作用，將填充膠插入於該基底與該晶粒及該支撐構件之間。

16. 如申請專利範圍第 15 項之方法，其中，將該晶粒及該支撐構件設置成相鄰於該基底包含使用倒裝片接合以將該晶粒附著至該基底。

17. 如申請專利範圍第 15 項之方法，又包括將該填充膠固化。

18. 如申請專利範圍第 15 項之方法，又包括將該晶粒及該支撐構件從包含複數個晶粒及複數個支撐構件的晶圓分離。