

⑭

DEMANDE DE BREVET D'INVENTION

A1

⑮ Date de dépôt : 13.09.90.

⑯ Priorité : 15.09.89 US 407570.

⑰ Date de la mise à disposition du public de la demande : 22.03.91 Bulletin 91/12.

⑱ Liste des documents cités dans le rapport de recherche : *Le rapport de recherche n'a pas été établi à la date de publication de la demande.*

⑲ Références à d'autres documents nationaux apparentés :

⑳ Demandeur(s) : APPLE COMPUTER, INC. — US.

㉑ Inventeur(s) : Donovan Paul Martin et Caruso Michael Paul.

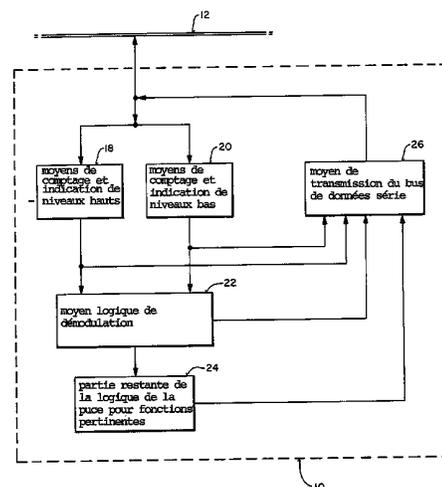
㉒ Titulaire(s) :

㉓ Mandataire : Cabinet Regimbeau Martin Schrimpf Warcoin Ahner.

⑳ Appareillage et procédé pour transférer des données entre des dispositifs situés sur un bus de données en série dans un système de communication de données.

㉑ L'invention concerne un appareillage et un procédé pour transférer des données entre des dispositifs situés sur un bus de données en série dans un système de communication de données.

Il est prévu des premiers moyens de comptage et d'indication (18) associés à un dispositif dans le bus (12); ces premiers moyens (18) sont reliés au bus pour déterminer des périodes temporelles de niveaux hauts de signaux dans le bus (12); des seconds moyens de comptage et d'indication (20), également associés au dispositif, sont reliés au bus pour déterminer des périodes temporelles de niveaux bas de signaux dans le bus; un moyen logique de démodulation (22) est relié aux deux moyens de comptage et d'indication (18,20) pour démoduler les niveaux hauts et bas de signaux en données binaires et utiliser ces données pour que le dispositif remplisse une fonction pertinente; un moyen de transmission (26) est relié à une sortie des deux moyens de comptage et d'indication (18,20) et au moyen de démodulation (22) pour moduler les données binaires reçues du dispositif pendant qu'il remplit sa fonction; les données modulées résultantes sont ainsi introduites dans le bus de données en série (12).



La présente demande de brevet est en
5 relation avec (1) une demande de brevet déposée aux Etats-Unis
d'Amérique à la date de priorité de la présente demande et ayant pour
titre anglais "APPLICATION SPECIFIC INTEGRATED CIRCUIT
FOR A SERIAL DATA BUS" (Circuit intégré d'application
spécifique pour un bus de données en série); (2)
10 la demande de brevet déposée aux Etats-Unis d'Amérique
sous le No. 07/537 419 le 24 Mai 1989 et ayant pour
titre anglais "APPARATUS AND METHOD FOR OPTICAL ENCODING"
(Appareil et procédé de codage optique); et (3) la
demande de brevet déposée aux Etats-Unis d'Amérique
15 sous le No. de série 07/363 586 le 8 Juin 1989 et
ayant pour titre anglais "APPARATUS AND METHOD FOR
MINIMING UNDESIREED CURSOR MOVEMENT IN A COMPUTER
CONTROLLED DISPLAY SYSTEM" (Appareil et procédé pour
réduire au minimum un mouvement indésirable de curseur
20 dans le système d'affichage commandé par ordinateur).

La présente invention concerne un appareillage
et un procédé pour transférer des données entre des
dispositifs de communication de données. Plus particuliè-
rement, la présente invention se rapporte à un transfert
25 de données le long d'un bus de transmission de données
en série dans un système de communication de données.

Dans le domaine des ordinateurs, il est
assez courant de transférer des données entre plusieurs
dispositifs par un bus de transmission de données
30 en série. Dans un procédé de transfert de données
classique, un signal provenant du bus de données
est démodulé en utilisant des compteurs de niveaux
hauts et de niveaux bas. Un compteur de niveaux hauts
et une logique de décodage associée effectuent un comptage
35 lorsque le signal provenant du bus de données est

au niveau haut et le compteur de niveaux bas et la logique de décodage associée effectuent un comptage lorsque le signal provenant du bus de données est au niveau bas. La démodulation des données en série
5 produit des valeurs binaires qui sont mémorisées dans des registres et utilisées de façon appropriée dans le dispositif.

Le signal de sortie du dispositif est modulé par décalage de valeurs binaires dans un registre
10 et par modulation de ces valeurs binaires par un second ensemble de compteurs de niveaux hauts et bas et d'une logique de décodage associée. Le signal résultant apparaît à la sortie du bus de données en série.

15 L'utilisation précitée de deux ensembles de compteurs nécessite à son tour l'intervention de circuits logiques numériques et de transistors dans le support lui-même.

Un objet de la présente invention est de créer un appareillage et un procédé pour transférer
20 des données entre des dispositifs situés sur un bus de transmission de données en série dans un système de communication de données en vue de réduire au minimum le nombre de compteurs.

Un autre objet de la présente invention
25 est de créer un appareillage et un procédé pour transférer des données entre des dispositifs situés sur un bus de données en série dans un système de communication de données, en vue de leur utilisation avec une diversité de dispositifs de communication de données, notamment
30 des dispositifs de commande de curseur.

Encore un autre objet de la présente invention est de créer un appareillage et un procédé pour transférer des données entre des dispositifs situés sur un bus de données en série dans un système
35 de communication de données en vue de créer un moyen

de transfert de données qui soit relativement économique, fiable et mécaniquement simple.

Ces objets de l'invention, et d'autres, sont réalisés au moyen d'un appareillage et d'un
5 procédé pour transférer des données entre des dispositifs situés sur un bus de données en série dans un système de communication de données. Il est prévu des premiers moyens de comptage et d'indication (ou signalisation) qui sont associés à un dispositif situé sur le bus de données en
10 série. Les premiers moyens de comptage et d'indication sont reliés avec le bus de données en série pour déterminer des périodes temporelles de niveaux hauts de signaux dans le bus de données. Des seconds moyens de comptage et d'indication, également associés audit dispositif
15 situé sur le bus de données en série, sont reliés au bus de données pour déterminer des périodes temporelles de niveaux bas de signaux dans le bus de données.

Il est prévu un moyen logique de démodulation qui est relié aux premiers et seconds moyens de comptage
20 et d'indication pour la démodulation des niveaux hauts et des niveaux bas de signaux en données binaires et pour utiliser ces données binaires en vue de l'exécution d'une fonction pertinente par le dispositif. Un moyen de transmission est relié à une sortie des
25 premiers et seconds moyens de comptage et d'indication et à la logique de démodulation pour une modulation des données binaires reçues en provenance du dispositif pendant qu'il remplit sa fonction pertinente. Les données modulées résultantes sont ainsi introduites
30 dans le bus de données en série.

D'autres caractéristiques et avantages de l'invention seront mis en évidence, dans la suite de la description, donnée à titre d'exemple non limitatif en référence aux dessins annexés dans lesquels:

la Figure 1 représente un réseau de communication de données,

la Figure 2 est un chronogramme illustrant un protocole de commande,

5 la Figure 3 est un schéma-bloc fonctionnel représentant le processus de transfert de données dans une réalisation préférée de la présente invention,

la Figure 4 est un schéma-bloc du
10 circuit intégré d'application spécifique (ASIC) qui peut être utilisé pour la mise en oeuvre d'une réalisation préférée dans un dispositif de commande de curseur,

la Figure 5 est un diagramme de niveau inférieur de la sous-puce de bus de données du circuit
15 ASIC de la Figure 3,

la Figure 6 est un diagramme de niveau inférieur d'une partie de la sous-puce de bus de données, montrant les compteurs et les indicateurs,

la Figure 7 est un diagramme logique
20 du compteur de niveaux hauts du circuit ASIC,

la Figure 8 est un diagramme logique du compteur de niveaux bas du circuit ASIC,

la Figure 9 montre la logique de démodulation du circuit ASIC,

25 la Figure 10 est un diagramme logique des moyens de transmission servant à recevoir des signaux de comptage de niveaux hauts et de niveaux bas, des signaux pertinents provenant de la puce et des signaux provenant de la logique de démodulation.

30 La Figure 1 représente plusieurs dispositifs de communication de données, désignés généralement par 10 , $10'$... 10^n et situés sur un bus de données en série 12 faisant partie d'un système de communication de données, désigné dans son ensemble par 14. De
35 tels dispositifs de communication de données peuvent

comprendre une partie d'un ordinateur, comme une puce d'émetteur-récepteur, ou bien un dispositif périphérique tel qu'un dispositif de commande de curseur (par exemple, une souris ou une boule roulante),
5 un clavier à touches, une imprimante ou un scanner. Comme indiqué, les dispositifs 10-10ⁿ sont interconnectés en série pour un transfert de données de l'un à l'autre par un bus de données commun 12.

Les différents dispositifs sont reliés
10 à un câble 12 par des modules de connexion 16 qui, dans une réalisation préférée, contiennent un transformateur de couplage passif, des circuits résistifs et capacitifs, et qui sont connus dans l'art antérieur pour relier chacun des dispositifs de traitement
15 de données et d'autres dispositifs au câble 12.

Comme cela va être décrit, une réalisation préférée permet une communication en série et à transfert de données synchronisé entre les dispositifs 10-10ⁿ. L'architecture et les protocoles d'une réalisation
20 préférée réduisent au minimum les complexités de transmission qui sont courantes dans des systèmes connus et permettent une communication en série à grande vitesse le long du câble 12.

Dans une réalisation préférée, une donnée
25 est codée sous la forme d'un rapport entre le temps au niveau bas et le temps au niveau haut de chaque cellule de bit. Une limite de cellule de bit est définie par un flanc décroissant dans le bus. Un "0" est codé comme une cellule de bit dans laquelle
30 le temps au niveau bas est supérieur au temps au niveau haut. En conséquence, un "1" est défini comme une cellule de bit dans laquelle le temps au niveau bas est inférieur au temps au niveau haut.

La période pour chaque cellule de bit
35 des signaux d'ordre et pour une transmission de données

à basse vitesse est approximativement de $100 \mu s \pm 30 \%$.
 Pour une transmission de données à grande vitesse,
 la cellule de bit est de $25 \mu s \pm 16 \%$. Le format d'une
 transaction de données, que ce soit une réception
 5 ou une émission, est un bit de départ, suivi par
 jusqu'à 256 bits de données et se terminant par
 un bit d'arrêt. Il est à noter que, lorsque d'autres
 moyens de communication sont utilisés, il est possible
 d'employer d'autres méthodes de signalisation.

10 La Figure 2 représente un protocole typique
 pour l'établissement de transactions entre un ordinateur
 principal et un dispositif spécifique, comme un dispositif
 de commande de curseur, situé sur le bus de données
 en série. Comme le montre cette Figure, pour signaler
 15 le début d'un ordre, une impulsion d'attention est
 envoyée dans le bus de données en série par un ordinateur
 principal. Une impulsion d'attention est engendrée par l'or-
 dinateur principal par transmission d'un niveau bas de
 bus pendant une période de "T-attn". Dans la réalisation
 20 préférée, T-attn est une période d'environ 560-1040
 microsecondes. L'impulsion d'attention est suivie
 par une impulsion de synchronisation, T_{synch} , pour
 produire le cadencement initial du bus. Le flanc suivant
 de l'impulsion de synchronisation est utilisé comme
 25 une référence de cadencement pour le premier bit de
 l'ordre. L'ordre est suivi par un bit d'arrêt. Après
 le bit d'arrêt, le bus revient à son état normalement
 haut, T_{lt} .

L'ordre est une valeur de 8 bits dans
 30 une réalisation préférée. L'ordre comprend une zone
 d'adresse de dispositif de 4 bits qui spécifie l'adresse
 du dispositif périphérique désiré (par exemple, 0011
 pour une souris). Les deux bits suivants forment
 l'ordre et les 2 bits finaux forment un champ d'adresse
 35 enregistré qui permet la spécification d'un registre

particulier R0-R3 se trouvant dans un dispositif périphérique adressé. Dans une réalisation préférée, les ordres ont le code de bit suivant:

	<u>Ordre</u>	<u>Code</u>
5	Nettoyage	0001
	Ecoute	$10R_1R_0$
	Parole	$11R_1R_0$
	Remise à Zéro d'envoi	0000

L'ordre "Parole" ordonne au dispositif adressé de fournir ses données, si le dispositif contient des données, à l'ordinateur principal. L'ordre "Ecoute" ordonne au dispositif adressé d'accepter des données provenant de l'ordinateur principal et de les placer dans un de ses registres. L'ordre "Nettoyage" a une influence sur chaque dispositif qui est défini par le dispositif individuel. Il peut être utilisé pour remplir des fonctions comme l'effacement d'un registre ou bien le retour à l'état initial de toutes les touches d'un clavier de telle sorte qu'elles soient à nouveau envoyées. L'ordre "remise à zéro d'envoi" impose un retour à l'état initial de tous les dispositifs qui sont reliés au système ADB.

Quand un dispositif périphérique est adressé pour communication, il doit répondre à l'intérieur d'une certaine période, qui est appelée la période d'"attente". La durée de la période d'attente, " T_{It} ", est approximativement de 140 à 260 microsecondes (2 cellules de bit). Le dispositif sélectionné, s'il n'y a pas de temps d'attente, devient actif dans le bus et effectue sa transaction de données (par exemple de 2 à 8 octets de données) et il introduit alors un bit d'arrêt dans le bus de données en série.

En fonction de l'octet d'ordre (8 bits) provenant de l'unité centrale de traitement CPU

hôte, le dispositif effectuera une démodulation de données s'il a reçu un ordre d'"Ecoute" en même temps que l'octet d'ordre ou bien il effectuera une modulation de données s'il a reçu un ordre de "Parole" en même temps que l'octet d'ordre. Les bits d'ordre signifieront soit une modulation de données contenues dans le bus de données en série, soit une modulation de données spécifiques d'un dispositif à introduire dans le bus de données.

En référence maintenant à la Figure 3, celle-ci représente un schéma-bloc fonctionnel de l'appareillage de la présente invention. Des moyens de comptage et d'indication de niveaux hauts et des moyens de comptage et d'indication de niveaux bas sont reliés au bus de données en série afin de déterminer des périodes temporelles de niveaux hauts et de niveaux bas de signaux dans le bus de données. Le compteur de niveaux hauts et le compteur de niveaux bas sont de préférence cadencés par un oscillateur externe. Les moyens indicateurs comprennent de préférence plusieurs bascules pour mémoriser des états d'indicateurs, lesdits indicateurs étant activés pour un compte prédéterminé de l'un ou l'autre compteur. Des moyens logiques de démodulation sont reliés aux moyens de comptage et d'indication afin de démoduler les niveaux hauts et bas de signaux en données binaires. La logique de démodulation comprend de préférence plusieurs bascules et portes logiques. Ces données binaires sont utilisées pour que le dispositif remplisse une fonction pertinente. (Par exemple, dans un dispositif de commande de curseur, la fonction pertinente consisterait à amener le curseur à l'emplacement désiré sur l'écran d'affichage ou bien, par exemple, la fonction pertinente du clavier à touches consisterait à afficher un nombre ou une lettre, etc.).

Le signal de sortie du moyen logique de démodulation 22 est introduit dans le reste de la logique 24 de la puce, qui produit les fonctions pertinentes du dispositif.

5 Un moyen de transmission 26 du bus de données en série est relié aux moyens de comptage et d'indication de niveaux hauts et bas ainsi qu'au moyen logique de démodulation 22 afin de moduler des données binaires reçues en provenance du dispositif pendant qu'il
10 effectue sa fonction pertinente. Le moyen de transmission 26 comprend de préférence des bascules qui sont agencées de façon à obtenir la logique désirée, comme cela sera décrit dans la suite. Les données modulées résultantes sont introduites dans le bus de données en série
15 12.

Un exemple spécifique d'utilisation des principes d'une réalisation préférée est illustré sur la Figure 4, qui est un schéma-bloc d'un circuit intégré d'application spécifique (ASIC) concernant
20 une conception de souris. La sous-puce "MOUSE" (souris) du circuit ASIC, désignée par la référence numérique 28 à droite de la ligne en tirets 30, correspond à sa partie utilisée pour un encodage. Elle produit les impulsions désirées nécessaires pour son fonctionnement.

25 La cellule centrale 32, désignée par "ADB" représente la partie du circuit ASIC qui est utilisée pour définir une communication entre le circuit ASIC et l'unité centrale. ADB est l'abréviation de "Apple Desktop Bus". La partie 34 située à gauche
30 de la ligne en tirets 36 se rapporte à l'horloge. Des descriptions détaillées de la sous-puce "MOUSE" sont données dans les demandes de brevets déposées conjointement aux Etats-Unis d'Amérique sous le No. de série 07/357 419, le 24 Mai 1989 et ayant pour
35 titre américain "APPARATUS AND METHOD FOR OPTICAL

ENCODING", et sous le No. de série 07/363 586 le
8 Juin 1989, et ayant pour titre américain "APPARATUS
AND METHOD FOR MINIMIZING UNDESIREED CURSOR MOVEMENT IN A
COMPUTER CONTROLLED DISPLAY SYSTEM", ces demandes
5 de brevets étant incorporées ici par référence.

En référence maintenant à la Figure 5,
celle-ci représente un diagramme de niveau inférieur
de la sous-puce ADB 32. La sous-puce ADB 32 comprend
DEVICEINT 38, qui est une interface avec le circuit
10 de sous-puce MOUSE 28. ADBTRANS 40 constitue le moyen
de transmission servant à la modulation des données
binaires reçues en provenance du dispositif pendant
qu'il remplit sa fonction pertinente, les données
modulées résultantes étant introduites dans le bus
15 de données en série. La partie ADBREC 42 comprend
les moyens de comptage et d'indication.

La Figure 6 représente la partie ADBREC
42. Cette partie ADBREC 42 comprend le compteur de
niveaux hauts 44 (ADBHIGH), le compteur de niveaux
20 bas 46 (ADBLow), les indicateurs associés au compteur
de niveaux hauts, c'est-à-dire HIGHFLAGS 48, ainsi
que les indicateurs associés au compteur de niveaux
bas, c'est-à-dire LOWFLAGS 50.

La Figure 7 représente le schéma logique
25 du compteur de niveaux hauts (ADBHIGH 44). Le signal
d'entrée 52 (OSCCLK) provenant de l'horloge externe
est appliqué à la porte ET RCA 1620. L'entrée de
bus de données 54 (ADBIN) est appliquée à une série
d'inverseurs 1540 et elle est ensuite appliquée à
30 l'entrée d'une porte ET 1620. Sa sortie (HIGHCLK)
est appliquée à l'entrée C de la bascule-D RCA 2190.
L'entrée Q de la bascule-D est reliée à un trigger
de Schmidt dont la sortie est reliée à une série
de bascules-D RCA 2190 pour un comptage. Le signal
35 OSCCLK, par l'intermédiaire d'inverseurs 1540, et

le signal ADBIN sont appliqués à la porte OU 1720, dont le signal de sortie est appliqué à l'entrée d'un inverseur 1520. Le signal de sortie (HIGHRES) de l'inverseur 1520 est appliqué aux sorties
 5 R de rétablissement des bascules-D 2190. L'entrée D et la sortie Q de chaque bascule-D 2190 sont reliées au même inverseur 1520 tandis que les sorties Q sont reliées à d'autres inverseurs 1520.

En référence maintenant à la Figure
 10 8, celle-ci représente un schéma logique du compteur de niveaux bas, ADBLOW 46, et on peut voir que ADBLOW 46 est essentiellement identique à ADBHIGH 44. Cependant, ADBIN_, c'est-à-dire l'inverse de ADBIN, constitue l'entrée.

En référence maintenant à la Figure 9, celle-ci représente le moyen logique de démodulation
 22. Si l'indicateur de synchronisation (SYNCF) est activé au niveau haut, alors la ligne d'ordre sera démodulée à l'intérieur de ce bloc par utilisation
 20 de 5_{FL} (25 μ s), 10_{FH} (50 μ s), 10_{FL} (50 μ s), 5_{FH} (25 μ s), 17_{FL} (85 μ s), et 17_{FH} (85 μ s). Un niveau logique "1" est démodulé si 5_{FL} et 10_{FH} sont tous deux activés. Cela correspond à la détection d'un temps de cellule de bit équivalent à 1/3 de niveau
 25 bas et 2/3 de niveau haut. Un niveau logique "0" est démodulé si 10_{FL} et 5_{FH} sont tous deux activés. Cela correspond à la détection d'un temps de cellule de bit équivalent à 2/3 de niveau bas et 1/3 de niveau haut. Si $START_{FH}$ est activé au niveau haut, alors
 30 la donnée se trouvant dans le bus de données est démodulée de la même manière que la ligne d'ordre l'avait été avec activation de l'indicateur de synchronisation au niveau haut en utilisant 5_{FL} ; 10_{FH} , 5_{FH} , 10_{FL} , 17_{FL} et 17_{FL} . La ligne LT
 35 d'Ecoute-Parole est utilisée, en même temps

que SYNCHF et START_{FH}, pour permettre au bloc 22 de décodage de bits de réception de savoir quand démoduler. Les signaux de sortie LISTENDATA et LISTENCKL sont appliqués au reste de la puce pour permettre la mise
 5 en forme binaire des données démodulées. Le signal de sortie représentant une erreur sur bit, s'il est activé au niveau haut par un bit non valable déterminé au moment où les temps 17_{FL} et 17_{FH} sont atteints, fera en sorte que le dispositif arrête toute démodulation
 10 de données et ensuite le dispositif attendra le nouveau signal d'attention valable transmis par le bus de données.

Comme indiqué les signaux d'entrée appliqués au moyen logique de démodulation 22 comprennent 17_{FH},
 15 17_{FL}, 5_{FH}, 10_{FL}, 10_{FH} et 5_{FL} provenant des indicateurs illustrés sur la Figure 6. Un autre signal d'entrée est LOWCKT1 provenant du compteur de niveaux bas, comme illustré sur la Figure 6. LT₋, provenant de la partie spécifique à la souris de la puce, est également
 20 introduit. Les signaux SYNC et STARTFH sont également introduits en provenance des compteurs.

La Figure 10 représente la partie correspondant au moyen de transmission (par exemple ADBTRANS 40) dans la sous-puce ADB 32. L'entrée LT₋, correspondant à une ligne d'Ecoute - Parole, provient
 25 de la partie spécifique de dispositif 28 de la puce. LT₋ est utilisée en coopération avec l'entrée TLTF₋, définissant le temps s'écoulant entre un bit d'arrêt et un bit de départ. Les entrées LT₋ et TLTF₋ déterminent
 30 si oui ou non le moyen de transmission 40 doit parler sur le bus de données en utilisant le moyen de modulation. Si LT₋ est activée dans l'état "Parole" et si TLTF₋, qui provient du compteur et indique un bloc, est activé au niveau
 35 haut, alors la partie ADBRTRANS 40 commence à moduler.

Le signal d'entrée STARTFH, qui est un indicateur provenant du compteur du bloc d'indicateurs, permet au bit de départ d'être modulé dans le bus de données par l'intermédiaire de la sortie ADBOUT représentée sur la Figure 10. Une fois que le bit de départ a fini d'être modulé, alors la donnée provenant de la partie spécifique de dispositif dans la puce est modulée dans le bus de données. Cette donnée est déterminée par les niveaux logiques de 7_{FL} (35 μ s), 13_{FH} (65 μ s), 7_{FL} (35 μ s), 13_{FL} (65 μ s et 40_{FH} (200 μ s) qui proviennent du compteur et des blocs d'indicateurs. Additionnellement, la ligne d'entrée TALKDATA provenant de la partie d'interface de dispositif dans la puce facilite la modulation de temps de cellule de bits représentant des états logiques "1" et "0". En fonction du niveau logique de la ligne TALKDATA, un état logique "0" ou "1" est modulé dans une cellule de bit de "0" ou "1". Un état logique "0" est modulé par utilisation des lignes d'entrée 13_{FL} et 7_{FH} et un état logique "1" est modulé par utilisation des lignes d'entrée 7_{FL} et 13_{FH} .

Les autres entrées indiquées sur la Figure 10 sont utilisées pour faciliter la régulation du moyen de transmission 40.

Le signal de sortie TALKCLK est utilisé pour la régulation de l'entrée TALKDATA. Le signal TALKCLK est appliqué à la partie d'interface de dispositif de la puce. La ligne de sortie DATASTOP est utilisée pour signifier la fin d'une transaction du moyen de transmission en vue de la préparation de la puce ADB à l'attente d'une nouvelle impulsion d'attention et d'une nouvelle impulsion de synchronisation, comme le montre la Figure 2, qui met en évidence une transaction typique sur le bus de données.

Par la liaison du moyen de transmission avec le mécanisme de comptage et avec la logique de démodulation, le nombre de dispositifs de comptage est réduit par comparaison au système de communication conventionnel cité précédemment. Une réduction au minimum du nombre de dispositifs de comptage permet d'obtenir un système relativement moins compliqué et plus fiable. Cette réduction est possible du fait que, dans un bus de transmission en série, une démodulation et une modulation ne se produisent jamais en même temps. Chacune est soit en réception, soit en émission, soit en attente de réception ou d'émission.

Les principes décrits ici peuvent être utilisés par exemple avec une unité centrale de traitement CPU et/ou des dispositifs périphériques comme des dispositifs de commande de curseur, des claviers à touches, des imprimantes et des scanners.

Bien entendu, la présente invention n'est nullement limitée aux modes de réalisation décrits et représentés; elle est susceptible de nombreuses variantes accessibles à l'homme de l'art, suivant les applications envisagées et sans que l'on ne s'écarte de l'esprit de l'invention.

REVENDICATIONS

1. Appareillage pour transférer des données entre des dispositifs situés sur un bus de données en série d'un système de communication de données, 5 caractérisé en ce qu'il comprend:

(a) des premiers moyens de comptage et d'indication (18) associés à un premier dispositif (10) sur le bus de données en série (12), lesdits premiers moyens de comptage et d'indication étant reliés audit bus 10 de données en série (12) afin de déterminer des périodes temporelles de niveaux hauts de signaux dans ledit bus de données;

(b) des seconds moyens de comptage et d'indication (20) associés au premier dispositif (10) 15 dans le bus de données en série, lesdits seconds moyens de comptage et d'indication (20) étant reliés audit bus de données en série (12) afin de déterminer des périodes temporelles de niveaux bas de signaux dans ledit bus de données;

(c) un moyen logique de démodulation (22) relié auxdits premier et second moyens de comptage et d'indication (18, 20) pour une démodulation desdits 20 niveaux hauts et bas de signaux en données binaires et pour une utilisation de ces données binaires pour l'exécution d'une fonction pertinente par ledit premier 25 dispositif (10); et

(d) un moyen de transmission (26) relié à une sortie desdits premier et second moyens de comptage et d'indication (18, 20) et audit moyen 30 logique de démodulation (22) pour une modulation de données binaires reçues en provenance d'une partie dudit premier dispositif (10) pendant qu'il exécute sa fonction pertinente, les données modulées résultantes étant introduites dans ledit bus de données 35 en série.

2. Appareillage selon la revendication 1, caractérisé en ce que ledit moyen de transmission (26) est directement relié auxdits premier et second moyens de comptage et d'indication (18, 20) ainsi qu'audit moyen logique de démodulation (22) pour une modulation de données binaires reçues en provenance dudit premier dispositif pendant qu'il exécute sa fonction pertinente, les données modulées résultantes étant introduites dans ledit bus de données en série (12).

3. Appareillage selon la revendication 2, caractérisé en ce que lesdits premiers moyens de comptage et d'indication (18) comprennent:

- un compteur de niveaux hauts (44) pour recevoir des signaux provenant dudit bus de données en série (12), ledit compteur de niveaux hauts étant cadencé par un oscillateur externe; et

- un moyen indicateur de niveaux hauts comportant une pluralité d'indicateurs de niveaux hauts, chaque indicateur de niveaux hauts étant activé pour un compte prédéterminé dudit compteur de niveaux hauts (44) en vue d'une modulation et d'une démodulation de données.

4. Appareillage selon la revendication 3, caractérisé en ce que lesdits seconds moyens de comptage et d'indication (20) comprennent:

- un compteur de niveaux bas (46) pour recevoir des signaux provenant dudit bus de données en série (12), ledit compteur de niveaux bas étant cadencé par un oscillateur externe; et

- un moyen indicateur de niveaux bas comportant une pluralité d'indicateurs de niveaux bas, chaque indicateur de niveaux bas étant activé pour un compte prédéterminé dudit compteur de niveaux bas (46) en vue d'une modulation et d'une démodulation de données.

5. Appareillage selon la revendication 4, caractérisé en ce que ledit moyen indicateur de niveau bas et ledit moyen indicateur de niveau haut comprennent chacun un premier ensemble de bascules pour mémoriser des états d'indicateurs.

6. Appareillage selon la revendication 5, caractérisé en ce que ledit moyen logique de démodulation (22) comprend un second ensemble de bascules et des portes logiques.

7. Appareillage selon la revendication 6, caractérisé en ce que ledit moyen de transmission (26) dudit bus de données en série (12) comprend des moyens pour l'utilisation dudit premier ensemble de bascules, dudit second ensemble de bascules et desdites portes logiques en vue d'une modulation desdites données binaires reçues en provenance dudit dispositif pendant qu'il exécute sa fonction pertinente.

8. Appareillage selon la revendication 1, caractérisé en ce que ledit premier dispositif (10) est un dispositif de commande de curseur.

9. Appareillage selon la revendication 1, caractérisé en ce que ledit premier dispositif (10) est un clavier à touches.

10. Appareillage selon la revendication 9, caractérisé en ce que le premier dispositif (10) est une unité centrale de traitement (CPU) d'un ordinateur.

11. Procédé pour transférer des données entre des dispositifs situés sur un bus de données en série d'un système de communication de données, caractérisé en ce qu'il comprend les étapes consistant à:

(a) déterminer des périodes relatives de niveaux hauts et de niveaux bas dans ledit bus de données;

(b) utiliser lesdites déterminations pour une démodulation desdits niveaux hauts et desdits

niveaux bas de signaux en données binaires pour l'exécution d'une fonction pertinente par un premier dispositif dans ledit bus de données; et

(c) utiliser lesdites déterminations
5 desdites périodes relatives et lesdites données binaires
démodulées pour une modulation de données binaires
reçues en provenance d'une partie dudit premier dispositif
pendant l'exécution de sa fonction pertinente, les
données modulées résultantes étant introduites dans
10 ledit bus de données en série.

FIG 1

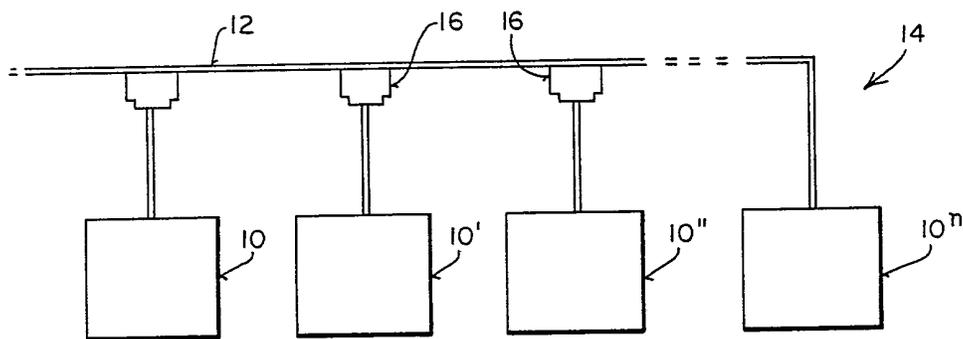


FIG 2

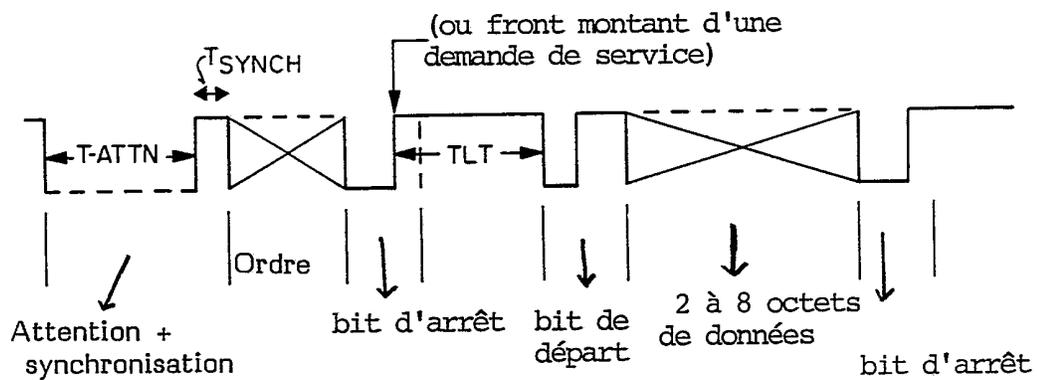
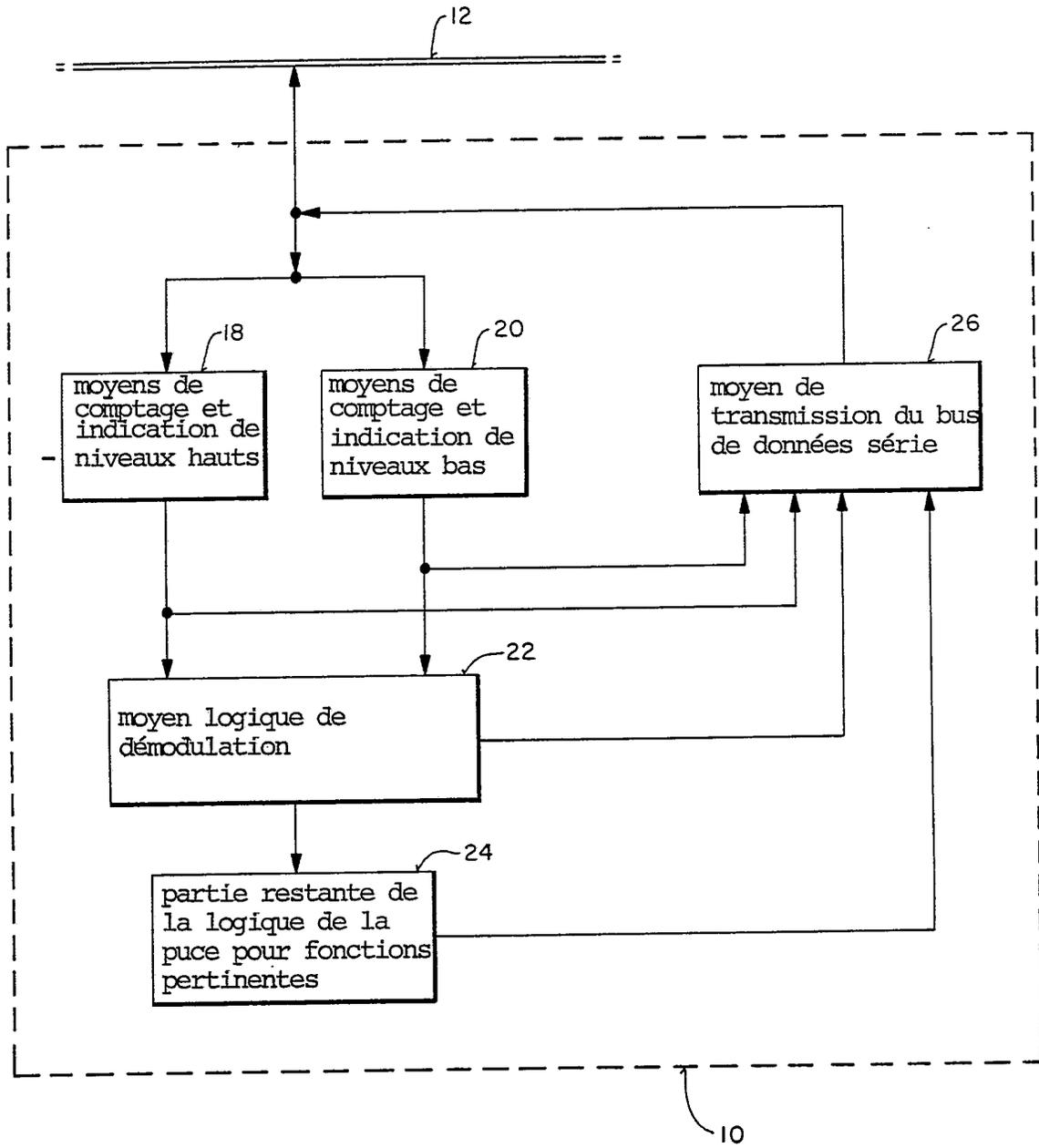


FIG 3



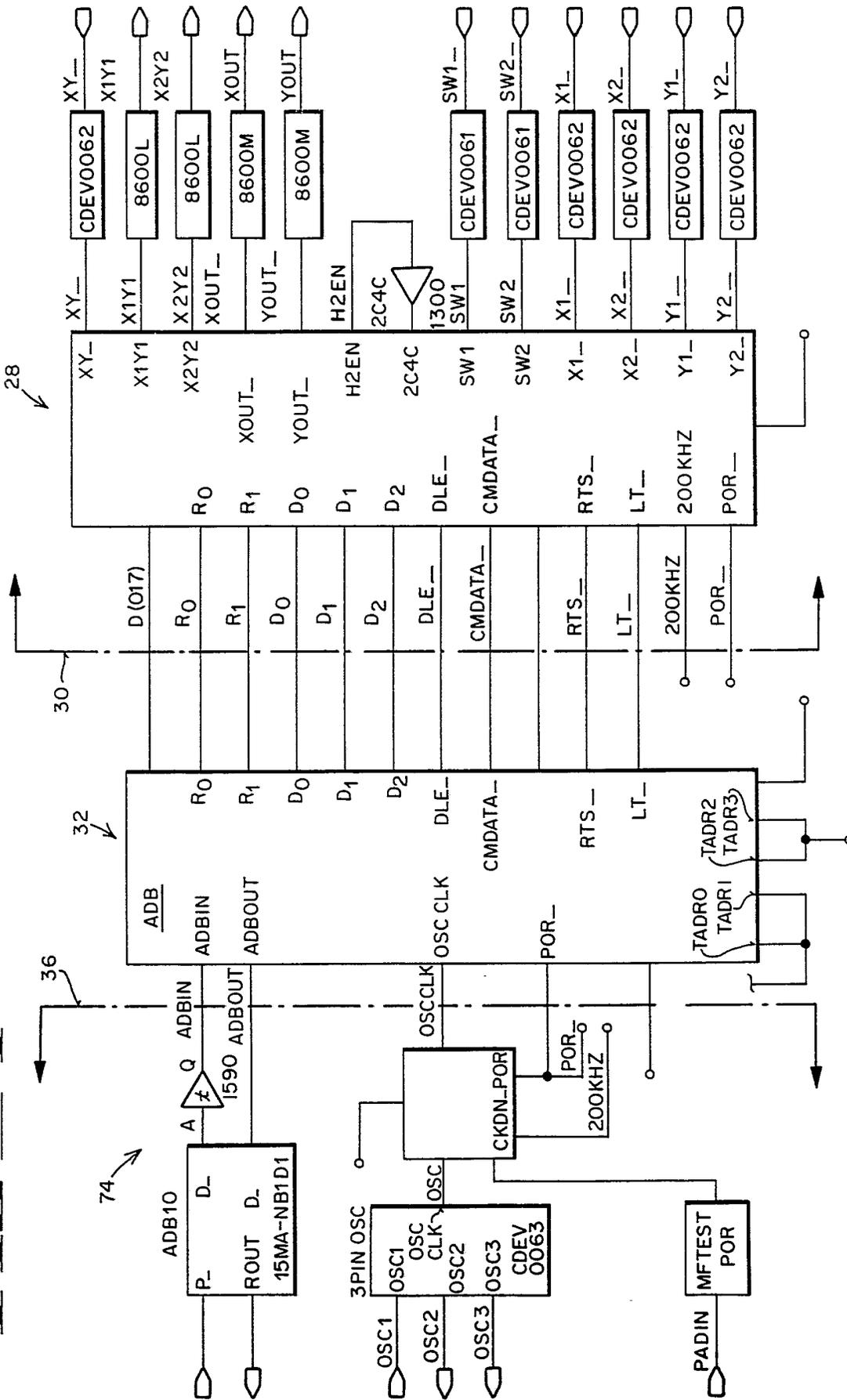


FIG 5B

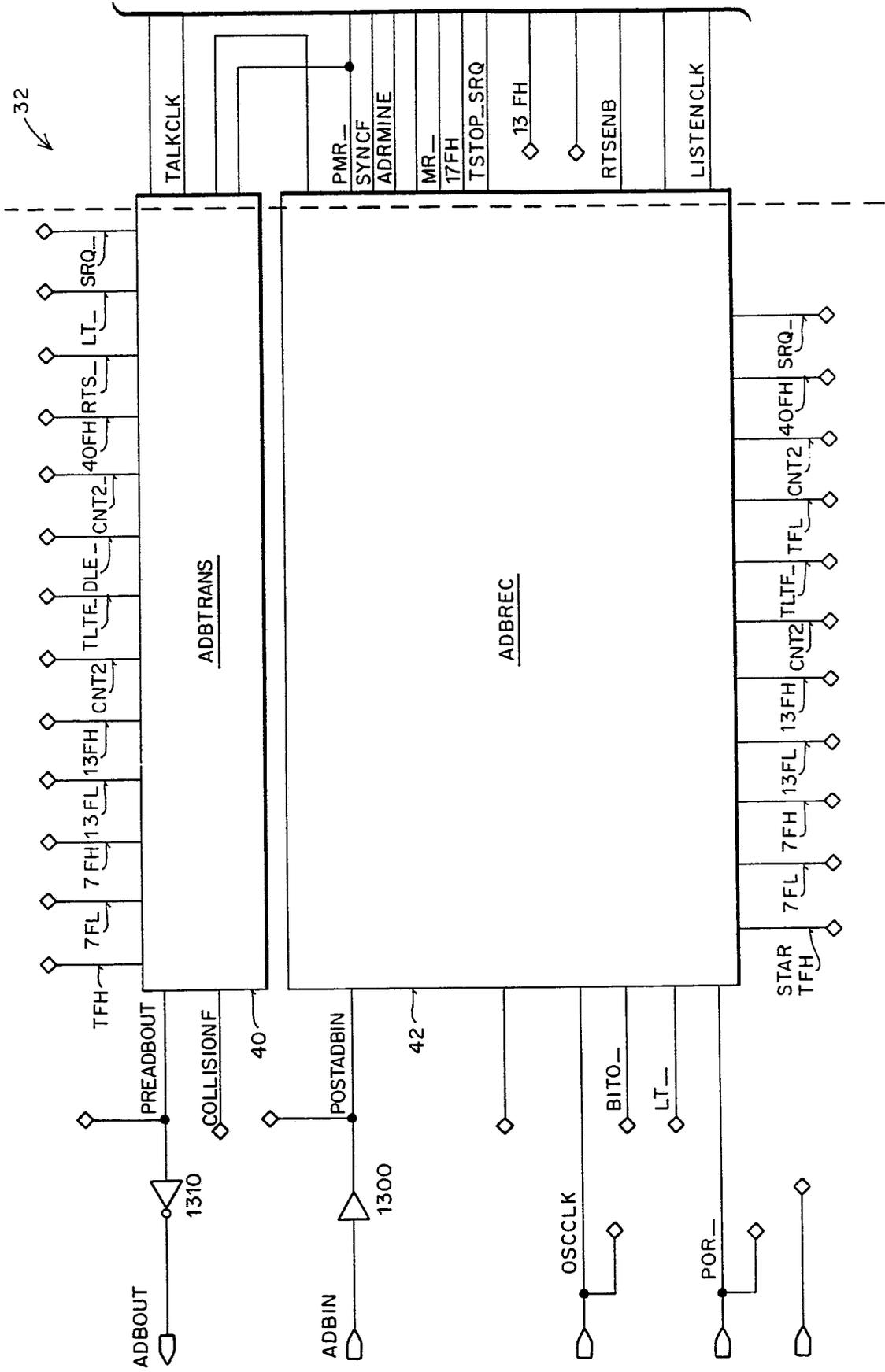


FIG 5B

FIG-5A

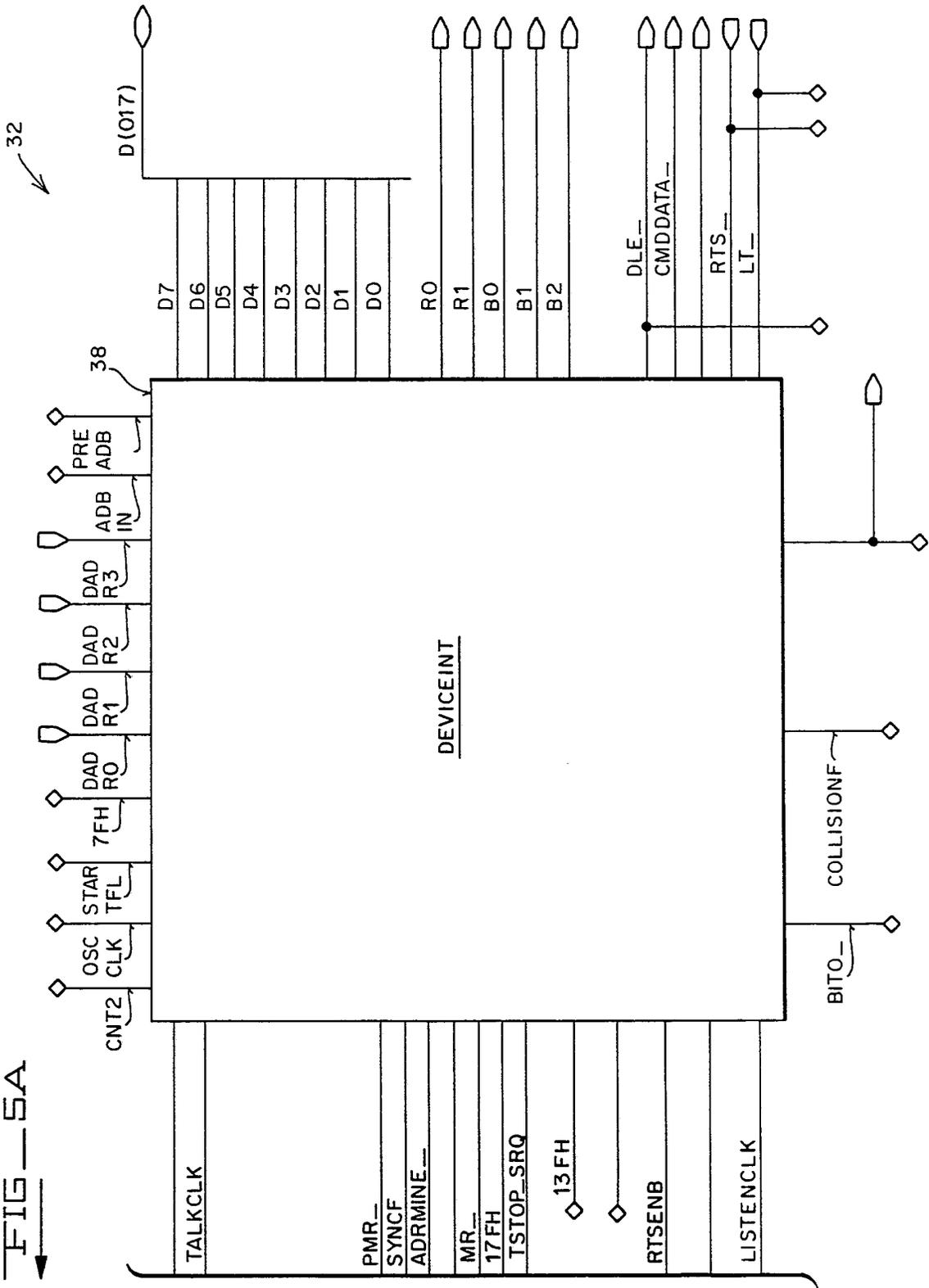


FIG 6B

FIG 6A

42

