



1. 一种三维(3D)半导体存储器件,包括:

衬底,包括单元阵列区域、连接区域和在所述单元阵列区域与所述连接区域之间的块选择区域;

堆叠结构,包括垂直地堆叠在所述衬底上的水平层,每个所述水平层包括在所述单元阵列区域和所述块选择区域上在第一方向上延伸的多个电极部分以及设置在所述连接区域上以在垂直于所述第一方向的第二方向上连接所述电极部分的连接部分;以及

块选择栅电极,在所述块选择区域上与所述水平层的所述电极部分的侧壁交叉,

其中每个所述电极部分包括第一半导体区域和沟道掺杂区域,所述第一半导体区域在所述单元阵列区域和所述连接区域上具有第一导电类型,所述沟道掺杂区域在所述块选择区域上具有与所述第一导电类型不同的第二导电类型。

2. 根据权利要求1所述的三维半导体存储器件,其中所述第一半导体区域中的所述第一导电类型的掺杂剂的浓度高于所述沟道掺杂区域中的所述第二导电类型的掺杂剂的浓度。

3. 根据权利要求1所述的三维半导体存储器件,其中每个所述水平层还包括从所述连接部分水平地突出的焊盘部分,以及

其中当在俯视图中看时,所述水平层的所述焊盘部分沿所述第二方向布置。

4. 根据权利要求3所述的三维半导体存储器件,其中每个所述焊盘部分包括具有所述第一导电类型的第二半导体区域,所述三维半导体存储器件还包括:

分别连接到所述焊盘部分的接触插塞。

5. 根据权利要求1所述的三维半导体存储器件,其中所述水平层在所述第一方向上具有基本相同的最大长度。

6. 根据权利要求1所述的三维半导体存储器件,还包括:

垂直结构,在所述单元阵列区域上穿透所述堆叠结构,

其中每个所述垂直结构包括垂直半导体图案和数据存储层,所述垂直半导体图案垂直于所述衬底的顶表面,所述数据存储层在所述垂直半导体图案和所述堆叠结构之间。

7. 根据权利要求6所述的三维半导体存储器件,还包括:

位线,在所述第二方向上延伸以交叉所述水平层的所述电极部分并且连接到所述垂直结构。

8. 根据权利要求1所述的三维半导体存储器件,其中所述块选择栅电极在所述第二方向上彼此间隔开,并且分别穿透每个所述水平层的所述电极部分。

9. 根据权利要求8所述的三维半导体存储器件,还包括:

垂直栅极绝缘层,围绕每个所述块选择栅电极的侧壁。

10. 根据权利要求1所述的三维半导体存储器件,其中当在俯视图中看时,每个所述块选择栅电极设置在彼此相邻的所述电极部分之间。

11. 根据权利要求10所述的三维半导体存储器件,还包括:

垂直栅极绝缘层,设置在所述堆叠结构的侧壁和每个所述块选择栅电极之间。

12. 根据权利要求1所述的三维半导体存储器件,其中所述水平层的所述沟道掺杂区域的电位由所述块选择栅电极控制,以及

其中每个所述水平层的所述电极部分彼此电隔离。

13. 一种三维 (3D) 半导体存储器件, 包括:

衬底, 包括单元阵列区域、连接区域和在所述单元阵列区域与所述连接区域之间的块选择区域;

堆叠结构, 包括垂直地交替堆叠在所述衬底上的第一导电类型的半导体层和层间绝缘层;

垂直结构, 在所述单元阵列区域上穿透所述堆叠结构; 以及

块选择栅电极, 在所述块选择区域上与所述堆叠结构的侧壁交叉,

其中每个所述半导体层包括沟道掺杂区域, 所述沟道掺杂区域与所述块选择区域上的所述块选择栅电极相邻, 并且具有与所述第一导电类型不同的第二导电类型。

14. 根据权利要求13所述的三维半导体存储器件, 其中所述单元阵列区域和所述连接区域上的所述第一导电类型的掺杂剂的浓度高于所述块选择区域上的所述第二导电类型的掺杂剂的浓度。

15. 根据权利要求13所述的三维半导体存储器件, 还包括:

电极分隔结构, 在所述单元阵列区域和所述块选择区域上穿透所述堆叠结构, 并且在第一方向上延伸,

其中所述垂直结构与所述电极分隔结构间隔开并且穿透所述堆叠结构。

16. 根据权利要求15所述的三维半导体存储器件, 其中每个所述半导体层包括: 通过所述电极分隔结构彼此间隔开的多个电极部分; 在所述连接区域上水平地连接所述电极部分的连接部分; 以及从所述连接部分水平地突出的焊盘部分, 并且

其中当在俯视图中看时, 所述半导体层的所述焊盘部分沿垂直于所述第一方向的第二方向布置。

17. 根据权利要求16所述的三维半导体存储器件, 其中所述电极部分包括彼此相邻的第一电极部分和第二电极部分,

其中所述块选择栅电极设置在所述第一电极部分和所述第二电极部分之间, 以及

其中所述第一电极部分和所述块选择栅电极之间的距离不同于所述第二电极部分和所述块选择栅电极之间的距离。

18. 根据权利要求15所述的三维半导体存储器件, 其中所述块选择栅电极与所述电极分隔结构间隔开并且穿透所述堆叠结构。

19. 根据权利要求15所述的三维半导体存储器件, 其中每个所述电极分隔结构包括填充绝缘层, 以及

其中所述块选择栅电极穿透所述填充绝缘层。

20. 根据权利要求13所述的三维半导体存储器件, 其中所述垂直结构包括半导体材料, 并且所述块选择栅电极包括导电材料。

21. 一种三维 (3D) 半导体存储器件, 包括:

衬底; 以及

堆叠结构, 包括堆叠在所述衬底上的多个水平层, 每个所述水平层包括:

多个电极部分, 在第一水平方向上至少部分地分开, 其中所述多个电极部分的每个包括第一导电类型和不同于所述第一导电类型的第二导电类型;

连接部分, 在所述第一水平方向上连接所述电极部分; 和

焊盘部分,在垂直于所述第一水平方向的第二水平方向上从所述连接部分突出;以及多个块选择栅电极,分别与每个所述水平层的所述多个电极部分的侧壁交叉,其中每个所述块选择栅电极选择性地将所述多个电极部分中的一个连接到所述连接部分,其中所述水平层的所述焊盘部分布置为沿所述第二水平方向延伸的阶梯结构。

22. 根据权利要求21所述的三维半导体存储器件,还包括:

垂直结构,在所述单元阵列区域上穿透所述堆叠结构;以及位线,在所述第一水平方向上延伸以与所述水平层的所述电极部分交叉,并且连接到所述垂直结构,

其中每个所述垂直结构包括垂直半导体图案和数据存储层,所述垂直半导体图案垂直于所述衬底的顶表面,所述数据存储层在所述垂直半导体图案和所述堆叠结构之间。

23. 根据权利要求22所述的三维半导体存储器件,其中所述衬底包括单元阵列区域、连接区域和在所述单元阵列区域与所述连接区域之间的块选择区域,

所述器件还包括电极分隔结构,所述电极分隔结构在所述单元阵列区域和所述块选择区域上穿透所述堆叠结构,并且在所述第二水平方向上延伸,

其中所述垂直结构与所述电极分隔结构间隔开并且穿透所述堆叠结构。

24. 根据权利要求21所述的三维半导体存储器件,其中当在俯视图中看时,每个所述块选择栅电极设置在彼此相邻的所述电极部分之间。

25. 根据权利要求21所述的三维半导体存储器件,其中所述衬底包括单元阵列区域、连接区域和在所述单元阵列区域与所述连接区域之间的块选择区域,

其中每个所述电极部分包括第一半导体区域和沟道掺杂区域,所述第一半导体区域在所述单元阵列区域和所述连接区域上具有所述第一导电类型,所述沟道掺杂区域在所述块选择区域上具有所述第二导电类型,以及

其中所述第一半导体区域中的所述第一导电类型的掺杂剂的浓度高于所述沟道掺杂区域中的所述第二导电类型的掺杂剂的浓度。

## 三维半导体存储器件

### 技术领域

[0001] 本发明构思的实施方式涉及三维 (3D) 半导体存储器件,更具体地,涉及具有提高的可靠性和集成密度的3D半导体存储器件。

### 背景技术

[0002] 半导体器件已被高度优化以提供优异的性能和低的制造成本。例如,高集成密度可以使制造成本能够降低。二维 (2D) 或平面半导体器件的集成密度主要由每个单位存储单元占据的面积决定。因此,2D或平面半导体器件的集成密度主要通过用于形成精细图案的技术得到提高。

[0003] 然而,经常需要极其昂贵的设备来形成精细图案。因此,虽然2D半导体器件的集成密度继续增大,但仍然受到高成本的限制。因此,已经开发了三维 (3D) 半导体存储器件来克服上述限制。3D半导体存储器件可以包括三维布置的存储单元。

### 发明内容

[0004] 本发明构思的实施方式可以提供能够提高可靠性和集成密度的三维 (3D) 半导体存储器件。

[0005] 在一方面中,一种3D半导体存储器件可以包括:衬底,包括单元阵列区域、连接区域和在单元阵列区域与连接区域之间的块选择区域;堆叠结构,包括垂直地堆叠在衬底上的水平层,每个水平层包括在单元阵列区域和块选择区域上在第一方向上延伸的多个电极部分以及设置在连接区域上以在垂直于第一方向的第二方向上连接电极部分的连接部分;以及块选择栅电极,在块选择区域上与水平层的电极部分的侧壁交叉。每个电极部分可以包括在单元阵列区域上具有第一导电类型的第一半导体区域,并且可以包括在块选择区域上具有与第一导电类型不同的第二导电类型的沟道掺杂区域。

[0006] 在一方面中,一种3D半导体存储器件可以包括:衬底,包括单元阵列区域、连接区域和在单元阵列区域与连接区域之间的块选择区域;堆叠结构,包括垂直地交替堆叠在衬底上的第一导电类型的半导体层和层间绝缘层;垂直结构,在单元阵列区域上穿透堆叠结构;以及块选择栅电极,在块选择区域上与堆叠结构的侧壁交叉。每个半导体层可以包括沟道掺杂区域,沟道掺杂区域与块选择区域上的块选择栅电极相邻,并且具有与第一导电类型不同的第二导电类型。

[0007] 在另一方面中,一种三维 (3D) 半导体存储器件可以包括衬底、以及包含堆叠在衬底上的多个水平层的堆叠结构,每个水平层包括:多个电极部分,在第一水平方向上至少部分地分开,其中所述多个电极部分的每个包括第一导电类型和不同于第一导电类型的第二导电类型;连接部分,在第一水平方向上连接电极部分;和焊盘部分,在垂直于第一水平方向的第二水平方向上从连接部分突出;多个块选择栅电极分别与每个水平层的所述多个电极部分的侧壁交叉,其中每个块选择栅电极将所述多个电极部分中的一个选择性地连接到连接部分,其中水平层的焊盘部分布置在沿第二水平方向延伸的阶梯结构中。

## 附图说明

- [0008] 本发明构思将由附图和随附的详细描述变得更加明显。
- [0009] 图1是示出根据本发明构思的一些实施方式的三维 (3D) 半导体存储器件的框图。
- [0010] 图2是示出根据本发明构思的一些实施方式的3D半导体存储器件的部件的布置的示意图。
- [0011] 图3是示出根据本发明构思的一些实施方式的3D半导体存储器件的示意性俯视图。
- [0012] 图4是示出根据本发明构思的一些实施方式的3D半导体存储器件的透视图。
- [0013] 图5是示出根据本发明构思的一些实施方式的3D半导体存储器件的俯视图。
- [0014] 图6至9是分别沿图5的线I-I'、II-II'、III-III'和IV-IV'截取的剖视图,以示出根据本发明构思的一些实施方式的3D半导体存储器件。
- [0015] 图10是示出根据本发明构思的一些实施方式的水平层的俯视图。
- [0016] 图11A和11B是图6的部分“A”的放大视图。
- [0017] 图12A和12B是示出根据本发明构思的一些实施方式的操作3D半导体存储器件的方法的示意图。
- [0018] 图13是示出根据本发明构思的一些实施方式的3D半导体存储器件的透视图。
- [0019] 图14是示出根据本发明构思的一些实施方式的3D半导体存储器件的俯视图。
- [0020] 图15和16是分别沿图14的线V-V'和VI-VI'截取的剖视图,以示出根据本发明构思的一些实施方式的3D半导体存储器件。

## 具体实施方式

- [0021] 下文中将参照附图详细描述本发明构思的实施方式。本公开的方面涉及3D垂直NAND (VNAND) 闪存技术。本公开另外的实施方式涉及3D可变电阻存储器。NAND闪存是不需要电力来保留数据的一种非易失性存储技术。二维 (2D) 平面NAND技术具有在不牺牲性能和可靠性的情况下抑制容量扩展的内在限制。
- [0022] 为了解决2D NAND的可扩展性问题,3D存储技术可以通过将存储单元垂直地堆叠成三维结构而提高单元密度。使用单一管芯封装 (SDP) 技术可以在一定程度上减小芯片尺寸。然而,当存储单元垂直地堆叠时,难以防止连接区域(即,将垂直层连接到外围电路的区域)尺寸增大。也就是,随着堆叠结构中堆叠层的数量增加,连接(或延伸)区域的面积也趋于增大,这会增大芯片尺寸。
- [0023] 因此,本公开的方面描述了这样的3D半导体存储器件,其中单元堆叠包括沿着一侧的阶梯结构,该阶梯结构提供水平层和外围电路之间的电连接。该阶梯结构允许电连接被限制在相对小的水平区域,使外围电路能够更靠近堆叠结构安置,从而减小芯片的总体尺寸。
- [0024] 另外,存储块的水平层(即,堆叠层)可以共用单个单元接触插塞。用于控制堆叠层的电位的块选择晶体管可以设置在单元阵列区域和连接区域之间的块选择区域内,使得各个层可以选择性地连接到单元接触插塞。
- [0025] 而且,块选择栅电极可以与电极部分的侧壁交叉。每个电极部分可以包括具有第一导电类型的第一区域和具有不同的第二导电类型的沟道掺杂区域。所描述的实施方式可

以使3D存储器件能够增大单元密度,这可以带来减小的芯片尺寸、更低的制造成本和改善的耐用性。

[0026] 图1是示出根据本发明构思的一些实施方式的3D半导体存储器件的框图。

[0027] 参照图1,3D半导体存储器件可以包括存储单元阵列1和用于控制存储单元阵列1的外围电路。外围电路可以包括电压发生器2、行解码器3、块选择电路4、页缓冲器5、列解码器6和控制逻辑电路7。

[0028] 存储单元阵列1可以包括多个存储块BLK0至BLKn。存储块BLK0至BLKn的每个可以包括三维布置的存储单元。例如,存储块BLK0至BLKn的每个可以包括设置在由彼此交叉的第一方向和第二方向限定的平面上且在垂直于第一方向和第二方向的第三方向上堆叠的结构。数据可以从响应于对应的块选择信号而选择的存储块BLK0至BLKn中的至少一个读取,或者被写入响应于对应的块选择信号而选择的存储块BLK0至BLKn中的至少一个。

[0029] 在一些实施方式中,3D半导体存储器件可以是垂直NAND闪存器件。在垂直NAND闪存器件的情况下,存储块BLK0至BLKn的每个可以包括形成为NAND类型的多个单元串。单元串可以在彼此交叉的第一方向和第二方向上二维地布置,并且可以在垂直于第一方向和第二方向的第三方向上延伸。每个单元串可以包括彼此串联连接的串选择晶体管、存储单元晶体管和地选择晶体管。此外,每个存储单元晶体管可以包括数据存储元件。

[0030] 在某些实施方式中,3D半导体存储器件可以是3D可变电阻存储器件。在3D可变电阻存储器件的情况下,存储块BLK0至BLKn可以包括分别设置在字线和位线的交叉点处的存储单元。每个存储单元可以包括电阻存储元件。电阻存储元件可以包括钙钛矿化合物、过渡金属氧化物、相变材料、磁性材料、铁磁材料或反铁磁材料中的至少一种。

[0031] 行解码器3可以对从外部输入的地址信号进行解码,以选择所选存储块的字线中的一个。

[0032] 块选择电路4可以响应于块选择信号将存储块BLK0至BLKn中所选择的存储块连接到行解码器3。块选择电路4可以包括与每个存储块的字线的末端连接的多个块选择晶体管。

[0033] 页缓冲器5可以通过位线连接到存储单元阵列1,以读取存储在存储单元中的数据。

[0034] 列解码器6可以对输入的地址信号进行解码以选择位线中的一个。列解码器6可以在页缓冲器5和外部器件(例如,存储控制器)之间提供数据传输路径。

[0035] 电压发生器2可以由控制逻辑电路7控制,以产生存储单元阵列1的内部操作所必需的电压(例如,编程电压、读取电压和擦除电压)。

[0036] 图2是示出根据本发明构思的一些实施方式的3D半导体存储器件的部件的布置的示意图。

[0037] 参照图2,3D半导体存储器件可以包括单元阵列区域CAR和外围电路区域PCR。外围电路区域PCR可以包括行解码器区域ROW DCR、页缓冲器区域PBR、列解码器区域COL DCR和控制电路区域(未示出)。在一些实施方式中,连接区域CNR可以设置在单元阵列区域CAR和每个行解码器区域ROW DCR之间,块选择区域BSR可以设置在单元阵列区域CAR和连接区域CNR之间。

[0038] 包括多个存储单元的存储单元阵列可以设置在单元阵列区域CAR中。存储单元阵

列可以包括三维布置的存储单元、字线和位线。字线和位线可以电连接到存储单元。

[0039] 用于电连接存储单元阵列和行解码器的互连结构(例如,接触插塞和导电线)可以设置在连接区域CNR中。在示例实施方式中,连接区域CNR可以包括与堆叠结构的每个层相关联的焊盘,其中所述焊盘布置成阶梯状图案。这可以使每个层能够以占据相对小的面积的方式连接到行解码器。这可以使存储单元阵列能够更有效地布置。

[0040] 用于选择存储块之一的块选择晶体管可以设置在块选择区域BSR中。通过互连结构施加的栅极电压可以由块选择晶体管提供给所选存储块的字线。块选择晶体管可以使单元阵列区域CAR中的多个电极部分的每个能够选择性地连接到公共接触插塞。

[0041] 用于选择存储单元阵列的字线的行解码器可以设置在行解码器区域ROW DCR中。行解码器可以响应于地址信号而选择存储单元阵列的字线中的一个。

[0042] 用于感测存储在存储单元中的数据的数据的页缓冲器可以设置在页缓冲器区域PBR中。根据操作模式,页缓冲器可以临时存储将要存储在存储单元中的数据,或者可以感测存储在存储单元中的数据。

[0043] 连接到存储单元阵列的位线的列解码器可以设置在列解码器区域COL DCR中。列解码器可以在页缓冲器和外部器件(例如,存储控制器)之间提供数据传输路径。

[0044] 图3是示出根据本发明构思的一些实施方式的3D半导体存储器件的示意性俯视图。

[0045] 参照图3,如参照图1和2所述,3D半导体存储器件可以包括在与第一方向D1交叉的第二方向D2上布置的多个存储块BLK。每个存储块BLK可以包括具有三维结构或垂直结构的存储单元阵列。

[0046] 3D半导体存储器件可以包括在第一方向D1上布置的单元阵列区域CAR、块选择区域BSR、连接区域CNR和外围电路区域PCR。块选择区域BSR可以设置在单元阵列区域CAR和连接区域CNR之间。连接区域CNR可以设置在块选择区域BSR和外围电路区域PCR之间。

[0047] 在一些实施方式中,一个堆叠结构ST可以包括多个存储块BLK。例如,一个堆叠结构ST可以在第一方向D1上从单元阵列区域CAR延伸到连接区域CNR。堆叠结构ST可以包括在垂直于第一方向D1和第二方向D2的第三方向D3上堆叠的多个水平层HL(参见图4)。

[0048] 堆叠结构ST可以包括通过在单元阵列区域CAR中沿第一方向D1延伸的电极分隔区域SR彼此间隔开的多个电极部分EP(参见图10)。在一些实施方式中,堆叠结构ST的每个水平层HL可以包括在块选择区域BSR中的沟道掺杂区域CHR。

[0049] 多个垂直结构VS可以提供在单元阵列区域CAR中。垂直结构VS可以在第三方向D3上穿透堆叠结构ST的电极部分EP。

[0050] 堆叠结构ST可以在连接区域CNR中具有沿第二方向D2形成的阶梯结构。接触插塞和互连线可以连接到堆叠结构ST的阶梯结构。接触插塞和互连线可以将堆叠结构ST连接到行解码器。

[0051] 块选择区域BSR中的沟道掺杂区域CHR可以使每个存储块BLK能够选择性地连接到连接区域CNR,这可以使层中的每个块能够共用公共接触插塞。结果,与连接的存储块的数量相比,连接区域CNR的尺寸可以保持相对较小。

[0052] 图4是示出根据本发明构思的一些实施方式的3D半导体存储器件的透视图。图5是示出根据本发明构思的一些实施方式的3D半导体存储器件的俯视图。图6至9是分别沿图5

的线I-I'、II-II'、III-III'和IV-IV'截取的剖视图,以示出根据本发明构思的一些实施方式的3D半导体存储器件。图10是示出根据本发明构思的一些实施方式的水平层的俯视图。图11A和11B是图6的部分“A”的放大视图。

[0053] 参照图4、5、6、7、8和9,衬底10可以包括在第一方向D1上布置的单元阵列区域CAR、块选择区域BSR和连接区域CNR。衬底10可以包括具有半导体性质的材料(例如,硅晶片)、绝缘材料(例如,玻璃衬底)、或者用绝缘材料覆盖的半导体或导体。例如,衬底10可以是具有第一导电类型的硅晶片。

[0054] 堆叠结构ST可以在第一方向D1上从单元阵列区域CAR连续地延伸到连接区域CNR上。缓冲绝缘层11可以设置在堆叠结构ST和衬底10之间。堆叠结构ST可以包括垂直地交替堆叠在衬底10上的水平层HL和层间绝缘层ILD。

[0055] 每个水平层HL可以包括用掺杂剂掺杂的半导体层、硅化物层或金属层中的至少一个。例如,每个水平层HL可以包括用第一导电类型的掺杂剂掺杂的多晶硅层。每个层间绝缘层ILD可以包括硅氧化物层和/或低k电介质层。

[0056] 在一些实施方式中,水平层HL可以是具有第一导电类型的半导体层,并且可以在块选择区域BSR上用第二导电类型的掺杂剂掺杂。换言之,每个水平层HL可以包括在块选择区域BSR上的具有与第一导电类型不同的第二导电类型的沟道掺杂区域CHR。

[0057] 沟道掺杂区域CHR可以使每个存储块BLK与连接区域CNR电隔离。然而,如下所述,然后存储块BLK可以基于施加到块选择栅电极的电压而连接到连接区域。

[0058] 更详细地,参照图10,每个水平层HL可以包括在单元阵列区域CAR上沿第一方向D1延伸并且在与第一方向D1交叉的第二方向D2上彼此间隔开的多个电极部分EP、在第二方向D2上连接电极部分EP的电极连接部分ICP、以及从电极连接部分ICP水平地突出的焊盘部分PAD。彼此相邻的电极部分EP可以通过提供在其间的电极分隔结构在第二方向D2上彼此间隔开。

[0059] 每个电极部分EP可以对应于水平层HL的存储块BLK的方位,并且电极连接部分可以对应于连接区域CNR的方位(即,如图3所示)。

[0060] 在一些实施方式中,每个水平层HL的电极部分EP可以位于从衬底10起相同的距离(或水平)处。每个水平层HL的电极部分EP可以连接到电极连接部分ICP,因而可以彼此不物理隔离。然而,电极部分EP可以经由沟道掺杂区域CHR连接到电极连接部分ICP。因此,电极部分EP可以选择性地连接到公共电极连接部分ICP。在堆叠结构ST中,位于不同水平处的水平层HL可以彼此电隔离。

[0061] 在一些实施方式中,每个电极部分EP可以包括在单元阵列区域CAR上的用第一导电类型的掺杂剂掺杂的第一掺杂区域SD1、在块选择区域BSR上的用第二导电类型的掺杂剂掺杂的沟道掺杂区域CHR、以及在连接区域CNR上的用第一导电类型的掺杂剂掺杂的第二掺杂区域SD2。掺杂剂的浓度可以在第一掺杂区域SD1和第二掺杂区域SD2中比在沟道掺杂区域CHR中更高。

[0062] 第一掺杂区域SD1和沟道掺杂区域CHR可以彼此接合以在其间形成第一PN结。第二掺杂区域SD2和沟道掺杂区域CHR可以彼此接合以在其间形成第二PN结。第一掺杂区域SD1和第二掺杂区域SD2可以取决于沟道掺杂区域CHR的电位而彼此电连接或彼此电隔离。在一些实施方式中,沟道掺杂区域CHR的电位可以由块选择栅电极VGE控制。换言之,在每个水平

层HL中,电极部分EP可以选择性地电连接到电极连接部分ICP。

[0063] 再次参照图4至9,电极分隔结构ESS(即,如图7所示)可以在单元阵列区域CAR和块选择区域BSR上穿透堆叠结构ST,并且可以在第一方向D1上延伸。电极分隔结构ESS可以将存储块BLK或电极部分EP至少部分地分开。每个电极分隔结构ESS可以包括在第一方向D1上延伸的公共源极插塞CSP和覆盖公共源极插塞CSP的侧壁的绝缘间隔物SS。公共源极插塞CSP可以垂直于衬底10的顶表面。公共源极插塞CSP可以连接到形成在衬底10中的公共源极区域CSR。

[0064] 公共源极区域CSR可以提供在单元阵列区域CAR的衬底10中。公共源极区域CSR可以在俯视图中设置在水平层HL的电极部分EP之间,并且可以沿第一方向D1延伸。公共源极区域CSR可以通过用第二导电类型的掺杂剂掺杂衬底10的部分而形成。例如,公共源极区域CSR可以包括N型掺杂剂(例如,砷(As)或磷(P))。

[0065] 在一些实施方式中,电极分隔结构ESS在第一方向D1上的长度可以小于堆叠结构ST在第一方向D1上的长度。因此,电极分隔结构ESS可以在第二方向D2上将堆叠结构ST的部分彼此分开。因为电极分隔结构ESS在第一方向D1上的长度可以小于堆叠结构ST在第一方向D1上的长度,所以电极分隔结构ESS之间的电极部分EP可以经由沟道掺杂区域CHR选择性地电连接到公共电极连接部分ICP。

[0066] 参照图4、5、6和7,参照图1描述的三维布置的存储单元可以提供在单元阵列区域CAR上。堆叠结构ST的水平层HL可以用作用于控制单元阵列区域CAR上的存储单元的控制线。根据一些实施方式的3D半导体存储器件可以是垂直NAND闪存器件,并且堆叠结构ST的水平层HL可以用作存储单元晶体管和选择晶体管的控制栅电极。或者,根据一些实施方式的3D半导体存储器件可以是可变电阻存储器件,并且水平层HL可以是连接到存储单元的第一端子的字线。

[0067] 垂直于衬底10的顶表面的多个垂直结构VS可以设置在单元阵列区域CAR上。多个垂直结构VS可以穿透水平层HL的电极部分EP,并且可以与电极分隔结构ESS间隔开。当在俯视图中看时,构成彼此相邻的两行的垂直结构VS可以沿第一方向D1布置成Z字形形式。

[0068] 垂直结构VS可以包括诸如硅(Si)、锗(Ge)或其组合的半导体材料。此外,垂直结构VS可以包括用掺杂剂掺杂的半导体材料或不掺杂掺杂剂的本征半导体材料。在一些实施方式中,包括所述半导体材料的垂直结构VS可以用作构成垂直NAND闪存器件的单元串的选择晶体管和存储单元晶体管的沟道。或者,垂直结构VS可以由导电材料诸如金属或用掺杂剂掺杂的半导体材料形成。连接到位线接触插塞BPLG的位线导电焊盘可以分别设置在垂直结构VS的顶端上。

[0069] 稍后将参照图11A和11B更详细地描述根据本发明构思的各种各样的实施方式的垂直结构VS。

[0070] 参照图4、5和8,参照图1描述的块选择电路可以设置在块选择区域BSR上。块选择电路可以包括使用堆叠结构ST的水平层HL的部分作为沟道的块选择晶体管。在一些实施方式中,位于从衬底10起相同的水平处的块选择晶体管的漏电极(即,电极连接部分ICP的第二掺杂区域SD2)可以彼此电连接。位于从衬底10起不同的水平处的块选择晶体管可以由块选择栅电极VGE控制。

[0071] 详细地,垂直于衬底10的顶表面的块选择栅电极VGE可以设置在块选择区域BSR

上。块选择栅电极VGE可以在第二方向D2上彼此间隔开,并且可以彼此电分离且物理分离。块选择栅电极VGE可以与水平层HL的沟道掺杂区域CHR交叉。块选择栅电极VGE在第一方向D1上的宽度可以大于沟道掺杂区域CHR在第一方向D1上的宽度。块选择栅电极VGE可以与提供在衬底10中的隔离绝缘层50接触,并且可以与衬底10间隔开。块选择栅电极VGE可以连接到块选择线BSL,并且可以彼此独立地被控制。

[0072] 块选择栅电极VGE可以在块选择区域BSR上穿透水平层HL的电极部分EP。每个块选择栅电极VGE可以设置在彼此相邻的电极分隔结构ESS之间。每个块选择栅电极VGE可以位于从相邻的电极分隔结构ESS的每个起基本相等的距离处。

[0073] 垂直栅极绝缘层VGI可以设置在堆叠结构ST和每个块选择栅电极VGE之间。垂直栅极绝缘层VGI可以垂直于衬底10的顶表面,并且可以围绕块选择栅电极VGE的侧壁。

[0074] 在一些实施方式中,块选择栅电极VGE、电极部分EP的沟道掺杂区域CHR、以及电极部分EP的第一掺杂区域SD1和第二掺杂区域SD2可以构成块选择晶体管。换言之,水平层HL在沟道掺杂区域CHR两侧的部分可以用作块选择晶体管的源电极和漏电极。在3D半导体存储器件的操作中,块选择栅电极VGE可以控制与块选择栅电极VGE的两个侧壁相邻的沟道掺杂区域CHR的电位。因此,块选择栅电极VGE可以用于经由沟道掺杂区域CHR将电极部分EP选择性地连接到连接区域CNR。

[0075] 参照图4、5和9,堆叠结构ST可以在连接区域CNR上具有用于电连接到行解码器的阶梯结构。在一些实施方式中,堆叠结构ST的阶梯结构可以沿与第一方向D1交叉的第二方向D2形成。堆叠结构ST的阶梯结构可以由水平层HL的可从堆叠结构ST(或从如图10所示的公共电极连接部分ICP)突出的焊盘部分PAD限定。水平层HL的焊盘部分PAD可以设置在彼此垂直地且水平地不同的位置处。

[0076] 焊盘部分PAD的面积可以取决于从衬底10起的垂直距离而变化。在一些实施方式中,水平层HL的焊盘部分PAD在第一方向D1上的宽度可以彼此基本相等,并且水平层HL的焊盘部分PAD在第二方向D2上的宽度可以随着从衬底10起的垂直距离增大而依次减小。也就是,底部的焊盘部分PAD可以在第二方向D2上延伸连接区域CNR的整个宽度,但是在垂直方向上往上的每个随后的焊盘部分PAD可以稍微更小,以暴露下面的焊盘部分PAD的一部分。

[0077] 换言之,水平层HL的焊盘部分PAD可以沿第二方向D2形成阶梯结构。水平层HL在第一方向D1上的最大长度可以彼此基本相等,并且水平层HL可以具有彼此垂直对准的侧壁。因为水平层上的每个电极部分EP可以连接到相同的焊盘部分PAD并且焊盘部分PAD布置在阶梯结构中,所以可以防止单元阵列区域CAR和外围电路区域之间在第一方向D1上的距离增大。换言之,可以防止连接区域CNR的面积增大。

[0078] 参照图5至9,平坦化绝缘层150可以覆盖衬底10上的堆叠结构ST。平坦化绝缘层150可以覆盖堆叠结构ST的在连接区域CNR上的阶梯结构,并且可以具有基本平坦的顶表面。平坦化绝缘层150可以包括一个绝缘层或多个堆叠的绝缘层。平坦化绝缘层150可以包括例如硅氧化物层和/或低k电介质层。

[0079] 第一层间绝缘层160可以设置在平坦化绝缘层150上,并且可以覆盖垂直结构VS的顶表面。第二层间绝缘层170可以设置在第一层间绝缘层160上,并且可以覆盖公共源极插塞CSP的顶表面。

[0080] 在第二方向D2上延伸的位线BL可以设置在单元阵列区域CAR的第二层间绝缘层

170上。位线BL可以通过位线接触插塞BPLG电连接到垂直结构VS。

[0081] 水平层HL的焊盘部分PAD可以连接到包括单元接触插塞CPLG和导电线CL的互连结构。

[0082] 单元接触插塞CPLG可以在连接区域CNR上穿透第一层绝缘层160和第二层绝缘层170以及平坦化绝缘层150,从而分别连接到水平层HL的焊盘部分PAD。单元接触插塞CPLG可以沿第二方向D2布置,并且单元接触插塞CPLG的顶表面可以彼此基本共面。单元接触插塞CPLG的垂直长度可以彼此不同。导电线CL可以设置在第二层绝缘层170上,并且可以分别连接到单元接触插塞CPLG。第三层绝缘层180可以设置在第二层绝缘层170上以覆盖位线BL和导电线CL,并且块选择线BSL可以设置在第三层绝缘层180上。

[0083] 参照图11A,每个垂直结构VS可以包括垂直半导体图案SP和数据存储层DS。垂直半导体图案SP可以与衬底10直接接触,并且垂直半导体图案SP的内部可以用填充绝缘图案VI填充。

[0084] 数据存储层DS可以设置在堆叠结构ST和垂直半导体图案SP之间。数据存储层DS可以围绕衬底10上的垂直半导体图案SP的侧壁。数据存储层DS可以包括单个薄层或多个薄层。在一些实施方式中,数据存储层DS可以是NAND闪存器件的数据存储层,并且可以包括隧道绝缘层TIL、电荷存储层CIL和阻挡绝缘层BIL。例如,电荷存储层CIL可以包括陷阱绝缘层、浮置栅电极和/或含导电纳米点的绝缘层。更详细地,电荷存储层CIL可以包括硅氮化物层( $\text{Si}_x\text{Ni}_y$ )、硅氮氧化物层( $\text{SiO}_x\text{N}_y$ )、富硅氮化物层、纳米晶体硅层或层叠陷阱层中的至少一个。隧道绝缘层TIL可以包括具有比电荷存储层CIL的能带隙大的能带隙的材料中的至少一种,阻挡绝缘层BIL可以包括诸如铝氧化物层或钪氧化物层的高k电介质层。或者,数据存储层DS可以包括用于相变存储单元的薄层或用于可变电阻存储单元的薄层。

[0085] 参照图11B,每个垂直结构VS可以包括下半导体图案LSP、上半导体图案USP、垂直缓冲绝缘层VBL和数据存储层DS。

[0086] 例如,下半导体图案LSP可以与衬底10直接接触,并且可以包括从衬底10延伸的柱形外延图案。例如,下半导体图案LSP可以由硅(Si)形成。或者,下半导体图案LSP可以包括锗(Ge)、硅锗(SiGe)、III-V族半导体化合物或II-VI族半导体化合物。下半导体图案LSP可以是无掺杂的半导体图案、或用具有与衬底10相同的导电类型的掺杂剂掺杂的半导体图案。

[0087] 例如,下半导体图案LSP可以穿透堆叠结构ST的最下面的水平层HL,并且下半导体图案LSP的顶表面可以设置在比堆叠结构ST的最下面的水平层HL的顶表面高的水平处。或者,下半导体图案LSP的顶表面可以设置在比堆叠结构ST的最下面的水平层HL的底表面低的水平处。

[0088] 上半导体图案USP可以与下半导体图案LSP直接接触,并且可以具有U形或拥有闭合底端的管形状。上半导体图案USP的内部可以用含绝缘材料的填充绝缘图案VI填充。

[0089] 上半导体图案USP的底表面可以设置在比下半导体图案LSP的顶表面低的水平处。上半导体图案USP可以处于无掺杂状态,或者可以包括用具有与衬底10相同的导电类型的掺杂剂掺杂的半导体材料。上半导体图案USP可以具有与下半导体图案LSP的晶体结构不同的晶体结构。例如,上半导体图案USP可以具有单晶结构、非晶结构或多晶结构中的至少一种。

[0090] 垂直缓冲绝缘层VBL可以设置在堆叠结构ST和上半导体图案USP之间以及在堆叠结构ST和下半导体图案LSP之间。垂直缓冲绝缘层VBL可以垂直于衬底10的顶表面延伸。垂直缓冲绝缘层VBL可以包括诸如铝氧化物层和/或钪氧化物层的高k电介质层。

[0091] 数据存储层DS可以设置在垂直缓冲绝缘层VBL和上半导体图案USP之间。数据存储层DS可以围绕上半导体图案USP的侧壁。数据存储层DS可以具有顶端和底端敞开的管形状或通心粉形状。数据存储层DS可以与下半导体图案LSP的顶表面的一部分接触。数据存储层DS的底表面可以设置在比上半导体图案USP的底表面高的水平处。数据存储层DS可以具有与参照图11A描述的数据存储层DS基本相同的技术特征。

[0092] 图12A和12B是示出根据本发明构思的一些实施方式的操作3D半导体存储器件的方法的示意图。

[0093] 根据一些实施方式的3D半导体存储器件可以是参照图4至9描述的3D半导体存储器件,为了说明的容易和方便,在下文中可以省略对与上述3D半导体存储器件中相同的技术特征的描述。

[0094] 参照图12A,在以上参照图10描述的水平层HL的每个中,沟道掺杂区域CHR可以包括例如P型掺杂剂,并且第一掺杂区域SD1和第二掺杂区域SD2可以包括例如N型掺杂剂。如下所述,通过选择性地向块选择栅电极VGE施加电压,第一掺杂区域SD1和第二掺杂区域SD2可以被电连接和电断开。

[0095] 例如,3D半导体存储器件可以包括第一存储块BLK1和第二存储块BLK2。通过提供给块选择栅电极VGE的块选择信号选择第一存储块BLK1且不选择第二存储块BLK2的实施方式将作为示例被描述。

[0096] 在3D半导体存储器件的操作中,字线电压 $V_{WL}$ (例如,编程电压、通过电压或擦除电压)可以施加到连接区域CNR上的水平层HL。换言之,公共字线电压 $V_{WL}$ 可以施加到连接区域CNR上的第二掺杂区域SD2。也就是,相同的电压可以提供给位于从衬底起相同水平处的块选择晶体管的漏电极。此外,在3D半导体存储器件的操作中,低于块选择晶体管的阈值电压的电压(例如,大约0V)可以施加到单元阵列区域CAR上的水平层HL。

[0097] 例如,在编程操作中,编程电压可以施加到所选择的水平层HL,并且通过电压可以施加到未选择的水平层HL。在擦除操作中,擦除电压可以施加到堆叠结构的水平层HL。

[0098] 第一栅极电压 $V_{ON}$ 可以施加到所选择的块选择栅电极VGE。第一栅极电压 $V_{ON}$ 可以大于块选择晶体管的阈值电压。字线电压 $V_{WL}$ 可以大于第一栅极电压 $V_{ON}$ 。例如,当块选择晶体管的阈值电压为大约2V时,字线电压 $V_{WL}$ 可以为大约20V并且第一栅极电压 $V_{ON}$ 可以为大约2V。

[0099] 第二栅极电压 $V_{OFF}$ 可以施加到未选择的块选择栅电极VGE。第二栅极电压 $V_{OFF}$ 可以小于块选择晶体管的阈值电压。例如,当块选择晶体管的阈值电压为大约2V时,第二栅极电压 $V_{OFF}$ 可以为大约0V。

[0100] 在这些条件下,字线电压 $V_{WL}$ 可以被传输到第一存储块BLK1的第一掺杂区域SD1。换言之,第一存储块BLK1的第一掺杂区域SD1和第二掺杂区域SD2可以彼此电连接,或者第二存储块BLK2的第一掺杂区域SD1和第二掺杂区域SD2可以彼此电隔离。

[0101] 参照图12B,在以上参照图10描述的水平层HL的每个中,沟道掺杂区域CHR可以包括例如N型掺杂剂,并且第一掺杂区域SD1和第二掺杂区域SD2可以包括例如P型掺杂剂。如

下所述,通过向块选择栅电极VGE选择性地施加电压,第一掺杂区域SD1和第二掺杂区域SD2可以被电连接和电断开。

[0102] 在3D半导体存储器件的操作中,第一栅极电压 $V_{ON}$ 可以施加到所选择的块选择栅电极VGE。第一栅极电压 $V_{ON}$ 可以小于字线电压 $V_{WL}$ 。第一栅极电压 $V_{ON}$ 和字线电压 $V_{WL}$ 之间的差值可以大于块选择晶体管的阈值电压。例如,当块选择晶体管的阈值电压为大约-2V时,字线电压 $V_{WL}$ 可以为大约20V并且第一栅极电压 $V_{ON}$ 可以为大约18V。

[0103] 第二栅极电压 $V_{OFF}$ 可以施加到未选择的块选择栅电极VGE。第二栅极电压 $V_{OFF}$ 可以大于字线电压 $V_{WL}$ 。第二栅极电压 $V_{OFF}$ 和字线电压 $V_{WL}$ 之间的差值可以小于块选择晶体管的阈值电压。例如,当块选择晶体管的阈值电压为大约-2V时,第二栅极电压 $V_{OFF}$ 可以为大约20V。

[0104] 图13是示出根据本发明构思的一些实施方式的3D半导体存储器件的透视图。图14是示出根据本发明构思的一些实施方式的3D半导体存储器件的俯视图。

[0105] 除了在图13中块选择栅电极VGE可以在电极分隔结构ESS内对准之外,图13可以包括与图4相似的方面。

[0106] 图15和16是分别沿图14的线V-V'和VI-VI'截取的剖视图,以示出根据本发明构思的一些实施方式的3D半导体存储器件。

[0107] 根据本实施方式的3D半导体存储器件可以是参照图3描述的3D(垂直)半导体存储器件。在下文中,为了说明的容易和方便,将省略对与上述实施方式中相同的技术特征的描述。

[0108] 参照图13、14、15和16,每个电极分隔结构ESS可以包括垂直于衬底10的顶表面并且在第一方向D1上延伸的填充绝缘层110。公共源极插塞CSP可以在单元阵列区域CAR上穿透填充绝缘层110的一部分。

[0109] 如图13-16所示,在一些实施方式中,块选择栅电极VGE可以分别设置在堆叠结构ST的电极部分EP之间。换言之,块选择栅电极VGE可以设置在电极分隔结构ESS的填充绝缘层110中。

[0110] 在一些实施方式中,填充绝缘层110的底表面可以设置在比衬底10的顶表面低的水平处,并且填充绝缘层110的部分可以设置在块选择栅电极VGE的底表面和衬底10之间。因此,块选择栅电极VGE可以与衬底10间隔开。

[0111] 块选择栅电极VGE可以在块选择区域BSR上在第三方向D3上与堆叠结构ST的侧壁交叉,并且可以与水平层HL的沟道掺杂区域CHR相邻。

[0112] 更详细地,块选择栅电极VGE可以设置在每个水平层HL的彼此相邻的第一和第二电极部分EP之间。块选择栅电极VGE可以相比于第一和第二电极部分EP中的另一个更靠近第一和第二电极部分EP中的一个设置。换言之,第一电极部分EP和块选择栅电极VGE之间的距离可以不同于第二电极部分EP和块选择栅电极VGE之间的距离。

[0113] 预定的电压可以施加到块选择栅电极VGE,以改变与块选择栅电极VGE的侧壁相邻的沟道掺杂区域CHR的电位。

[0114] 在根据本发明构思的实施方式的3D半导体存储器件中,堆叠结构可以包括垂直地堆叠在衬底上并且在第一方向上具有基本相同长度的水平层,并且可以具有沿第二方向限定的用于水平层和外围电路之间的电连接的阶梯结构。因此,可以防止单元阵列区域和外围电路区域之间在第一方向上的距离增加。换言之,可以防止连接区域的面积增大。

[0115] 此外,每个水平层可以包括在单元阵列区域上彼此分开的电极部分和在连接区域上连接电极部分的连接部分,因而多个存储块的水平层可以共用单个单元接触插塞。而且,用于控制水平层的电位的块选择晶体管可以设置在单元阵列区域和连接区域之间的块选择区域上,因而存储块的水平层可以通过块选择晶体管选择性地连接到单元接触插塞。

[0116] 本公开使用术语“单元阵列区域”、“连接区域”和“块选择区域”来表示半导体存储器件的可由其上形成半导体存储器件的衬底的上表面的平面的区域限定的区域。因此,这些区域可以被理解为在衬底上方在垂直方向上延伸并且包括例如衬底上方的堆叠的存储块(即,层)。因此,术语“在”区域“中”和“在”区域“上”都可以是指形成该区域的基础的衬底上的二维区域正上方的点。术语“在……上方”和“垂直”都可以是指如图3、4、5、10、13和14中指出的第三方向D3。

[0117] 尽管已经参照示例实施方式描述了本发明构思,但是对本领域技术人员将明显的是,可以进行各种改变和修改而不背离本发明构思的精神和范围。因此,应理解,上述实施方式不是限制性的,而是说明性的。因此,本发明构思的范围将由所附权利要求及其等同物的最宽可允许解释确定,并且不应受前面的描述约束或限制。

[0118] 本申请要求享有2018年12月14日向韩国知识产权局提交的韩国专利申请第10-2018-0161637号的优先权,其公开通过引用全文合并于此。

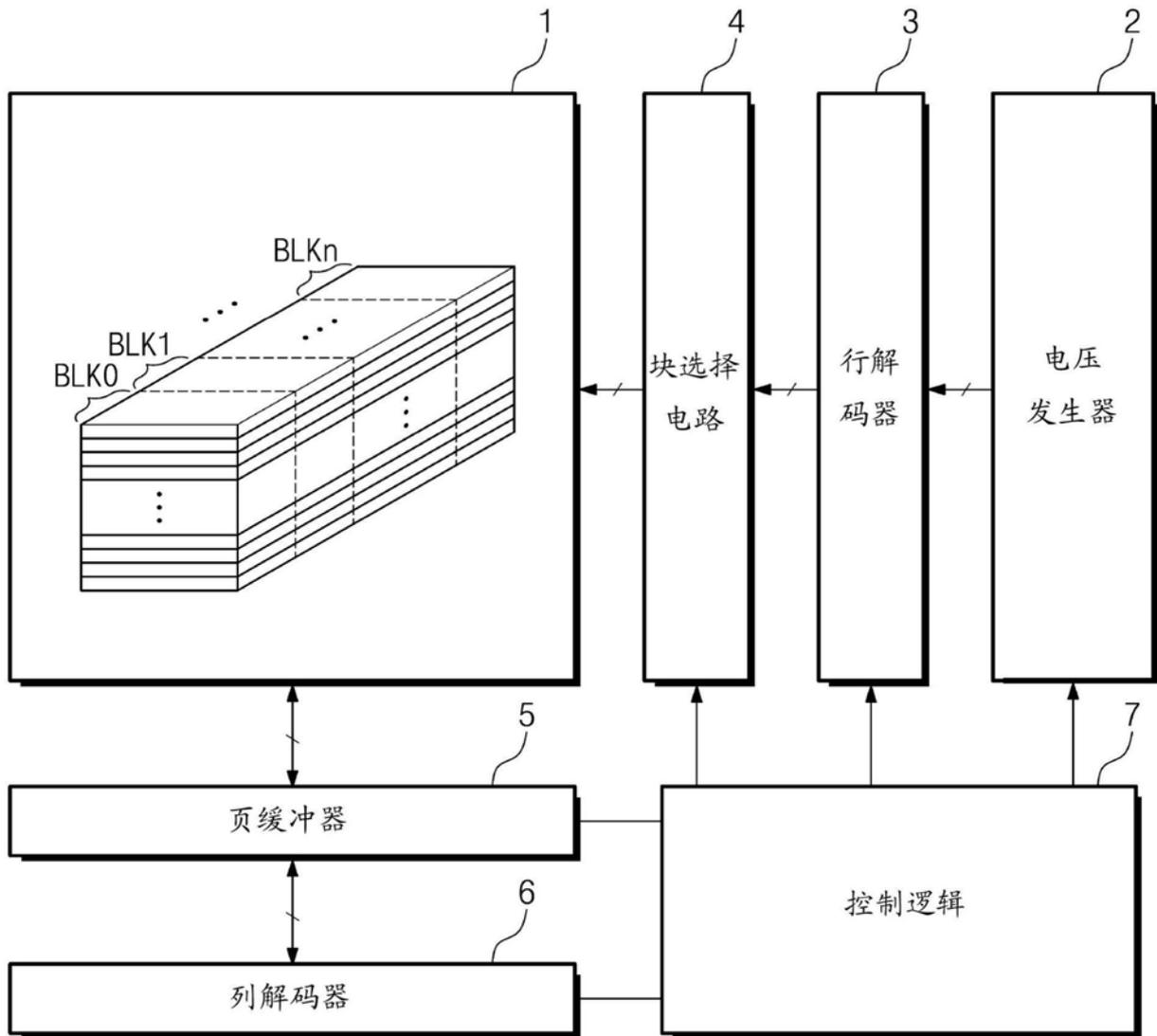


图1

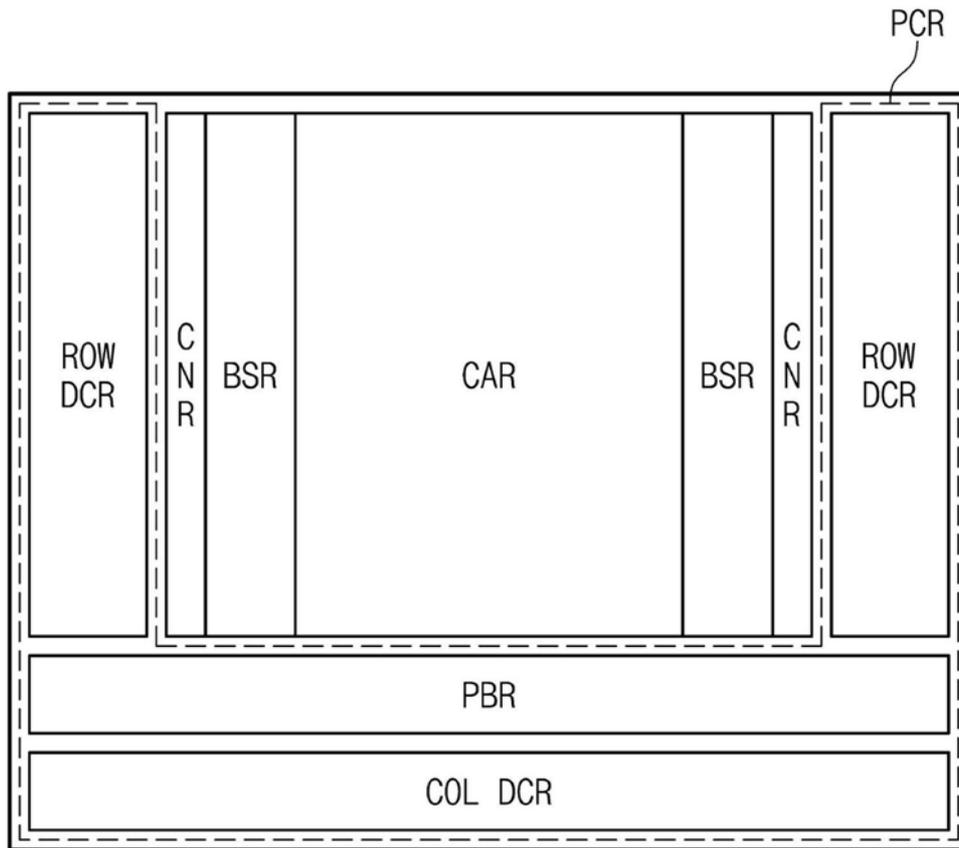


图2

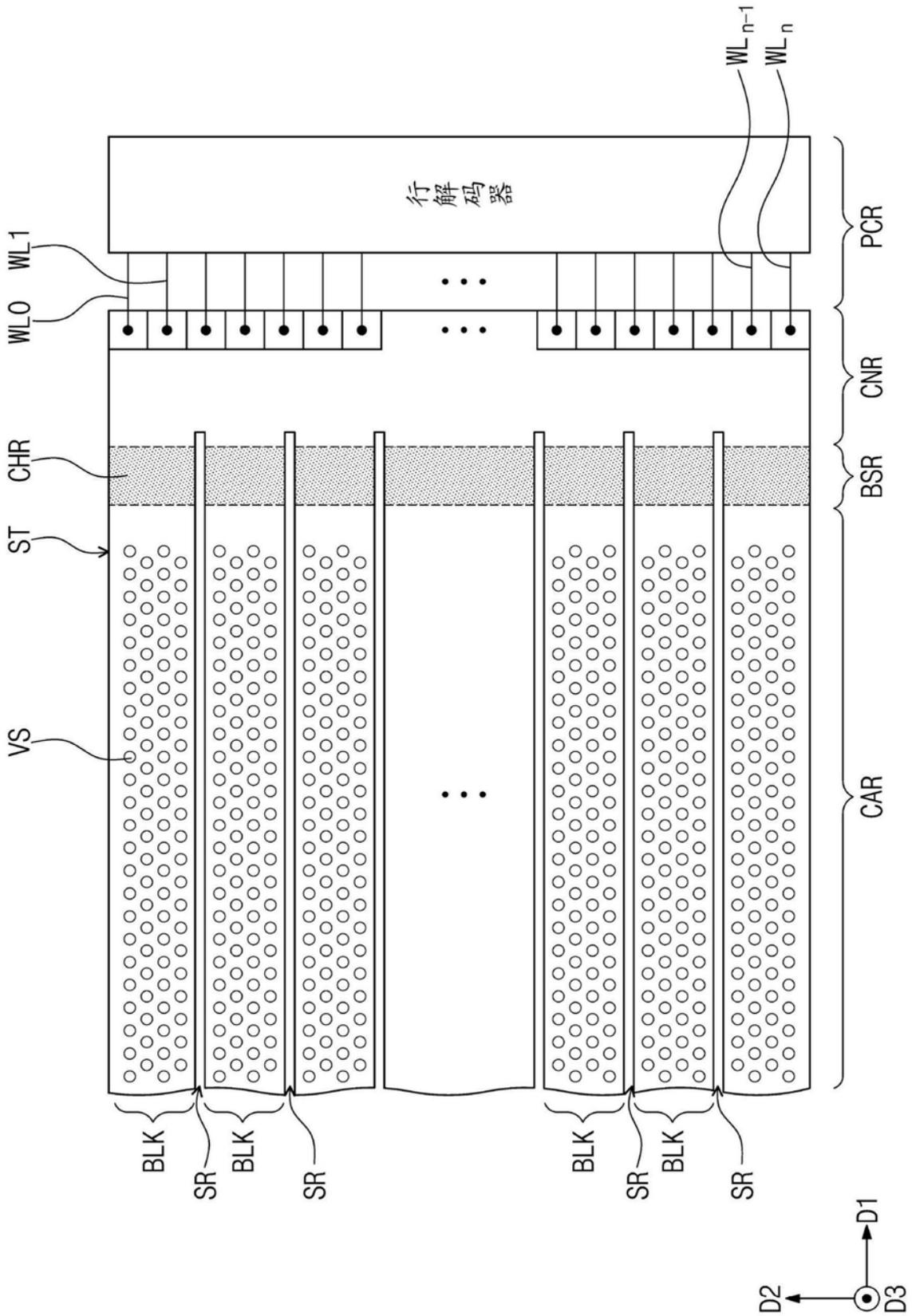


图3

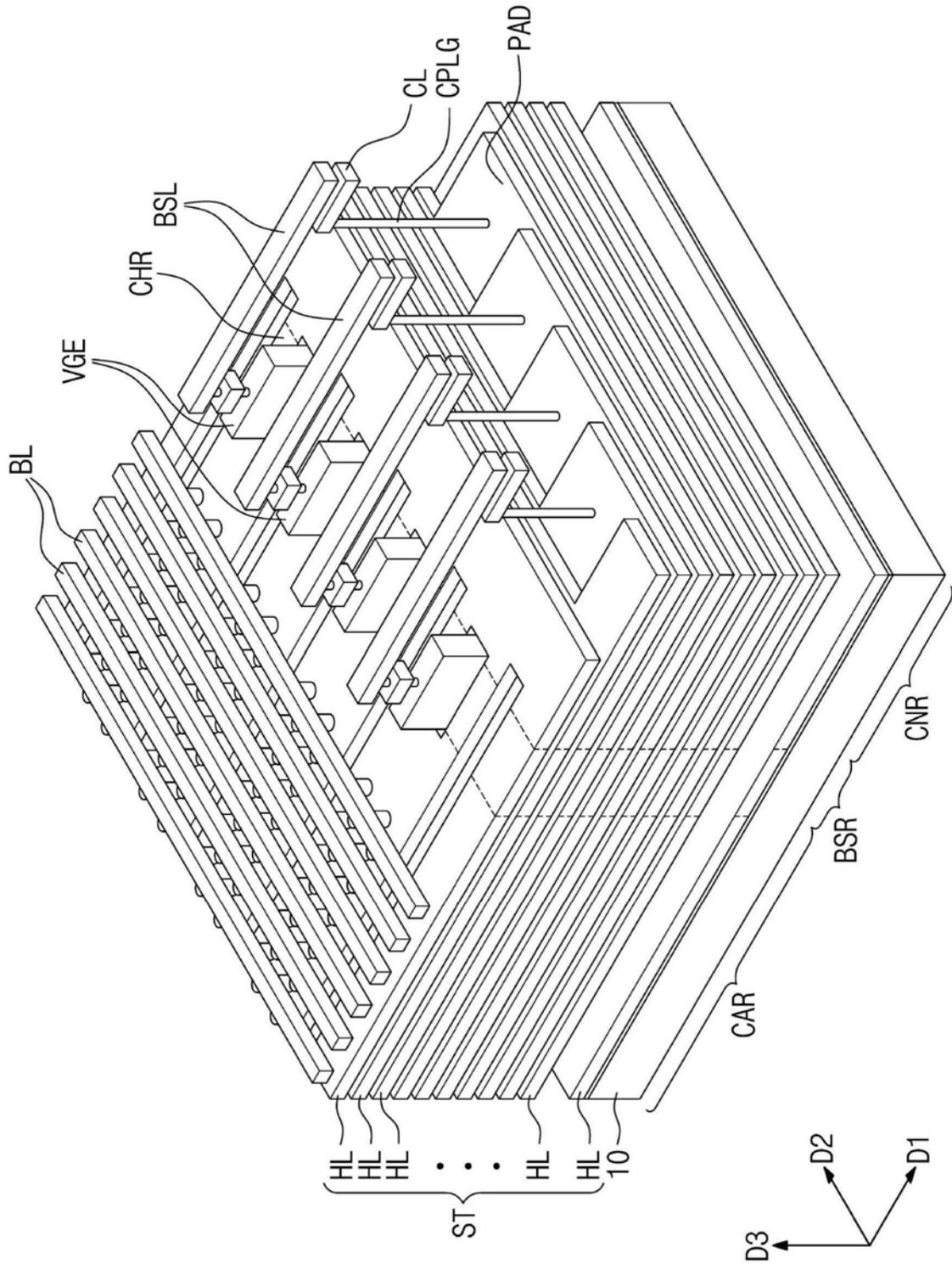


图4

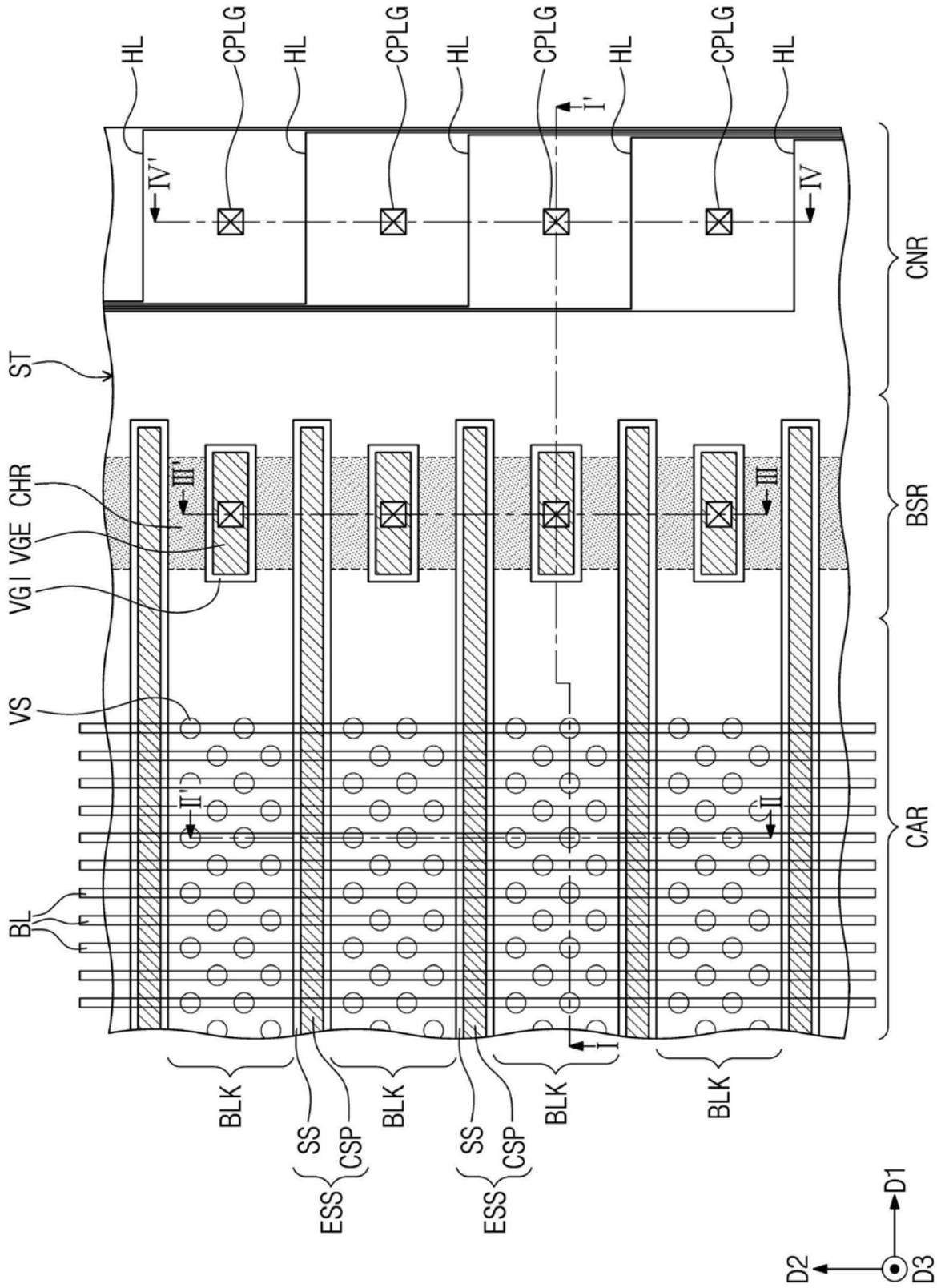


图5

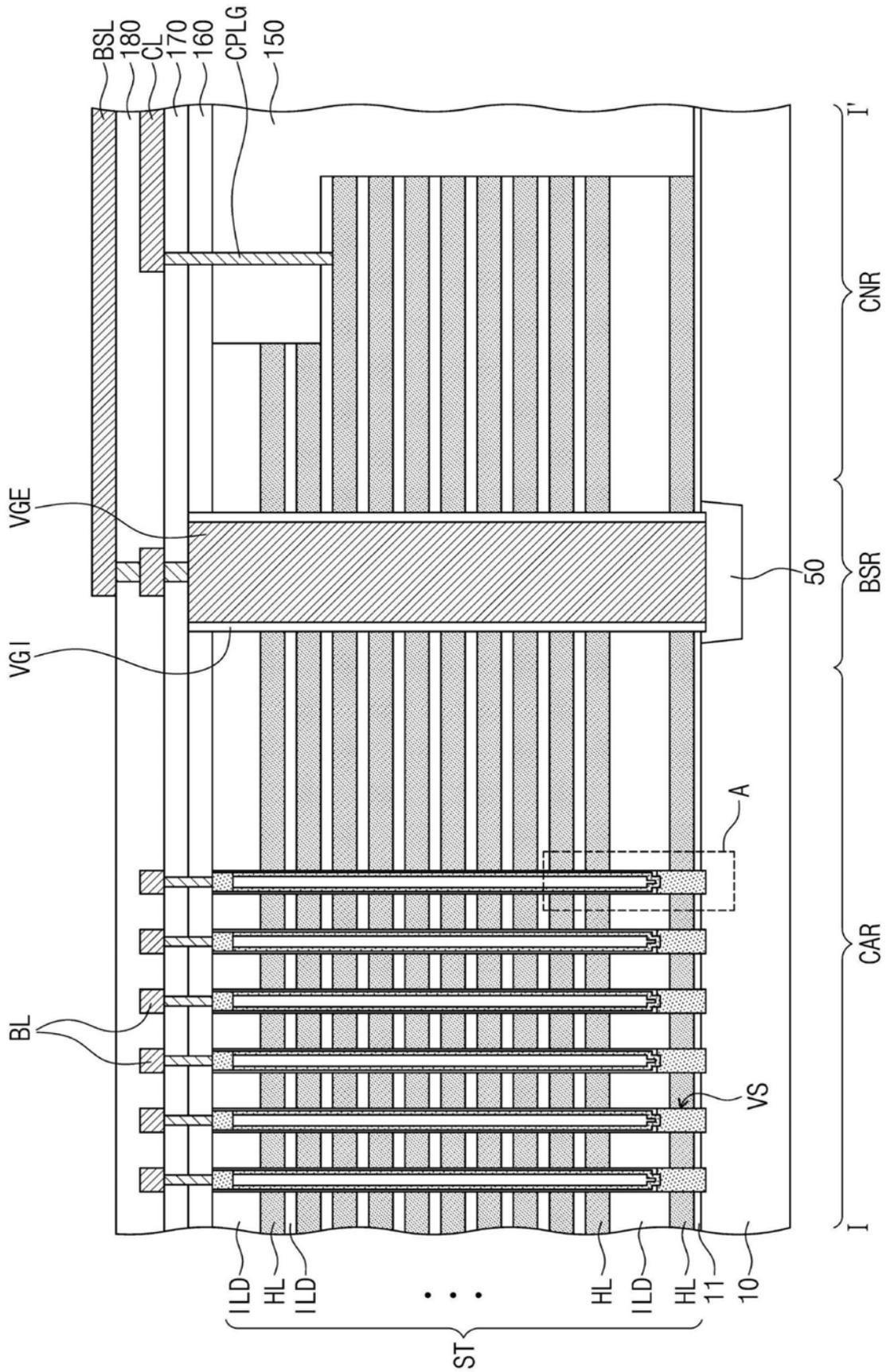


图6

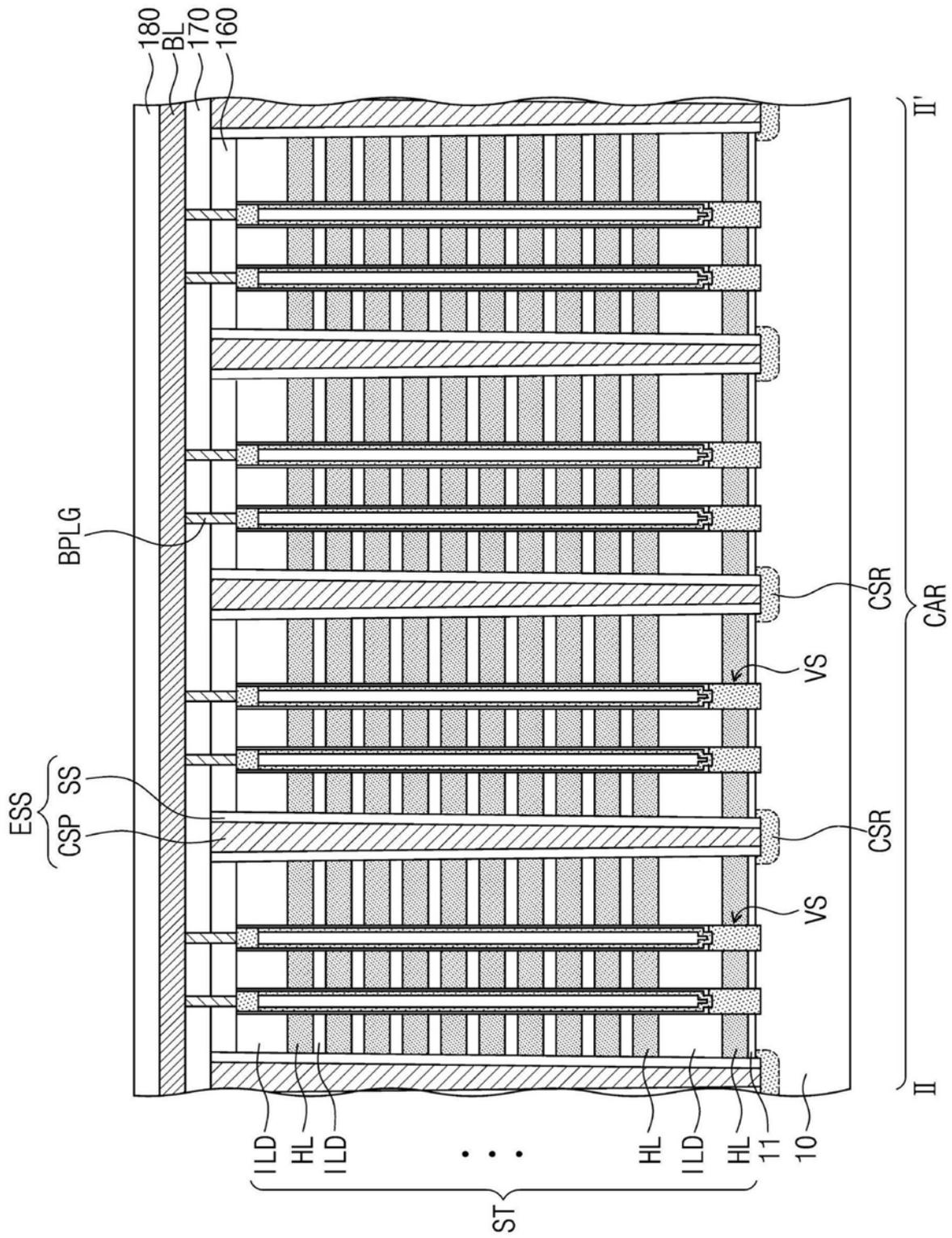


图7

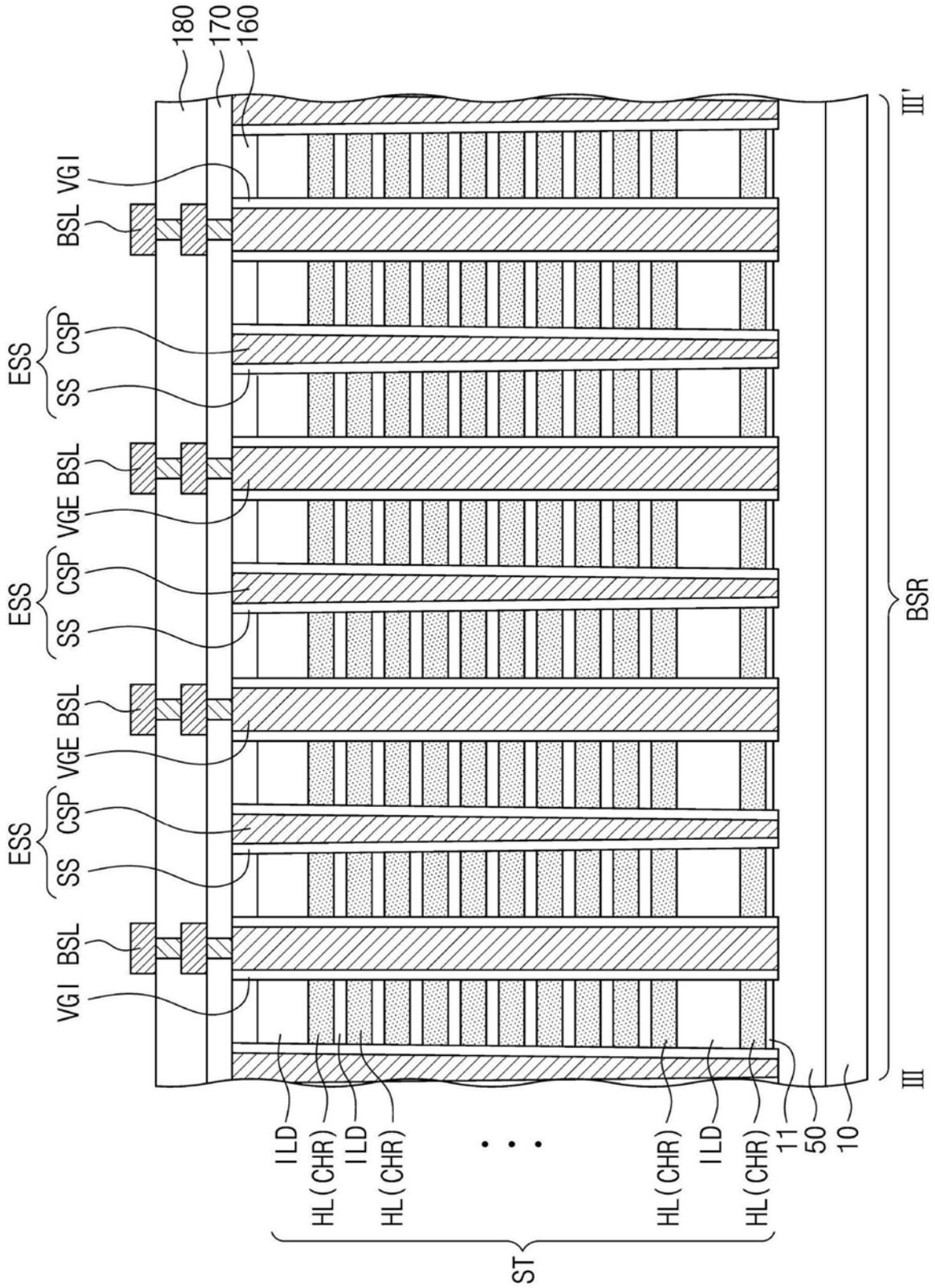


图8

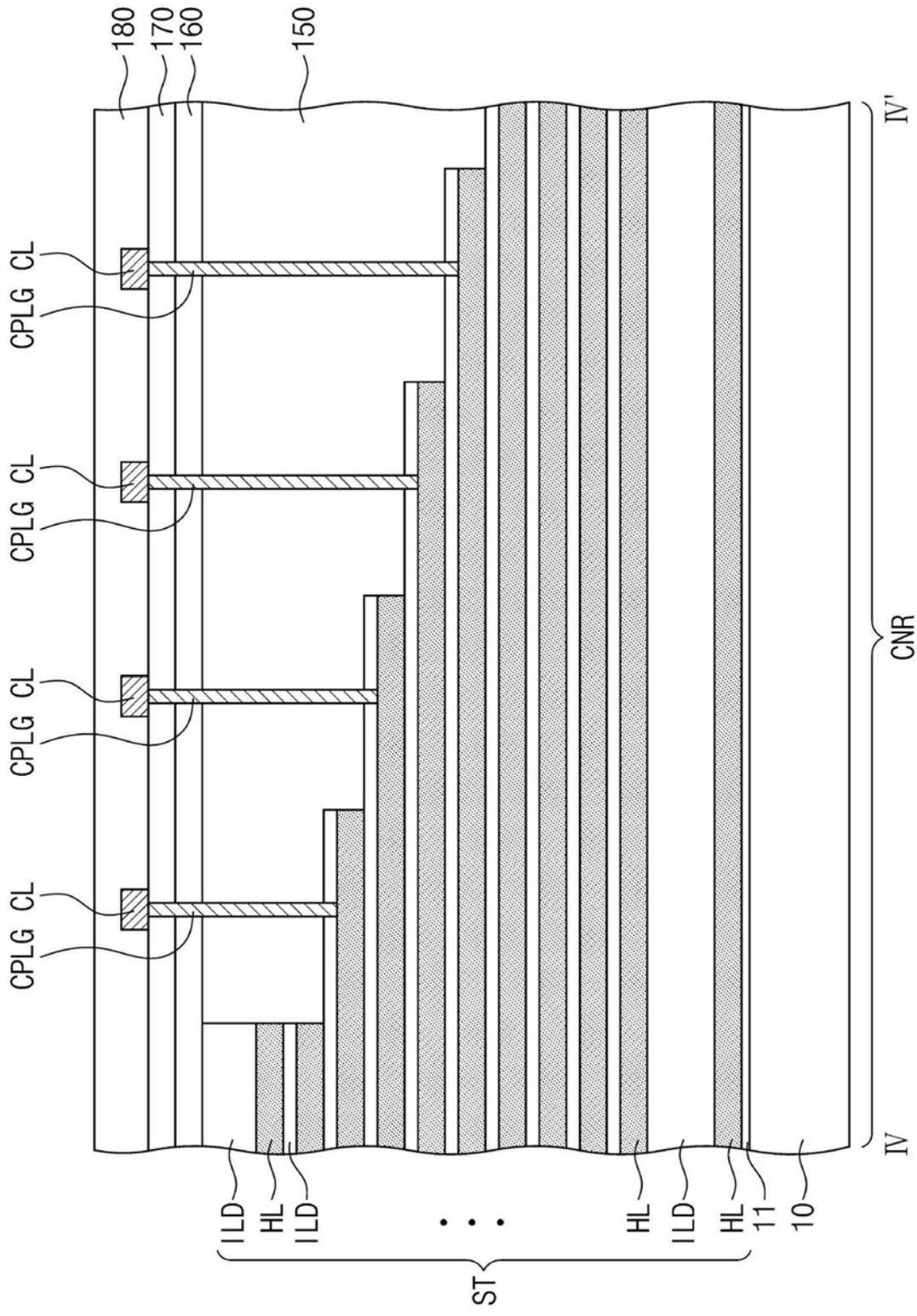


图9

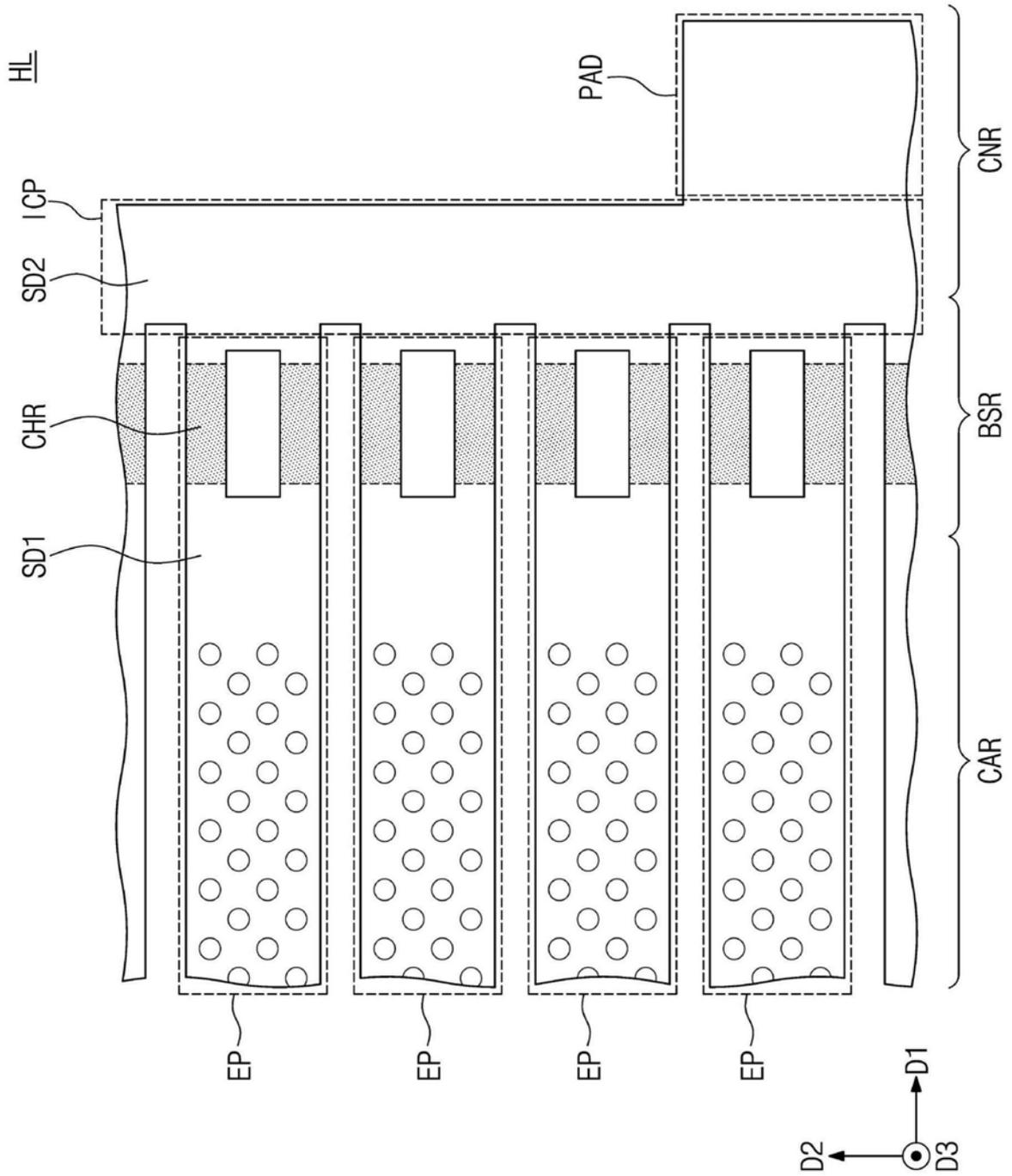


图10

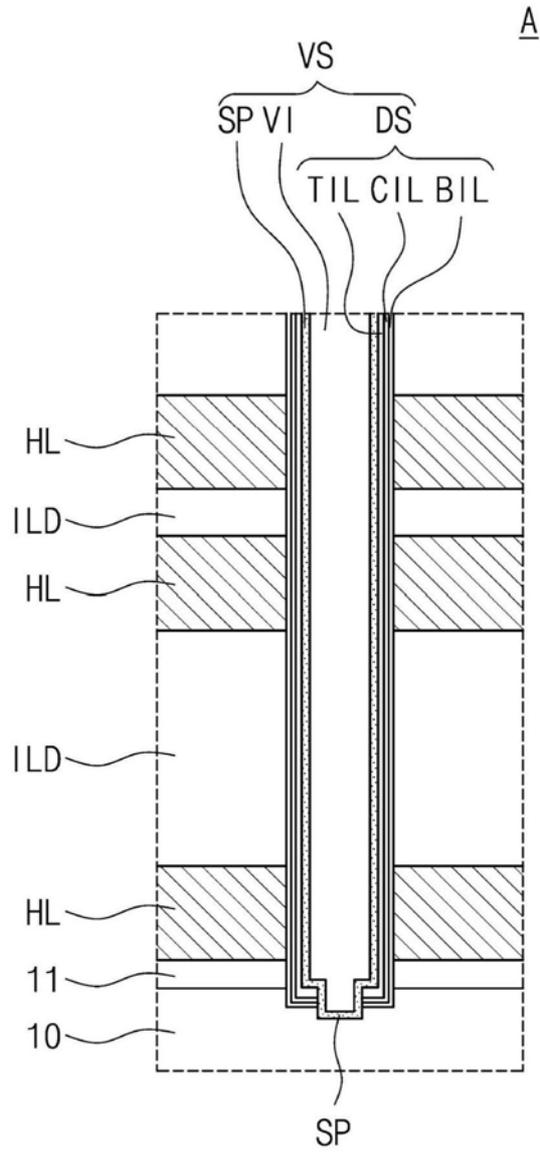


图11A

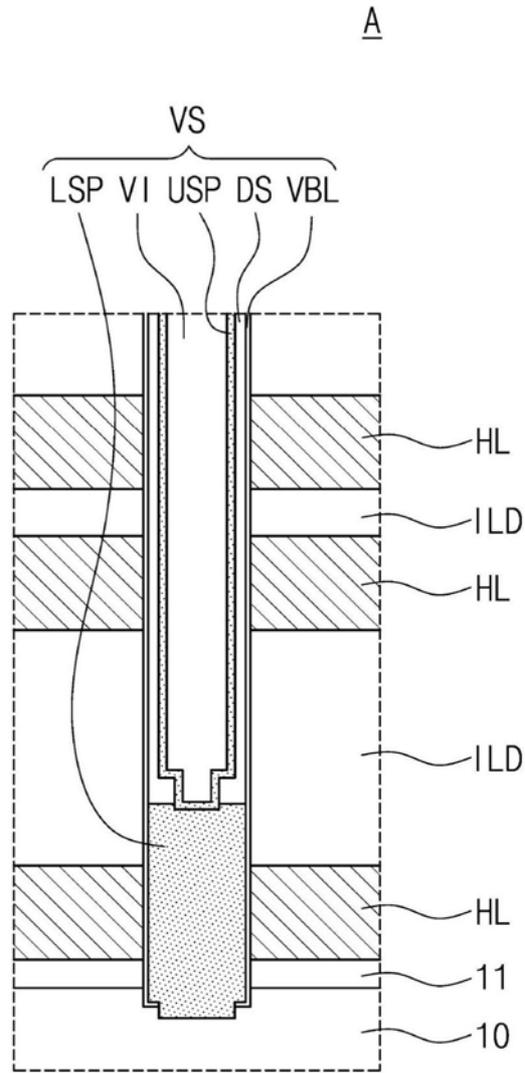


图11B

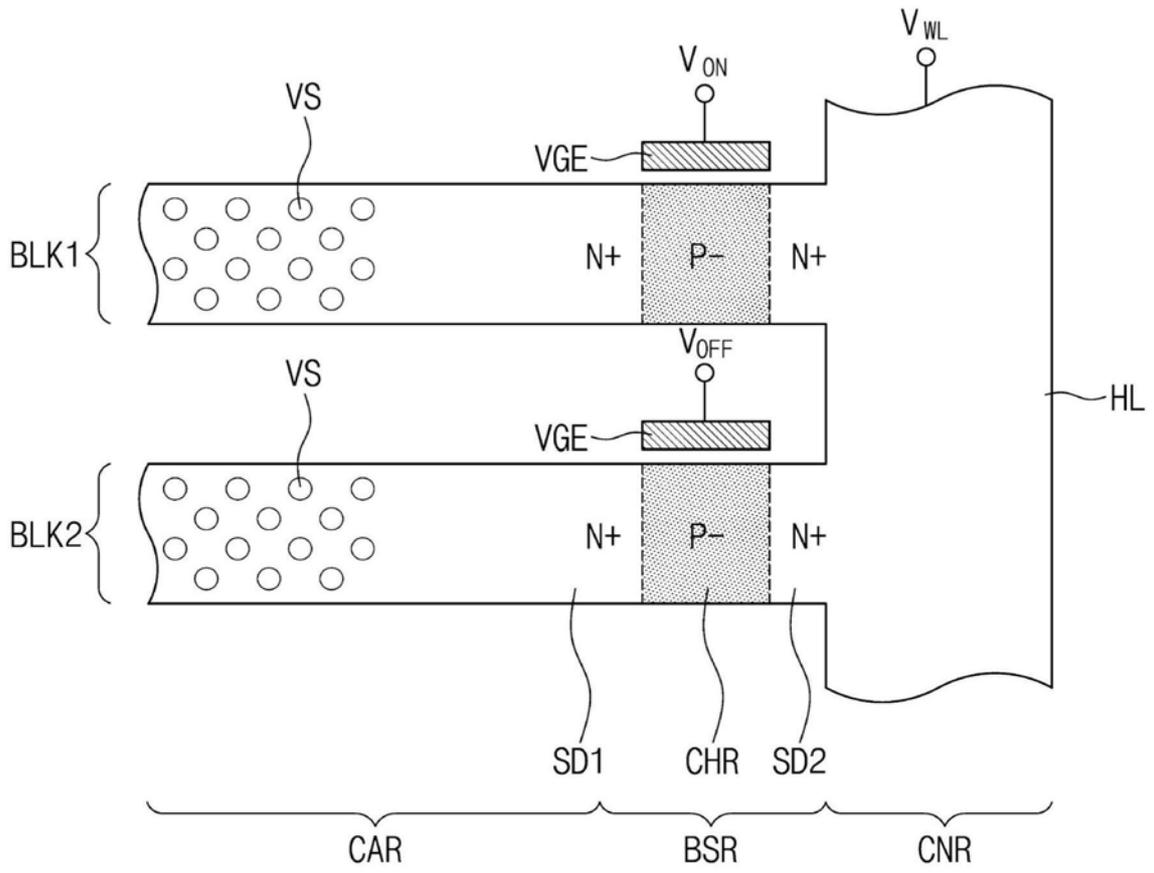


图12A

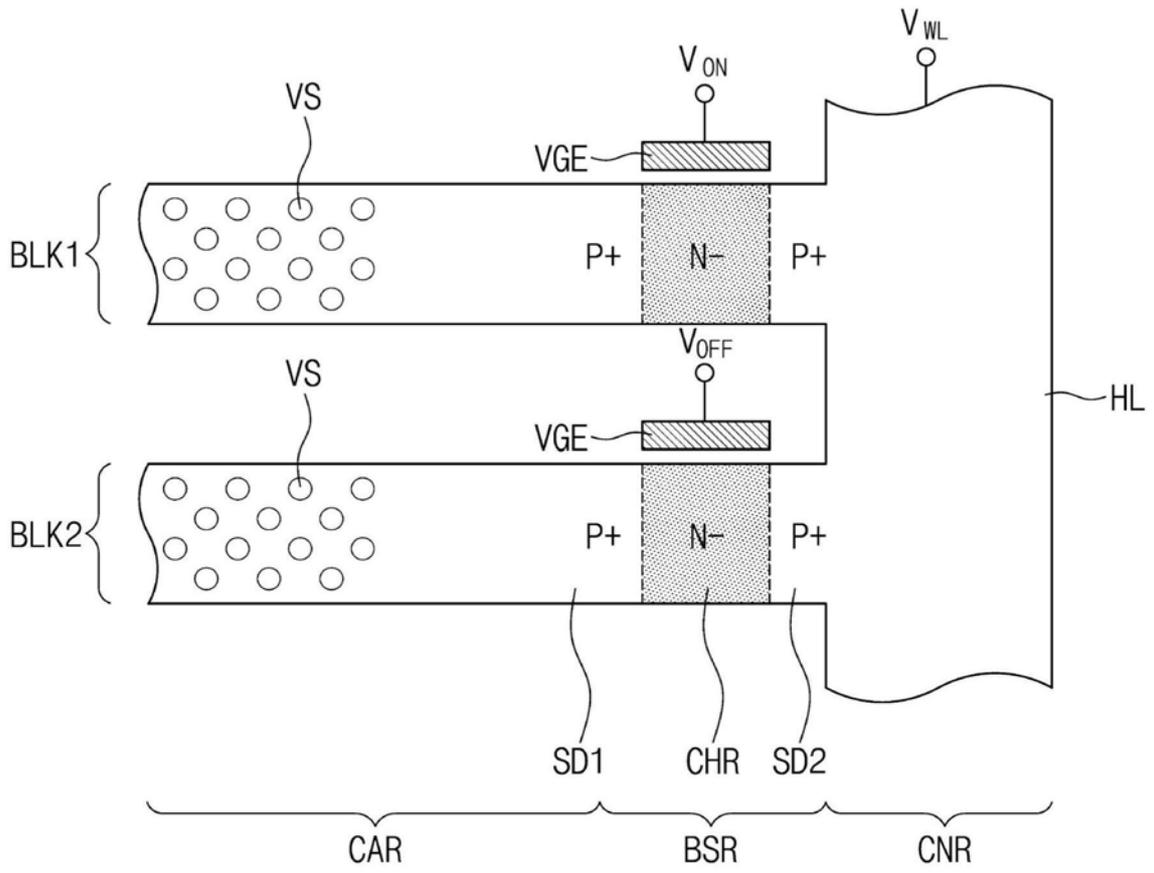


图12B

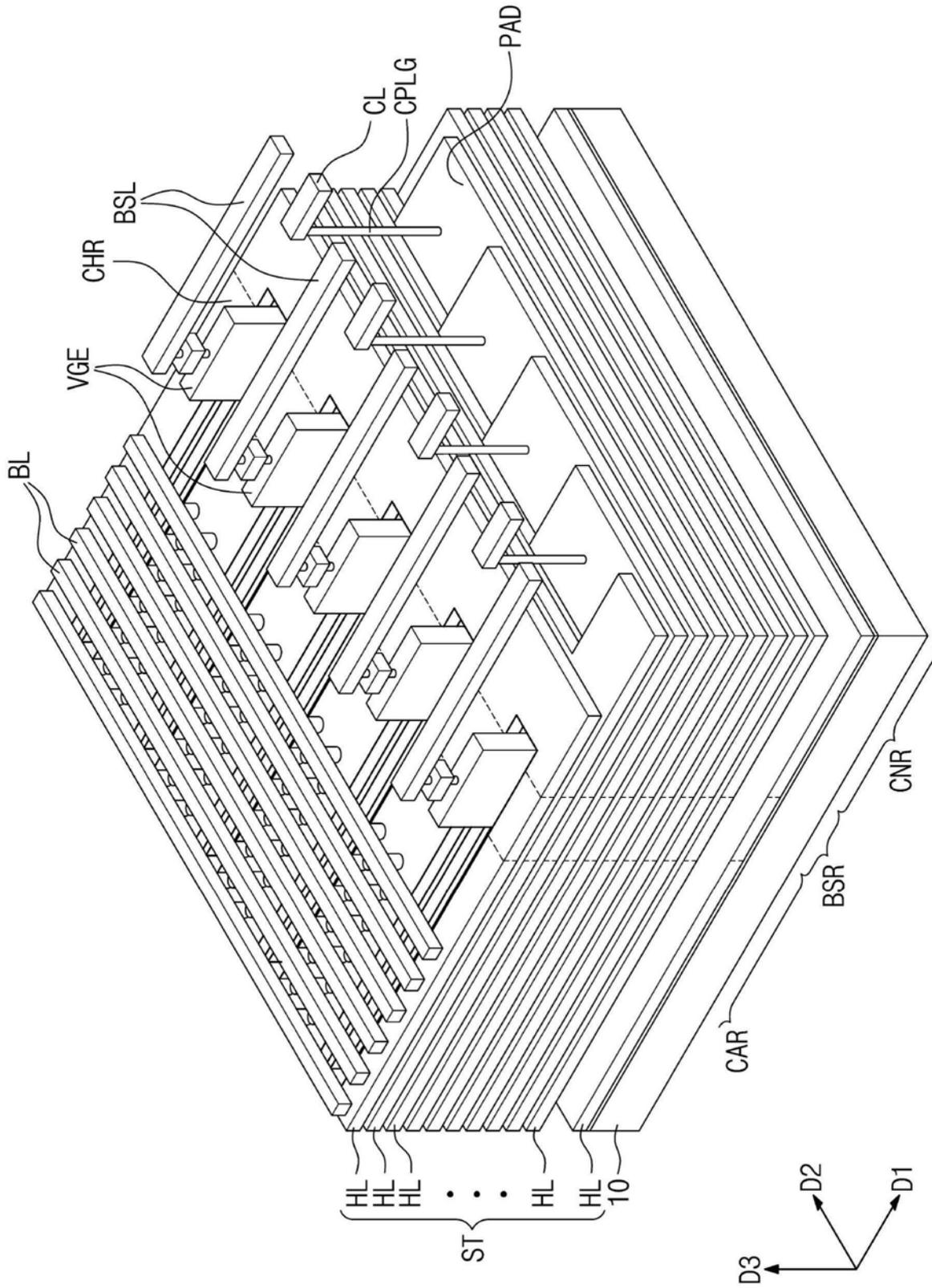


图13

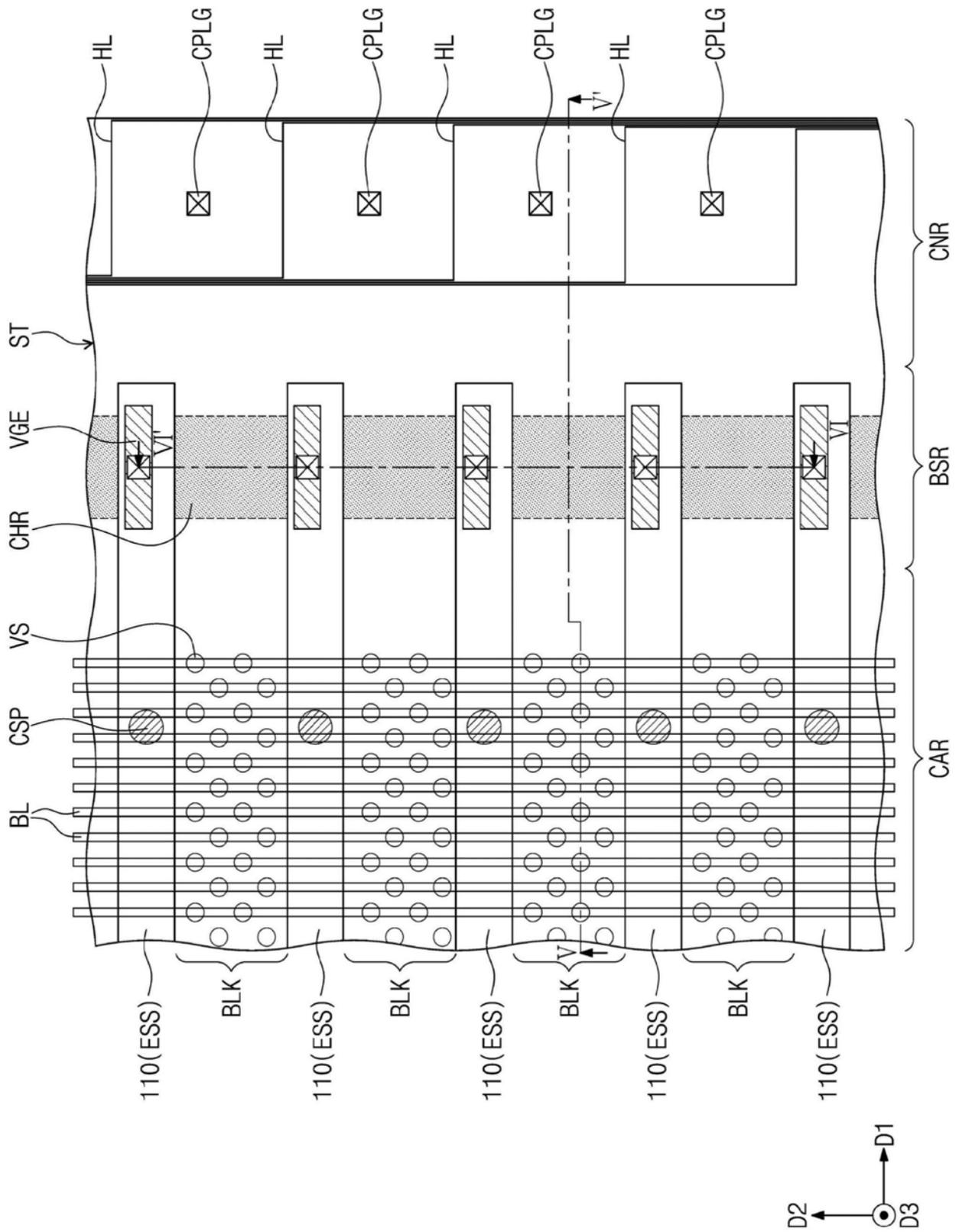


图14

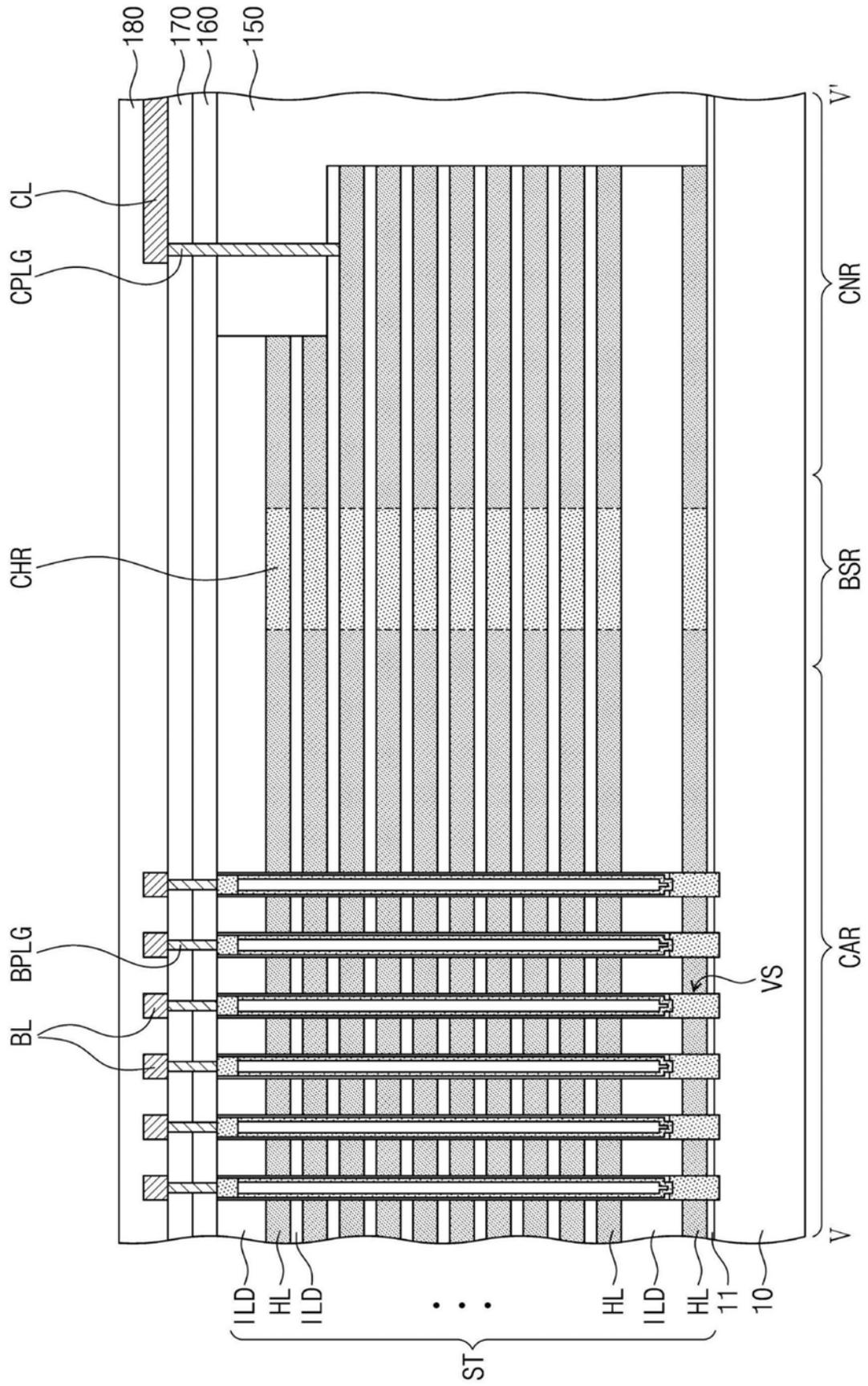


图15

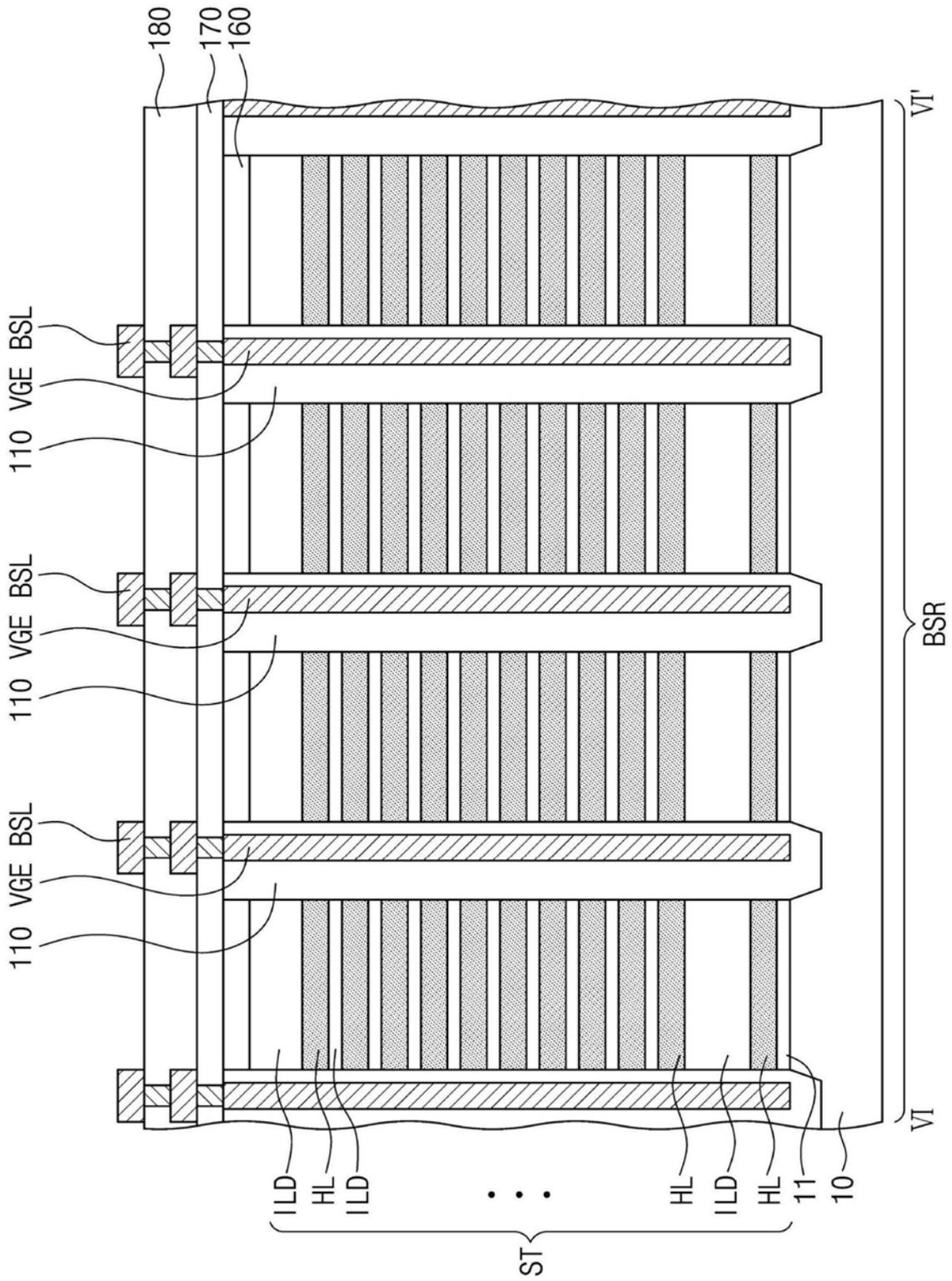


图16