



(12) 发明专利申请

(10) 申请公布号 CN 112068047 A

(43) 申请公布日 2020.12.11

(21) 申请号 202010962027.4

(22) 申请日 2020.09.14

(71) 申请人 中国科学院上海微系统与信息技术研究所

地址 200050 上海市长宁区长宁路865号

(72) 发明人 伍文涛 林志荣 倪志 梁恬恬
王永良 张国峰 王镇

(74) 专利代理机构 上海光华专利事务所(普通合伙) 31219

代理人 罗泳文

(51) Int.Cl.

G01R 33/035 (2006.01)

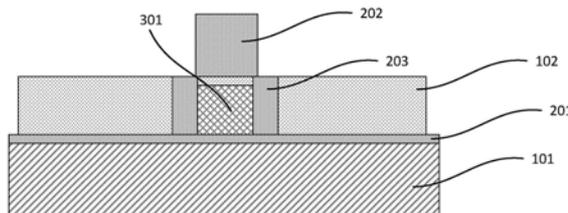
权利要求书3页 说明书8页 附图4页

(54) 发明名称

一种改善超导量子器件EMC性能的器件结构与制备方法

(57) 摘要

本发明提供一种改善超导量子器件EMC性能的器件结构与制备方法,器件结构包括衬底、第一金属层,绝缘结构层,第一金属层及金属屏蔽壳盖之间为超导量子干涉器件的结构区,该结构区其主要包括约瑟夫森结区、势垒层、自感环路和引线结构、配线层、输入线圈、反馈线圈和引线电极等。本发明可以提高超导量子干涉器件抗干扰能力,减小超导量子干涉器件的封装体积,提高使用系统集成度。本发明的屏蔽壳仅百微米量级,其本征谐振频率和低频截止频率远高于超导量子干涉器件工作点,避免对器件的影响。此外,集成屏蔽壳采用金属层,可以损耗约瑟夫森结高频辐射,在器件阵列中增加了相邻器件之间的隔离,避免相互串扰。



1. 一种超导量子干涉器件的制备方法,其特征在于,所述制备方法包括:
 - 1) 提供衬底;
 - 2) 于所述衬底上,于所述衬底的正面或背面沉积第一金属层;
 - 3) 于所述金属层上沉积第一绝缘层;
 - 4) 于所述第一绝缘层上制备金属电阻层;
 - 5) 于所述金属电阻层上制备第二绝缘层,在所述第二绝缘层上制备形成第一过孔,所述第一过孔用于连接所述金属电阻层;
 - 6) 在所述衬底上依次制备第一超导薄膜层、势垒层和第二超导薄膜层;
 - 7) 对所述第二超导薄膜层的进行刻蚀处理,形成约瑟夫森结区;
 - 8) 对所述势垒层进行刻蚀处理以去除部分的所述势垒层,保留所述约瑟夫森结区下方的所述势垒层;
 - 9) 对所述第一超导薄膜层进行刻蚀处理,形成超导量子干涉器件的自感环路和引线结构;
 - 10) 于所述第二超导薄膜层上沉积第三绝缘层,在所述第三绝缘层上形成第二过孔,所述第二过孔用于连接所述金属电阻层和引出所述约瑟夫森结的顶电极;
 - 11) 于所述第三绝缘层上沉积第三超导薄膜层,对所述第三超导薄膜层进行刻蚀处理,以形成配线层、输入线圈、反馈线圈和引线电极;
 - 12) 于所述第三超导薄膜层上沉积第四绝缘层,对第四绝缘层进行平坦化处理;
 - 13) 于所述第四绝缘层上沉积第二金属层,对所述第二金属层进行刻蚀处理,以在所述第四绝缘层上形成金属屏蔽壳盖。
2. 根据权利要求1所述的超导量子干涉器件的制备方法,其特征在于:
 - 步骤3) 还包括:刻蚀所述第一绝缘层形成第一沟槽,所述第一沟槽用于后续制备金属屏蔽壳;
 - 步骤5) 还包括:在所述第二绝缘层上制备形成第二沟槽,所述第二沟槽与第一绝缘层沟槽位置对准,用于后续制备金属屏蔽壳;
 - 步骤10) 还包括:在所述第三绝缘层上形成第三沟槽,所述第三沟槽与第二沟槽位置对准,用于后续制备金属屏蔽壳;
 - 步骤12) 还包括:在所述第四绝缘层上形成第四沟槽,所述第四沟槽与所述第三沟槽位置对准,用于后续制备金属屏蔽壳;
 - 步骤13) 还包括:于所述第一沟槽、第二沟槽、第三沟槽及第四沟槽中沉积第二金属层,对所述第二金属层进行刻蚀处理,以在所述第一沟槽、第二沟槽、第三沟槽及第四沟槽中形成四周金属壁,与所述第一金属层及所述金属屏蔽壳盖共同构成超导量子干涉器件封闭的金属屏蔽壳,所述金属屏蔽壳的尺寸为百微米量级。
3. 根据权利要求1所述的超导量子干涉器件的制备方法,其特征在于:所述第一金属层及第二金属层采用非超导薄膜层,所述非超导薄膜层不仅屏蔽环境电磁场信号,而且使由环境或约瑟夫森结辐射的高频信号被快速损耗掉,避免超导薄膜感应电流形成涡流而影响超导量子干涉器件正常工作。
4. 根据权利要求1所述的超导量子干涉器件的制备方法,其特征在于:所述第一金属层包括金层、铜层、钯层中的任意一种;当超导量子干涉器件工作在4K时,所述第一金属层包

括金层、铜层、钯层、铝层及钼层中的任意一种；所述第二金属层包括金层、铜层、钯层中的任意一种；当超导量子干涉器件工作在4K时，所述第一金属层包括金层、铜层、钯层、铝层及钼层中的任意一种；所述金属电阻层包括TiPd层或TiAuPd层中的任意一种；当超导量子干涉器件工作在4K时，所述金属电阻层包括TiPd层、TiAuPd层及Mo层中的任意一种。

5. 根据权利要求1所述的超导量子干涉器件的制备方法，其特征在于：所述衬底包括Si/SiO₂衬底、MgO衬底及Al₂O₃衬底中的任意一种；所述第一绝缘层包括SiO₂层、SiO层或MgO层中的任意一种；所述第二绝缘层包括SiO₂层、SiO层或MgO层中的任意一种；所述第三绝缘层包括SiO₂层、SiO层或MgO层中的任意一种；所述第四绝缘层包括SiO₂层、SiO层或MgO层中的任意一种。

6. 根据权利要求1所述的超导量子干涉器件的制备方法，其特征在于：所述第一超导薄膜层、所述势垒层和所述第二超导薄膜层构成的结构包括Nb/Al- AlO_x /Nb结构、NbN/Al- AlO_x /NbN结构或NbN/AlN/NbN结构中的任意一种。

7. 根据权利要求1所述的超导量子干涉器件的制备方法，其特征在于：所述刻蚀处理的工艺包括反应离子腐蚀工艺、离子束刻蚀工艺、剥离工艺及化学刻蚀工艺中的任意一种。

8. 根据权利要求1所述的超导量子干涉器件的制备方法，其特征在于：采用化学机械抛光工艺对所述第四绝缘层进行平坦化处理，以保证所述第四超导薄膜层的沉积。

9. 一种超导量子干涉器件，其特征在于，包括：

衬底；

第一金属层，形成于所述衬底的正面或背面；

第一绝缘层，形成于所述金属层上；

金属电阻层，形成于所述第一绝缘层上；

第二绝缘层，形成于所述金属电阻层上及所述第一绝缘层上，所述第二绝缘层上制备有第一过孔，所述第一过孔用于连接所述金属电阻层；

依次层叠的第一超导薄膜层、势垒层和第二超导薄膜层，所述第二超导薄膜层被刻蚀形成约瑟夫森结区，所述第一超导薄膜层被刻蚀形成超导量子干涉器件的自感环路和引线结构，所述势垒层位于所述约瑟夫森结区与所述第一超导薄膜层之间；

第三绝缘层，形成于所述第二超导薄膜层上所述第三绝缘层上形成有第二过孔，所述第二过孔用于连接所述金属电阻层和引出所述约瑟夫森结的顶电极；

第三超导薄膜层，形成于所述第三绝缘层上，所述第三超导薄膜层被刻蚀形成配线层、输入线圈、反馈线圈和引线电极；

第四绝缘层，形成于所述第三超导薄膜层上；

第二金属层，形成于所述第四绝缘层上，所述第二金属层被刻蚀以在所述第四绝缘层上形成金属屏蔽壳盖。

10. 根据权利要求9所述的超导量子干涉器件，其特征在于：所述第一绝缘层形成有第一沟槽，所述第一沟槽用于后续制备金属屏蔽壳，所述第二绝缘层形成有第二沟槽，所述第二沟槽与第一绝缘层沟槽位置对准，用于后续制备金属屏蔽壳，所述第三绝缘层上形成第三沟槽，所述第三沟槽与第二沟槽位置对准，用于后续制备金属屏蔽壳，所述第四绝缘层形成有第四沟槽，所述第四沟槽与第三沟槽位置对准，用于后续制备金属屏蔽壳，所述第一沟槽、第二沟槽、第三沟槽及第四沟槽中沉积有所述第二金属层，以在所述第一沟槽、第

二沟槽、第三沟槽及第四沟槽中形成四周金属壁,与所述第一金属层及所述金属屏蔽壳盖共同构成超导量子干涉器件封闭的金属屏蔽壳,所述金属屏蔽壳的尺寸为百微米量级。

11. 根据权利要求9所述的超导量子干涉器件,其特征在于:所述第一金属层及第二金属层采用非超导薄膜层,所述非超导薄膜层不仅屏蔽环境电磁场信号,而且使由环境或约瑟夫森结辐射的高频信号被快速损耗掉,避免超导薄膜感应电流形成涡流而影响超导量子干涉器件正常工作。

12. 根据权利要求9所述的超导量子干涉器件,其特征在于:所述第一金属层包括金层、铜层、钯层中的任意一种;当超导量子干涉器件工作在4K时,所述第一金属层包括金层、铜层、钯层、铝层及钼层中的任意一种;所述第二金属层包括金层、铜层、钯层中的任意一种;当超导量子干涉器件工作在4K时,所述第一金属层包括金层、铜层、钯层、铝层及钼层中的任意一种;所述金属电阻层包括TiPd层或TiAuPd层中的任意一种;当超导量子干涉器件工作在4K时,所述金属电阻层包括TiPd层、TiAuPd层及Mo层中的任意一种。

13. 根据权利要求9所述的超导量子干涉器件,其特征在于:所述衬底包括Si/SiO₂衬底、MgO衬底及Al₂O₃衬底中的任意一种;所述第一绝缘层包括SiO₂层、SiO层或MgO层中的任意一种;所述第二绝缘层包括SiO₂层、SiO层或MgO层中的任意一种;所述第三绝缘层包括SiO₂层、SiO层或MgO层中的任意一种;所述第四绝缘层包括SiO₂层、SiO层或MgO层中的任意一种。

14. 根据权利要求9所述的超导量子干涉器件,其特征在于:所述第一超导薄膜层、所述势垒层和所述第二超导薄膜层构成的结构包括Nb/Al-AlO_x/Nb结构、NbN/Al-AlO_x/NbN结构或NbN/AlN/NbN结构中的任意一种。

一种改善超导量子器件EMC性能的器件结构与制备方法

技术领域

[0001] 本发明属于半导体器件设计及制造领域,特别是涉及一种改善超导量子器件EMC性能的器件结构与制备方法。

背景技术

[0002] 超导量子干涉器件(SQUID)是一种极灵敏的磁通传感器,可以检测任意能转换成磁通的微弱信号。自1960年代问世以来,经半个世纪发展,已经广泛应用于生物磁测量、地球物理探测、无损检测、天文观测以及放大电路系统等各种应用和研究领域。

[0003] SQUID器件具有极灵敏的探测能力,与常用的半导体探测器相比,更易受外界环境电磁场影响而不能正常工作。主要是因为SQUID器件是由josephson结构成,与半导体的PN结相比,josephson结表现出更复杂的高频特性。首先,josephson结具有高频振荡特性,在工作点处($V \sim 20\mu V @ 10GHz$)自身高频信号与外界电磁信号耦合,使得SQUID器件工作点处IV与 $V-\phi$ 曲线畸形,恶化工作性能,甚至无法正常工作;其次,josephson结具有强的非线性电感特性,与其电容和电路电感构成高频谐振腔,在不同的电磁场信号泵浦下,表现出参量放大的功能;最后,josephson结IV曲线具有强非线性,该非线性使得噪声或干扰信号与其本征高频振荡信号混频而进入SQUID器件的直流和低频段,使得SQUID器件噪声性能急剧恶化。因此,改善SQUID器件的EMC性能是其走向广泛应用的一个重要挑战。

发明内容

[0004] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种超导量子干涉器件及其制备方法,用于解决现有技术中超导量子干涉器件的EMC性能难以改善的问题。

[0005] 为实现上述目的及其他相关目的,本发明提供一种超导量子干涉器件的制备方法,所述制备方法包括:1)提供衬底;2)于所述衬底上,于所述衬底的正面或背面沉积第一金属层;3)于所述金属层上沉积第一绝缘层;4)于所述第一绝缘层上制备金属电阻层;5)于所述金属电阻层上制备第二绝缘层,在所述第二绝缘层上制备形成第一过孔,所述第一过孔用于连接所述金属电阻层;6)在所述衬底上依次制备第一超导薄膜层、势垒层和第二超导薄膜层;7)对所述第二超导薄膜层的进行刻蚀处理,形成约瑟夫森结区;8)对所述势垒层进行刻蚀处理以去除部分的所述势垒层,保留所述约瑟夫森结区下方的所述势垒层;9)对所述第一超导薄膜层进行刻蚀处理,形成超导量子干涉器件的自感环路和引线结构;10)于所述第二超导薄膜层上沉积第三绝缘层,在所述第三绝缘层上形成第二过孔,所述第二过孔用于连接所述金属电阻层和引出所述约瑟夫森结的顶电极;11)于所述第三绝缘层上沉积第三超导薄膜层,对所述第三超导薄膜层进行刻蚀处理,以形成配线层、输入线圈、反馈线圈和引线电极;12)于所述第三超导薄膜层上沉积第四绝缘层,对第四绝缘层进行平坦化处理;13)于所述第四绝缘层上沉积第二金属层,对所述第二金属层进行刻蚀处理,以在所述第四绝缘层上形成金属屏蔽壳盖。

[0006] 可选地,步骤3)还包括:刻蚀所述第一绝缘层形成第一沟槽,所述第一沟槽用于后

续制备金属屏蔽壳；步骤5)还包括：在所述第二绝缘层上制备形成第二沟槽，所述第二沟槽与第一绝缘层沟槽位置对准，用于后续制备金属屏蔽壳；步骤10)还包括：在所述第三绝缘层上形成第三沟槽，所述第三沟槽与第二沟槽位置对准，用于后续制备金属屏蔽壳；步骤12)还包括：在所述第四绝缘层上形成第四沟槽，所述第四沟槽与所述第三沟槽位置对准，用于后续制备金属屏蔽壳；步骤13)还包括：于所述第一沟槽、第二沟槽、第三沟槽及第四沟槽中沉积第二金属层，对所述第二金属层进行刻蚀处理，以在所述第一沟槽、第二沟槽、第三沟槽及第四沟槽中形成四周金属壁，与所述第一金属层及所述金属屏蔽壳盖共同构成超导量子干涉器件封闭的金属屏蔽壳，所述金属屏蔽壳的尺寸为百微米量级。

[0007] 可选地，所述第一金属层及第二金属层采用非超导薄膜层，所述非超导薄膜层不仅屏蔽环境电磁场信号，而且使由环境或约瑟夫森结辐射的高频信号被快速损耗掉，避免超导薄膜感应电流形成涡流而影响超导量子干涉器件正常工作。

[0008] 可选地，所述第一金属层包括金层、铜层、钯层中的任意一种；当超导量子干涉器件工作在4K时，所述第一金属层包括金层、铜层、钯层、铝层及钼层中的任意一种；所述第二金属层包括金层、铜层、钯层中的任意一种；当超导量子干涉器件工作在4K时，所述第一金属层包括金层、铜层、钯层、铝层及钼层中的任意一种；所述金属电阻层包括TiPd层或TiAuPd层中的任意一种；当超导量子干涉器件工作在4K时，所述金属电阻层包括TiPd层、TiAuPd层及Mo层中的任意一种。

[0009] 可选地，所述衬底包括Si/SiO₂衬底、MgO衬底及Al₂O₃衬底中的任意一种；所述第一绝缘层包括SiO₂层、SiO层或MgO层中的任意一种；所述第二绝缘层包括SiO₂层、SiO层或MgO层中的任意一种；所述第三绝缘层包括SiO₂层、SiO层或MgO层中的任意一种；所述第四绝缘层包括SiO₂层、SiO层或MgO层中的任意一种。

[0010] 可选地，所述第一超导薄膜层、所述势垒层和所述第二超导薄膜层构成的结构包括Nb/Al-AlO_x/Nb结构、NbN/Al-AlO_x/NbN结构或NbN/AlN/NbN结构中的任意一种。

[0011] 可选地，所述刻蚀处理的工艺包括反应离子腐蚀工艺、离子束刻蚀工艺、剥离工艺及化学刻蚀工艺中的任意一种。

[0012] 可选地，采用化学机械抛光工艺对所述第四绝缘层进行平坦化处理，以保证所述第四超导薄膜层的沉积。

[0013] 本发明还提供一种超导量子干涉器件，包括：衬底；第一金属层，形成于所述衬底的正面或背面；第一绝缘层，形成于所述金属层上；金属电阻层，形成于所述第一绝缘层上；第二绝缘层，形成于所述金属电阻层上及所述第一绝缘层上，所述第二绝缘层上制备有第一过孔，所述第一过孔用于连接所述金属电阻层；依次层叠的第一超导薄膜层、势垒层和第二超导薄膜层，所述第二超导薄膜层被刻蚀形成约瑟夫森结区，所述第一超导薄膜层被刻蚀形成超导量子干涉器件的自感环路和引线结构，所述势垒层位于所述约瑟夫森结区与所述第一超导薄膜层之间；第三绝缘层，形成于所述第二超导薄膜层上所述第三绝缘层上形成有第二过孔，所述第二过孔用于连接所述金属电阻层和引出所述约瑟夫森结的顶电极；第三超导薄膜层，形成于所述第三绝缘层上，所述第三超导薄膜层被刻蚀形成配线层、输入线圈、反馈线圈和引线电极；第四绝缘层，形成于所述第三超导薄膜层上；第二金属层，形成于所述第四绝缘层上，所述第二金属层被刻蚀以在所述第四绝缘层上形成金属屏蔽壳盖。

[0014] 可选地，所述第一绝缘层形成有第一沟槽，所述第一沟槽用于后续制备金属屏蔽

壳,所述第二绝缘层形成有第二沟槽,所述第二沟槽与第一绝缘层沟槽位置对准,用于后续制备金属屏蔽壳,所述第三绝缘层上形成第三沟槽,所述第三沟槽与第二沟槽位置对准,用于后续制备金属屏蔽壳,所述第四绝缘层形成有第四沟槽,所述第四沟槽与所述第三沟槽位置对准,用于后续制备金属屏蔽壳,所述第一沟槽、第二沟槽、第三沟槽及第四沟槽中沉积有所述第二金属层,以在所述第一沟槽、第二沟槽、第三沟槽及第四沟槽中形成四周金属壁,与所述第一金属层及所述金属屏蔽壳盖共同构成超导量子干涉器件封闭的金属屏蔽壳,所述金属屏蔽壳的尺寸为百微米量级。

[0015] 可选地,所述第一金属层及第二金属层采用非超导薄膜层,所述非超导薄膜层不仅屏蔽环境电磁场信号,而且使由环境或约瑟夫森结辐射的高频信号被快速损耗掉,避免超导薄膜感应电流形成涡流而影响超导量子干涉器件正常工作。

[0016] 可选地,所述第一金属层包括金层、铜层、钯层中的任意一种;当超导量子干涉器件工作在4K时,所述第一金属层包括金层、铜层、钯层、铝层及钼层中的任意一种;所述第二金属层包括金层、铜层、钯层中的任意一种;当超导量子干涉器件工作在4K时,所述第一金属层包括金层、铜层、钯层、铝层及钼层中的任意一种;所述金属电阻层包括TiPd层或TiAuPd层中的任意一种;当超导量子干涉器件工作在4K时,所述金属电阻层包括TiPd层、TiAuPd层及Mo层中的任意一种。

[0017] 可选地,所述衬底包括Si/SiO₂衬底、MgO衬底及Al₂O₃衬底中的任意一种;所述第一绝缘层包括SiO₂层、SiO层或MgO层中的任意一种;所述第二绝缘层包括SiO₂层、SiO层或MgO层中的任意一种;所述第三绝缘层包括SiO₂层、SiO层或MgO层中的任意一种;所述第四绝缘层包括SiO₂层、SiO层或MgO层中的任意一种。

[0018] 可选地,所述第一超导薄膜层、所述势垒层和所述第二超导薄膜层构成的结构包括Nb/Al-AlO_x/Nb结构、NbN/Al-AlO_x/NbN结构或NbN/AlN/NbN结构中的任意一种。

[0019] 如上所述,本发明的改善超导量子器件EMC性能的器件结构与制备方法,具有以下有益效果:

[0020] 1) 从芯片设计与制备角度,本发明可以进一步提高超导量子干涉器件抗干扰能力,甚至可以略去外置屏蔽罩,减小超导量子干涉器件的封装体积,提高使用系统集成度。此外,集成屏蔽壳采用金属层,可以损耗约瑟夫森结高频辐射,在高超导量子干涉器件阵列中增加了相邻超导量子干涉器件之间隔离,避免相互串扰。

[0021] 2) 现有的外置大尺寸(cm量级)屏蔽罩,其本征谐振频率较低,落在超导量子干涉器件的工作点附近,容易与超导量子干涉器件相互耦合,影响器件正常工作,而本发明的片上集成屏蔽壳其尺寸仅百微米量级,其本征谐振频率和低频截止频率远高于超导量子干涉器件工作点,避免对超导量子干涉器件的影响。

[0022] 3) 本发明的片上集成屏蔽壳与现有超导量子干涉器件制备工艺兼容,便于制备加工,本发明的片上集成屏蔽壳工艺也可用于改善其他相关微纳芯片的EMC性能。

附图说明

[0023] 图1显示为本发明实施例的超导量子干涉器件的制备方法步骤流程图示意图。

[0024] 图2~图3显示为本发明一个实施例中的超导量子干涉器件的结构示意图,其中,图3显示为图2结构的俯视图。

[0025] 图4~图5显示为本发明另一个实施例中的超导量子干涉器件的结构示意图,其中,图5显示为图4结构的俯视图。

[0026] 图6~图7显示为本发明又一个实施例中的超导量子干涉器件的结构示意图,其中,图7显示为图6结构的俯视图。

[0027] 元件标号说明

[0028]	101	衬底
[0029]	102	绝缘结构层
[0030]	201	第一金属层
[0031]	202	金属屏蔽壳盖
[0032]	203	四周金属壁
[0033]	301	器件结构区
[0034]	S11~S18	步骤

具体实施方式

[0035] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。

[0036] 如在详述本发明实施例时,为便于说明,表示器件结构的剖面图会不依一般比例作局部放大,而且所述示意图只是示例,其在此不应限制本发明保护的范围。此外,在实际制作中应包含长度、宽度及深度的三维空间尺寸。

[0037] 为了方便描述,此处可能使用诸如“之下”、“下方”、“低于”、“下面”、“上方”、“上”等的空间关系词语来描述附图中所示的一个元件或特征与其他元件或特征的关系。将理解到,这些空间关系词语意图包含使用中或操作中的器件的、除了附图中描绘的方向之外的其他方向。此外,当一层被称为在两层“之间”时,它可以是所述两层之间仅有的层,或者也可以存在一个或多个介于其间的层。

[0038] 在本申请的上下文中,所描述的第一特征在第二特征“之上”的结构可以包括第一和第二特征形成为直接接触的实施例,也可以包括另外的特征形成在第一和第二特征之间的实施例,这样第一和第二特征可能不是直接接触。

[0039] 需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图示中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0040] 在一种超导量子干涉器件设计中,可以从电路封装和SQUID器件设计两个角度来改善SQUID器件的EMC性能。电路封装包括铌(Nb)、铅(Pb)、铝(Al)等超导材料构成屏蔽盒,或者采用高磁导率(u-metal)坡莫合金材料。此外,采用屏蔽线、接头以及低通滤波器,减小环境电磁场通过传输线耦合至SQUID器件上的几率。对于从SQUID器件芯片设计角度提高其EMC性能,可以采用一阶、二阶或高阶差分结构消除外界共模电磁信号干扰,亦或采用片上集成低通滤波器,抑制传输线上的噪声干扰,或者采用减小josephson结和SQUID自感环路

尺寸来降低外界干扰可能性,或者制造超导薄膜缺陷降低磁通钉扎几率等一系列的方法。通过上述各种方法来改善SQUID器件的EMC性能,都可以取得一定效果,促使SQUID器件逐渐走向更多应用领域。

[0041] 随着超导微纳制备技术的快速发展,使得从芯片设计与制备角度提升SQUID器件的EMC性能成为可能。片上集成金属屏蔽壳采用金属薄膜制备而成,封闭器件最易受电磁场干扰的约瑟夫森结(josephson结)与自感环路(washer)单元。本发明是从芯片设计与制备角度,通过制备片上集成金属屏蔽壳,来提高SQUID器件的EMC性能。本发明的金属屏蔽壳形成的波导结构,其尺寸约百微米量级,相当于一个高通滤波器,对于100GHz以下的电磁信号无法存在或传播,有效的避免SQUID器件在工作点处电磁干扰问题。

[0042] 基于以上所述,如图1~图5所示,本实施例提供一种超导量子干涉器件的制备方法,所述制备方法包括:

[0043] 如图1所示,首先进行步骤1) S11,提供衬底;于所述衬底上,于所述衬底的正面或背面沉积第一金属层。

[0044] 在一实施例中,所述第一金属层沉积于所述衬底的正面,如图2~图3所示。

[0045] 在又一实施例中,所述第一金属层沉积于所述衬底的背面,如图4~图5所示。

[0046] 例如,所述衬底可以为Si/SiO₂衬底、MgO衬底及Al₂O₃衬底中的任意一种。

[0047] 所述第一金属层采用非超导薄膜层,所述非超导薄膜层不仅屏蔽环境电磁场信号,而且使由环境电磁场引起的表面感应电流被快速损耗掉,避免超导薄膜感应电流形成涡流而影响超导量子干涉器件正常工作。例如,所述第一金属层包括金层、铜层、钯层中的任意一种;当超导量子干涉器件工作在4K时,所述第一金属层包括金层、铜层、钯层、铝层及钼层中的任意一种。

[0048] 如图1所示,然后进行步骤2) S12,于所述金属层上沉积第一绝缘层;于所述第一绝缘层上制备金属电阻层。

[0049] 例如,可以采用如化学气相沉积工艺等沉积所述第一绝缘层,所述第一绝缘层包括SiO₂层、SiO层或MgO层中的任意一种。

[0050] 所述金属电阻层包括Mo层、TiPd层及TiAuPd层中的任意一种,在本实施例中,所述金属电阻层为TiPd层。所述金属电阻层可以通过溅射工艺及金属刻蚀工艺形成,或者通过金属剥离工艺(lift-off)形成。

[0051] 如图1所示,接着进行步骤3) S13,于所述金属电阻层上制备第二绝缘层,在所述第二绝缘层上制备形成第一过孔,所述第一过孔用于连接所述金属电阻层。

[0052] 例如,可以采用如化学气相沉积工艺等沉积所述第二绝缘层,所述第二绝缘层包括SiO₂层、SiO层或MgO层中的任意一种。

[0053] 然后通过光刻工艺及刻蚀工艺在所述第二绝缘层上制备形成第一过孔。所述刻蚀工艺包括反应离子腐蚀工艺、离子束刻蚀工艺、剥离工艺及化学刻蚀工艺中的任意一种。

[0054] 如图1所示,接着进行步骤4) S14,在所述衬底上依次制备第一超导薄膜层、势垒层和第二超导薄膜层;对所述第二超导薄膜层的进行刻蚀处理,形成约瑟夫森结区;对所述势垒层进行刻蚀处理以去除部分的所述势垒层,保留所述约瑟夫森结区下方的所述势垒层;对所述第一超导薄膜层进行刻蚀处理,形成超导量子干涉器件的自感环路和引线结构。

[0055] 所述第一超导薄膜层、所述势垒层和所述第二超导薄膜层构成的结构包括Nb/Al-

AlO_x/Nb结构、NbN/Al-AlO_x/NbN结构或NbN/AlN/NbN结构中的任意一种。在本实施例中,所述第一超导薄膜层、所述势垒层和所述第二超导薄膜层构成的结构选用为Nb/Al-AlO_x/Nb结构。

[0056] 例如,刻蚀处理所采用的刻蚀工艺包括反应离子腐蚀工艺、离子束刻蚀工艺、剥离工艺及化学刻蚀工艺中的任意一种。

[0057] 如图1所示,接着进行步骤后5) S15,于所述第二超导薄膜层上沉积第三绝缘层,在所述第三绝缘层上形成第二过孔,所述第二过孔用于连接所述金属电阻层和引出所述约瑟夫森结的顶电极。

[0058] 例如,可以采用如化学气相沉积工艺等沉积所述第三绝缘层,所述第三绝缘层包括SiO₂层、SiO层或MgO层中的任意一种。

[0059] 然后通过光刻工艺及刻蚀工艺在所述第三绝缘层上制备形成第二过孔。所述刻蚀工艺包括反应离子腐蚀工艺、离子束刻蚀工艺、剥离工艺及化学刻蚀工艺中的任意一种。

[0060] 如图1所示,接着进行步骤6) S16,于所述第三绝缘层上沉积第三超导薄膜层,对所述第三超导薄膜层进行刻蚀处理,以形成配线层、输入线圈、反馈线圈和引线电极。

[0061] 所述第三绝缘层包括SiO₂层、SiO层或MgO层中的任意一种。

[0062] 例如,刻蚀处理所采用的刻蚀工艺包括反应离子腐蚀工艺、离子束刻蚀工艺、剥离工艺及化学刻蚀工艺中的任意一种。

[0063] 如图1所示,接着进行步骤7) S17,于所述第三超导薄膜层上沉积第四绝缘层,对第四绝缘层进行平坦化处理。

[0064] 所述第四绝缘层包括SiO₂层、SiO层或MgO层中的任意一种。

[0065] 在本实施例中,采用化学机械抛光工艺对所述第四绝缘层进行平坦化处理,以保证所述第四超导薄膜层的沉积。

[0066] 如图1所示,接着进行步骤8) S18,于所述第四绝缘层上沉积第二金属层,对所述第二金属层进行刻蚀处理,以在所述第四绝缘层上形成金属屏蔽壳盖。

[0067] 在本实施例中,所述第二金属层采用非超导薄膜层,所述非超导薄膜层不仅屏蔽环境电磁场信号,而且使由环境或约瑟夫森结辐射的高频信号被快速损耗掉,避免超导薄膜感应电流形成涡流而影响超导量子干涉器件正常工作。所述第二金属层包括金层、铜层、钯层中的任意一种;当超导量子干涉器件工作在4K时,所述第一金属层包括金层、铜层、钯层、铝层及钼层中的任意一种。

[0068] 所述刻蚀处理的工艺包括反应离子腐蚀工艺、离子束刻蚀工艺、剥离工艺及化学刻蚀工艺中的任意一种。

[0069] 如图2~图5所示,本实施例还提供一种超导量子干涉器件,包括:衬底;第一金属层,形成于所述衬底的正面或背面;第一绝缘层,形成于所述金属层上;金属电阻层,形成于所述第一绝缘层上;第二绝缘层,形成于所述金属电阻层上及所述第一绝缘层上,所述第二绝缘层上制备有第一过孔,所述第一过孔用于连接所述金属电阻层;依次层叠的第一超导薄膜层、势垒层和第二超导薄膜层,所述第二超导薄膜层被刻蚀形成约瑟夫森结区,所述第一超导薄膜层被刻蚀形成超导量子干涉器件的自感环路和引线结构,所述势垒层位于所述约瑟夫森结区与所述第一超导薄膜层之间;第三绝缘层,形成于所述第二超导薄膜层上,所述第三绝缘层上形成有第二过孔,所述第二过孔用于连接所述金属电阻层和引出所述约瑟

夫森结的顶电极；第三超导薄膜层，形成于所述第三绝缘层上，所述第三超导薄膜层被刻蚀形成配线层、输入线圈、反馈线圈和引线电极；第四绝缘层，形成于所述第三超导薄膜层上；第二金属层，形成于所述第四绝缘层上，所述第二金属层被刻蚀以在所述第四绝缘层上形成金属屏蔽壳盖。

[0070] 所述第一金属层及第二金属层采用非超导薄膜层，所述非超导薄膜层不仅屏蔽环境电磁场信号，而且使由环境或约瑟夫森结辐射的高频信号被快速损耗掉，避免超导薄膜感应电流形成涡流而影响超导量子干涉器件正常工作。

[0071] 所述第一金属层包括金层、铜层、钯层中的任意一种；当超导量子干涉器件工作在4K时，所述第一金属层包括金层、铜层、钯层、铝层及钼层中的任意一种；所述第二金属层包括金层、铜层、钯层中的任意一种；当超导量子干涉器件工作在4K时，所述第一金属层包括金层、铜层、钯层、铝层及钼层中的任意一种；所述金属电阻层包括TiPd层或TiAuPd层中的任意一种；当超导量子干涉器件工作在4K时，所述金属电阻层包括TiPd层、TiAuPd层及Mo层中的任意一种。

[0072] 所述衬底包括Si/SiO₂衬底、MgO衬底及Al₂O₃衬底中的任意一种；所述第一绝缘层包括SiO₂层、SiO层或MgO层中的任意一种；所述第二绝缘层包括SiO₂层、SiO层或MgO层中的任意一种；所述第三绝缘层包括SiO₂层、SiO层或MgO层中的任意一种；所述第四绝缘层包括SiO₂层、SiO层或MgO层中的任意一种。

[0073] 所述第一超导薄膜层、所述势垒层和所述第二超导薄膜层构成的结构包括Nb/Al-AlO_x/Nb结构、NbN/Al-AlO_x/NbN结构或NbN/AlN/NbN结构中的任意一种。

[0074] 如图2~图5所示，超导量子干涉器件包括衬底101、第一金属层201，所述第一绝缘层、第二绝缘层、第三绝缘层、第四绝缘层、共同组成绝缘结构层102，第一金属层201及金属屏蔽壳盖202之间为器件结构区301，其主要包括：依次层叠的第一超导薄膜层、势垒层和第二超导薄膜层，所述第二超导薄膜层被刻蚀形成约瑟夫森结区，所述第一超导薄膜层被刻蚀形成超导量子干涉器件的自感环路和引线结构，所述势垒层位于所述约瑟夫森结区与所述第一超导薄膜层之间；第三绝缘层，形成于所述第二超导薄膜层上所述第三绝缘层上形成有第二过孔，所述第二过孔用于连接所述金属电阻层和引出所述约瑟夫森结的顶电极；第三超导薄膜层，形成于所述第三绝缘层上，所述第三超导薄膜层被刻蚀形成配线层、输入线圈、反馈线圈和引线电极。

[0075] 实施例2

[0076] 如图6~图7所示，本实施例提供一种超导量子干涉器件的制备方法，其基本步骤如实施例1，其中，与实施例1的不同之处在于：步骤2)还包括：刻蚀所述第一绝缘层形成第一沟槽，所述第一沟槽用于后续制备金属屏蔽壳；步骤3)还包括：在所述第二绝缘层上制备形成第二沟槽，所述第二沟槽与第一绝缘层沟槽位置对准，用于后续制备金属屏蔽壳；步骤5)还包括：在所述第三绝缘层上形成第三沟槽，所述第三沟槽与第二沟槽位置对准，用于后续制备金属屏蔽壳；步骤7)还包括：在所述第四绝缘层上形成第四沟槽，所述第四沟槽与所述第三沟槽位置对准，用于后续制备金属屏蔽壳；步骤8)还包括：于所述第一沟槽、第二沟槽、第三沟槽及第四沟槽中沉积第二金属层，对所述第二金属层进行刻蚀处理，以在所述第一沟槽、第二沟槽、第三沟槽及第四沟槽中形成四周金属壁203，与所述第一金属层201及所述金属屏蔽壳盖202共同构成超导量子干涉器件封闭的金属屏蔽壳，所述金属屏蔽壳的尺

寸为百微米量级。所述金属屏蔽壳的尺寸,应尽量保持小,如百微米量级,以提高屏蔽壳低频截止频率和自谐振频率,避免与SQUID器件射频辐射耦合,影响器件性能。

[0077] 如图6~图7所示,本实施例提供一种超导量子干涉器件,其基本结构如实施例1,其中,与实施例1的不同之处在于:所述第一绝缘层形成有第一沟槽,所述第一沟槽用于后续制备金属屏蔽壳,所述第二绝缘层形成有第二沟槽,所述第二沟槽与第一绝缘层沟槽位置对准,用于后续制备金属屏蔽壳,所述第三绝缘层上形成第三沟槽,所述第三沟槽与第二沟槽位置对准,用于后续制备金属屏蔽壳,所述第四绝缘层形成有第四沟槽,所述第四沟槽与所述第三沟槽位置对准,用于后续制备金属屏蔽壳,所述第一沟槽、第二沟槽、第三沟槽及第四沟槽中沉积有所述第二金属层,以在所述第一沟槽、第二沟槽、第三沟槽及第四沟槽中形成四周金属壁,与所述第一金属层及所述金属屏蔽壳盖共同构成超导量子干涉器件封闭的金属屏蔽壳,所述金属屏蔽壳的尺寸为百微米量级。本实施例可以形成全封闭式的金属屏蔽壳,可以进一步提高超导量子干涉器件抗干扰能力。

[0078] 如上所述,本发明的改善超导量子器件EMC性能的器件结构与制备方法,具有以下有益效果:

[0079] 1) 从芯片设计与制备角度,本发明可以进一步提高超导量子干涉器件抗干扰能力,甚至可以略去外置屏蔽罩,减小超导量子干涉器件的封装体积,提高使用系统集成度。此外,集成屏蔽壳采用金属层,可以损耗约瑟夫森结高频辐射,在高超导量子干涉器件阵列中增加了相邻超导量子干涉器件之间的隔离,避免相互串扰。

[0080] 2) 现有的外置大尺寸(cm量级)屏蔽罩,其本征谐振频率较低,落在超导量子干涉器件的工作点附近,容易与超导量子干涉器件相互耦合,影响器件正常工作,而本发明的片上集成屏蔽壳其尺寸仅百微米量级,其本征谐振频率和低频截止频率远高于超导量子干涉器件工作点,避免对超导量子干涉器件的影响。

[0081] 3) 本发明的片上集成屏蔽壳与现有超导量子干涉器件制备工艺兼容,便于制备加工,本发明的片上集成屏蔽壳工艺也可用于改善其他相关微纳芯片的EMC性能。所以,本发明有效克服了现有技术中的种种缺点而具高度产业利用价值。

[0082] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

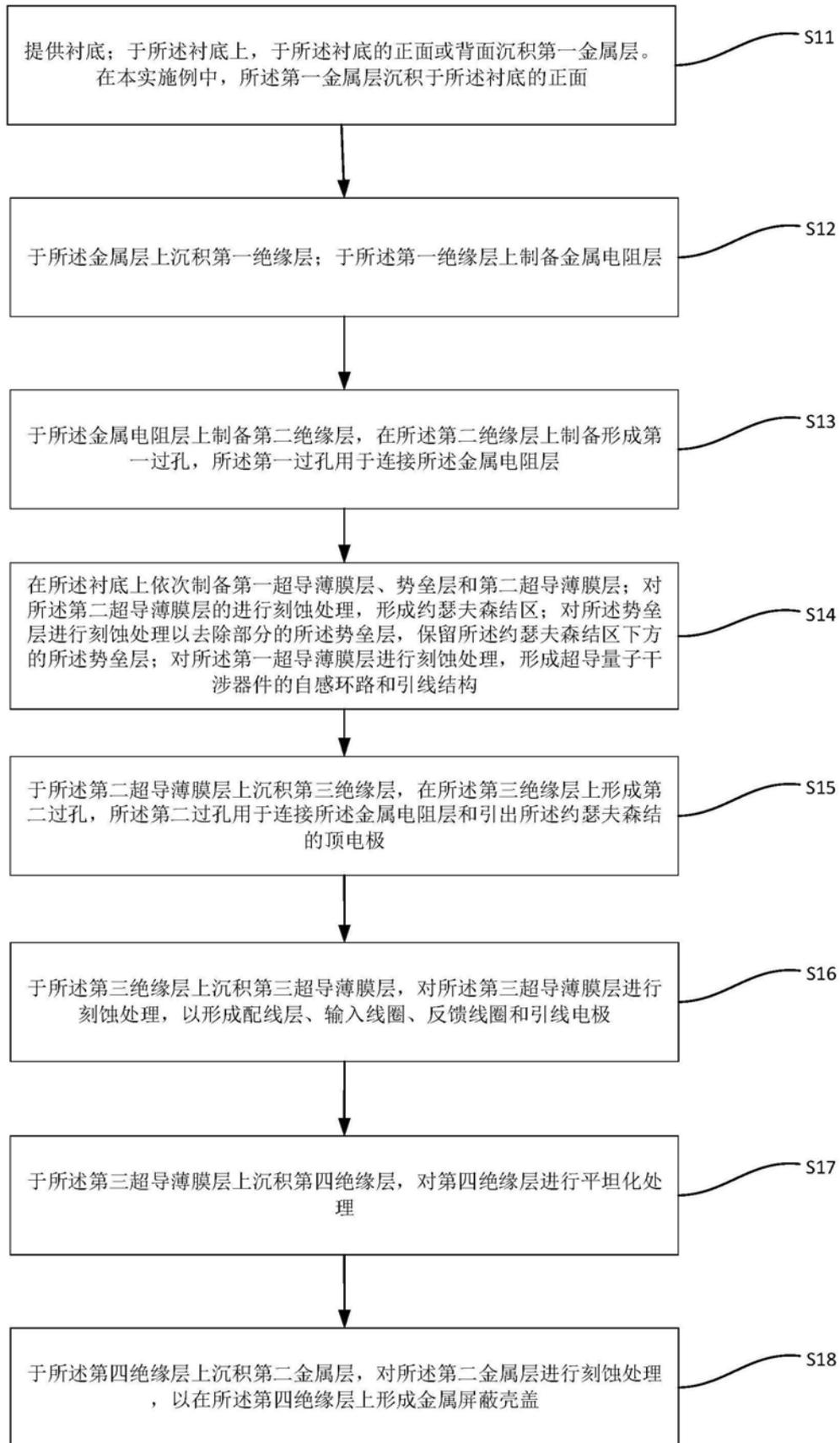


图1

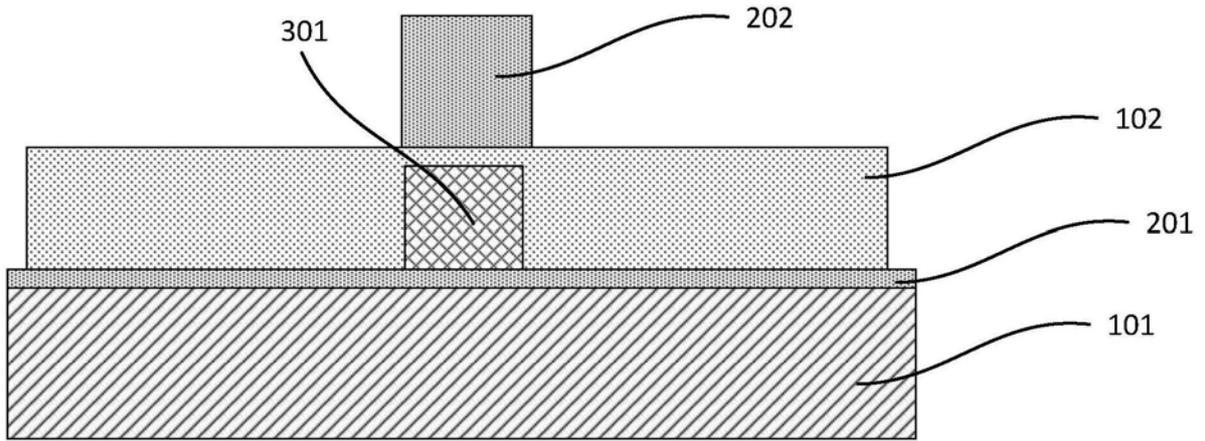


图2

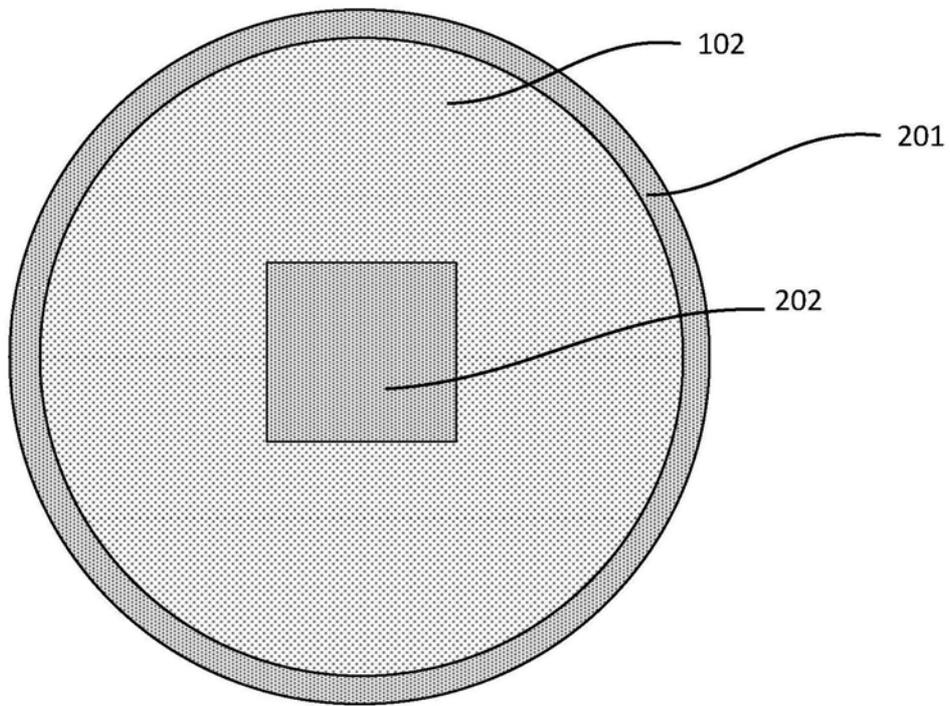


图3

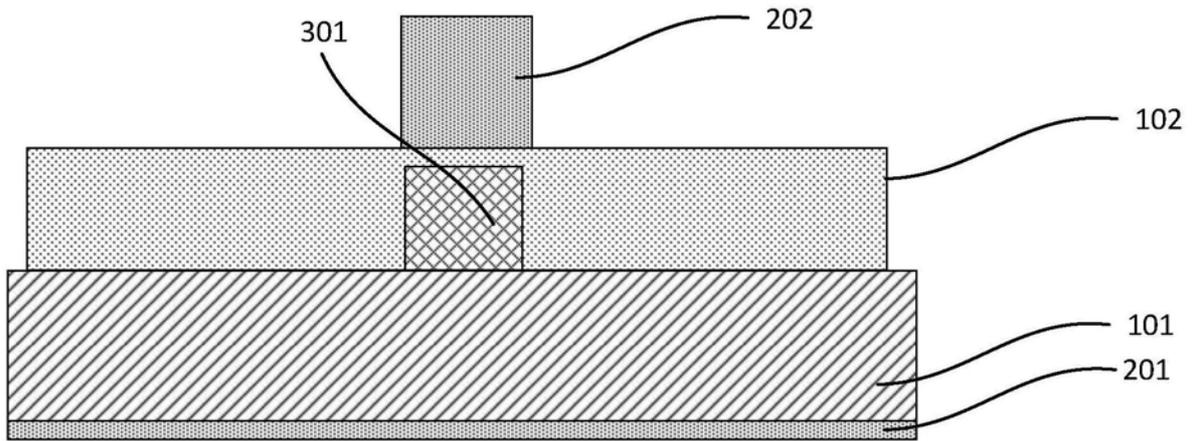


图4

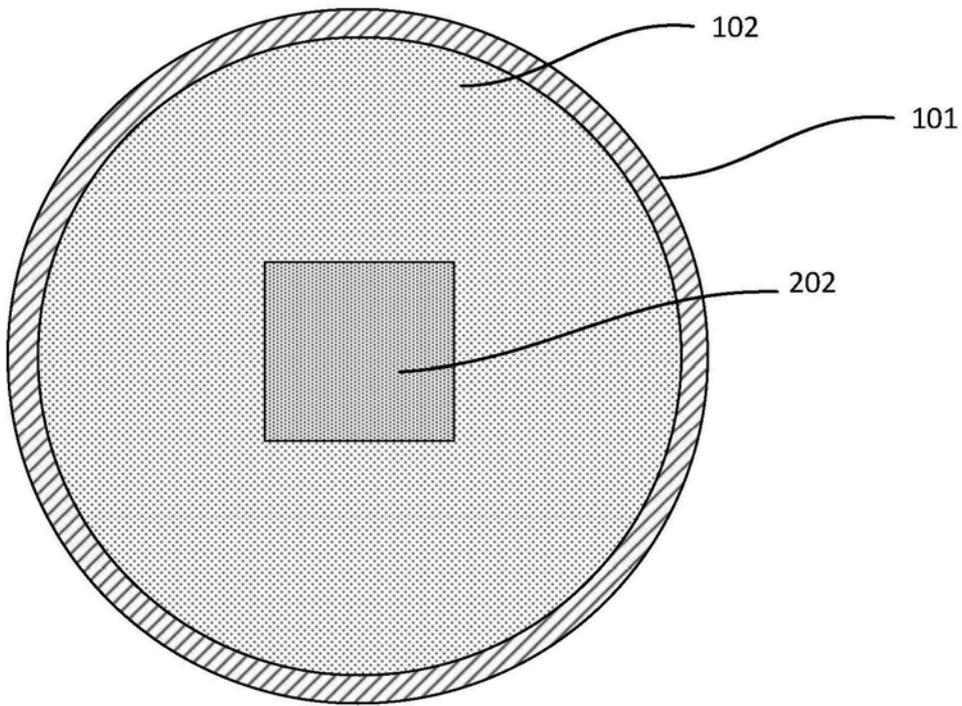


图5

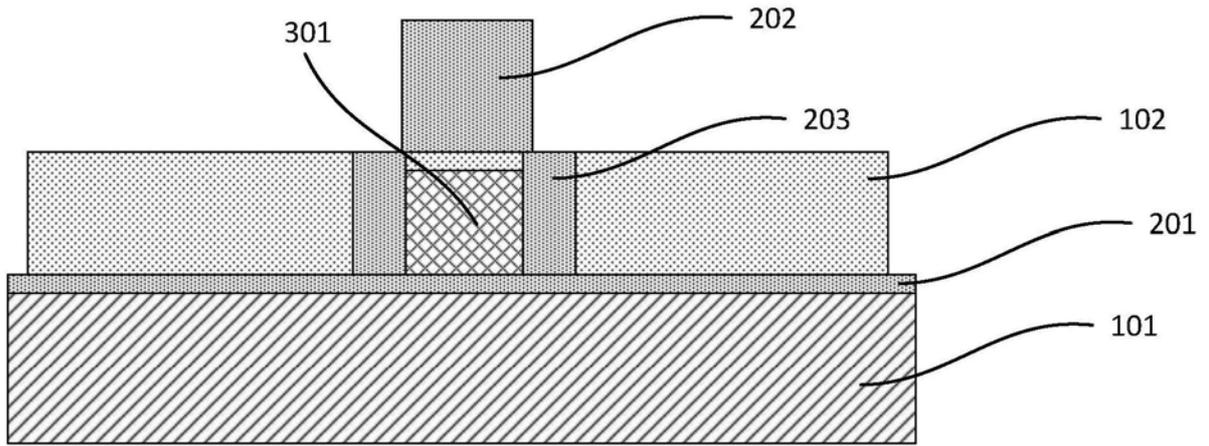


图6

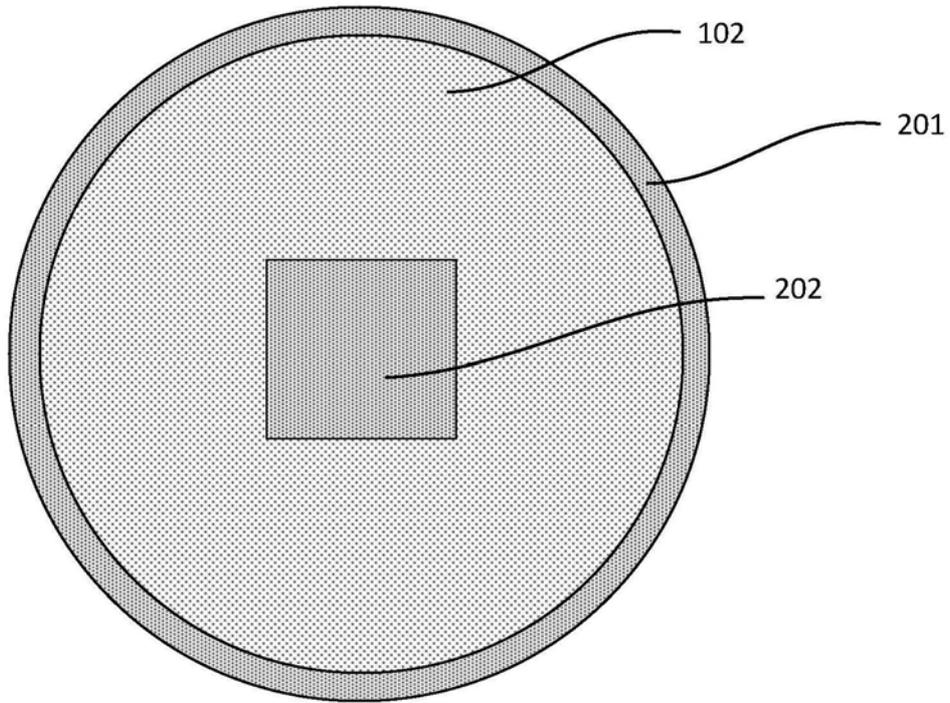


图7