



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2018년08월22일  
(11) 등록번호 10-1890819  
(24) 등록일자 2018년08월16일

(51) 국제특허분류(Int. Cl.)  
G11C 29/00 (2006.01)  
(21) 출원번호 10-2012-0054373  
(22) 출원일자 2012년05월22일  
심사청구일자 2017년05월10일  
(65) 공개번호 10-2013-0130505  
(43) 공개일자 2013년12월02일  
(56) 선행기술조사문헌  
KR1020040102599 A\*  
US06178127 B1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
김보경  
경기 이천시 부발읍 경충대로2050번길 15-44, 30  
5동 1702호 (현대성우3단지아파트)  
(74) 대리인  
특허법인신성

전체 청구항 수 : 총 4 항

심사관 : 나영준

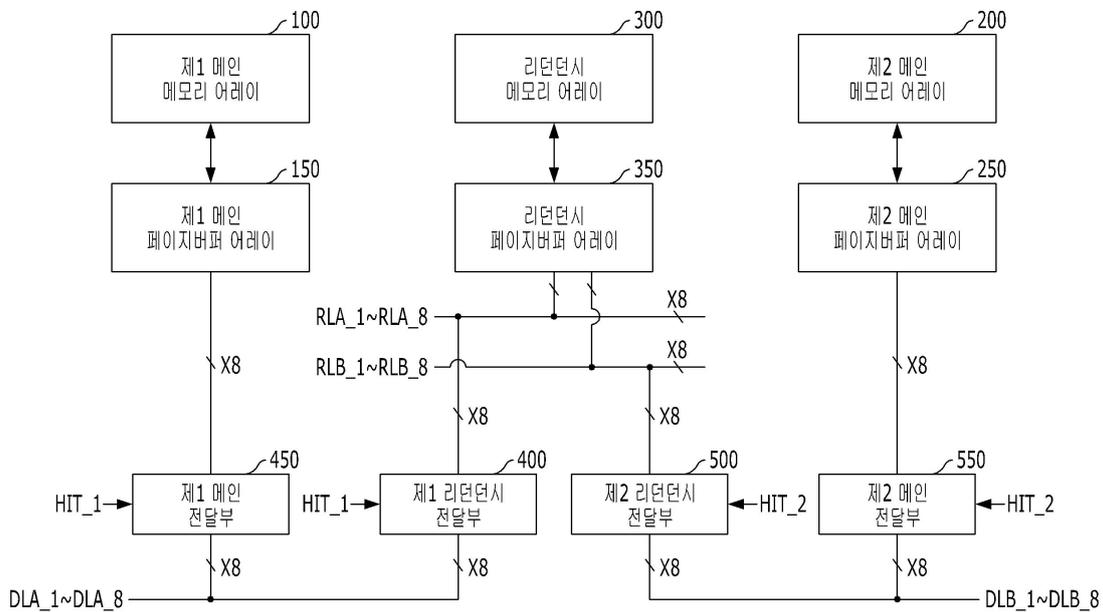
(54) 발명의 명칭 메모리 장치 및 상기 장치의 데이터 입/출력 방법

(57) 요약

본 발명의 실시예에 따른 메모리 장치는, 제1메인 메모리 어레이의 데이터를 액세스하는 제1메인 페이지버퍼 어레이; 제2메인 메모리 어레이의 데이터를 액세스하는 제2메인 페이지버퍼 어레이; 상기 제1메인 메모리 어레이 또는 상기 제2메인 메모리 어레이를 리페어하는 리던던시 메모리 어레이의 데이터를 액세스하는 리던던시 페이지

(뒷면에 계속)

대표도



버퍼 어레이; 제1리던던시 버스를 통해 상기 리던던시 페이지버퍼 어레이와 연결되고, 제1컬럼 어드레스가 상기 제1메인 메모리 어레이의 불량 컬럼을 나타내는 경우에 활성화되어 외부로부터 입력된 데이터를 상기 제1리던던시 버스로 전달하거나 상기 제1리던던시 버스에 실린 데이터를 외부로 출력하는 제1리던던시 전달부; 및 제2리던던시 버스를 통해 상기 리던던시 페이지버퍼 어레이와 연결되고, 제2컬럼 어드레스가 상기 제2메인 메모리 어레이의 불량 컬럼을 나타내는 경우에 활성화되어 외부로부터 입력된 데이터를 상기 제2리던던시 버스로 전달하거나 상기 제2리던던시 버스에 실린 데이터를 외부로 출력하는 제2리던던시 전달부를 포함할 수 있다.

---

## 명세서

### 청구범위

#### 청구항 1

제1메인 메모리 어레이의 데이터를 액세스하는 제1메인 페이지버퍼 어레이;

제2메인 메모리 어레이의 데이터를 액세스하는 제2메인 페이지버퍼 어레이;

상기 제1메인 메모리 어레이 및 상기 제2메인 메모리 어레이를 리퍼어하는 리던던시 메모리 어레이의 데이터를 액세스하는 리던던시 페이지버퍼 어레이;

제1리던던시 버스를 통해 상기 리던던시 페이지버퍼 어레이와 연결되고, 제1컬럼 어드레스가 상기 제1메인 메모리 어레이의 불량 컬럼을 나타내면 외부로부터 입력된 데이터를 상기 제1리던던시 버스로 전달하거나 상기 제1리던던시 버스에 실린 데이터를 외부로 출력하는 제1리던던시 전달부;

제2리던던시 버스를 통해 상기 리던던시 페이지버퍼 어레이와 연결되고, 제2컬럼 어드레스가 상기 제2메인 메모리 어레이의 불량 컬럼을 나타내면 외부로부터 입력된 데이터를 상기 제2리던던시 버스로 전달하거나 상기 제2리던던시 버스에 실린 데이터를 외부로 출력하는 제2리던던시 전달부;

상기 제1컬럼 어드레스가 상기 제1메인 메모리 어레이의 정상 컬럼을 나타내는 경우에 활성화되어 외부로부터 입력된 데이터를 상기 제1메인 페이지버퍼 어레이로 전달하거나 상기 제1메인 페이지버퍼 어레이로부터 전달된 데이터를 외부로 출력하는 제1메인 전달부; 및

상기 제2컬럼 어드레스가 상기 제2메인 메모리 어레이의 정상 컬럼을 나타내는 경우에 활성화되어 외부로부터 입력된 데이터를 상기 제2메인 페이지버퍼 어레이로 전달하거나 상기 제2메인 페이지버퍼 어레이로부터 전달된 데이터를 외부로 출력하는 제2메인 전달부

를 포함하고,

상기 리던던시 페이지버퍼 어레이는

상기 제1컬럼 어드레스가 자신에 대응하는 경우에 상기 제1리던던시 버스와 연결되고, 상기 제2컬럼 어드레스가 자신에 대응하는 경우에 상기 제2리던던시 버스와 연결되는 다수의 페이지버퍼를 포함하는 메모리 장치.

#### 청구항 2

삭제

#### 청구항 3

제 1항에 있어서,

상기 제1리던던시 전달부는

리드 동작 시 상기 제1컬럼 어드레스가 상기 제1메인 메모리 어레이의 불량 컬럼을 나타내는 경우에 활성화되어 상기 제1리던던시 버스에 실린 데이터를 증폭하여 외부로 출력하는 제1증폭부; 및

프로그램 동작 시 상기 제1컬럼 어드레스가 상기 제1메인 메모리 어레이의 불량 컬럼을 나타내는 경우에 활성화되어 외부로부터 입력된 데이터를 상기 제1리던던시 버스로 전달하는 제1라이트 드라이버부를 포함하고,

상기 제2리던던시 전달부는

리드 동작 시 상기 제2컬럼 어드레스가 상기 제2메인 메모리 어레이의 불량 컬럼을 나타내는 경우에 활성화되어 상기 제2리던던시 버스에 실린 데이터를 증폭하여 외부로 출력하는 제2증폭부; 및

프로그램 동작 시 상기 제2컬럼 어드레스가 상기 제2메인 메모리 어레이의 불량 컬럼을 나타내는 경우에 활성화되어 외부로부터 입력된 데이터를 상기 제2리던던시 버스로 전달하는 제2라이트 드라이버부를 포함하는

를 포함하는 메모리 장치.

#### 청구항 4

삭제

#### 청구항 5

제 1항에 있어서,

상기 제1메인 전달부는

리드 동작 시 상기 제1컬럼 어드레스가 상기 제1메인 메모리 어레이의 정상 컬럼을 나타내는 경우에 활성화되어 상기 제1메인 페이지버퍼 어레이로부터 출력된 데이터를 증폭하여 외부로 출력하는 제3증폭부; 및

프로그램 동작 시 상기 제1컬럼 어드레스가 상기 제1메인 메모리 어레이의 정상 컬럼을 나타내는 경우에 활성화되어 외부로부터 입력된 데이터를 상기 제1메인 페이지버퍼 어레이로 전달하는 제3라이트 드라이버부를 포함하고,

상기 제2메인 전달부는

리드 동작 시 상기 제2컬럼 어드레스가 상기 제2메인 메모리 어레이의 정상 컬럼을 나타내는 경우에 활성화되어 상기 제2메인 페이지버퍼 어레이로부터 출력된 데이터를 증폭하여 외부로 출력하는 제4증폭부; 및

프로그램 동작 시 상기 제2컬럼 어드레스가 상기 제2메인 메모리 어레이의 정상 컬럼을 나타내는 경우에 활성화되어 외부로부터 입력된 데이터를 상기 제2메인 페이지버퍼 어레이로 전달하는 제4라이트 드라이버부를 포함하는

를 포함하는 메모리 장치.

#### 청구항 6

제 1항에 있어서,

상기 제1컬럼 어드레스와 상기 제2컬럼 어드레스는 동일한 어드레스인 메모리 장치.

#### 청구항 7

삭제

#### 청구항 8

삭제

#### 청구항 9

삭제

#### 청구항 10

삭제

#### 청구항 11

삭제

**발명의 설명**

**기술분야**

[0001] 본 발명은 메모리 장치 및 메모리 장치의 데이터 입/출력 방법에 관한 것으로, 더욱 자세하게는 데이터 입/출력 시 수행되는 메모리 장치의 리페어 동작의 효율성 및 안정성을 높이는 기술에 관한 것이다.

**배경기술**

[0002] 일반적으로 반도체 메모리 장치는 제조시 수많은 미세 셀 중에서 한 개라도 결함이 있으면 메모리로서의 기능을 수행하지 못하므로 불량품으로 처리된다. 그러나 메모리 내의 일부 셀에만 결함이 발생하였는데도 불구하고 장치 전체를 불량품으로 폐기하는 것은 수율(yield) 측면에서 비효율적인 처리 방법이다.

[0003] 현재는 메모리 장치 내에 미리 설치해둔 예비용 단위 셀을 이용하여 불량량이 발생한 노멀 단위 셀을 대체함으로써, 전체 메모리를 되살려 주는 방식으로 수율 향상을 이루고 있다.

[0004] 도 1은 종래의 메모리 장치에서의 리페어 동작을 설명하기 위한 도면이다.

[0005] 메모리 장치는 제1메인 메모리 어레이(10), 제1메인 페이지버퍼 어레이(20), 제1리던던시 메모리 어레이(15), 제1리던던시 페이지버퍼 어레이(25), 제2메인 메모리 어레이(30), 제2메인 페이지버퍼 어레이(40), 제2리던던시 메모리 어레이(35), 및 제2리던던시 페이지버퍼 어레이(45)를 포함한다.

[0006] 제1메인 페이지버퍼 어레이(20)는 제1메인 메모리 어레이(10)의 데이터를 액세스한다. 제1메인 페이지버퍼 어레이(20)는 제1메인 메모리 어레이(10)에 데이터를 저장하는 프로그램 동작 및 제1메인 메모리 어레이(10)로부터 데이터를 독출하는 리드 동작을 수행한다.

[0007] 제1리던던시 메모리 어레이(15)는 제1메인 메모리 어레이(10)를 구성하는 컬럼 중에서 불량 메모리 셀을 포함하는 컬럼을 컬럼 단위로 대체한다.

[0008] 제1리던던시 페이지버퍼 어레이(25)는 제1리던던시 메모리 어레이(15)의 데이터를 액세스한다. 제1리던던시 페이지버퍼 어레이(25)는 제1리던던시 메모리 어레이(15)에 데이터를 저장하는 프로그램 동작 및 제1리던던시 메모리 어레이(15)로부터 데이터를 독출하는 리드 동작을 수행한다.

[0009] 제2메인 페이지버퍼 어레이(40)는 제2메인 메모리 어레이(30)의 데이터를 액세스한다. 제2메인 페이지버퍼 어레이(40)는 제2메인 메모리 어레이(30)에 데이터를 저장하는 프로그램 동작 및 제2메인 메모리 어레이(30)로부터 데이터를 독출하는 리드 동작을 수행한다.

[0010] 제2리던던시 메모리 어레이(35)는 제2메인 메모리 어레이(30)를 구성하는 컬럼 중에서 불량 메모리 셀을 포함하는 컬럼을 컬럼 단위로 대체한다.

[0011] 제2리던던시 페이지버퍼 어레이(45)는 제2리던던시 메모리 어레이(35)의 데이터를 액세스한다. 제2리던던시 페이지버퍼 어레이(45)는 제2리던던시 메모리 어레이(35)에 데이터를 저장하는 프로그램 동작 및 제2리던던시 메모리 어레이(35)로부터 데이터를 독출하는 리드 동작을 수행한다.

[0012] 입력된 컬럼 어드레스가 제1메인 메모리 어레이(10)를 구성하는 컬럼 중에서 불량 컬럼에 대응하는 경우에, 제1메인 메모리 어레이(10) 내의 상기 불량 컬럼 대신에 제1리던던시 메모리 어레이(15) 내의 컬럼 중에서 상기 불량 컬럼을 대체하는 컬럼에 대해 제1리던던시 페이지버퍼 어레이(25)에 의해 리드/프로그램 동작이 수행된다. 마찬가지로, 입력된 컬럼 어드레스가 제2메인 메모리 어레이(30)를 구성하는 컬럼 중에서 불량 컬럼에 대응하는 경우에, 제2메인 메모리 어레이(30) 내의 상기 불량 컬럼 대신에 제2리던던시 메모리 어레이(35) 내의 컬럼 중에서 상기 불량 컬럼을 대체하는 컬럼에 대해 제2리던던시 페이지버퍼 어레이(45)에 의해 리드/프로그램 동작이 수행된다.

[0013] 한편, 도 1에 도시된 바와 같이 종래의 메모리 장치는 제1메인 메모리 어레이(10) 내의 불량 컬럼을 대체하기 위한 제1리던던시 메모리 어레이(15)와 제2메인 메모리 어레이(30) 내의 불량 컬럼을 대체하기 위한 제2리던던시 메모리 어레이(35)를 별도로 구비한다. 따라서, 제1메인 메모리 어레이(10) 내의 불량 컬럼은 제2리던던시 메모리 어레이(35)로 대체될 수 없고, 마찬가지로 제2메인 메모리 어레이(30) 내의 불량 컬럼은 제1리던던시 메모리 어레이(15)로 대체될 수 없다. 따라서, 제1 및 제2메인 메모리 어레이(10, 30) 중 어느 하나에만 불량 셀

이 많이 존재하는 경우에, 예를 들어 제1메인 메모리 어레이(10)에 제1리던던시 메모리 어레이(15)로 대체될 수 없을 정도로 많은 불량 셀이 존재하는 경우에는 메모리 장치 전체를 폐기해야 하는 문제가 있다.

**발명의 내용**

**해결하려는 과제**

[0014] 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로, 제1 및 제2메인 메모리 어레이(10, 30) 중 어느 하나에 불량 셀이 많이 존재하더라도 리페어가 가능하고, 리페어 동작이 제1 및 제2메인 메모리 어레이(10, 30)에 대해 동시에 진행되더라도 데이터 폐일 없이 안정적으로 수행되는 메모리 장치를 제공한다.

**과제의 해결 수단**

[0015] 본 발명의 실시예에 따른 메모리 장치는, 제1메인 메모리 어레이의 데이터를 액세스하는 제1메인 페이지버퍼 어레이; 제2메인 메모리 어레이의 데이터를 액세스하는 제2메인 페이지버퍼 어레이; 상기 제1메인 메모리 어레이 또는 상기 제2메인 메모리 어레이를 리페어하는 리던던시 메모리 어레이의 데이터를 액세스하는 리던던시 페이지버퍼 어레이; 제1리던던시 버스를 통해 상기 리던던시 페이지버퍼 어레이와 연결되고, 제1컬럼 어드레스가 상기 제1메인 메모리 어레이의 불량 컬럼을 나타내는 경우에 활성화되어 외부로부터 입력된 데이터를 상기 제1리던던시 버스로 전달하거나 상기 제1리던던시 버스에 실린 데이터를 외부로 출력하는 제1전달부; 및 제2리던던시 버스를 통해 상기 리던던시 페이지버퍼 어레이와 연결되고, 제2컬럼 어드레스가 상기 제2메인 메모리 어레이의 불량 컬럼을 나타내는 경우에 활성화되어 외부로부터 입력된 데이터를 상기 제2리던던시 버스로 전달하거나 상기 제2리던던시 버스에 실린 데이터를 외부로 출력하는 제2전달부를 포함할 수 있다.

[0016] 또한 본 발명의 실시예에 따른 메모리 장치의 데이터 입력 방법은, 제1컬럼 어드레스가 제1메인 메모리 어레이 내의 불량 컬럼을 나타내면 외부로부터 전달된 제1데이터를 제1리던던시 버스로 전달하는 단계; 제2컬럼 어드레스가 제2메인 메모리 어레이 내의 불량 컬럼을 나타내면 외부로부터 전달된 제2데이터를 제2리던던시 버스로 전달하는 단계; 리던던시 페이지버퍼 어레이 중에서 상기 제1메인 메모리 어레이 내의 불량 컬럼을 나타내는 상기 제1컬럼 어드레스에 대응하는 적어도 하나 이상의 리던던시 페이지버퍼와 상기 제1리던던시 버스를 연결하고, 상기 제1리던던시 버스에 실린 데이터를 상기 제1리던던시 버스와 연결된 리던던시 페이지버퍼로 전달하는 단계; 및 상기 리던던시 페이지버퍼 어레이 중에서 상기 제2메인 메모리 어레이 내의 불량 컬럼을 나타내는 상기 제2컬럼 어드레스에 대응하는 적어도 하나 이상의 리던던시 페이지버퍼와 상기 제2리던던시 버스를 연결하고, 상기 제2리던던시 버스에 실린 데이터를 상기 제2리던던시 버스와 연결된 리던던시 페이지버퍼로 전달하는 단계를 포함할 수 있다.

[0017] 또한 본 발명의 실시예에 따른 메모리 장치의 데이터 출력 방법은, 리던던시 메모리 어레이 내의 다수의 로우 중에서 하나의 로우에 저장된 데이터를 액세스하여 리던던시 페이지버퍼 어레이에 래치하는 단계; 제1컬럼 어드레스가 제1메인 메모리 어레이 내의 불량 컬럼을 나타내면 상기 리던던시 페이지버퍼 어레이 중에서 상기 제1컬럼 어드레스에 대응하는 적어도 하나 이상의 리던던시 페이지버퍼와 제1리던던시 버스를 연결하고, 상기 제1리던던시 버스와 연결된 리던던시 페이지버퍼에 래치되어 있는 데이터를 외부로 출력하는 단계; 및 제2컬럼 어드레스가 제2메인 메모리 어레이 내의 불량 컬럼을 나타내면 상기 리던던시 페이지버퍼 어레이 중에서 상기 제2컬럼 어드레스에 대응하는 적어도 하나 이상의 리던던시 페이지버퍼와 제2리던던시 버스를 연결하고, 상기 제2리던던시 버스와 연결된 리던던시 페이지버퍼에 래치되어 있는 데이터를 외부로 출력하는 단계를 포함할 수 있다.

**발명의 효과**

[0018] 본 발명의 실시예에 따르면, 리던던시 메모리 어레이를 제1메인 메모리 어레이와 제2메인 메모리 어레이가 공유함으로써, 제1 및 제2메인 메모리 어레이 중 어느 하나에 많은 불량 셀이 존재하더라도 리페어가 가능하다. 따라서 메모리 리페어의 효율성을 높일 수 있다.

[0019] 또한, 제1메인 메모리 어레이와 제2메인 메모리 어레이는 서로 다른 리던던시 버스를 통해 리던던시 메모리 어레이를 공유하므로, 제1 및 제2메인 메모리 어레이에 대해 동시에 리페어 동작이 수행되더라도 데이터 폐일이

발생하지 않는다. 따라서 메모리 리페어의 신뢰성을 향상시킬 수 있다.

[0020]

**도면의 간단한 설명**

[0021]

도 1은 종래의 메모리 장치에서의 리페어 동작을 설명하기 위한 도면.  
 도 2는 본 발명의 일실시예에 따른 메모리 장치를 나타낸 도면.  
 도 3a는 도 2에 도시된 제1메인 전달부(450) 및 제1리턴던시 전달부(400)의 일실시예를 나타낸 도면.  
 도 3b는 도 2에 도시된 제2메인 전달부(550) 및 제2리턴던시 전달부(500)의 일실시예를 나타낸 도면.  
 도 4는 도 2에 도시된 제1리턴던시 버스(RLA\_1~RLA\_8) 및 제2리턴던시 버스(RLB\_1~RLB\_8)와 연결된 리턴던시 페이지버퍼 어레이(350)의 일실시예를 나타낸 도면.

**발명을 실시하기 위한 구체적인 내용**

[0022]

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0023]

도 2는 본 발명의 일실시예에 따른 메모리 장치를 나타낸 도면이다.

[0024]

메모리 장치는 제1메인 메모리 어레이(100), 제1메인 페이지버퍼 어레이(150), 제2메인 메모리 어레이(200), 제2메인 페이지버퍼 어레이(250), 리턴던시 메모리 어레이(300), 리턴던시 페이지버퍼 어레이(350), 제1메인 전달부(450), 제1리턴던시 전달부(400), 제2리턴던시 전달부(500), 및 제2메인 전달부(550)를 포함할 수 있다.

[0025]

제1메인 메모리 어레이(100)는 다수의 메모리 셀을 포함하며, 데이터를 저장한다. 구체적으로 제1메인 메모리 어레이(100)는 P개의 로우(row)와 M개의 컬럼(column)으로 배열되는 다수의 메모리 셀을 포함한다.

[0026]

제1메인 페이지버퍼 어레이(150)는 다수의 페이지버퍼를 포함하며, 페이지버퍼 각각은 자신에 대응하는 제1메인 메모리 어레이(100)의 메모리 셀의 데이터를 액세스한다. 제1메인 페이지버퍼 어레이(150)는 제1메인 메모리 어레이(100)에 데이터를 저장하는 프로그램 동작 및 제1메인 메모리 어레이(100)로부터 데이터를 독출하는 리드 동작을 수행한다.

[0027]

제2메인 메모리 어레이(200)는 다수의 메모리 셀을 포함하며, 데이터를 저장한다. 구체적으로 제2메인 메모리 어레이(200)는 제1메인 메모리 어레이(100)와 동일한 사이즈로 설계되거나 제1메인 메모리 어레이(100)와 다른 사이즈로 설계될 수 있다. 이하에서는 제2메인 메모리 어레이(200)가 제1메인 메모리 어레이(100)와 동일한 사이즈로 설계된 경우 즉, P개의 로우와 M개의 컬럼으로 배열되는 다수의 메모리 셀을 포함하는 경우를 예로 들어 설명한다.

[0028]

제2메인 페이지버퍼 어레이(250)는 다수의 페이지버퍼를 포함하며, 페이지버퍼 각각은 자신에 대응하는 제2메인 메모리 어레이(200)의 메모리 셀의 데이터를 액세스한다. 제2메인 페이지버퍼 어레이(250)는 제2메인 메모리 어레이(200)에 데이터를 저장하는 프로그램 동작 및 제2메인 메모리 어레이(200)로부터 데이터를 독출하는 리드 동작을 수행한다.

[0029]

리턴던시 메모리 어레이(300)는 제1메인 메모리 어레이(100) 내의 불량 컬럼 또는 제2메인 메모리 어레이(200) 내의 불량 컬럼을 대체한다. 즉, 제1메인 메모리 어레이(100) 및 제2메인 메모리 어레이(200)는 하나의 리턴던시 메모리 어레이(300)를 공유한다. 여기서 리턴던시 메모리 어레이(300)의 사이즈는 도 1에 도시된 제1 및 제2 리턴던시 메모리 어레이(15, 35)의 사이즈의 합과 같도록 설계될 수 있다.

[0030]

리턴던시 페이지버퍼 어레이(350)는 리턴던시 메모리 어레이(300)의 데이터를 액세스한다. 구체적으로 리턴던시 페이지버퍼 어레이(350)는 다수의 리턴던시 페이지버퍼를 포함하며, 리턴던시 페이지버퍼 각각은 자신에 대응하는 리턴던시 메모리 어레이(300)의 메모리 셀의 데이터를 액세스한다. 리턴던시 페이지버퍼 어레이(350)는 리턴던시 메모리 어레이(300)에 데이터를 저장하는 프로그램 동작 및 리턴던시 메모리 어레이(300)로부터 데이터를 독출하는 리드 동작을 수행한다.

[0031]

제1리턴던시 전달부(400)는 제1리턴던시 버스(RLA\_1~RLA\_8)를 통해 리턴던시 페이지버퍼 어레이(350)와 연결된

다. 제1리던던시 전달부(400)는 입력된 제1컬럼 어드레스가 제1메인 메모리 어레이(100) 내의 불량 컬럼을 나타내는 경우에 활성화된다. 여기서 제1컬럼 어드레스는 리드 동작 시 제1메인 페이지버퍼 어레이(150) 내의 다수의 페이지버퍼 중에서 어느 페이지버퍼가 래치하고 있는 데이터를 출력할지를 나타내는 정보이고, 프로그램 동작 시 제1메인 페이지버퍼 어레이(150) 내의 다수의 페이지버퍼 중에서 어느 페이지버퍼에 데이터를 래치할 지를 나타내는 정보이다. 구체적으로 제1리던던시 전달부(400)는 제1히트신호(HIT\_1)에 응답해 활성화되도록 설계될 수 있다. 여기서 제1히트신호(HIT\_1)는 입력된 제1컬럼 어드레스가 제1메인 메모리 어레이(100) 내의 불량 컬럼을 나타내는 경우에 활성화되는 신호이고, 제1리던던시 전달부(400)는 제1히트신호(HIT\_1)가 하이 레벨로 활성화되면 활성화되고, 제1히트신호(HIT\_1)가 로우 레벨로 비활성화되면 비활성화되도록 설계될 수 있다. 활성화된 제1리던던시 전달부(400)는 프로그램 동작 시에 외부로부터 입력된 데이터 즉, 제1데이터 버스(DLA\_1~DLA\_8)에 실린 데이터를 제1리던던시 버스(DLA\_1~DLA\_8)로 전달하고, 리드 동작 시에 제1리던던시 버스(DLA\_1~DLA\_8)에 실린 데이터를 제1데이터 버스(DLA\_1~DLA\_8)에 실어 외부로 출력한다.

[0032] 제1메인 전달부(450)는 입력된 제1컬럼 어드레스가 제1메인 메모리 어레이(100) 내의 정상 컬럼을 나타내는 경우에 활성화된다. 구체적으로 제1메인 전달부(450)가 제1히트신호(HIT\_1)에 응답해 활성화되도록 설계될 수 있다. 즉, 제1메인 전달부(450)는 제1히트신호(HIT\_1)가 하이 레벨로 활성화되면 비활성화되고, 제1히트신호(HIT\_1)가 로우 레벨로 비활성화되면 활성화되도록 설계될 수 있다. 활성화된 제1메인 전달부(450)는 프로그램 동작 시에 외부로부터 입력된 데이터 즉, 제1데이터 버스(DLA\_1~DLA\_8)에 실린 데이터를 제1메인 페이지버퍼 어레이(150)로 전달하고, 리드 동작 시에 제1메인 페이지버퍼 어레이(150)로부터 출력된 데이터를 제1데이터 버스(DLA\_1~DLA\_8)에 실어 외부로 출력한다.

[0033] 제2리던던시 전달부(500)는 제2리던던시 버스(RLB\_1~RLB\_8)를 통해 리던던시 페이지버퍼 어레이(350)와 연결된다. 제2리던던시 전달부(500)는 입력된 제2컬럼 어드레스가 제2메인 메모리 어레이(200)의 불량 컬럼을 나타내는 경우에 활성화된다. 여기서 제2컬럼 어드레스는 리드 동작 시 제2메인 페이지버퍼 어레이(250) 내의 다수의 페이지버퍼 중에서 어느 페이지버퍼가 래치하고 있는 데이터를 출력할지를 나타내는 정보이고, 프로그램 동작 시 제2메인 페이지버퍼 어레이(250) 내의 다수의 페이지버퍼 중에서 어느 페이지버퍼에 데이터를 래치할 지를 나타내는 정보이다. 구체적으로 제2리던던시 전달부(500)가 제2히트신호(HIT\_2)에 응답해 활성화되도록 설계될 수 있다. 여기서 제2히트신호(HIT\_2)는 입력된 제2컬럼 어드레스가 제2메인 메모리 어레이(200)의 불량 컬럼을 나타내는 경우에 활성화되는 신호이고, 제2리던던시 전달부(500)는 제2히트신호(HIT\_2)가 하이 레벨로 활성화되면 활성화되고, 제2히트신호(HIT\_2)가 로우 레벨로 비활성화되면 비활성화되도록 설계될 수 있다. 활성화된 제2리던던시 전달부(500)는 프로그램 동작 시에 외부로부터 입력된 데이터 즉, 제2데이터 버스(DLB\_1~DLB\_8)에 실린 데이터를 제2리던던시 버스(DLB\_1~DLB\_8)로 전달하고, 리드 동작 시에 제2리던던시 버스(DLB\_1~DLB\_8)에 실린 데이터를 제2데이터 버스(DLB\_1~DLB\_8)에 실어 외부로 출력한다. 한편, 제1메인 페이지버퍼 어레이(150)와 제2메인 페이지버퍼 어레이(250)는 동시에 사용될 수 있으므로 상기 제1컬럼 어드레스와 상기 제2컬럼 어드레스는 동일할 수 있다.

[0034] 제2메인 전달부(550)는 입력된 제2컬럼 어드레스가 제2메인 메모리 어레이(200)의 정상 컬럼을 나타내는 경우에 활성화된다. 구체적으로 제2메인 전달부(550)가 제2히트신호(HIT\_2)에 응답해 활성화되도록 설계될 수 있다. 즉, 제2메인 전달부(550)는 제2히트신호(HIT\_2)가 하이 레벨로 활성화되면 비활성화되고, 제2히트신호(HIT\_2)가 로우 레벨로 비활성화되면 활성화되도록 설계될 수 있다. 활성화된 제2메인 전달부(550)는 프로그램 동작 시에 외부로부터 입력된 데이터 즉, 제2데이터 버스(DLB\_1~DLB\_8)에 실린 데이터를 제2메인 페이지버퍼 어레이(250)로 전달하고, 리드 동작 시에 제2메인 페이지버퍼 어레이(250)로부터 출력된 데이터를 제2데이터 버스(DLB\_1~DLB\_8)에 실어 외부로 출력한다.

[0035] 도 3A는 도 2에 도시된 제1리던던시 전달부(400) 및 제1메인 전달부(450)의 일실시예를 나타낸 도면이다.

[0036] 제1리던던시 전달부(400)는 제1증폭부(401) 및 제1라이트 드라이버부(402)를 포함할 수 있다. 제1증폭부(401)는 리드 동작 시 제1컬럼 어드레스가 제1메인 메모리 어레이(100) 내의 불량 컬럼을 나타내는 경우(즉, 제1히트신호(HIT\_1)가 활성화된 경우)에 활성화되어 제1리던던시 버스(RLA\_1~RLA\_8)에 실린 데이터를 증폭하여 제1데이터 버스(DLA\_1~DLA\_8)에 실어 외부로 출력한다. 제1라이트 드라이버부(402)는 프로그램 동작 시 상기 제1컬럼 어드레스가 제1메인 메모리 어레이(100) 내의 불량 컬럼을 나타내는 경우(즉, 제1히트신호(HIT\_1)가 활성화된 경우)에 활성화되어 외부로부터 입력된 데이터 즉, 제1데이터 버스(DLA\_1~DLA\_8)에 실린 데이터를 제1리던던시 버스(RLA\_1~RLA\_8)로 전달한다.

- [0037] 제1메인 전달부(450)는 제3증폭부(451) 및 제3라이트 드라이버부(452)를 포함할 수 있다. 제3증폭부(451)는 리드 동작 시 상기 제1컬럼 어드레스가 제1메인 메모리 어레이(100) 내의 정상 컬럼을 나타내는 경우(즉, 제1히트신호(HIT\_1)가 비활성화된 경우)에 활성화되어 제1메인 페이지버퍼 어레이(150)로부터 출력된 데이터를 증폭하여 제1데이터 버스(DLA\_1~DLA\_8)에 실어 외부로 출력한다. 제3라이트 드라이버부(452)는 프로그램 동작 시 상기 제1컬럼 어드레스가 제1메인 메모리 어레이(100) 내의 정상 컬럼을 나타내는 경우(즉, 제1히트신호(HIT\_1)가 비활성화된 경우)에 활성화되어 외부로부터 입력된 데이터 즉, 제1데이터 버스(DLA\_1~DLA\_8)에 실린 데이터를 제1메인 페이지버퍼 어레이(150)로 전달한다.
- [0038] 도 3B는 도 2에 도시된 제2리던던시 전달부(500) 및 제2메인 전달부(550)의 일실시예를 나타낸 도면이다.
- [0039] 제2리던던시 전달부(500)는 제2증폭부(501) 및 제2라이트 드라이버부(502)를 포함할 수 있다. 제2증폭부(501)는 리드 동작 시 제2컬럼 어드레스가 제2메인 메모리 어레이(200) 내의 불량 컬럼을 나타내는 경우(즉, 제2히트신호(HIT\_2)가 활성화된 경우)에 활성화되어 제2리던던시 버스(RLB\_1~RLB\_8)에 실린 데이터를 증폭하여 제2데이터 버스(DLB\_1~DLB\_8)에 실어 외부로 출력한다. 제2라이트 드라이버부(502)는 프로그램 동작 시 상기 제2컬럼 어드레스가 제2메인 메모리 어레이(200) 내의 불량 컬럼을 나타내는 경우(즉, 제2히트신호(HIT\_2)가 활성화된 경우)에 외부로부터 입력된 데이터 즉, 제2데이터 버스(DLB\_1~DLB\_8)에 실린 데이터를 제2리던던시 버스(RLB\_1~RLB\_8)로 전달한다.
- [0040] 제2메인 전달부(550)는 제4증폭부(551) 및 제4라이트 드라이버부(552)를 포함할 수 있다. 제4증폭부(551)는 리드 동작 시 제2컬럼 어드레스가 제2메인 메모리 어레이(200) 내의 정상 컬럼을 나타내는 경우(즉, 제2히트신호(HIT\_2)가 비활성화된 경우)에 활성화되어 제2메인 페이지버퍼 어레이(250)로부터 출력된 데이터를 증폭하여 제2데이터 버스(DLB\_1~DLB\_8)에 실어 외부로 출력한다. 제4라이트 드라이버부(552)는 프로그램 동작 시 상기 제2컬럼 어드레스가 제2메인 메모리 어레이(200) 내의 정상 컬럼을 나타내는 경우(즉, 제2히트신호(HIT\_2)가 비활성화된 경우)에 활성화되어 외부로부터 입력된 데이터 즉, 제2데이터 버스(DLB\_1~DLB\_8)에 실린 데이터를 제2메인 페이지버퍼 어레이(250)로 전달한다.
- [0041] 도 4는 도 2에 도시된 제1리던던시 버스(RLA\_1~RLA\_8) 및 제2리던던시 버스(RLB\_1~RLB\_8)와 연결된 리던던시 페이지버퍼 어레이(350)의 일실시예를 나타낸 도면이다.
- [0042] 리던던시 페이지버퍼 어레이(350)는 다수의 페이지버퍼(351\_1~35N\_8)를 포함한다. 여기서 페이지버퍼 각각은 리던던시 메모리 어레이(300) 내의 다수의 컬럼 중에서 하나의 컬럼에 대응하거나 한 쌍의 컬럼(이븐(even) 컬럼과 오드(odd) 컬럼)에 대응하도록 설계될 수 있다. 이하에서는 설명의 편의를 위해 페이지버퍼 각각이 리던던시 메모리 어레이(300) 내의 다수의 컬럼 중에서 하나의 컬럼에 대응하도록 설계된 경우를 예를 들어 설명한다. 즉, 페이지버퍼(351\_1)은 리던던시 메모리 어레이(300) 내의 제1컬럼에 대응하고, 페이지버퍼(351\_2)은 리던던시 메모리 어레이(300) 내의 제2컬럼에 대응하고, 페이지버퍼(351\_8)은 리던던시 메모리 어레이(300) 내의 제8컬럼에 대응한다.
- [0043] 한편, 도 4에서는 리던던시 페이지버퍼 어레이(350)가 8 X N개의 페이지버퍼를 포함하고, 8개의 페이지버퍼 단위로 동일한 선택신호(YA1~YAN, YB1~YBN)를 공유하는 경우를 예시하였다. 구체적으로 리던던시 페이지버퍼 어레이(350)는 8개의 페이지버퍼로 구성된 N개의 페이지버퍼 그룹으로 나뉠 수 있다. 제1페이지버퍼 그룹(351\_1~351\_8)은 제1-1선택신호(YA1)가 활성화되면 제1리던던시 버스(RLA\_1~RLA\_8)와 연결된다. 구체적으로 제1-1선택신호(YA1)가 활성화되면 페이지버퍼(351\_1)는 제1리던던시 버스(RLA\_1)와 연결되고, 페이지버퍼(351\_2)는 제1리던던시 버스(RLA\_2)와 연결되고, 페이지버퍼(351\_8)는 제1리던던시 버스(RLA\_8)와 연결된다. 그리고 제1페이지버퍼 그룹(351\_1~351\_8)은 제2-1선택신호(YB1)가 활성화되면 제2리던던시 버스(RLB\_1~RLB\_8)와 연결된다. 구체적으로 제2-1선택신호(YB1)가 활성화되면 페이지버퍼(351\_1)는 제2리던던시 버스(RLB\_1)와 연결되고, 페이지버퍼(351\_2)는 제2리던던시 버스(RLB\_2)와 연결되고, 페이지버퍼(351\_8)는 제2리던던시 버스(RLB\_8)와 연결된다. 마찬가지로 제N페이지버퍼 그룹(35N\_1~35N\_8)은 제1-N선택신호(YAN)가 활성화되면 제1리던던시 버스(RLA\_1~RLA\_8)와 연결되고, 제2-N선택신호(YBN)가 활성화되면 제2리던던시 버스(RLB\_1~RLB\_8)와 연결된다.
- [0044] 한편, 제1-1선택신호 내지 제1-N선택신호(YA1~YAN) 중에서 제1컬럼 어드레스에 대응하는 선택신호가 활성화된다. 그리고 제2-1선택신호 내지 제2-N선택신호(YB1~YBN) 중에서 제2컬럼 어드레스에 대응하는 선택신호

가 활성화된다. 예를 들어, ① 리던던시 메모리 어레이(300)가 32개의 컬럼으로 구성되고, ② 제1메인 메모리 어레이(100) 내의 M개의 컬럼 중에서 제9 내지 제16컬럼이 리던던시 메모리 어레이(300) 내의 32개의 컬럼 중에서 제1 내지 제8컬럼으로 대체되고, ③ 제2메인 메모리 어레이(200) 내의 M개의 컬럼 중에서 제9 내지 제16컬럼이 리던던시 메모리 어레이(300) 내의 32개의 컬럼 중에서 제9 내지 제16컬럼으로 대체되고, ④ 입력된 제1컬럼 어드레스가 제1메인 메모리 어레이(100)의 제9 내지 제16컬럼을 가리키고, 입력된 제2컬럼 어드레스가 제2메인 메모리 어레이(200)의 제9 내지 제16컬럼을 가리킨다면, 제1-1선택신호 내지 제1-4선택신호(YA1~YA4) 중에서 상기 입력된 제1컬럼 어드레스에 대응하는 제1-1선택신호(YA1)가 활성화되고, 제2-1선택신호 내지 제2-4선택신호(YB1~YB4) 중에서 상기 입력된 제2컬럼 어드레스에 대응하는 제2-2선택신호(YB2)가 활성화된다. 다른 예로, ① 제1메인 메모리 어레이(100) 내의 M개의 컬럼 중에서 제513 내지 제520컬럼이 리던던시 메모리 어레이(300) 내의 32개의 컬럼 중에서 제25 내지 제32컬럼으로 대체되고, ② 제2메인 메모리 어레이(200) 내의 M개의 컬럼 중에서 제257 내지 제264컬럼이 리던던시 메모리 어레이(300) 내의 32개의 컬럼 중에서 제17 내지 제24컬럼으로 대체되고, ③ 입력된 제1컬럼 어드레스가 제1메인 메모리 어레이(100)의 제513 내지 제520컬럼을 가리키고, 입력된 제2컬럼 어드레스가 제2메인 메모리 어레이(200)의 제257 내지 제264컬럼을 가리킨다면, 제1-1선택신호 내지 제1-4선택신호(YA1~YA4) 중에서 상기 입력된 제1컬럼 어드레스에 대응하는 제1-4선택신호(YA4)가 활성화되고, 제2-1선택신호 내지 제2-4선택신호(YB1~YB4) 중에서 상기 입력된 제2컬럼 어드레스에 대응하는 제2-3선택신호(YB3)가 활성화된다.

[0045] 도 4에 도시된 리던던시 페이지버퍼 어레이(350)는 8개의 페이지버퍼 단위로 동일한 선택신호(YA1~YAN, YB1~YBN)를 공유하므로, 제1메인 메모리 어레이(100) 또는 제2메인 메모리 어레이(200) 내의 불량 컬럼을 나타내는 컬럼 어드레스가 입력되면 리던던시 페이지버퍼 어레이(350) 내의 8개의 페이지버퍼가 활성화되고, 메인 메모리 어레이(100, 200) 내의 불량 컬럼은 8개의 컬럼 단위로 리던던시 메모리 어레이(300)로 대체된다.

[0046] 다만 도 4는 예시일 뿐이며, 본 발명에 따른 메모리 장치는 리던던시 페이지버퍼 어레이(350)를 구성하는 페이지버퍼 각각이 선택신호(YA1~YAN, YB1~YBN)를 공유하지 않고 서로 다른 선택신호에 응답해 리던던시 버스(RLA\_1~RLA\_8, RLB\_1~RLB\_8)와 연결되도록 설계될 수 있다. 이 경우에는 제1메인 메모리 어레이(100) 또는 제2메인 메모리 어레이(200) 내의 불량 컬럼을 나타내는 컬럼 어드레스가 입력되면 리던던시 페이지버퍼 어레이(250) 중 상기 컬럼 어드레스에 대응하는 한개의 페이지버퍼가 활성화되고, 메인 메모리 어레이(100, 200) 내의 불량 컬럼은 한개의 컬럼 단위로 리던던시 메모리 어레이(300)로 대체된다.

[0047] 도 2에 도시된 메모리 장치에서의 리페어 동작을 설명한다. 이하에서는 설명의 편의를 위해, ① 제1메인 메모리 어레이(100)는 2048개의 컬럼으로 구성되고, 제2메인 메모리 어레이(200)는 2048개의 컬럼으로 구성되고, 리던던시 메모리 어레이(300)는 32개의 컬럼으로 구성되고, ② 제1메인 메모리 어레이(100) 내의 제25 내지 제32컬럼이 리던던시 메모리 어레이(300) 내의 제9 내지 제16컬럼으로 대체되고, ③ 제2메인 메모리 어레이(200) 내의 제9 내지 제16컬럼이 리던던시 메모리 어레이(300) 내의 제1 내지 제8컬럼으로 대체되고, ④ 제1메인 메모리 어레이(100) 및 제2메인 메모리 어레이(200)를 동시에 액세스하는 경우를 가정한다.

[0048] **1. 프로그램 동작 시:**

[0049] **1-1. 제1메인 메모리 어레이(100)를 리페어하는 동작:**

[0050] 입력된 제1컬럼 어드레스가 제1메인 메모리 어레이(100) 내의 제1 내지 제8컬럼에 대응하는 경우에는 제1메인 메모리 어레이(100) 내의 정상 컬럼을 나타내므로 제1히트신호(HIT\_1)는 로우 레벨로 비활성화된다.

[0051] 제1메인 전달부(450)는 비활성화된 제1히트신호(HIT\_1)에 응답해 활성화되어 외부로부터 입력된 데이터 즉, 제1 데이터 버스(DLA\_1~DLA\_8)에 실린 데이터를 제1메인 페이지버퍼 어레이(150)로 전달한다. 한편, 제1리던던시 전달부(400)는 비활성화된 제1히트신호(HIT\_1)에 응답해 비활성화되어 제1데이터 버스(DLA\_1~DLA\_8)에 실린 데이터를 제1리던던시 버스(RLA\_1~RLA\_8)에 전달하지 않는다.

[0052] 제1메인 페이지버퍼 어레이(150)는 제1메인 전달부(450)로부터 전달된 데이터를 래치한다.

[0053] 마찬가지로, 입력된 제1컬럼 어드레스가 제1메인 메모리 어레이(100) 내의 제9 내지 제16컬럼에 대응하는 경우와 입력된 제1컬럼 어드레스가 제1메인 메모리 어레이(100) 내의 제17 내지 제24컬럼에 대응하는 경우에는 제1메인 메모리 어레이(100) 내의 정상 컬럼을 나타내므로 제1히트신호(HIT\_1)는 로우 레벨로 비활성화되고, 상기의 과정이 반복된다.

- [0054] 그리고, 입력된 제1컬럼 어드레스가 제1메인 메모리 어레이(100) 내의 제25 내지 제32컬럼에 대응하는 경우에는 제1메인 메모리 어레이(100) 내의 불량 컬럼을 나타내므로 제1히트신호(HIT\_1)는 하이 레벨로 활성화된다.
- [0055] 제1리턴단시 전달부(400)는 활성화된 제1히트신호(HIT\_1)에 응답해 활성화되어 제1데이터 버스(DLA\_1~DLA\_8)에 실린 데이터를 제1리턴단시 버스(RLA\_1~RLA\_8)에 전달한다. 한편, 제1메인 전달부(450)는 활성화된 제1히트신호(HIT\_1)에 응답해 비활성화되어 제1데이터 버스(DLA\_1~DLA\_8)에 실린 데이터를 제1메인 페이지버퍼 어레이(150)에 전달하지 않는다.
- [0056] 상기 입력된 제1컬럼 어드레스가 가리키는 제1메인 메모리 어레이(100) 내의 제25 내지 제32컬럼은 리턴단시 메모리 어레이(300) 내의 제9 내지 제16컬럼으로 대체되었으므로, 제1-1선택신호 내지 제1-4선택신호(YA1~YA4) 중에서 제1-2선택신호(YA2)가 활성화된다.
- [0057] 리턴단시 페이지버퍼 어레이(350) 내의 제2페이지버퍼 그룹(352\_1~352\_8)은 활성화된 제1-2선택신호(YA2)에 응답해 제1리턴단시 버스(RLA\_1~RLA\_8)와 연결된다. 그리고 리턴단시 페이지버퍼 어레이(350) 내의 제2페이지버퍼 그룹(352\_1~352\_8)은 제1리턴단시 버스(RLA\_1~RLA\_8)에 실린 데이터를 래치한다.
- [0058] 그리고, 입력된 제1컬럼 어드레스가 제1메인 메모리 어레이(100) 내의 나머지 컬럼(제33 내지 제2048컬럼)을 나타내는 경우에는 제1메인 메모리 어레이(100) 내의 정상 컬럼을 나타내므로 제1히트신호(HIT\_1)는 로우 레벨로 비활성화된다.
- [0059] 제1메인 전달부(450)는 비활성화된 제1히트신호(HIT\_1)에 응답해 활성화되어 외부로부터 입력된 데이터 즉, 제1데이터 버스(DLA\_1~DLA\_8)에 실린 데이터를 제1메인 페이지버퍼 어레이(150)로 전달한다.
- [0060] 제1메인 페이지버퍼 어레이(150)는 제1메인 전달부(450)로부터 전달된 데이터를 래치한다.
- [0061] **1-2. 제2메인 메모리 어레이(200)를 리페어하는 동작:**
- [0062] 입력된 제2컬럼 어드레스가 제2메인 메모리 어레이(200) 내의 제1 내지 제8컬럼에 대응하는 경우에는 제2메인 메모리 어레이(200) 내의 정상 컬럼을 나타내므로 제2히트신호(HIT\_2)는 로우 레벨로 비활성화된다.
- [0063] 제2메인 전달부(550)는 비활성화된 제2히트신호(HIT\_2)에 응답해 활성화되어 외부로부터 입력된 데이터 즉, 제2데이터 버스(DLB\_1~DLB\_8)에 실린 데이터를 제2메인 페이지버퍼 어레이(250)로 전달한다. 한편, 제2리턴단시 전달부(500)는 비활성화된 제2히트신호(HIT\_2)에 응답해 비활성화되어 제2데이터 버스(DLB\_1~DLB\_8)에 실린 데이터를 제2리턴단시 버스(RLB\_1~RLB\_8)에 전달하지 않는다.
- [0064] 제2메인 페이지버퍼 어레이(250)는 제2메인 전달부(550)로부터 전달된 데이터를 래치한다.
- [0065] 그리고, 입력된 제1컬럼 어드레스가 제2메인 메모리 어레이(200) 내의 제9 내지 제16컬럼에 대응하는 경우에는 제2메인 메모리 어레이(200) 내의 불량 컬럼을 나타내므로 제2히트신호(HIT\_2)는 하이 레벨로 활성화된다.
- [0066] 제2리턴단시 전달부(500)는 활성화된 제2히트신호(HIT\_2)에 응답해 활성화되어 제2데이터 버스(DLB\_1~DLB\_8)에 실린 데이터를 제2리턴단시 버스(RLB\_1~RLB\_8)에 전달한다. 한편, 제2메인 전달부(550)는 활성화된 제2히트신호(HIT\_2)에 응답해 비활성화되어 제2데이터 버스(DLB\_1~DLB\_8)에 실린 데이터를 제2메인 페이지버퍼 어레이(250)에 전달하지 않는다.
- [0067] 상기 입력된 제2컬럼 어드레스가 가리키는 제2메인 메모리 어레이(200) 내의 제9 내지 제16컬럼은 리턴단시 메모리 어레이(300) 내의 제1 내지 제8컬럼으로 대체되었으므로, 제2-1선택신호 내지 제2-4선택신호(YB1~YB4) 중에서 제2-1선택신호(YB1)가 활성화된다.
- [0068] 리턴단시 페이지버퍼 어레이(350) 내의 제1페이지버퍼 그룹(351\_1~351\_8)은 활성화된 제2-1선택신호(YB1)에 응답해 제2리턴단시 버스(RLB\_1~RLB\_8)와 연결된다. 그리고 리턴단시 페이지버퍼 어레이(350) 내의 제1페이지버퍼 그룹(351\_1~351\_8)은 제2리턴단시 버스(RLB\_1~RLB\_8)에 실린 데이터를 래치한다.
- [0069] 그리고, 입력된 제2컬럼 어드레스가 제2메인 메모리 어레이(200) 내의 나머지 컬럼(제17 내지 제2048컬럼)을 나타내는 경우에는 제2메인 메모리 어레이(200) 내의 정상 컬럼을 나타내므로 제2히트신호(HIT\_2)는 로우 레벨로 비활성화된다.
- [0070] 제2메인 전달부(550)는 비활성화된 제2히트신호(HIT\_2)에 응답해 활성화되어 외부로부터 입력된 데이터 즉, 제2데이터 버스(DLB\_1~DLB\_8)에 실린 데이터를 제2메인 페이지버퍼 어레이(250)로 전달한다.

- [0071] 제2메인 페이지버퍼 어레이(250)는 제2메인 전달부(550)로부터 전달된 데이터를 래치한다.
- [0072] **1-3. 제1메인 페이지버퍼 어레이(150) 또는 제2메인 페이지버퍼 어레이(250)에 한번의 프로그램 동작을 수행할 정도의 데이터가 래치된 경우:**
- [0073] 제1메인 페이지버퍼 어레이(150) 또는 제2메인 페이지버퍼 어레이(250)에 한번의 프로그램 동작을 수행할 정도의 데이터가 래치되면, 제1메인 페이지버퍼 어레이(150)는 자신이 래치하고 있는 데이터를 제1메인 메모리 어레이(100)에 프로그램하고, 제2메인 페이지버퍼 어레이(250)는 자신이 래치하고 있는 데이터를 제2메인 메모리 어레이(200)에 프로그램하고, 리턴던시 페이지버퍼 어레이(350)는 자신이 래치하고 있는 데이터를 리턴던시 메모리 어레이(300)에 프로그램한다.
- [0074] **2. 리드 동작 시:**
- [0075] 제1메인 페이지버퍼 어레이(150)는 제1메인 메모리 어레이(100)를 구성하는 다수의 로우 중에서 하나의 로우에 저장된 데이터를 액세스하여 래치한다.
- [0076] 제2메인 페이지버퍼 어레이(250)는 제2메인 메모리 어레이(200)를 구성하는 다수의 로우 중에서 하나의 로우에 저장된 데이터를 액세스하여 래치한다.
- [0077] 리턴던시 페이지버퍼 어레이(350)는 리턴던시 메모리 어레이(300)를 구성하는 다수의 로우 중에서 하나의 로우에 저장된 데이터를 액세스하여 래치한다.
- [0078] **2-1. 제1메인 메모리 어레이(100)를 리페어하는 동작:**
- [0079] 제1메인 페이지버퍼 어레이(150) 내의 다수의 페이지버퍼 중에서 입력된 제1컬럼 어드레스에 대응하는 페이지버퍼는 자신이 래치하고 있는 데이터를 제1메인 전달부(450)로 출력한다.
- [0080] 입력된 제1컬럼 어드레스가 제1 내지 제8컬럼을 나타내는 경우에 제1메인 메모리 어레이(100) 내의 정상 컬럼을 나타내므로 제1히트신호(HIT\_1)는 로우 레벨로 비활성화된다.
- [0081] 제1메인 전달부(450)는 비활성화된 제1히트신호(HIT\_1)에 응답해 활성화되어 제1메인 페이지버퍼 어레이(150)로부터 출력된 데이터를 제1데이터 버스(DLA\_1~DLA\_8)에 실어 외부로 출력한다. 한편, 제1리턴던시 전달부(400)는 비활성화된 제1히트신호(HIT\_1)에 응답해 비활성화되어 데이터를 전달하지 않는다.
- [0082] 마찬가지로, 입력된 제1컬럼 어드레스가 제1메인 메모리 어레이(100) 내의 제9 내지 제16컬럼에 대응하는 경우와 입력된 제1컬럼 어드레스가 제1메인 메모리 어레이(100) 내의 제17 내지 제24컬럼에 대응하는 경우에는 제1메인 메모리 어레이(100) 내의 정상 컬럼을 나타내므로 제1히트신호(HIT\_1)는 로우 레벨로 비활성화되고, 상기 과정이 반복된다.
- [0083] 그리고, 입력된 제1컬럼 어드레스가 제1메인 메모리 어레이(100) 내의 제25 내지 제32컬럼에 대응하는 경우에는 제1메인 메모리 어레이(100) 내의 불량 컬럼을 나타내므로 제1히트신호(HIT\_1)는 하이 레벨로 활성화된다.
- [0084] 활성화된 제1히트신호(HIT\_1)에 응답해 비활성화된 제1메인 전달부(450)는 제1메인 페이지버퍼 어레이(150)로부터 출력된 데이터를 외부로 출력하지 않는다. 즉, 제1메인 페이지버퍼 어레이(150)가 자신이 래치하고 있는 데이터 중에서 상기 입력된 제1컬럼 어드레스에 대응하는 데이터를 제1메인 전달부(450)로 출력하더라도 제1메인 전달부(450)는 비활성화되므로 상기 데이터를 외부로 출력하지 않는다.
- [0085] 한편, 상기 입력된 제1컬럼 어드레스가 가리키는 제1메인 메모리 어레이(100) 내의 제25 내지 제32컬럼은 리턴던시 메모리 어레이(300) 내의 제9 내지 제16컬럼으로 대체되었으므로, 제1-1선택신호 내지 제1-4선택신호(YA1~YA4) 중에서 제1-2선택신호(YA2)가 활성화된다.
- [0086] 리턴던시 페이지버퍼 어레이(350) 내의 제2페이지버퍼 그룹(352\_1~352\_8)은 활성화된 제1-2선택신호(YA2)에 응답해 제1리턴던시 버스(RLA\_1~RLA\_8)와 연결된다. 그리고 리턴던시 페이지버퍼 어레이(350) 내의 제2페이지버퍼 그룹(352\_1~352\_8)은 자신이 래치하고 있는 데이터를 제1리턴던시 버스(RLA\_1~RLA\_8)를 통해 제1리턴던시 전달부(400)로 출력한다.
- [0087] 제1리턴던시 전달부(400)는 활성화된 제1히트신호(HIT\_1)에 응답해 활성화되어 제1리턴던시 버스(RLA\_1~RLA\_8)에 실린 데이터를 제1데이터 버스(DLA\_1~DLA\_8)에 실어 외부로 출력한다.

- [0088] 그리고, 입력된 제1컬럼 어드레스가 제1메인 메모리 어레이(100) 내의 나머지 컬럼(제33 내지 제2048컬럼)을 나타내는 경우에 제1메인 페이지버퍼 어레이(150)는 자신이 래치하고 있는 데이터 중에서 상기 입력된 제1컬럼 어드레스에 대응하는 데이터를 제1메인 전달부(450)로 출력한다.
- [0089] 입력된 제1컬럼 어드레스가 제1메인 메모리 어레이(100) 내의 정상 컬럼을 나타내므로 제1히트신호(HIT\_1)는 로우 레벨로 비활성화된다.
- [0090] 제1메인 전달부(450)는 비활성화된 제1히트신호(HIT\_1)에 응답해 활성화되어 제1메인 페이지버퍼 어레이(150)로부터 출력된 데이터를 제1데이터 버스(DLA\_1~DLA\_8)에 실어 외부로 출력한다.
- [0091] **2-2. 제2메인 메모리 어레이(200)를 리페어하는 동작:**
- [0092] 제2메인 페이지버퍼 어레이(250) 내의 다수의 페이지버퍼 중에서 입력된 제2컬럼 어드레스에 대응하는 페이지버퍼는 자신이 래치하고 있는 데이터를 제2메인 전달부(550)로 출력한다.
- [0093] 입력된 제2컬럼 어드레스가 제1 내지 제8컬럼을 나타내는 경우에 제2메인 메모리 어레이(200) 내의 정상 컬럼을 나타내므로 제2히트신호(HIT\_2)는 로우 레벨로 비활성화된다.
- [0094] 제2메인 전달부(550)는 비활성화된 제2히트신호(HIT\_2)에 응답해 활성화되어 제2메인 페이지버퍼 어레이(250)로부터 출력된 데이터를 제2데이터 버스(DLB\_1~DLB\_8)에 실어 외부로 출력한다. 한편, 제2리턴던시 전달부(500)는 비활성화된 제2히트신호(HIT\_2)에 응답해 비활성화되어 데이터를 전달하지 않는다.
- [0095] 그리고, 입력된 제2컬럼 어드레스가 제2메인 메모리 어레이(200) 내의 제9 내지 제16컬럼에 대응하는 경우에는 제2메인 메모리 어레이(200) 내의 불량 컬럼을 나타내므로 제2히트신호(HIT\_2)는 하이 레벨로 활성화된다.
- [0096] 활성화된 제2히트신호(HIT\_2)에 응답해 비활성화된 제2메인 전달부(550)는 제2메인 페이지버퍼 어레이(250)로부터 출력된 데이터를 외부로 출력하지 않는다. 즉, 제2메인 페이지버퍼 어레이(250)가 자신이 래치하고 있는 데이터 중에서 상기 입력된 제2컬럼 어드레스에 대응하는 데이터를 제2메인 전달부(550)로 출력하더라도 제2메인 전달부(550)는 비활성화되므로 상기 데이터를 외부로 출력하지 않는다.
- [0097] 한편, 상기 입력된 제2컬럼 어드레스가 가리키는 제2메인 메모리 어레이(200) 내의 제9 내지 제16컬럼은 리턴던시 메모리 어레이(300) 내의 제1 내지 제8컬럼으로 대체되었으므로, 제2-1선택신호 내지 제2-4선택신호(YB1~YB4) 중에서 제2-1선택신호(YB1)가 활성화된다.
- [0098] 리턴던시 페이지버퍼 어레이(350) 내의 제1페이지버퍼 그룹(351\_1~351\_8)은 활성화된 제2-1선택신호(YB1)에 응답해 제2리턴던시 버스(RLB\_1~RLB\_8)와 연결된다. 그리고 리턴던시 페이지버퍼 어레이(350) 내의 제1페이지버퍼 그룹(351\_1~351\_8)은 자신이 래치하고 있는 데이터를 제2리턴던시 버스(RLB\_1~RLB\_8)를 통해 제2리턴던시 전달부(500)로 출력한다.
- [0099] 제2리턴던시 전달부(500)는 활성화된 제2히트신호(HIT\_2)에 응답해 활성화되어 제2리턴던시 버스(RLB\_1~RLB\_8)에 실린 데이터를 제2데이터 버스(DLB\_1~DLB\_8)에 실어 외부로 출력한다.
- [0100] 그리고, 입력된 제2컬럼 어드레스가 제2메인 메모리 어레이(200) 내의 나머지 컬럼(제17 내지 제2048컬럼)을 나타내는 경우에 제2메인 페이지버퍼 어레이(250)는 자신이 래치하고 있는 데이터 중에서 상기 입력된 제2컬럼 어드레스에 대응하는 데이터를 제2메인 전달부(550)로 출력한다.
- [0101] 입력된 제2컬럼 어드레스가 제2메인 메모리 어레이(200) 내의 정상 컬럼을 나타내므로 제2히트신호(HIT\_2)는 로우 레벨로 비활성화된다.
- [0102] 제2메인 전달부(550)는 비활성화된 제2히트신호(HIT\_2)에 응답해 활성화되어 제2메인 페이지버퍼 어레이(250)로부터 출력된 데이터를 제2데이터 버스(DLB\_1~DLB\_8)에 실어 외부로 출력한다.
- [0103] 따라서, 본 발명의 실시예에 따르면, 도 1에서의 제1 및 제2리턴던시 메모리 어레이(15, 30)의 사이즈를 합한 사이즈를 가지는 리턴던시 메모리 어레이(300)를 제1메인 메모리 어레이(100)와 제2메인 메모리 어레이(200)가 공유함으로써, 제1 및 제2메인 메모리 어레이(100, 200) 중에서 어느 하나가 많은 불량 셀을 포함하고 있더라도 리페어가 가능하므로, 리페어의 효율성을 높일 수 있고 그로 인해 메모리 장치의 생산성을 증가시킬 수 있다.
- [0104] 한편, 상술한 바와 같이, 리턴던시 페이지버퍼 어레이(350) 내의 서로 다른 페이지버퍼 그룹이 동시에 활성화되더라도 각각은 서로 다른 리턴던시 버스와 연결되므로(상기의 예들에서는 제1페이지버퍼 그룹(351\_1~351\_8)은 제2리턴던시 버스(RLB\_1~RLB\_8)와 연결되고, 제2페이지버퍼 그룹(352\_1~352\_8)은 제1리턴던시 버스

(RLA\_1~RLA\_8)와 연결됨), 라이트 동작 시에 리던던시 페이지버퍼 어레이(35)는 외부로부터 입력된 데이터를 데이터 페일 없이 안정적으로 래치할 수 있고, 리드 동작 시에 리던던시 페이지버퍼 어레이(35)는 자신이 래치하고 있는 데이터를 데이터 페일 없이 안정적으로 외부로 출력할 수 있다. 따라서, 데이터 페일 없이 리페어 동작을 수행할 수 있으므로 메모리 리페어의 신뢰성을 향상시킬 수 있다.

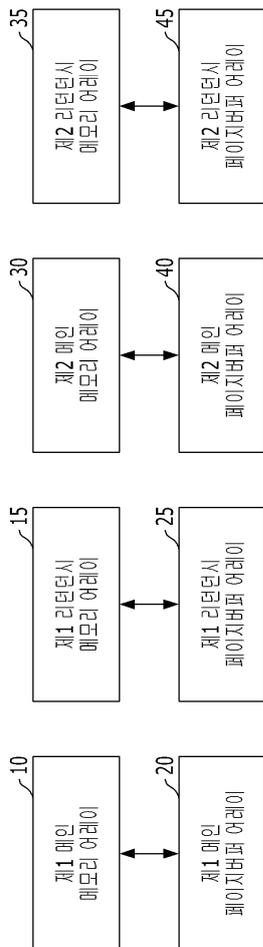
[0105] 본 발명의 기술사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 전문가라면 본 발명의 기술사상의 범위 내에서 다양한 실시예가 가능함을 알 수 있을 것이다.

**부호의 설명**

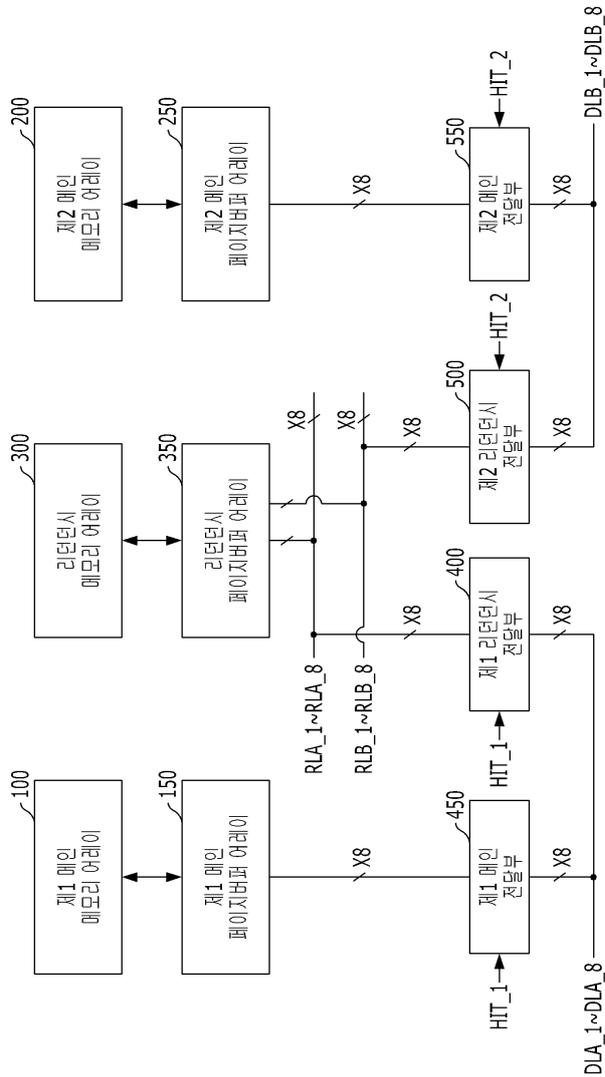
- [0106] 100: 제1메인 메모리 어레이                      200: 제2메인 메모리 어레이
- 300: 리던던시 메모리 어레이                      150: 제1메인 페이지버퍼 어레이
- 250: 제2메인 페이지버퍼 어레이                350: 리던던시 페이지버퍼 어레이
- 400: 제1리던던시 전달부                          500: 제2리던던시 전달부
- 450: 제1메인 전달부                              550: 제2메인 전달부

**도면**

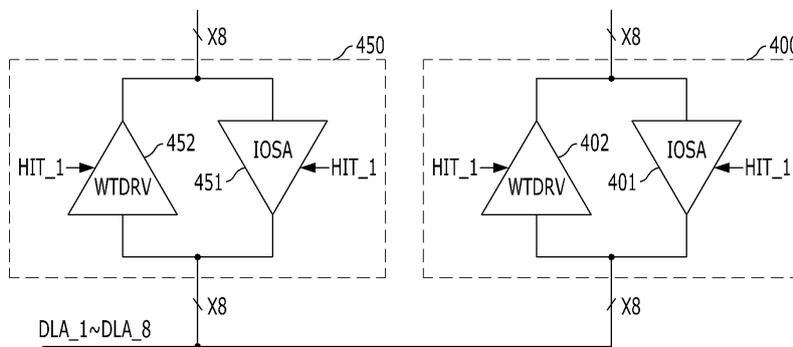
**도면1**



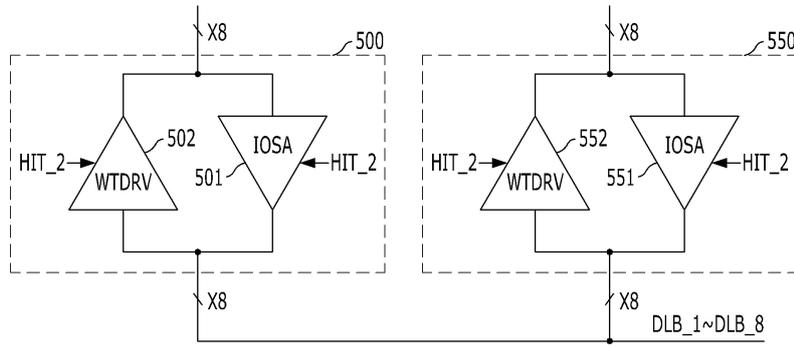
도면2



도면3a



도면3b



도면4

