



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년07월30일
 (11) 등록번호 10-1169397
 (24) 등록일자 2012년07월23일

(51) 국제특허분류(Int. Cl.)
 H01L 27/115 (2006.01) H01L 21/8247
 (2006.01)
 (21) 출원번호 10-2007-0001695
 (22) 출원일자 2007년01월05일
 심사청구일자 2011년01월05일
 (65) 공개번호 10-2008-0064604
 (43) 공개일자 2008년07월09일
 (56) 선행기술조사문헌
 KR1019970008663 A
 KR1020030014761 A
 KR1020030032050 A

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 이성훈
 경기도 용인시 기흥구 사은로126번길 46, 현대모
 닝사이드1차아파트 310동 103호 (보라동)
 박성일
 경기도 수원시 영통구 영통로 232, 벽적골8단지
 두산아파트 802동 201호 (영통동)
 (뒷면에 계속)
 (74) 대리인
 리앤목특허법인

전체 청구항 수 : 총 10 항

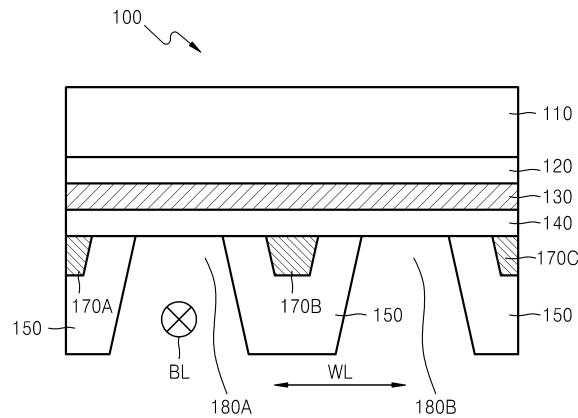
심사관 : 이우리

(54) 발명의 명칭 **반도체 메모리 장치 및 반도체 메모리 장치의 제조 방법**

(57) 요약

본 발명에 따른 반도체 메모리 장치는 반도체 기판, 차지 트랩 레이어(charge trap layer) 및 적어도 하나의 소거 게이트(erase gate)를 구비한다. 차지 트랩 레이어는 상기 반도체 기판 위에 위치하고, 유입된 전자(electron)를 저장할 수 있다. 적어도 하나의 소거 게이트는 상기 차지 트랩 레이어의 아래에 위치한다. 상기 차지 트랩 레이어에 저장된 전자를 제거하는 소거 모드에서, 상기 소거 게이트는, 상기 차지 트랩 레이어로 홀(hole)을 주입하여 상기 차지 트랩 레이어에 저장된 전자와 상기 주입된 홀을 재결합(recombination)시킨다.

대표도 - 도1



(72) 발명자

진영구

경기도 화성시 효행로 1076-9, 우남퍼스트빌2차아파트 208동 1701호 (병점동)

김종섭

경기도 수원시 팔달구 권광로 373, 월드 메르디앙 114동 601호 (우만동)

홍기하

서울 강남구 도곡1동 956-11 주성빌딩 402호

특허청구의 범위

청구항 1

반도체 기관;

상기 반도체 기관 위에 위치하고, 유입된 전자(electron)를 저장할 수 있는 차지 트랩 레이어(charge trap layer); 및

상기 차지 트랩 레이어의 아래에 위치하는 적어도 하나의 소거 게이트(erase gate)를 구비하고,

상기 차지 트랩 레이어에 저장된 전자를 제거하는 소거 모드에서,

상기 소거 게이트는, 상기 차지 트랩 레이어로 홀(hole)을 주입하여 상기 차지 트랩 레이어에 저장된 전자와 상기 주입된 홀을 재결합(recombination)시키는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 소거 모드에서,

상기 소거 게이트에 고전압을 인가하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

청구항 3은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 적어도 하나의 소거 게이트는,

전도성 물질을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

청구항 4은(는) 설정등록료 납부시 포기되었습니다.

제3항에 있어서, 상기 적어도 하나의 소거 게이트는,

청구항 5

제1항에 있어서,

상기 반도체 기관은, 상기 반도체 기관의 상부 영역에 위치하는 적어도 하나의 채널 영역을 구비하고,

상기 차지 트랩 레이어에 전자를 저장하는 프로그램 모드에서,

상기 채널 영역은, 상기 차지 트랩 레이어로 전자를 주입하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6

제5항에 있어서,

상기 적어도 하나의 채널 영역은 복수의 채널 영역들을 포함하고,

상기 소거 게이트는,

상기 복수의 채널 영역들 사이에 위치하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7

제5항에 있어서,

상기 적어도 하나의 채널 영역은 복수의 채널 영역들을 포함하고,

상기 반도체 기관의 상부 영역에 위치하며, 상기 복수의 채널 영역들 사이에 위치하는 적어도 하나의 산화 영역을 더 구비하고,

상기 소거 게이트는, 상기 적어도 하나의 산화 영역 내에 위치하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8

제1항에 있어서, 상기 소거 게이트는,
상기 반도체 메모리 장치의 비트라인과 같은 방향으로 형성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9

제1항에 있어서, 상기 소거 게이트는,
상기 반도체 메모리 장치의 워드라인과 수직 방향으로 형성되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10

청구항 10은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서,

상기 차지 트랩 레이어 위에 위치하는 제어 게이트(control gate)를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 11

청구항 11은(는) 설정등록료 납부시 포기되었습니다.

제10항에 있어서,

상기 제어 게이트와 상기 차지 트랩 레이어 사이에 위치하며,

상기 제어 게이트와 상기 차지 트랩 레이어 사이에서 전자 또는 홀이 이동하지 못하도록 하는 차단 옥사이드 레이어(blocking oxide layer)를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 12

청구항 12은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서,

상기 차지 트랩 레이어와 상기 소거 게이트 사이에 위치하며, 상기 차지 트랩 레이어로 전자 또는 홀을 전달하는 터널링 옥사이드 레이어(tunneling oxide layer)를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 13

청구항 13은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 반도체 기판은,

벌크 실리콘 기판인 것을 특징으로 하는 반도체 메모리 장치.

청구항 14

절연층;

상기 절연층 위에 위치하는 적어도 하나의 소거 게이트(erase gate); 및

상기 적어도 하나의 소거 게이트 위에 위치하며, 유입된 전자(electron)를 저장할 수 있는 차지 트랩 레이어(charge trap layer)를 구비하고,

상기 차지 트랩 레이어에 저장된 전자를 제거하는 소거 모드에서,

상기 소거 게이트는, 상기 차지 트랩 레이어로 홀(hole)을 주입하여 상기 차지 트랩 레이어에 저장된 전자와 상기 주입된 홀을 재결합(recombination)시키는 것을 특징으로 하는 반도체 메모리 장치.

청구항 15

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

제14항에 있어서, 상기 소거 모드에서,

상기 소거 게이트에 고전압을 인가하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 16

청구항 16은(는) 설정등록료 납부시 포기되었습니다.

제14항에 있어서, 상기 적어도 하나의 소거 게이트는,

청구항 17

청구항 17은(는) 설정등록료 납부시 포기되었습니다.

제14항에 있어서, 상기 적어도 하나의 소거 게이트는,

메탈(metal) 또는 폴리-실리콘(poly-silicon)을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 18

청구항 18은(는) 설정등록료 납부시 포기되었습니다.

제14항에 있어서, 상기 소거 게이트는,

상기 차지 트랩 레이어와 수직 방향으로 배치되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 19

청구항 19은(는) 설정등록료 납부시 포기되었습니다.

제14항에 있어서,

상기 소거 게이트와 같은 방향으로 배치되는 적어도 하나의 비트라인을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 20

청구항 20은(는) 설정등록료 납부시 포기되었습니다.

제14항에 있어서,

상기 차지 트랩 레이어 위에 위치하는 제어 게이트(control gate)를 더 구비하고,

상기 소거 모드에서, 상기 제어 게이트에는 접지 전압이 인가되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 21

청구항 21은(는) 설정등록료 납부시 포기되었습니다.

상기 제어 게이트와 상기 차지 트랩 레이어 사이에 위치하며,

상기 제어 게이트와 상기 차지 트랩 레이어 사이에서 전자 또는 홀이 이동하지 못하도록 하는 차단 옥사이드 레이어(blocking oxide layer)를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 22

청구항 22은(는) 설정등록료 납부시 포기되었습니다.

제14항에 있어서,

상기 차지 트랩 레이어와 상기 소거 게이트 사이에 위치하며, 상기 차지 트랩 레이어로 전자 또는 홀을 전달하는 터널링 옥사이드 레이어(tunneling oxide layer)를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 23

제1극성을 가지는 제1전하 전달매체를 저장할 수 있는 차지 트랩 레이어(charge trap layer); 및
 상기 차지 트랩 레이어의 아래에 위치하는 적어도 하나의 소거 게이트(erase gate)를 구비하고,
 상기 차지 트랩 레이어에 저장된 제1전하 전달매체를 제거하는 소거 모드에서,
 상기 소거 게이트는, 상기 차지 트랩 레이어로 상기 제1극성과 반대되는 제2극성을 가지는 제2전하 전달매체를
 주입하여, 상기 차지 트랩 레이어에 저장된 제1전하 전달매체와 상기 주입된 제2전하 전달매체를 재결합
 (recombination)시키는 것을 특징으로 하는 반도체 메모리 장치.

청구항 24

청구항 24은(는) 설정등록료 납부시 포기되었습니다.
 제23항에 있어서,
 반도체 기판을 더 구비하고,
 상기 소거 게이트는, 반도체 기판의 상부 영역에 위치하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 25

청구항 25은(는) 설정등록료 납부시 포기되었습니다.
 제23항에 있어서,
 절연층을 더 구비하고,
 상기 소거 게이트는, 상기 절연층 위에 위치하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 26

청구항 26은(는) 설정등록료 납부시 포기되었습니다.
 제23항에 있어서, 상기 소거 모드에서,
 상기 소거 게이트에 고전압을 인가하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 27

청구항 27은(는) 설정등록료 납부시 포기되었습니다.
 제23항에 있어서, 상기 적어도 하나의 소거 게이트는,
 전도성 물질을 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 28

청구항 28은(는) 설정등록료 납부시 포기되었습니다.
 제23항에 있어서,
 상기 제2전하 전달매체는, 홀인 것을 특징으로 하는 반도체 메모리 장치.

청구항 29

청구항 29은(는) 설정등록료 납부시 포기되었습니다.
 제23항에 있어서,
 상기 제1전하 전달매체는, 홀이고,
 상기 제2전하 전달매체는, 전자인 것을 특징으로 하는 반도체 메모리 장치.

청구항 30

반도체 기판의 상부 영역에 적어도 하나의 산화 영역을 형성시키는 단계;

상기 적어도 하나의 산화 영역에 전도성 물질을 구비하는 소거 게이트를 형성시키는 단계; 및

상기 반도체 기판 위에 위치하며, 유입된 전자를 저장할 수 있는 차지 트랩 레이어를 형성시키는 단계를 구비하는 것을 특징으로 하는 반도체 메모리 장치 제조 방법.

청구항 31

청구항 31은(는) 설정등록료 납부시 포기되었습니다.

제30항에 있어서, 상기 소거 게이트를 형성시키는 단계 다음에,

상기 차지 트랩 레이어 위에 제어 게이트를 형성시키는 단계를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치 제조 방법.

청구항 32

청구항 32은(는) 설정등록료 납부시 포기되었습니다.

제31항에 있어서,

상기 차지 트랩 레이어 위에 차단 옥사이드 레이어(blocking oxide layer)를 형성시키는 단계를 더 구비하고,

상기 차단 옥사이드 레이어는, 상기 제어 게이트와 상기 차지 트랩 레이어 사이에서 전자 또는 홀이 이동하지 못하도록 하는 것을 특징으로 하는 반도체 메모리 장치 제조 방법.

청구항 33

청구항 33은(는) 설정등록료 납부시 포기되었습니다.

제30항에 있어서,

상기 차지 트랩 레이어와 상기 소거 게이트 사이에 위치하며, 상기 차지 트랩 레이어로 전자 또는 홀을 전달하는 터널링 옥사이드 레이어(tunneling oxide layer)를 형성시키는 단계를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0017] 본 발명은 반도체 메모리 장치 및 반도체 메모리 장치 제조 방법에 관한 것으로서, 특히 소거 게이트를 이용하여 소거 동작을 수행하는 반도체 메모리 장치 및 상기 반도체 메모리 장치의 제조 방법에 관한 것이다.
- [0018] 전기적으로 소거 및 프로그램이 가능한 불휘발성 메모리 장치는 전원이 공급되지 않는 상태에서도 데이터를 보존할 수 있는 특징을 가지고 있으며, 대표적인 것으로 플래시 메모리가 있다.
- [0019] 플래시 메모리를 구성하는 메모리 셀들은 제어 게이트, 플로팅 게이트, 소스, 및 드레인을 구비하는 셀 트랜지스터로 구성된다. 플래시 메모리의 셀 트랜지스터는 F-N 터널링 메커니즘에 의해서 프로그램 되거나 소거된다. 그런데, 플로팅 게이트의 크기는 불휘발성 메모리 장치의 크기를 줄이는 데 한계요인으로 작용한다.
- [0020] 이러한 한계요인을 극복하기 위하여, 플로팅 게이트 대신에 차지 트랩 레이어(charge trap layer)를 구비하는 불휘발성 메모리 장치(이하에서 차지 트랩 메모리 장치라고 함)가 제안되었다. 차지 트랩 메모리 장치는 차지 트랩 레이어에 전자를 저장한다. 그에 따라, 차지 트랩 메모리 장치는, 플로팅 게이트에 전자를 저장하는 종래의 불휘발성 메모리 장치에 비하여, 작은 크기를 가질 수 있다.
- [0021] 그런데, 일반적인 차지 트랩 메모리 장치에서는, 프로그램과 소거 동작이 반복 될수록, 인터페이스 트랩(interface trap)과 옥사이드 트랩(oxide trap)이 생긴다. 좀 더 설명하면, 일반적인 차지 트랩 메모리 장치의 소거 모드에서는, 반도체 기판에 고전압이 인가된다. 그에 따라 반도체 기판으로부터 차지 트랩 레이어로 다수

의 홀이 주입되어, 차지 트랩 레이어에 저장되어 있던 전자가 제거된다.

[0022] 이 경우, 반도체 기판과 폴리-실리콘 층 사이의 계면에 존재하는 Si-H 결합이 깨짐으로써, 반도체 기판과 폴리-실리콘 층 사이에는 인터페이스 트랩이 생길 수 있다. 또한, Si-H 결합이 깨짐에 따라 발생한 H가 폴리-실리콘 층 내부로 이동하여 옥사이드 트랩을 만든다. 그에 따라, 차지 트랩 메모리 장치의 신뢰성이 떨어지는 문제가 생긴다.

[0023] 한편, 반도체 기판 위에 구성요소들을 배치하지 않고 절연층 위에 구성요소들을 직접 배치하는 구조(예를 들어, TFT(Thin Film Transistor) 또는 SOI(Silicon On Insulator))가 이용되는 분야도 있다. 앞서 설명된대로, 일반적인 차지 트랩 메모리 장치의 소거 모드에서는, 반도체 기판에 고전압이 인가된다. 그런데, TFT와 SOI같은 구조에서는 반도체 기판이 존재하지 않기 때문에, TFT와 SOI같은 구조에서는 차지 트랩 메모리 장치를 구현할 수 없는 문제가 있다.

발명이 이루고자 하는 기술적 과제

[0024] 본 발명이 이루고자 하는 기술적 과제는, 소거 게이트를 이용하여 소거 동작을 수행하는 반도체 메모리 장치를 제공하는 데 있다.

[0025] 본 발명이 이루고자 하는 다른 기술적 과제는, 소거 게이트를 이용하여 소거 동작을 수행하는 반도체 메모리 장치의 제조 방법을 제공하는 데 있다.

발명의 구성 및 작용

[0026] 상기 기술적 과제를 달성하기 위한 본 발명의 제1실시예에 따른 반도체 메모리 장치는 반도체 기판; 상기 반도체 기판 위에 위치하고, 유입된 전자(electron)를 저장할 수 있는 차지 트랩 레이어(charge trap layer); 및 상기 차지 트랩 레이어의 아래에 위치하는 적어도 하나의 소거 게이트(erase gate)를 구비한다. 상기 차지 트랩 레이어에 저장된 전자를 제거하는 소거 모드에서, 상기 소거 게이트는, 상기 차지 트랩 레이어로 홀(hole)을 주입하여 상기 차지 트랩 레이어에 저장된 전자와 상기 주입된 홀을 재결합(recombination)시킨다.

[0027] 본 발명에 따른 반도체 메모리 장치는, 소거 모드에서 소거 게이트에 고전압을 인가할 수 있다.

[0028] 상기 적어도 하나의 소거 게이트는, 전도성 물질을 포함할 수 있다. 상기 적어도 하나의 소거 게이트는, 메탈(metal) 또는 폴리-실리콘(poly-silicon)을 포함할 수 있다.

[0029] 상기 반도체 기판은, 상기 반도체 기판의 상부 영역에 위치하는 적어도 하나의 채널 영역을 구비할 수 있다. 상기 차지 트랩 레이어에 전자를 저장하는 프로그램 모드에서, 상기 채널 영역은, 상기 차지 트랩 레이어로 전자를 주입할 수 있다. 상기 소거 게이트는 상기 적어도 하나의 채널 영역 사이에 위치할 수 있다.

[0030] 본 발명에 따른 반도체 메모리 장치는, 상기 반도체 기판의 상부 영역에 위치하며, 상기 적어도 하나의 채널 영역 사이에 위치하는 적어도 하나의 산화 영역을 더 구비할 수 있다. 상기 소거 게이트는, 상기 적어도 하나의 산화 영역 내에 위치할 수 있다.

[0031] 소거 게이트는, 상기 반도체 메모리 장치의 비트라인과 같은 방향으로 형성될 수 있다. 소거 게이트는, 상기 반도체 메모리 장치의 워드라인과 수직 방향으로 형성될 수 있다.

[0032] 상기 반도체 기판은, 벌크 실리콘 기판일 수 있다.

[0033] 상기 기술적 과제를 달성하기 위한 본 발명의 제2실시예에 따른 반도체 메모리 장치는 절연층; 상기 절연층 위에 위치하는 적어도 하나의 소거 게이트(erase gate); 및 상기 적어도 하나의 소거 게이트 위에 위치하며, 유입된 전자(electron)를 저장할 수 있는 차지 트랩 레이어(charge trap layer)를 구비한다. 상기 차지 트랩 레이어에 저장된 전자를 제거하는 소거 모드에서, 상기 소거 게이트는, 상기 차지 트랩 레이어로 홀(hole)을 주입하여 상기 차지 트랩 레이어에 저장된 전자와 상기 주입된 홀을 재결합(recombination)시킨다.

[0034] 상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 메모리 장치의 제조 방법은 반도체 기판의 상부 영역에 적어도 하나의 산화 영역을 형성시키는 단계; 상기 적어도 하나의 산화 영역에 전도성 물질을 구비하는 소거 게이트를 형성시키는 단계; 및 상기 반도체 기판 위에 위치하며, 유입된 전자를 저장할 수 있는 차지 트랩 레이어를 형성시키는 단계를 구비한다.

[0035] 본 발명에 따른 반도체 메모리 장치의 제조 방법은, 상기 소거 게이트를 형성시키는 단계 다음에, 상기 차지 트

랩 레이어 위에 제어 게이트를 형성시키는 단계를 더 구비할 수 있다. 본 발명에 따른 반도체 메모리 장치의 제조 방법은, 상기 차지 트랩 레이어 위에 차단 옥사이드 레이어(blocking oxide layer)를 형성시키는 단계를 더 구비할 수 있다. 상기 차단 옥사이드 레이어는, 상기 제어 게이트와 상기 차지 트랩 레이어 사이에서 전자 또는 홀이 이동하지 못하도록 한다. 본 발명에 따른 반도체 메모리 장치의 제조 방법은, 상기 차지 트랩 레이어와 상기 소거 게이트 사이에 위치하며, 상기 차지 트랩 레이어로 전자 또는 홀을 전달하는 터널링 옥사이드 레이어(tunneling oxide layer)를 형성시키는 단계를 더 구비할 수 있다.

- [0036] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- [0037] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- [0038] 도 1은 본 발명의 제1실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.
- [0039] 도 1을 참조하면, 본 발명의 제1실시예에 따른 반도체 메모리 장치(100)는 반도체 기판(SUB), 차지 트랩 레이어(130 ; charge trap layer) 및 적어도 하나의 소거 게이트(170A, 170B, 170C ; erase gate)를 구비한다. 차지 트랩 레이어(130)는 반도체 기판 위에 위치하고, 유입된 전자(electron)를 저장한다. 소거 게이트(170A, 170B, 170C)는 차지 트랩 레이어(130)의 아래에 위치한다.
- [0040] 차지 트랩 레이어(130)에 저장된 전자를 제거하는 소거 모드에서, 소거 게이트(170A, 170B, 170C)는 차지 트랩 레이어(130)로 홀(hole)을 주입하여 차지 트랩 레이어(130)에 저장된 전자와 주입된 홀을 재결합(recombination)시킨다. 그에 따라, 차지 트랩 레이어(130)에 저장된 전자는 제거된다.
- [0041] 소거 모드에서, 본 발명의 제1실시예에 따른 반도체 메모리 장치(100)는 소거 게이트(170A, 170B, 170C)에 고전압을 인가할 수 있다. 소거 게이트(170A, 170B, 170C)에 고전압이 인가되면, 포텐셜 그레디언트(potential gradient)가 발생한다. 그에 따라, 소거 게이트(170A, 170B, 170C)의 홀들이 차지 트랩 레이어(130)로 드리프트(drift)한다.
- [0042] 소거 게이트(170A, 170B, 170C)는 전도성 물질을 포함할 수 있다. 또한, 소거 게이트(170A, 170B, 170C)는 메탈(metal) 또는 폴리-실리콘(poly-silicon)을 포함할 수 있다. 또한, 소거 게이트(170A, 170B, 170C)는, 홀 주입(hole injection)이 용이한 물질을 포함할 수 있다.
- [0043] 반도체 기판(SUB)은 적어도 하나의 채널 영역(180A, 180B)을 구비할 수 있다. 채널 영역(180A, 180B)은 반도체 기판(SUB)의 상부 영역에 위치한다. 차지 트랩 레이어(130)에 전자를 저장하는 프로그램 모드에서, 채널 영역(180A, 180B)은 차지 트랩 레이어(130)로 전자를 주입할 수 있다.
- [0044] 소거 게이트(170A, 170B, 170C)는 적어도 하나의 채널 영역(180A, 180B) 사이에 위치할 수 있다. 예를 들어, 소거 게이트(170B)는 채널 영역(180A)과 채널 영역(180B) 사이에 위치할 수 있다. 또한, 채널 영역(180A)은 소거 게이트(170A)와 소거 게이트(170B) 사이에 위치할 수 있다.
- [0045] 본 발명의 제1실시예에 따른 반도체 메모리 장치(100)는 적어도 하나의 산화 영역(150)을 구비할 수 있다. 산화 영역(150)은 반도체 기판(SUB)의 상부 영역에 위치하며, 채널 영역(180A, 180B) 사이에 위치한다. 소거 게이트(170A, 170B, 170C)는 산화 영역(150) 내에 위치할 수 있다.
- [0046] 소거 게이트(170A, 170B, 170C)는 반도체 메모리 장치(100)의 비트라인과 같은 방향으로 형성될 수 있다. 소거 게이트(170A, 170B, 170C)는 반도체 메모리 장치(100)의 워드라인과 수직 방향으로 형성될 수 있다.
- [0047] 본 발명의 제1실시예에 따른 반도체 메모리 장치(100)는 제어 게이트(110 ; control gate)를 구비할 수 있다. 제어 게이트(110)는 차지 트랩 레이어(130) 위에 위치한다.
- [0048] 본 발명의 제1실시예에 따른 반도체 메모리 장치(100)는 차단 옥사이드 레이어(120 ; blocking oxide layer)와 터널링 옥사이드 레이어(140 ; tunneling oxide layer)를 구비할 수 있다. 차단 옥사이드 레이어(120)는 제어 게이트(110)와 차지 트랩 레이어(130) 사이에 위치하며, 제어 게이트(110)와 차지 트랩 레이어(130) 사이에서 전자 또는 홀이 이동하지 못하도록 차단한다. 터널링 옥사이드 레이어(140)는 차지 트랩 레이어(130)와 소거 게이트(170A, 170B, 170C) 사이에 위치하며, 차지 트랩 레이어(130)로 전자 또는 홀을 전달한다.
- [0049] 반도체 기판(SUB)은 벌크 실리콘(bulk silicon) 기판일 수 있다.

- [0050] 본 발명의 제1실시예에 따른 반도체 메모리 장치(100)는 소거 모드, 프로그램 모드와 독출 모드를 가질 수 있다. 프로그램 모드는 프로그램하고자 하는 데이터의 논리 레벨에 따라 차지 트랩 레이어(130)에 전자를 저장하는 모드이다. 독출 모드는 차지 트랩 레이어(130)에 저장된 전자량에 따라 데이터의 논리 레벨을 출력하는 모드이다. 소거 모드는 차지 트랩 레이어(130)에 저장된 전자들을 제거하는 모드이다.
- [0051] 도 2는 본 발명의 제1실시예에 따른 반도체 메모리 장치(100)에서의 소거 동작을 설명하는 도면이다.
- [0052] 도 2를 참조하면, 소거 모드에서 소거 게이트(170A, 170B, 170C)에 고전압(예를 들어, 18V)이 인가된다. 또한, 제어 게이트(110)에는 저전압(예를 들어, 0V)이 인가된다. 또한, 반도체 기판(SUB)에 형성되는 채널 영역(180A, 180B)에는 저전압(예를 들어, 0V)이 인가될 수 있다. 여기에서 상기 고전압은 반드시 18V일 필요는 없고, 상기 저전압도 반드시 0V일 필요는 없다. 대신에, 소거 게이트(170A, 170B, 170C)부터 차지 트랩 레이어(130)까지 홀(hole)들이 전달될 수 있는 전압이면 충분하다. 다만, 이하에서는 설명의 편의를 위하여, 고전압과 저전압을 각각 18V와 0V로 가정한다. 또한, 상기 고전압과 저전압에는, 반도체 메모리 장치에서 다른 용도로 사용되는 전압을 이용할 수도 있다.
- [0053] 한편, 도 2의 차지 트랩 레이어(130)에 도시된 0V와 9V는 실제로 인가되는 전압을 의미하는 것이 아니라, 주변에 인가되는 전압에 의하여 발생하는 상대 전위를 의미한다. 예를 들어, 차지 트랩 레이어(130)의 영역 중에서 소거 게이트(170B)위에 있는 영역은, 소거 게이트(170B)에 인가되는 18V와 제어 게이트(110)에 인가되는 0V에 기인하여, 9V의 전위를 가지게 된다.
- [0054] 소거 모드에서 소거 게이트(170A, 170B, 170C)에 고전압(예를 들어, 18V)이 인가되면, 다수의 홀들이 차지 트랩 레이어(130)로 주입된다. 즉, 차지 트랩 레이어(130)의 영역 중에서 소거 게이트(170A, 170B, 170C)위에 있는 영역(도 2의 9V로 표시된 영역)으로 다수의 홀들이 주입된다. 또한, 에너지 밴드 측면에서 살펴보면, 차지 트랩 레이어(130)의 밸런스 밴드(valence band)로 다수의 홀들이 주입된다.
- [0055] 차지 트랩 레이어(130)로 주입된 홀들은, 전위차에 의하여, 차지 트랩 레이어(130)의 영역 중에서 채널 영역(180A, 180B)위에 있는 영역(도 2의 0V로 표시된 영역)으로 드리프트(drift)된다. 한편, 차지 트랩 레이어(130)의 영역 중에서 채널 영역(180A, 180B)위에 있는 영역은, 프로그램된 전자가 저장되는 영역이다. 그러므로, 드리프트된 홀과 프로그램된 전자가 재결합하고, 그에 따라 프로그램된 전자들이 제거될 수 있다.
- [0056] 일반적인 차지 트랩 메모리 장치의 소거 모드에서는, 반도체 기판에 고전압이 인가되고 그에 따라 인터페이스 트랩과 옥사이드 트랩이 발생하는 문제가 있었다. 그러나, 본 발명의 제1실시예에 따른 반도체 메모리 장치(100)는 반도체 기판에 고전압을 인가하지 않기 때문에, 인터페이스 트랩과 옥사이드 트랩이 발생하는 문제를 해결할 수 있다.
- [0057] 도 3(a)는 도 2의 반도체 메모리 장치에서 점선 A에 따른 전압 분포를 나타내는 도면이다.
- [0058] 도 3(a)를 참조하면, 소거 게이트(170A, 170B, 170C)에 18V가 인가되고 제어 게이트(110)에 0V가 인가됨에 따른 전위 분포가 나타나 있다. 구체적으로, 차지 트랩 레이어(130)의 영역 중에서 소거 게이트(170A, 170B, 170C)위에 있는 영역은 9V 정도의 전위를 가진다.
- [0059] 도 3(b) 및 도 3(d)는 도 2의 반도체 메모리 장치에서 점선 B에 따른 전압 분포를 나타내는 도면이다.
- [0060] 도 3(b) 및 도 3(d)를 참조하면, 채널 영역(180A, 180B)과 제어 게이트(110)에 모두 0V가 인가됨에 따른 전위 분포가 나타나 있다. 구체적으로, 차지 트랩 레이어(130)의 영역 중에서 채널 영역(180A, 180B)위에 있는 영역은 0V 정도의 전위를 가진다. 다만, 도 3(b)는 차지 트랩 레이어(130)에 전자가 저장되어 있지 않은 상태에서의 전위 분포를 나타내고, 도 3(d)는 차지 트랩 레이어(130)에 전자가 저장되어 있는 상태에서의 전위 분포를 나타낸다. 그러므로, 도 3(d)에 도시된 차지 트랩 레이어(130)의 전위는 도 3(b)에 도시된 차지 트랩 레이어(130)의 전위보다 다소 낮다.
- [0061] 도 3(c)는 도 2의 반도체 메모리 장치에서 점선 C에 따른 전압 분포와 에너지 분포를 나타내는 도면이다. 즉, 도 3(c)에는 차지 트랩 레이어(130)에서의 전압 분포와 에너지 분포가 나타나 있다.
- [0062] 도 3(c)을 참조하면, 차지 트랩 레이어(130)의 영역 중에서 채널 영역(180A, 180B)위에 있는 영역은 0V 정도의 전위를 가지고, 차지 트랩 레이어(130)의 영역 중에서 소거 게이트(170A, 170B, 170C)위에 있는 영역은 9V 정도의 전위를 가진다.
- [0063] 도 4는 도 1의 반도체 메모리 장치에서의 프로그램 동작을 설명하는 도면이다.

- [0064] 도 4를 참조하면, 프로그램 모드에서 소거 게이트(170A, 170B, 170C)는 플로팅(floating)되고, 제어 게이트(110)에는 고전압(예를 들어, 18V)이 인가된다. 또한, 프로그램 하고자 하는 차지 트랩 레이어(130)의 영역 아래에 위치하는 채널 영역(예를 들어, 도 4의 180A)에는 0V가 인가된다. 또한, 나머지 채널 영역(예를 들어, 도 4의 180B)은 플로팅된다.
- [0065] 채널 영역(180A)에 인가되는 0V와 제어 게이트(110)에 인가되는 18V에 기인하여, 차지 트랩 레이어(130)의 영역 중에서 채널 영역(180A)위에 있는 영역은, 9V의 전위를 가지게 된다. 그에 따라, 채널 영역(180A)의 전자가 차지 트랩 레이어(130)가 주입된다.
- [0066] 도 5는 도 1의 반도체 메모리 장치에서의 독출 동작을 설명하는 도면이다.
- [0067] 도 5를 참조하면, 독출 모드에서 소거 게이트(170A, 170B, 170C)와 제어 게이트(110)에는 저전압(예를 들어, 0V)이 인가된다. 또한, 채널 영역(예를 들어, 180A, 180B)에도 0V가 인가된다.
- [0068] 도 6은 본 발명에 따른 반도체 메모리 장치의 제조 방법을 나타내는 도면이다.
- [0069] 도 6을 참조하면, 본 발명에 따른 반도체 메모리 장치의 제조 방법은, 산화 영역형성 단계(도 6의 b), 소거 게이트 형성 단계(도 6의 c) 및 차지 트랩 레이어 형성 단계(도 6의 d)를 구비한다. 산화 영역형성 단계(도 6의 b)는, 반도체 기판의 상부 영역에 적어도 하나의 산화 영역(150)을 형성시킨다. 소거 게이트 형성 단계(도 6의 c)는 적어도 하나의 산화 영역(150)에 전도성 물질을 구비하는 소거 게이트(170A, 170B)를 형성시킨다. 차지 트랩 레이어 형성 단계(도 6의 d)는 반도체 기판 위에 위치하며, 유입된 전자를 저장할 수 있는 차지 트랩 레이어(130)를 형성시킨다.
- [0070] 본 발명에 따른 반도체 메모리 장치의 제조 방법은, 소거 게이트 형성 단계(도 6의 c) 다음에, 차지 트랩 레이어(130) 위에 제어 게이트(110)를 형성시키는 단계를 더 구비할 수 있다. 본 발명에 따른 반도체 메모리 장치의 제조 방법은, 차지 트랩 레이어(130) 위에 차단 옥사이드 레이어(120)를 형성시키는 단계와 터널링 옥사이드 레이어(140)를 형성시키는 단계를 더 구비할 수 있다.
- [0071] 본 발명에 따른 반도체 메모리 장치의 제조 방법은, 스페이서 형성 단계(도 6의 e) 및 소스/드레인 도핑 단계(도 6의 f)를 더 구비할 수 있다. 스페이서 형성 단계(도 6의 e)는, 차지 트랩 레이어(130) 등이 적층된 층 옆에 스페이서(도 6의 SPACER)를 형성시킨다. 스페이서(도 6의 SPACER)는, 차지 트랩 레이어(130), 제어 게이트(110), 차단 옥사이드 레이어(120) 및 터널링 옥사이드 레이어(140)를 외부로부터 절연시키는 역할을 한다.
- [0072] 도 7은 본 발명의 제2실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.
- [0073] 본 발명의 제2실시예에 따른 반도체 메모리 장치(700)는 반도체 기판을 구비하지 않고 절연층(790)을 구비하는 점에서, 본 발명의 제1실시예에 따른 반도체 메모리 장치(100)와 구별된다. 그 이외의 점에 대해서는 본 발명의 제2실시예에 따른 반도체 메모리 장치(700)와 본 발명의 제1실시예에 따른 반도체 메모리 장치(100)는 동일하다. 예를 들어, 본 발명의 제2실시예에 따른 반도체 메모리 장치(700)도 소거 모드, 프로그램 모드와 독출 모드를 가질 수 있다. 그러므로, 이하에서는 본 발명의 제1실시예에 따른 반도체 메모리 장치(100)와의 차이점을 중심으로 하여, 본 발명의 제2실시예에 따른 반도체 메모리 장치(700)의 구성 및 동작을 설명한다.
- [0074] 도 7을 참조하면, 본 발명의 제2실시예에 따른 반도체 메모리 장치(700)는 절연층(790), 차지 트랩 레이어(730 ; charge trap layer) 및 적어도 하나의 소거 게이트(770A, 770B, 770C ; erase gate)를 구비한다. 소거 게이트(770A, 770B, 770C)는 절연층(790) 위에 위치한다. 차지 트랩 레이어(730)는 소거 게이트(770A, 770B, 770C) 위에 위치하고, 유입된 전자(electron)를 저장한다.
- [0075] 차지 트랩 레이어(730)에 저장된 전자를 제거하는 소거 모드에서, 소거 게이트(770A, 770B, 770C)는 차지 트랩 레이어(730)로 홀(hole)을 주입하여 차지 트랩 레이어(730)에 저장된 전자와 주입된 홀을 재결합(recombination)시킨다. 그에 따라, 차지 트랩 레이어(730)에 저장된 전자는 제거된다. 소거 모드에서 소거 게이트(770A, 770B, 770C)에는 고전압(예를 들어, 18V)이 인가될 수 있다.
- [0076] 일반적인 차지 트랩 메모리 장치의 소거 모드에서는, 반도체 기판에 고전압이 인가된다. 그러므로, 반도체 기판을 구비하지 않는 TFT와 SOI같은 구조에서는 차지 트랩 메모리 장치를 구현할 수 없는 문제가 있었다. 그러나, 본 발명의 제2실시예에 따른 반도체 메모리 장치(700)는 차지 트랩 레이어(730)에 홀을 주입하는 데 있어서, 반도체 기판으로부터 홀을 주입하는 것이 아니라, 소거 게이트(770A, 770B, 770C)로부터 홀을 주입한다. 따라서, 반도체 기판 위에 구성요소들을 배치하지 않고 절연층 위에 구성요소들을 직접 배치하는 구조(예를 들어, TFT(Thin Film Transistor) 또는 SOI(Silicon On Insulator))에서도, 차지 트랩 레이어를 구비하는 반도체 메

모리 장치를 구현할 수 있는 장점이 있다.

- [0077] 소거 게이트(770A, 770B, 770C)는 전도성 물질을 포함할 수 있다. 소거 게이트(770A, 770B, 770C)는 메탈(metal) 또는 폴리-실리콘(poly-silicon)을 포함할 수 있다.
- [0078] 본 발명의 제2실시예에 따른 반도체 메모리 장치(700)는 적어도 하나의 비트라인(780A, 780B)을 구비할 수 있다. 비트라인(780A, 780B)은 소거 게이트(770A, 770B, 770C)와 동일한 방향으로 배치될 수 있다. 소거 게이트(770A, 770B, 770C)는 차지 트랩 레이어(730)와 수직 방향으로 배치될 수 있다.
- [0079] 본 발명의 제2실시예에 따른 반도체 메모리 장치(700)는 제어 게이트(710)를 더 구비할 수 있다. 제어 게이트(710)는 차지 트랩 레이어(730) 위에 위치한다. 소거 모드에서 제어 게이트(710)에는 저전압(예를 들어, 접지전압)이 인가될 수 있다.
- [0080] 도 8(a)는 도 7의 반도체 메모리 장치를 위에서 본 모습을 나타내는 도면이다.
- [0081] 도 8(b)는 도 7의 반도체 메모리 장치를 B 방향에서 본 모습을 나타내는 도면이다.
- [0082] 도 8(c)는 도 7의 반도체 메모리 장치를 C 방향에서 본 모습을 나타내는 도면이다.
- [0083] 도 8(a), 도 8(b) 및 도 8(c)에는, 비트라인(780A, 780B)은 소거 게이트(770A, 770B, 770C)와 동일한 방향으로 배치되는 모습이 도시되어 있다. 또한, 비트라인(780A, 780B)과 소거 게이트(770A, 770B, 770C)가 차지 트랩 레이어(730)와 수직 방향으로 배치되는 모습이 도시되어 있다.
- [0084] 도 9는 도 7의 반도체 메모리 장치에서의 소거 동작을 설명하는 도면이다.
- [0085] 도 10은 도 7의 반도체 메모리 장치에서의 프로그램 동작을 설명하는 도면이다.
- [0086] 도 11은 도 7의 반도체 메모리 장치에서의 독출 동작을 설명하는 도면이다.
- [0087] 도 9 내지 도 11에 도시된 본 발명의 제2실시예에 따른 반도체 메모리 장치(700)에서의 소거 동작, 프로그램 동작 및 독출 동작은, 본 발명의 제1실시예에 따른 반도체 메모리 장치(100)의 그것과 동일하다. 그러므로, 그에 대한 자세한 설명은 생략된다.
- [0088] 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

- [0089] 상술한 바와 같이 본 발명에 따른 반도체 메모리 장치 및 반도체 메모리 장치의 제조 방법은, 인터페이스 트랩과 옥사이드 트랩의 양을 감소시킬 수 있다. 그에 따라, 반도체 메모리 장치의 신뢰성을 향상시킬 수 있는 장점이 있다.
- [0090] 또한, 반도체 기판 위에 구성요소들을 배치하지 않고 절연층 위에 구성요소들을 직접 배치하는 구조(예를 들어, TFT(Thin Film Transistor) 또는 SOI(Silicon On Insulator))에서도, 차지 트랩 레이어를 구비하는 반도체 메모리 장치를 구현할 수 있는 장점이 있다.

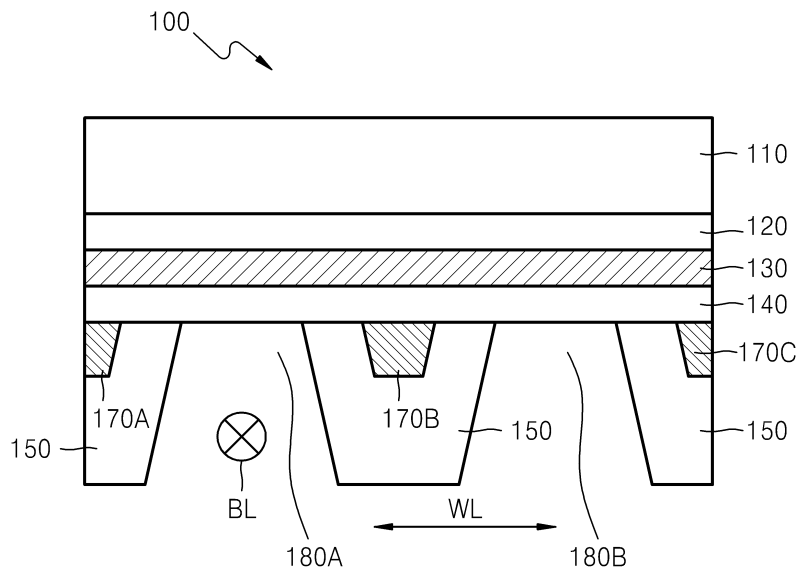
도면의 간단한 설명

- [0001] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- [0002] 도 1은 본 발명의 제1실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.
- [0003] 도 2는 도 1의 반도체 메모리 장치에서의 소거 동작을 설명하는 도면이다.
- [0004] 도 3(a)는 도 2의 반도체 메모리 장치에서 점선 A에 따른 전압 분포를 나타내는 도면이다.
- [0005] 도 3(b) 및 도 3(d)는 도 2의 반도체 메모리 장치에서 점선 B에 따른 전압 분포를 나타내는 도면이다.
- [0006] 도 3(c)는 도 2의 반도체 메모리 장치에서 점선 C에 따른 전압 분포와 에너지 분포를 나타내는 도면이다.

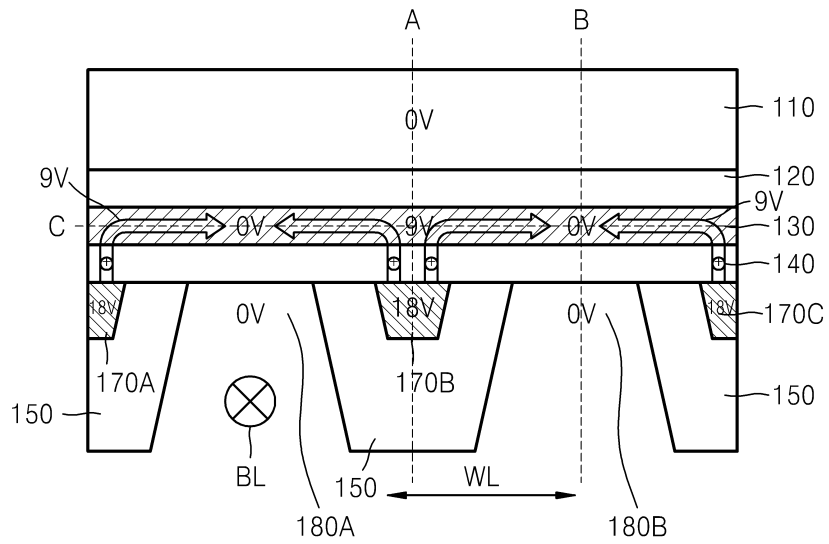
- [0007] 도 4는 도 1의 반도체 메모리 장치에서의 프로그램 동작을 설명하는 도면이다.
- [0008] 도 5는 도 1의 반도체 메모리 장치에서의 독출 동작을 설명하는 도면이다.
- [0009] 도 6은 본 발명에 따른 반도체 메모리 장치의 제조 방법을 나타내는 도면이다.
- [0010] 도 7은 본 발명의 제2실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.
- [0011] 도 8(a)는 도 7의 반도체 메모리 장치를 위에서 본 모습을 나타내는 도면이다.
- [0012] 도 8(b)는 도 7의 반도체 메모리 장치를 B 방향에서 본 모습을 나타내는 도면이다.
- [0013] 도 8(c)는 도 7의 반도체 메모리 장치를 C 방향에서 본 모습을 나타내는 도면이다.
- [0014] 도 9는 도 7의 반도체 메모리 장치에서의 소거 동작을 설명하는 도면이다.
- [0015] 도 10은 도 7의 반도체 메모리 장치에서의 프로그램 동작을 설명하는 도면이다.
- [0016] 도 11은 도 7의 반도체 메모리 장치에서의 독출 동작을 설명하는 도면이다.

도면

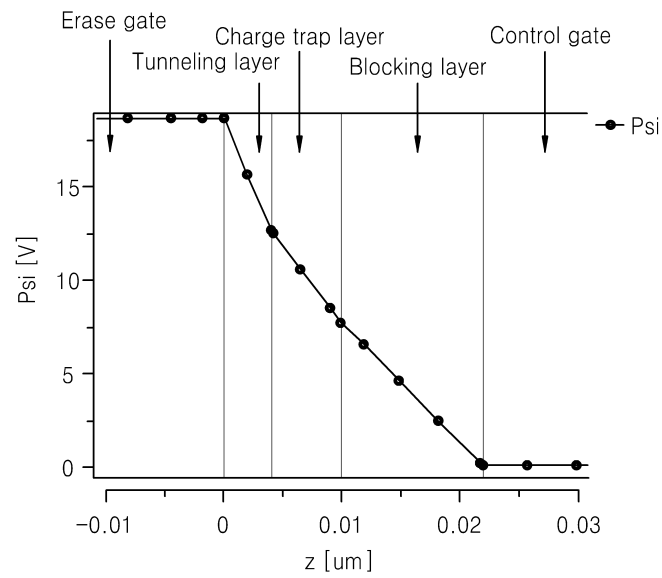
도면1



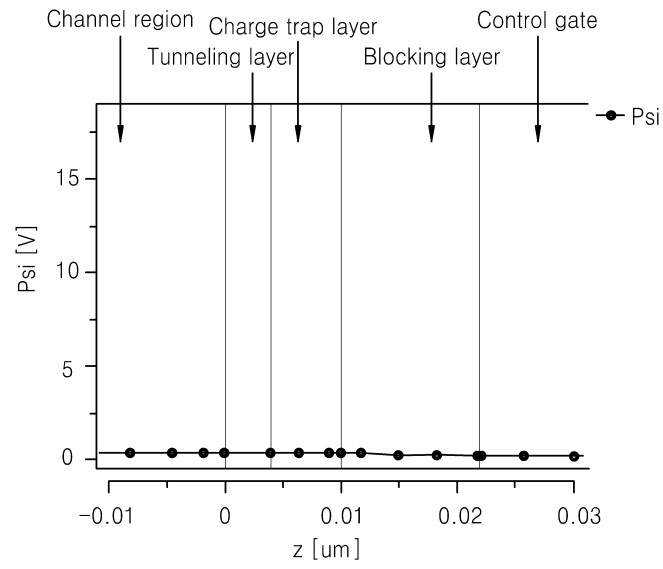
도면2



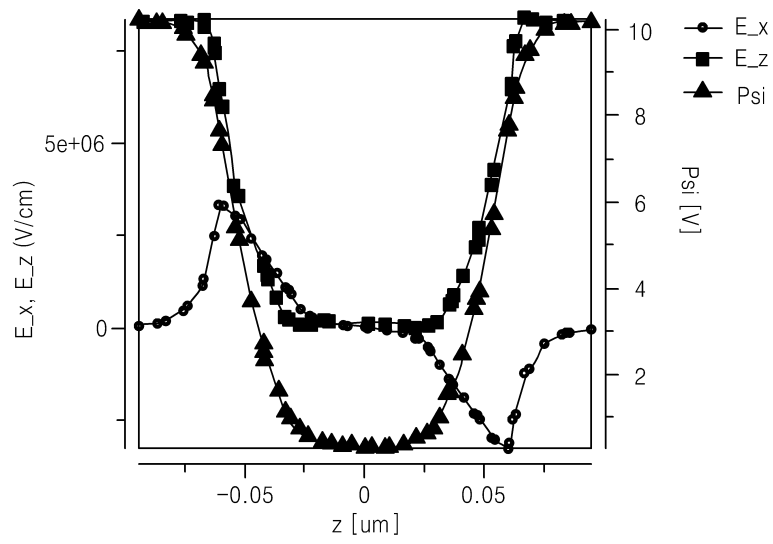
도면3a



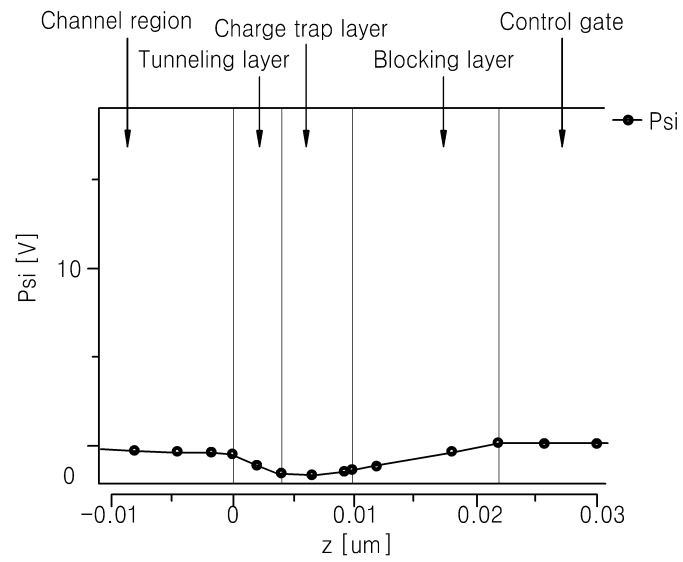
도면3b



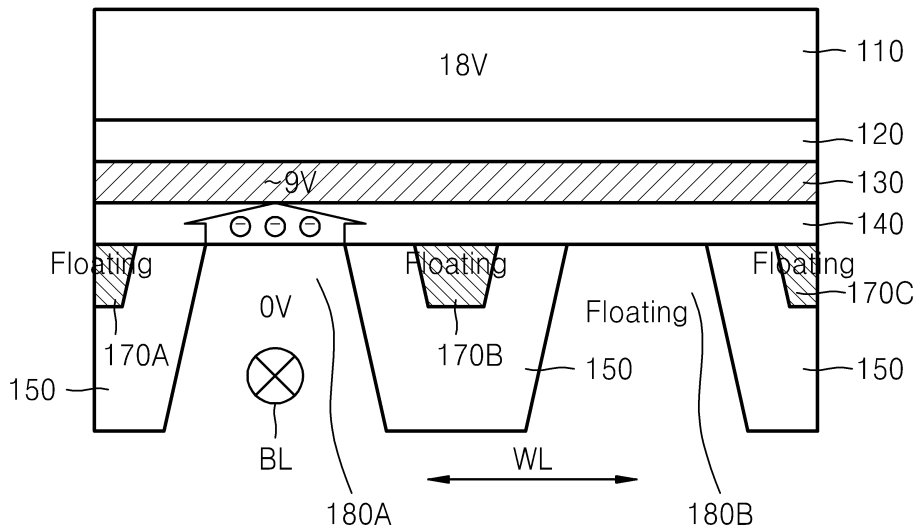
도면3c



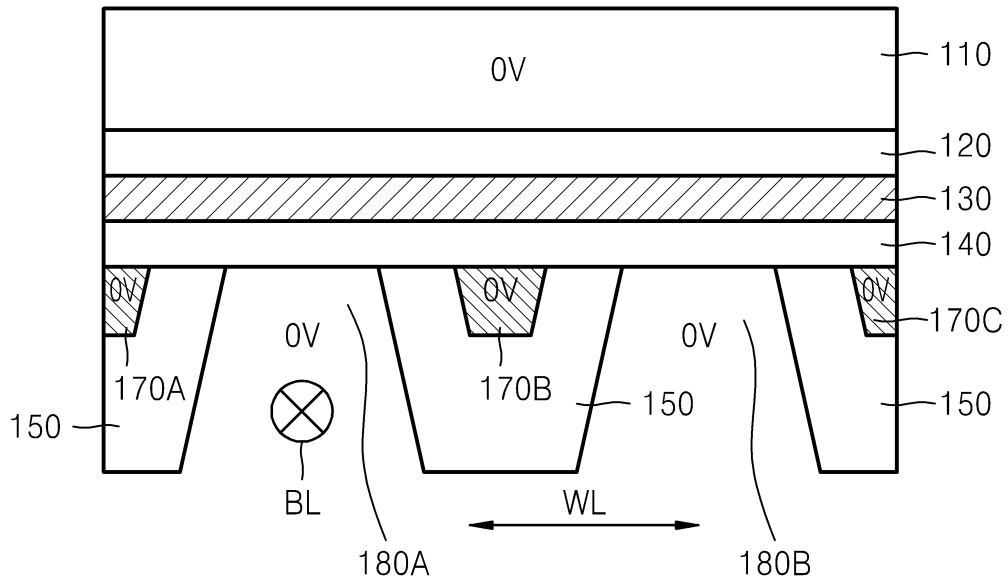
도면3d



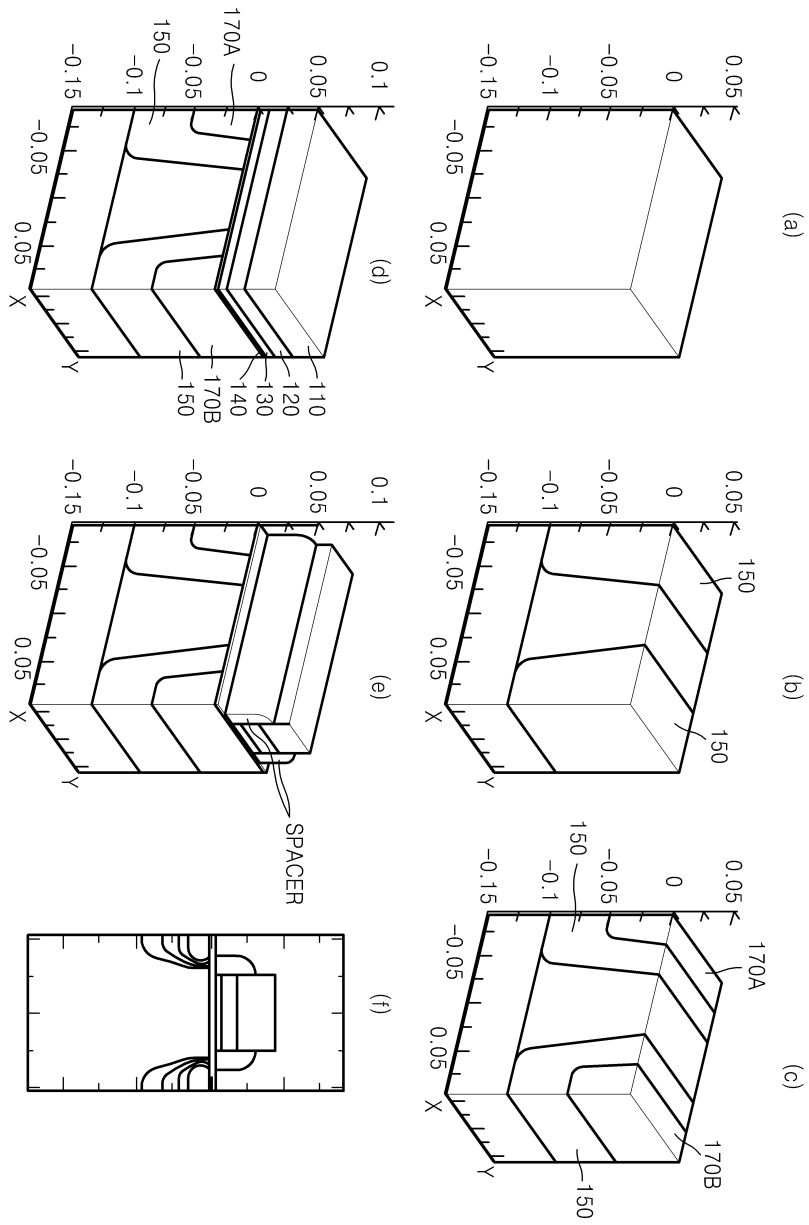
도면4



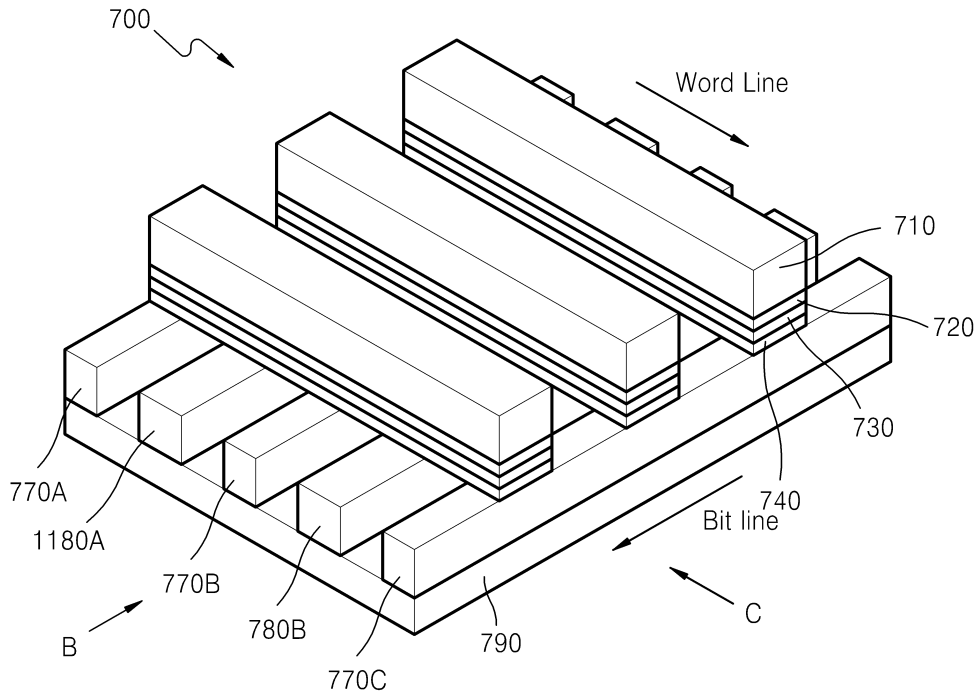
도면5



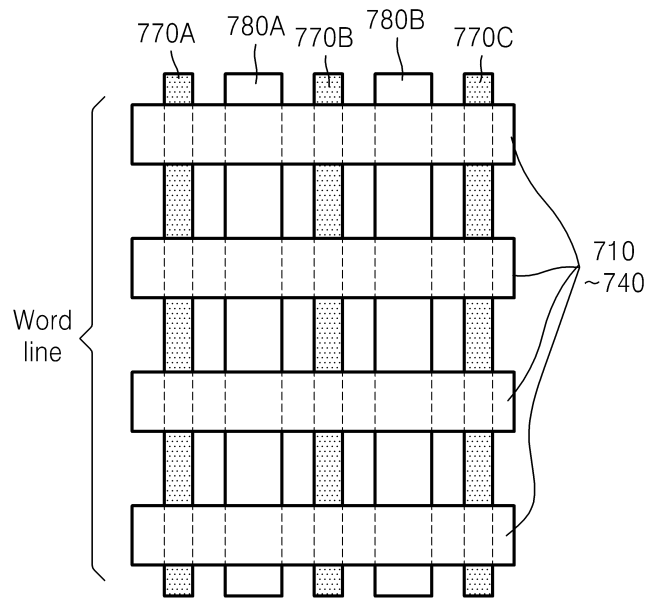
도면6



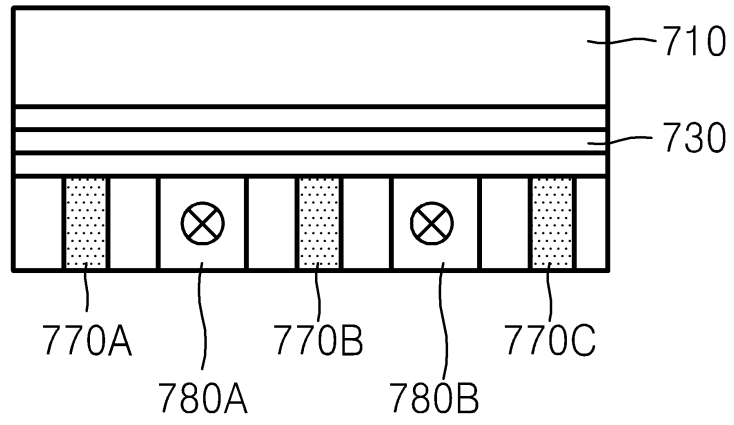
도면7



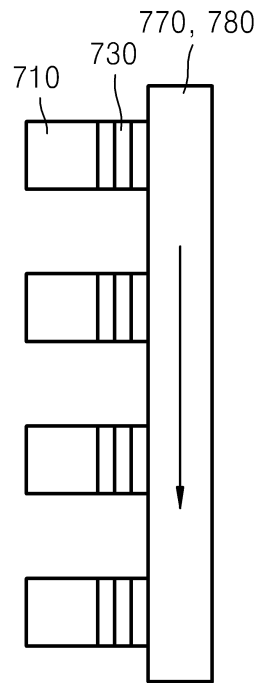
도면8a



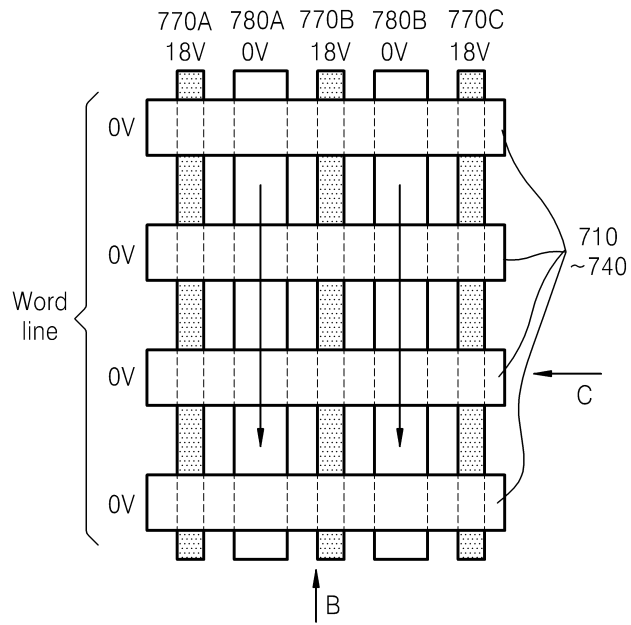
도면8b



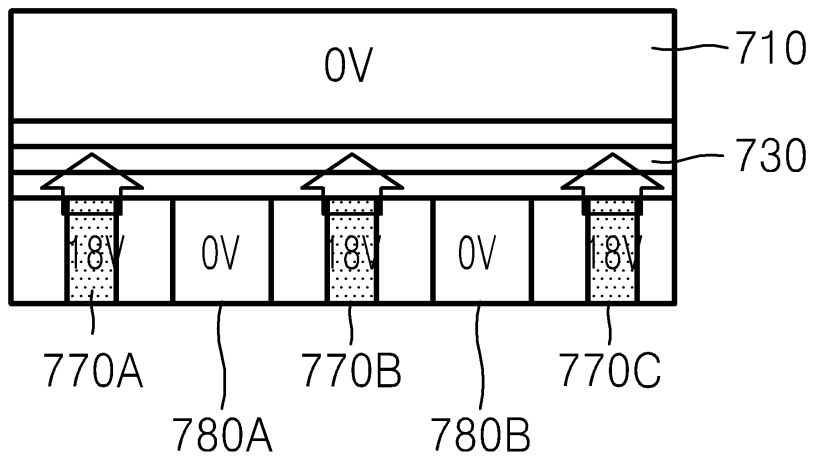
도면8c



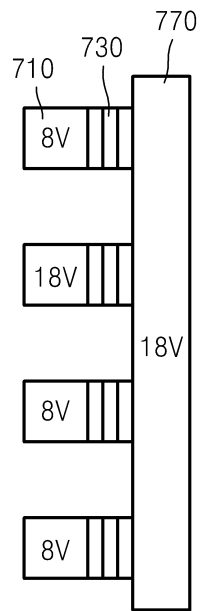
도면9a



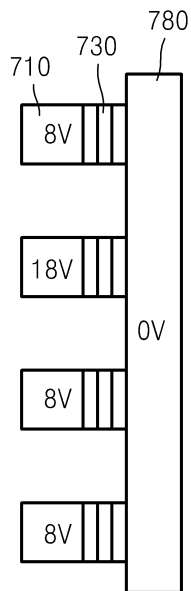
도면9b



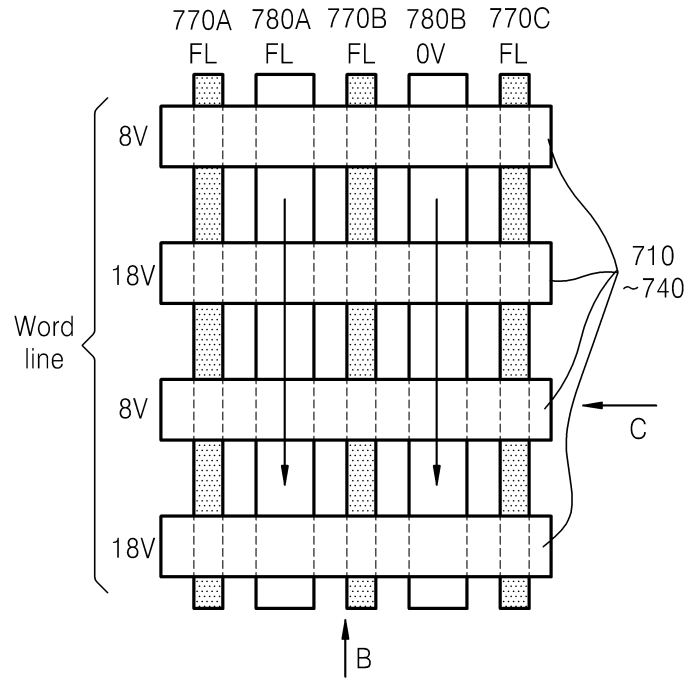
도면9c



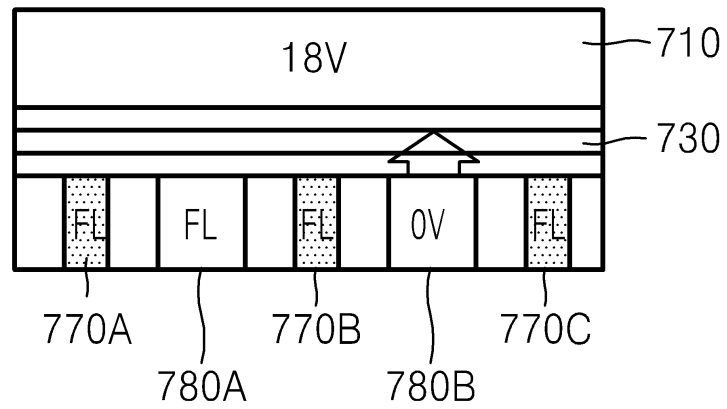
도면9d



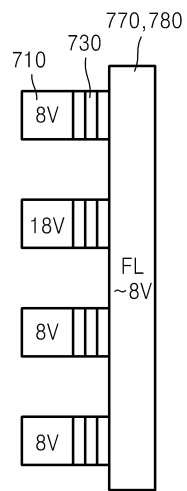
도면10a



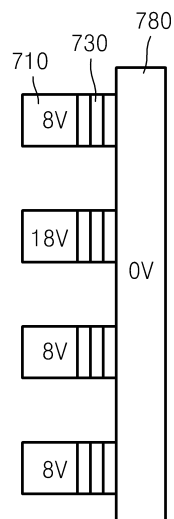
도면10b



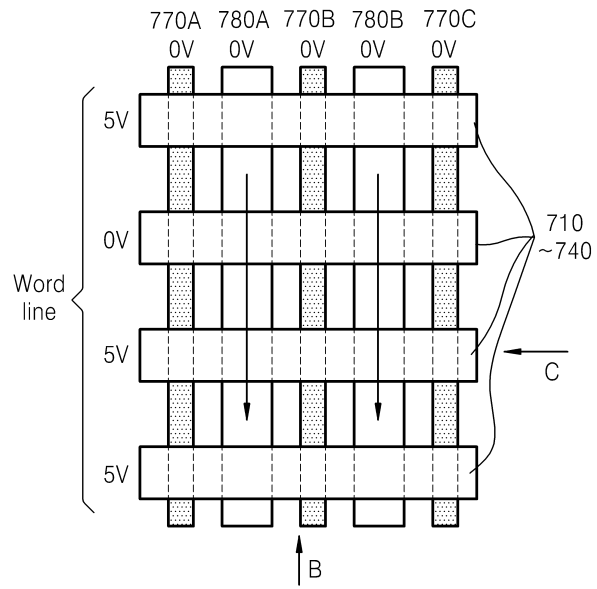
도면10c



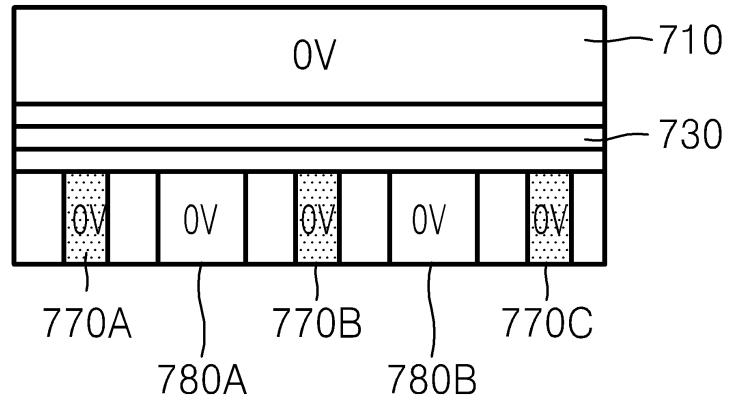
도면10d



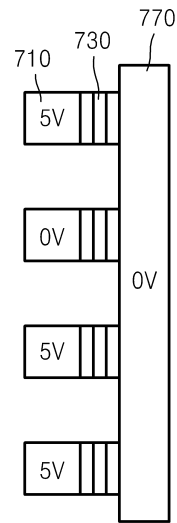
도면11a



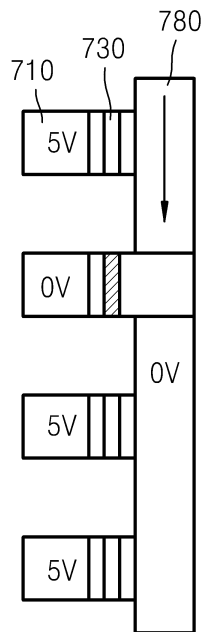
도면11b



도면11c



도면11d



도면11e

