

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/768

H01L 21/28 H01L 21/60

H01L 23/48

[12] 发明专利申请公开说明书

[21] 申请号 01116596.0

[43] 公开日 2001年9月5日

[11] 公开号 CN 1311528A

[22] 申请日 2001.2.28 [21] 申请号 01116596.0

[30] 优先权

[32] 2000.2.28 [33] JP [31] 50906/2000

[71] 申请人 精工爱普生株式会社

地址 日本东京都

[72] 发明人 桥元伸晃 花冈辉直

[74] 专利代理机构 中国专利代理(香港)有限公司

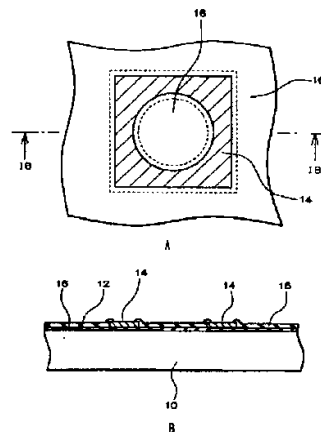
代理人 王岳 叶恺东

权利要求书 5 页 说明书 15 页 附图页数 15 页

[54] 发明名称 半导体器件及其制造方法、电路板和电子装置

[57] 摘要

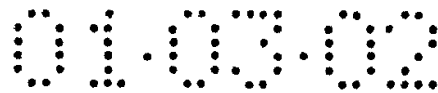
一种半导体器件的制造方法,包括:在半导体芯片的第1面侧形成使凸起突出的步骤,以及在与第1面相反的第2面侧通过使从第2面凹陷的位置露出来形成导电层的步骤;来自导电层的孔的露出部和凸起作为电气连接部。



ISSN 1008-4274

权 利 要 求 书

1. 一种半导体器件的制造方法，包括：
在形成半导体元件的电极的表面上，形成与所述电极电连接的导电
5 层的步骤；
避开所述电极的上面，在所述导电层上形成第 1 电气连接部的步骤；
以及
在所述半导体元件上形成孔，使得所述导电层的所述半导体元件侧
的一部分表面作为第 2 电气连接部而露出的步骤。
- 10 2. 如权利要求 1 所述的半导体器件的制造方法，其中：
形成所述孔，使得所述第 2 电气连接部占有的区域和所述第 1 电气
连接部占有的区域的至少一部分可平面重叠。
3. 如权利要求 1 所述的半导体器件的制造方法，其中：
将所述电极形成为环状，覆盖所述电极以及所述电极的内侧的开口
15 部并形成所述导电层，在与所述开口部对应的区域内形成所述孔。
4. 如权利要求 1 所述的半导体器件的制造方法，其中：
形成所述孔，使得所述第 2 电气连接部占有的区域可平面地包括所
述第 1 电气连接部占有的区域。
- 20 5. 如权利要求 1 所述的半导体器件的制造方法，其中：
在形成所述第 1 和第 2 电气连接部后，从形成所述电极面的背面研
磨薄化所述半导体元件。
6. 如权利要求 1 所述的半导体器件的制造方法，其中：
形成凸起作为所述第 1 电气连接部。
7. 如权利要求 1 所述的半导体器件的制造方法，其中：
25 预先形成比所述孔直径小的小孔，并扩大所述小孔来形成所述孔。
8. 如权利要求 7 所述的半导体器件的制造方法，其中：
用激光束来形成所述小孔，通过湿式腐蚀来扩大所述小孔。
9. 如权利要求 1 所述的半导体器件的制造方法，其中：
所述半导体元件是半导体芯片。
- 30 10. 如权利要求 1 所述的半导体器件的制造方法，其中：



所述半导体元件是半导体晶片的一部分，对所述半导体晶片进行所述步骤。

11. 一种叠置型的半导体器件的制造方法，将按照从权利要求 1 至权利要求 10 中任一项所述的方法制造的半导体器件层叠多个来制造叠置型半导体器件，该方法包括：

在多个所述半导体器件内，将第 1 半导体器件的所述第 1 电气连接部和在所述第 1 半导体器件上层叠的第 2 半导体器件的所述第 2 电气连接部进行电连接的步骤。

12. 如权利要求 11 所述的叠置型的半导体器件的制造方法，其中：
与所述第 1 半导体器件的所述第 1 电气连接部相比，所述第 2 半导体器件的所述孔形成得大。

13. 一种半导体器件的制造方法，包括：

在形成半导体元件电极的表面上，形成与所述电极电连接的第 1 导电层的步骤；

在所述第 1 导电层上形成第 1 电气连接部的步骤；

在所述半导体元件上形成所述孔，使得所述电极的所述半导体元件侧的一部分表面露出的步骤；以及

将与所述电极电连接的、作为第 2 电气连接部的第 2 导电层形成在所述孔的内部的步骤。

14. 如权利要求 13 所述的半导体器件的制造方法，其中：

形成所述孔，使得所述第 2 电气连接部占有的区域平面地包括所述第 1 电气连接部占有的区域。

15. 如权利要求 13 所述的半导体器件的制造方法，其中：

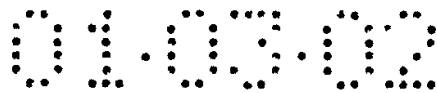
在形成所述第 1 和第 2 电气连接部后，从形成所述电极面的背面研磨薄化所述半导体元件。

16. 如权利要求 13 所述的半导体器件的制造方法，其中：
形成凸起作为所述第 1 电气连接部。

17. 如权利要求 13 所述的半导体器件的制造方法，其中：

预先形成比所述孔直径小的小孔，并扩大所述小孔来形成所述孔。

18. 如权利要求 17 所述的半导体器件的制造方法，其中：



用激光束来形成所述小孔，通过湿式腐蚀来扩大所述小孔。

19. 如权利要求 13 所述的半导体器件的制造方法，其中：
所述半导体元件是半导体芯片。

20. 如权利要求 13 所述的半导体器件的制造方法，其中：

5 所述半导体元件是半导体晶片的一部分，对所述半导体晶片进行所述步骤。

21. 一种叠置型的半导体器件的制造方法，将按照从权利要求 13 至权利要求 20 中任一项所述的方法制造的半导体器件层叠多个来制造叠置型半导体器件，该方法包括：

10 在多个所述半导体器件内，将第 1 半导体器件的所述第 1 电气连接部和在所述第 1 半导体器件上层叠的第 2 半导体器件的所述第 2 电气连接部进行电连接的步骤。

22. 如权利要求 21 所述的叠置型的半导体器件的制造方法，其中：

15 与所述第 1 半导体器件的所述第 1 电气连接部相比，所述第 2 半导体器件的所述孔形成得大。

23. 由权利要求 1 至权利要求 10 中任一项所述的方法制造的半导体器件。

24. 由权利要求 11 所述的方法制造的半导体器件。

20 25. 由权利要求 13 至权利要求 20 中任一项所述的方法制造的半导体器件。

26. 由权利要求 21 所述的方法制造的半导体器件。

27. 一种半导体器件，包括：

半导体元件；

25 导电层，形成在所述半导体元件的形成电极的表面上，与所述电极进行电连接；以及

第 1 电气连接部，避开所述电极上面，形成在所述导电层上；

所述半导体元件形成孔，使得所述导电层的所述半导体元件侧的一部分表面作为第 2 电气连接部而露出。

28. 如权利要求 27 所述的半导体器件，其中：

30 形成所述孔，使得所述第 2 电气连接部占有的区域和所述第 1 电气

连接部占有的区域的至少一部分平面重叠。

29. 如权利要求 28 所述的半导体器件，其中：

将所述电极形成为环状，覆盖所述电极以及所述电极的内侧的开口部并形成所述导电层，在与所述开口部对应的区域内形成所述孔。

5 30. 如权利要求 27 所述的半导体器件，其中：

形成所述孔，使得所述第 2 电气连接部占有的区域可平面地包括所述第 1 电气连接部占有的区域。

31. 如权利要求 27 所述的半导体器件，其中：

所述半导体元件是半导体芯片。

10 32. 如权利要求 27 所述的半导体器件，其中：

包括半导体晶片的所述半导体元件是所述半导体晶片的一部分。

33. 一种叠置型的半导体器件，层叠多个权利要求 27 至权利要求 32 中任一项所述的半导体器件而形成的叠置型半导体器件，其中：

15 在多个所述半导体器件内，将第 1 半导体器件的所述第 1 电气连接部和所述第 1 半导体器件相邻的第 2 半导体器件的所述电气连接部进行电连接。

34. 如权利要求 33 所述的叠置型半导体器件，其中：

与所述第 1 半导体器件的所述第 1 电气连接部相比，所述第 2 半导体器件的所述孔形成得大。

20 35. 如权利要求 27 所述的半导体器件，其中：

所述第 1 电气连接部是凸起。

36. 一种半导体器件，包括：

形成电极、形成使所述电极的一部分露出的孔的半导体元件；

25 形成在所述半导体元件的形成所述电极的面上、与所述电极电连接的第 1 导电层；

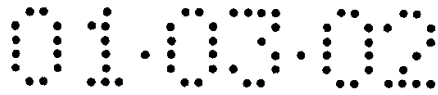
形成在所述第 1 导电层上的第 1 电气连接部；以及

形成在所述孔的内部、作为第 2 电气连接部的第 2 导电层。

37. 如权利要求 36 所述的半导体器件，其中：

30 形成所述孔，使得所述第 2 电气连接部占有的区域平面地包括所述第 1 电气连接部占有的区域。

38. 如权利要求 36 所述的半导体器件，其中：
所述半导体元件是半导体芯片。
39. 如权利要求 36 所述的半导体器件，其中：
包括半导体晶片的所述半导体元件是所述半导体晶片的一部分。
- 5 40. 一种叠置型的半导体器件，层叠多个权利要求 36 至权利要求 39 中任一项所述的半导体器件而形成的叠置型半导体器件，其中：
在多个所述半导体器件内，将第 1 半导体器件的所述第 1 电气连接部和所述第 1 半导体器件相邻的第 2 半导体器件的所述电气连接部进行电连接。
- 10 41. 如权利要求 40 所述的叠置型半导体器件，其中：
与所述第 1 半导体器件的所述第 1 电气连接部相比，所述第 2 半导体器件的所述孔形成得大。
42. 如权利要求 36 所述的半导体器件，其中：
所述第 1 电气连接部是凸起。
- 15 43. 安装有权利要求 27 至权利要求 32 中任一项所述的半导体器件的电路板。
44. 安装有权利要求 33 所述的半导体器件的电路板。
45. 安装有权利要求 36 至权利要求 39 中任一项所述的半导体器件的电路板。
- 20 46. 安装有权利要求 40 所述的半导体器件的电路板。
47. 具有权利要求 27 至权利要求 32 中任一项所述的半导体器件的电子装置。
48. 具有权利要求 33 所述的半导体器件的电子装置。
49. 具有权利要求 36 至权利要求 39 中任一项所述的半导体器件的电子装置。
- 25 50. 具有权利要求 40 所述的半导体器件的电子装置。



说明书

半导体器件及其制造方法、 电路板和电子装置

5

本发明涉及半导体器件及其制造方法、电路板和电子装置。

近年来，正在开发叠置多个半导体芯片的半导体器件。大多采用将导线或引线键合在半导体芯片的电极上来实现电连接，但由于设置导线等，所以对小型化有限制。

10

此外，正在开发在半导体芯片上形成贯通孔，在贯通孔中填充焊锡，并且形成凸起，从而实现上下半导体芯片之间的电连接。这样一来，在层叠的半导体芯片之间，形成与凸起的高度相当的间隙，所以在薄形化方面有限制。

15

本发明是解决该问题的发明，其目的在于提供可以小型化和薄形化的半导体器件及其制造方法、电路板和电子装置。

(1) 本发明的半导体器件的制造方法包括：在形成半导体元件的电极的表面上，形成与所述电极电连接的导电层的步骤；

避开所述电极的上面，在所述导电层上形成第 1 电气连接部的步骤；
以及

20

在所述半导体元件上形成孔，使得所述导电层的所述半导体元件侧的一部分表面作为第 2 电气连接部而露出的步骤。

25

根据本发明，将第 2 电气连接部形成在半导体元件的孔的内部。因此，由于使其它部件的电气连接部进入到半导体元件来实现电连接，所以可以将半导体元件和其它部件之间的间隔变窄，可以小型化和薄形化。

(2) 在本半导体器件的制造方法中，可以形成所述孔，使得所述第 2 电气连接部占有的区域和所述第 1 电气连接部占有的区域的至少一部分可平面重叠。

30

(3) 在本半导体器件的制造方法中，将所述电极形成为环状，覆盖所述电极的中央开口部并形成所述导电层，在与所述中央开口部对应的



区域内形成所述孔。

(4) 本发明的半导体器件的制造方法包括：在形成所述半导体元件电极的表面上，形成与所述电极电连接的第 1 导电层的步骤；

在所述第 1 导电层上形成第 1 电气连接部的步骤；

5 在所述半导体元件上形成所述孔，使得所述电极的所述半导体元件侧的一部分表面露出的步骤；以及

将与所述电极电连接的、作为第 2 电气连接部的第 2 导电层形成在所述孔的内部步骤。

10 根据本发明，将第 2 电气连接部形成在半导体元件的孔的内部。因此，由于使其它部件的电气连接部进入到半导体元件来实现电连接，所以可以将半导体元件和其它部件之间的间隔变窄，可以小型化和薄形化。

(5) 在本半导体器件的制造方法中，形成所述孔，使得所述第 2 电气连接部占有的区域平面地包括所述第 1 电气连接部占有的区域。

15 (6) 在本半导体器件的制造方法中，在形成所述第 1 和第 2 电气连接部后，从形成所述电极面的背面研磨薄化所述半导体元件。

(7) 在本半导体器件的制造方法中，作为所述第 1 电气连接部，也可以形成凸起。

20 (8) 在本半导体器件的制造方法中，也可以预先形成比所述孔直径小的小孔，并扩大所述小孔来形成所述孔。

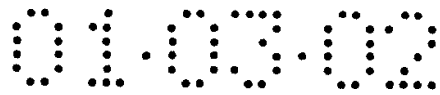
这样一来，可以用比形成孔小的能量来形成小孔，通过先形成小孔即可减小形成孔时的能量。

(9) 在本半导体器件的制造方法中，用激光束来形成所述小孔，通过湿式腐蚀来扩大所述小孔也可以。

25 如果这样，可以容易地形成孔。此外，即使用激光形成的小孔的内壁表面粗糙，由于通过湿式腐蚀来扩大，所以可以形成光滑的内壁表面的孔。

(10) 在本半导体器件的制造方法中，所述半导体元件可以是半导体芯片。

30 (11) 在本半导体器件的制造方法中，所述半导体元件是半导体晶



片的一部分，对所述半导体晶片进行所述步骤。

(12) 本发明的叠置型的半导体器件的制造方法是层叠多个按上述方法制造的半导体器件的叠置型的半导体器件制造方法，包括：

在多个所述半导体器件中，将第 1 半导体器件的所述第 1 电气连接部和层叠在所述第 1 半导体器件上的第 2 半导体器件的所述第 2 电气连接部进行电连接的步骤。

在本半导体器件的制造方法中应用三维安装。

(13) 在本半导体器件的制造方法中，与所述第 1 半导体器件的所述第 1 电气连接部相比，所述第 2 半导体器件的所述孔形成得大。

这样一来，可以避免第 1 半导体器件的第 1 电气连接部和第 2 半导体元件的内部电路之间的短路。

(14) 本发明的半导体器件包括：半导体元件；

形成在所述半导体元件的形成电极的表面上、与所述电极电连接的导电层；以及

避开所述电极上面，形成在所述导电层上的第 1 电气连接部；

所述半导体元件形成孔，使得所述导电层的所述半导体元件侧的一部分表面作为第 2 电气连接部而露出。

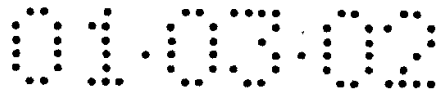
根据本发明，第 2 电气连接部被形成在半导体元件的孔的内部。因此，由于可以使其它部件的电气连接部从第 2 表面进入至凹陷位置来实现电连接，所以可以使半导体元件和其它部件之间的间隔变窄，可以小型化和薄形化。

(15) 在本半导体器件中，形成所述孔，使得所述第 1 电气连接部占有的区域和所述第 2 电气连接部占有的区域的至少一部分之间平面地重叠。

(16) 在本半导体器件中，所述电极被形成环状，形成覆盖所述电极的中央开口部的所述导电层，在所述中央开口部对应的区域内形成所述孔也可以。

(17) 本发明的半导体器件包括：形成电极、形成使所述电极的一部分露出的孔的半导体元件；

形成在所述半导体元件的形成所述电极的表面上、与所述电极电连



接的第 1 导电层；

在所述第 1 导电层上形成的第 1 电气连接部；以及

在所述孔的内部形成的作为第 2 电气连接部的第 2 导电层。

5 根据本发明，第 2 电气连接部被形成在半导体元件的孔的内部。因此，由于可以使其它部件的电气连接部从第 2 表面进入至凹陷位置来实现电连接，所以可以使半导体元件和其它部件之间的间隔变窄，可以小型化和薄形化。

(18) 在本半导体器件中，形成所述孔，使得所述第 2 电气连接部占有的区域平面地包括所述第 1 电气连接部占有的区域。

10 (19) 本发明的半导体器件按照上述方法来制造。

(20) 在本半导体器件中，所述半导体元件是半导体芯片就可以。

(21) 在本半导体器件中，包括半导体晶片在内，所述半导体元件可以是所述半导体晶片的一部分。

15 (22) 本发明的叠置型半导体器件是层叠多个上述半导体器件而形成的叠置型的半导体器件，在多个所述半导体器件中，第 1 半导体器件的所述第 1 电气连接部和所述第 1 半导体器件相邻的第 2 半导体器件的所述第 2 电气连接部电连接着。

(23) 在本半导体器件中，与所述第 1 半导体器件的所述第 1 电气连接部相比，所述第 2 半导体器件的所述孔可以形成得大。

20 如果这样，可以避免第 1 半导体器件的第 1 电气连接部和第 2 半导体元件的内部电路之间的短路。

(24) 在本半导体器件中，所述第 1 电气连接部是凸起。

(25) 本发明的电路板安装有上述半导体器件。

(26) 本发明的电子装置具有上述半导体器件。

25 图 1A~图 1B 表示应用本发明的第 1 实施例的半导体器件的制造方法的图。

图 2A~图 2C 表示应用本发明的第 1 实施例的半导体器件的制造方法的图。

30 图 3A~图 3C 表示应用本发明的第 1 实施例的半导体器件的制造方法的图。

图 4A~图 4C 表示应用本发明的第 1 实施例的半导体器件的制造方法的图。

图 5 表示应用本发明的第 1 实施例的半导体器件的图。

5 图 6A~图 6C 表示应用本发明的第 2 实施例的半导体器件的制造方法的图。

图 7A~图 7C 表示应用本发明的第 2 实施例的半导体器件的制造方法的图。

图 8A~图 8C 表示应用本发明的第 2 实施例的半导体器件的制造方法的图。

10 图 9A~图 9C 表示应用本发明的第 3 实施例的半导体器件的制造方法的图。

图 10A~图 10B 表示应用本发明的第 3 实施例的半导体器件的制造方法的图。

15 图 11A~图 11C 表示应用本发明的第 3 实施例的半导体器件的制造方法的图。

图 12A~图 12B 表示应用本发明的第 3 实施例的半导体器件的制造方法的图。

图 13 表示应用本发明的另一实施例的半导体器件的制造方法的图。

图 14 表示安装本实施例的半导体器件的电路板的图。

20 图 15 表示具有本实施例的半导体器件的电子装置的图。

图 16 表示具有本实施例的半导体器件的电子装置的图。

以下，参照附图来说明本发明的优选实施例。

(第 1 实施例)

25 图 1A 和图 1B 表示本实施例中使用的半导体芯片 10 的局部图。图 1A 是半导体芯片 10 的剖面图，图 1B 是图 1A 的 IB-IB 线剖面图。半导体芯片 10 一般是长方体（包括立方体），但未限定其形状，也可以是球状。

半导体芯片 10 在形成图中未示出的由晶体管和存储器等元件组成的集成电路的表面上有绝缘膜（层间膜）12。绝缘膜 12 大多是作为半导体芯片 10 的基本材料的氧化硅膜（ SiO_2 ）和氮化硅膜（ SiN ）。

30 在绝缘膜 12 上形成电极（焊盘）14，电极 14 在图中未示出的部分

与集成电路电连接。电极 14 大多由铝来形成。电极 14 沿半导体芯片 10 表面的至少一边（大多数情况下为 2 边或 4 边）排列。此外，电极 14 有排列在半导体芯片 10 表面的端部的情况和排列在中央部的情况等。由于电极 14 按照集成电路的制造工艺方法来构成，所以可以在多个层
5 形成。

电极 14 的平面形状如图 1A 虚线所示，为环形状。具体地说，电极 14 例如在形成矩形形状的中央部上形成开口部（例如，圆形）。

在绝缘膜 12 上形成钝化膜 16。钝化膜 16 覆盖电极 14 的外形端部，还覆盖电极 14 的开口部的端部。在开口部内也形成钝化膜 16。其结果，
10 电极 14 在图 1A 中阴影线的部分中露出。钝化膜 16 例如可以由 SiO_2 、 SiN 、聚胺树脂等来形成。

（半导体器件的制造方法）

在本实施例中，使用上述半导体芯片 10 按以下的方法来制造半导体器件。

15 如图 2A 所示，形成覆盖电极 14 的导电层 18。如后面所述，最好所形成的导电层 18 具有可以跨过孔 26（参照图 4B）的内侧的强度（例如约 $1\mu\text{m}$ 以上的厚度）。导电层 18 最好从电极 14 的外形端部突出来形成。导电层 18 还覆盖环状电极 14（参照图 1A）的开口部来形成。导电层 18 可以由无电解电镀来形成。

20 例如，作为用镍来形成导电层 18 的方法，可以在电极 14 上实施锌酸盐处理，将铝的表面置换为锌，然后将电极 14 浸泡在无电解镍电镀液中，经过锌和镍之间的置换反应而将镍沉积在电极 14 上。镍也生长在环状的电极 14 的开口部上。

或者，也可以将电极 14 浸泡在仅有选择地吸附在铝上的钯溶液中，
25 然后浸泡在无电解镍电镀液中，以钯为核析出镍。

为在镍层上还形成金层，要进一步浸泡在无电解金电镀液中，便在镍层的表面上再形成金层。通过形成金层，可以进一步可靠地提高与在其上形成的凸起之间的电连接。一般的说，在电极 14 上，由于镍比金容易在短时间内析出，所以与用金来形成整个导电层 18 相比，用镍形
30 成第 1 层（下层），而用金形成第 2 层（上层）更好。

在将半导体芯片 10 浸泡在无电解电镀液中的情况下，也可以预先用保护膜（例如抗蚀剂等）来覆盖半导体芯片 10 的里面和侧面。此外，在无电解电镀液中浸泡半导体芯片 10 期间最好进行遮光。由此，可以防止因随着在溶液中浸泡半导体芯片 10 引起的溶液中的电极间的电位变化而改变电镀层厚度。这也适合于以下的任何无电解电镀。

如图 2B 所示，在半导体芯片 10 的形成电极 14 的面上形成抗蚀剂 20，并对它进行构图。

作为形成抗蚀剂 20 的方法，可以使用旋转涂敷法、浸渍法、喷射涂敷法等。形成抗蚀剂 20 覆盖电极 14。抗蚀剂 20 用于覆盖在后面的腐蚀步骤中不腐蚀的部分。抗蚀剂 20 可以是光抗蚀剂、电子线抗蚀剂、X 线抗蚀剂中的任意一个，也可以是正型或负型中的任意一个。本实施例中使用的抗蚀剂 20 是正型的抗蚀剂。抗蚀剂 20 在涂敷后为了不附着在其它部件上，所以进行预烘焙使溶剂蒸发。

作为对抗蚀剂 20 进行构图的方法，在抗蚀剂 20 上配置掩模（图中未示出），照射能量。能量根据抗蚀剂 20 的性质而异，是光、电子线、X 线中的任意一个。掩模的形状由构图形状来决定，根据抗蚀剂 20 是正型还是负型而为相反形状。然后，对抗蚀剂 20 进行显像并进行后烘焙。

在构图过的抗蚀剂 20 上，在形成凸起 22 的区域中形成开口部。凸起 22 形成在电极 14 的外形的内侧。在本实施例中，将凸起 22 形成在电极 14 的中央开口部的内侧。此外，凸起 22 形成在从中央开口部的端部空出间隔的位置上。

如图 2C 所示，在抗蚀剂 20 的开口部上，通过由无电解电镀来形成金属层，从而形成凸起 22。然后，如图 3 所示，除去抗蚀剂 20。凸起 22 是从半导体芯片 10 的第 1 面（例如形成电极 14 的面）突出形成的第 1 电气连接部。

在用镍形成凸起 22 时，使用无电解镍电镀液。在无电解电镀中金属各向同性生长，但由于在抗蚀剂 20 的开口部内使金属生长，所以可以抑制向横（宽度）方向的扩大，而在高度方向上形成金属层。因此，可以形成直径小的凸起 22。

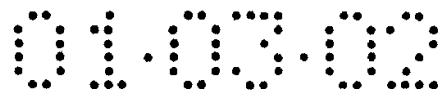
再有，凸起 22 可以由镍、金、镍和金的混合物中的任意一个来形成，可以是单层也可以构成多层。例如，在镍构成的第 1 层上，也可以设置金构成的第 2 层。在镍层上还形成金层时，将镍层浸渍在无电解金电镀液中，在镍层的表面上再形成金层。通过形成金层，可以更可靠地形成与
5 与其它部件之间的电连接。一般来说，由于镍可以比金以短时间析出，所以与用金来形成整个凸起 22 相比，用镍形成第 1 层（下层），而用金形成第 2 层（上层或表面层）就可以。

如图 3B 所示，在半导体芯片 10 上形成小孔 24（例如，直径约 $20\mu\text{m}$ ）。小孔 24 从半导体芯片 10 的第 2 面（例如，与形成电极的第 1 面相反的面）形成。小孔 24 以至少达到绝缘膜 12 的深度来形成较好，贯通绝缘膜 12 更好，而贯通钝化膜 18 也可以。这种情况下，从半导体芯片 10 的第 1 面来形成小孔 24 也可以。小孔 24 最好不是贯通孔，但即使是贯通孔，也不妨碍本发明的应用。在形成小孔 24 时，可以使用激光（例如，YAG 激光或 CO_2 激光）。小孔 24 按比后面记述的孔小的直径来形成。小孔 24 最好形成在凸起 22 的区域内。这样的话，即使难以控制小孔 24 的深度，也可以防止在凸起 22 内部形成小孔 24，避免小孔 24 成为贯通孔。
10
15

接着，如图 3C 所示，在半导体芯片 10 上形成孔 26。将上述小孔 24 扩大来形成孔 26。例如，采用湿式腐蚀，可以腐蚀小孔 24 的内壁面。作为腐蚀液，例如可以使用氢氧化钾（KOH）、混合氟酸和氟化氨的水溶液（缓冲的氟酸）。虽然用铝形成的电极 14 会被腐蚀液腐蚀，但在这里电极 14 是被绝缘膜 12 和钝化膜 16 及导电层 18 覆盖着的。导电层 18 最好由腐蚀液难以腐蚀的材料（例如，镍或金）来形成。
20

为了阻止孔 26 的开口部的扩大，预先形成了不被腐蚀的膜 28。膜 28 可以是氧化膜（氧化硅膜等），可以通过 CVD 来形成。再有，膜 28 也可以在形成小孔 24 前形成。
25

孔 26 可以按具有开口端部和比开口端部直径大的中间部（例如，约 $40\sim 50\mu\text{m}$ 的直径）的形状来形成。例如，如图 3C 所示，可以从半导体芯片 10 的内表面的各处形成直径朝着厚度方向的中央变大的孔 26。详细地说，孔 26 按从半导体芯片 10 的第 2 面（形成开口端部的面）至厚
30



度方向的中央呈倒锥形倾斜的面、和从半导体芯片 10 的第 1 面（形成电极 14 的面）至厚度方向的中央呈倒锥形倾斜的面来形成。在采用湿式腐蚀的情况下，孔 26 就能形成这样的形状。

在上述例中，可以采用湿式腐蚀，也可以采用干式腐蚀，还可以组合两者。干式腐蚀可以是反应性离子腐蚀（RIE）。此外，在上述例中，形成小孔 24 并扩大它来形成孔 26，但也可以不形成小孔 24 而直接形成孔 26。这种情况下，可以采用各向异性腐蚀。

如图 4A 所示，研磨半导体芯片 10。详细地说，研磨半导体芯片 10 的第 2 面（与电极 14 相反侧的面），使其厚度变薄（反向弯曲）。在孔 26 是上述形状的情况下，通过研磨半导体芯片 10 直至孔 26 的最大直径位置，如图 4A 所示，可以增大研磨后的孔 26 的开口。

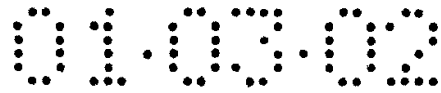
孔 26 使导电层 18 的设置凸起 22 部分的至少一部分内面露出。孔 26 最好比凸起 22 形成得大。此外，孔 26 按围住整个凸起 22 来形成。图 4A 所示的孔 26 是呈锥形的孔，但在本发明中该形状不是必须的，也可以使壁面沿深度方向垂直地形成孔 26。

如图 4B 所示，在孔 26 的内侧使导电层 18 露出。例如，在孔 26 的内侧除去绝缘膜 12 和钝化膜 16。在除去时，可以采用干式腐蚀。这样一来，通过孔 26 而露出的导电层 18 的部分成为第 2 电气连接部。第 2 电气连接部形成在从第 2 面（与电极 14 相反侧的面）凹陷的位置上。

此外，在凸起 22 上用后续步骤层叠的半导体芯片的电极大的情况下，由于其孔也可增大，所以凸起 22 还可进一步增大。可省略图 2B 所示的使用了抗蚀剂的光刻步骤，即不用掩模就可以形成凸起 22。

（半导体器件）

图 4B 表示经上述步骤制造的半导体器件的图。该半导体器件包括具有多个电极 14 的半导体芯片 10 和从半导体芯片 10 的第 1 面（例如，形成电极 14 的面）突出的凸起 22（第 1 电气连接部）。在第 1 面上预先形成导电层 18，凸起 22 通过导电层 18 与各电极 14 电连接。导电层 18 通过半导体芯片 10 的第 2 面（与第 1 面相反的面）上形成的孔 26 而露出一部分。导电层 18 的露出部分成为第 2 电气连接部。第 2 电气连接部（导电层 18 的露出部分）形成在从第 2 面凹陷的位置。



此外，孔 26 或第 2 电气连接部（导电层 18 的露出部分）比导电层 18 的设置凸起 22 的部分形成得大。在孔 26 的内侧，导电层 18 为浮置的状态，凸起 22 由导电层 18（仅由导电层 18）来支撑。因此，凸起 22 上施加的应力通过导电层 18 被缓和。

5 其它的结构如上述制造方法中说明的那样。根据本实施例，在凹陷位置形成第 2 电气连接部（导电层 18 的露出部）。因此，如图 4C 所示，在多个半导体器件被叠置时（形成栈时），凸起 22（第 1 电气连接部）等端子变为从半导体芯片 10 的表面（第 2 面）进入的状态。这样一来，可以实现三维安装的半导体器件（叠置型半导体器件）的小型化和薄形化。

再有，在凸起 22（第 1 电气连接部）和导电层 18 的露出部（第 2 电气连接部）之间的接合上，可以采用 Ni-Ni、Au-Au、Au-Sn、焊锡等的金属接合，仅施加热、超声波振动、或施加超声波振动和热等来接合两者。接合后，两者的材料扩散，形成金属接合。

15 由于孔 26 形成在半导体芯片 10 中，所以最好使孔 26 的内面和凸起 22 之间电绝缘。为此，可以在孔 26 的内面形成绝缘膜，但也可以使孔 26 形成得比连接到导电部 18 的露出部的凸起 22 大。这样，凸起 22 便可从孔 26 中分离配置。通过分离孔 26 和凸起 22，在孔 26 的内面不形成可靠性高的（厚的）绝缘膜也可以。但是，即使不积极地形成绝缘膜，

20 在孔 26 的内面上大多用氧化膜等形成绝缘膜。

上下半导体芯片 10 可以用粘结剂等来粘结。作为粘结剂，可以使用各向异性导电粘结剂（ACA），例如各向异性导电膜（ACF）或各向异性导电膏（ACP）。各向异性导电粘结剂是将导电粒子（填料）分散在粘合料中，也有添加分散剂的情况。通过导电粒子，可以实现凸起 22（第

25 1 电气连接部）和导电层 18 的露出部（第 2 电气连接部）之间的电连接。作为各向异性粘结剂的粘合料，大多使用热固化性的粘结剂。

在图 4C 中，表示层叠采用本发明的多个半导体器件的叠置型半导体器件。该叠置型半导体器件在叠置多个半导体器件时（形成栈时），凸起 22（第 1 电气连接部）等端子为从半导体芯片 10 的表面（第 2 面）

30 进入的状态。因此，该叠置型半导体器件是小型化和薄形化的半导体器

件。

图 5 中进一步示出层叠半导体芯片 30 的半导体器件。详细地说，在层叠的多个半导体芯片 10 内，将半导体芯片 30 接合在位于形成孔 26 侧最外层的半导体芯片 10 上。半导体芯片 30 不限于应用本发明的半导体芯片，可以是裸芯片（倒装芯片），也可以是实施任何封装的半导体芯片。半导体芯片 30 有多个凸起 32，各凸起 32 通过半导体芯片 10 的孔 26 被接合到导电层 18 上。

（第 2 实施例）

图 6A~图 8C 是说明应用本发明的第 2 实施例的半导体器件的说明图。

本实施例中使用的半导体芯片 110 有多个电极 114。与第 1 实施例中说明的环状电极 14 不同，各电极 114 不必在中央形成孔，平面形状可以是矩形，可以是圆形，也可以是其它形状。多个电极 114 在半导体芯片 110 的一个面上，可以形成在中央部分，也可以形成在端部。在半导体芯片 110 形成矩形的情况下，电极 114 沿 4 边或平行的 2 边形成就可以。在半导体芯片 110 中，预先形成绝缘膜 112 和钝化膜 116，具体来说，与第 1 实施例中的说明相同。

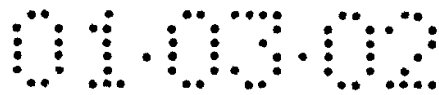
（半导体器件的制造方法）

在本实施例中，使用上述半导体芯片 110，按以下方法来制造半导体器件。以下的方法也可以应用于第 1 和第 2 实施例。

如图 6A 所示，从电极 114 上在其相邻的区域（在图 6A 所示的例中，在钝化膜 116 上）中形成导电层 118。导电层 118 在电极 114 上的大小为足够实现其与电极 114 之间良好的电连接，在与电极 114 的相邻区域中，可以形成凸起 122，并且比孔 126（参照图 7C）形成得大。导电层 118 的其它结构和形成方法可以应用第 1 实施例的导电层 18 的内容。

如图 6B 所示，在半导体芯片 110 的形成电极 114 的面上形成抗蚀剂 120，并对它进行构图。就其细节来说，可以采用与第 1 实施例的抗蚀剂 20 有关的内容。在抗蚀剂 120 中，在导电层 118 之上的避开电极 114 上面的位置上形成开口部。

如图 6C 所示，在抗蚀剂 120 的开口部中，通过无电解电镀来形成金



属层，从而形成凸起 122（第 1 电气连接部）。然后，如图 7A 所示，除去抗蚀剂 120。就凸起 122 的结构和其形成方法来说，可以采用第 1 实施例的说明凸起 22 的内容。再有，凸起 122 在导电层 118 上，形成在避开电极 114 上面的位置。

5 如图 7B 所示，在半导体芯片 110 上形成小孔 124。就小孔 124 来说，可以采用第 1 实施例的小孔 24 的内容。再有，将小孔 124 形成在凸起 122 的下方。

接着，如图 7C 所示，在半导体芯片 110 上形成孔 126。使上述小孔 124 扩大来形成孔 126。就孔 126 的形状和其形成方法来说，可以采用
10 第 1 实施例中说明的孔 26 的形状和其形成方法。为了阻止孔 126 的开口部的扩大，预先形成不被腐蚀的膜 128。

如图 8A 所示，对半导体芯片 110 进行研磨，如图 8B 所示，在孔 126 的内侧使导电层 118 露出。就这些方法来说，可以采用第 1 实施例中说明的内容。于是，通过孔 126 使导电层 118 的露出部分成为第 2 电气连
15 接部。第 2 电气连接部形成在从第 2 面（与电极 114 相反侧的面）凹陷的位置上。在本实施例中，由于不限定电极 114 的形状，所以可以使用一般使用的半导体芯片。其它效果与第 1 实施例相同。

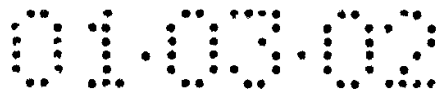
（半导体器件）

图 8B 表示应用本发明的半导体器件的图。本实施例的半导体器件在
20 电极 114 附近、即避开电极 114 上面的位置上形成凸起 122。根据本实施例，在凹陷位置上形成第 2 电气连接部（导电层 118 的露出部）。因此，如图 8C 所示，在叠置多个半导体芯片 110 时（形成栈时），凸起 122（第 1 电气连接部）等的端子变为从半导体芯片 110 的表面进入的状态。于是，可以使三维安装的半导体器件（叠置型半导体器件）实现小型化和薄形化。再有，电气的制造结构和半导体芯片的粘结手段与第 1 实
25 施例中说明的相同。

（第 3 实施例）

图 9A~图 12B 是说明应用本发明的第 3 实施例的半导体器件的图。在本实施例中，使用在第 2 实施例中说明的半导体芯片 110。

30 （半导体器件的制造方法）



如图 9A 所示，在电极 114 上形成导电层 218。导电层 218 最好完全覆盖电极 114 的表面。例如，如果电极 114 的端部用钝化膜 116 来覆盖，则至少在从钝化膜 116 露出的部分上形成导电层 218。再有，形成从电极 114 突出的导电层 218 也可以。导电层 218 的其它结构和形成方法可以
5 采用第 1 实施例的导电层 18 的内容。

如图 9B 所示，在形成半导体芯片 110 的电极 114 的面上形成抗蚀剂 220，对它进行构图。就其细节来说，可以采用第 1 实施例的抗蚀剂 20 的内容。抗蚀剂 220 在导电层 218 上面，在电极 114 的上方形成开口部。在与形成半导体芯片 110 的电极 114 的面相反的面上，也可以形成抗蚀剂
10 剂 221。这也适用于第 1 和第 2 实施例。

然后，如图 9B 所示，在抗蚀剂 220 和导电层 218 的上面设置催化剂 210。在本实施例中，催化剂 210 是钯。作为催化剂 210 的形成方法，例如将半导体芯片 110 浸泡在包含钯和锡的混合溶液中，然后，通过用盐酸等的酸来处理，就可以仅将钯设置在抗蚀剂 220 和导电层 218 的
15 上面。

接着，通过剥离抗蚀剂 220，可以仅在要形成凸起 222（参照图 9C）的区域上设置催化剂 210。在剥离抗蚀剂 220 时，可以照射紫外线，也可以浸泡在弱碱性的溶液中来使抗蚀剂 220 剥离。由此，可以容易并可靠地使抗蚀剂 220 剥离。再有，在剥离抗蚀剂 220 的同时，也将在其相
20 反侧形成的抗蚀剂 221 剥离。

然后，进行无电解电镀，形成如图 9C 所示的凸起 222。在用镍来形成凸起 222 的情况下，通过将半导体芯片 110 浸泡在镍电镀液中，以作为催化剂 210 的钯为核来还原溶液中的镍离子，使镍析出。或者，用铜或金形成凸起 222 也可以。此外，作为形成凸起 222 的导电材料，可以
25 使用多个不同种类的金属（例如，Ni+Cu、Ni+Au+Cu），由此，可以用多层来形成凸起 222。

在上述实施例中，在对抗蚀剂 220 进行构图后设置催化剂 210。然后通过使抗蚀剂 220 剥离，使催化剂 210 在凸起 222 的形成区域露出。与本实施例不同，在半导体芯片 110 上面，将催化剂 210 设置在整个面上
30 后，通过除了凸起 222 的形成区域以外对抗蚀剂 220 进行构图并设置，

结果也可以在凸起 222 的形成区域中使催化剂 210 露出。这种情况下，在结束形成凸起 222 后，对抗蚀剂 50 进行剥离。

接着，以凸起 222 作为掩模，或者如果需要，在凸起 222 上设置图中未示出的保护膜，如图 10A 所示，对导电层 218 进行腐蚀。这样得到的导电层 218 为不从凸起 222 中突出的形状，即为仅形成在凸起 222 下的形状。此外，如图 10A 所示，在与半导体芯片 110 的电极 114 相反侧的面上，预先形成后述的不被湿式腐蚀的膜 228。该膜 228 是氧化硅膜等，可以通过 CVD 来形成。

如图 10B 所示，用激光等来形成小孔 224，然后，如第 1 实施例中说明的那样，进行湿式腐蚀，研磨半导体芯片 110 的内表面（与电极 114 相反侧的面）。于是，如图 11A 所示，在半导体芯片 110 上形成孔 226。就孔 226 的形状来说，也可以采用第 1 实施例中说明的内容。

如图 11B 所示，至少在孔 226 的内面形成绝缘膜 228。然后，如图 11C 所示，通过孔 226 来腐蚀在电极 114 下形成的绝缘膜 112，使电极 114 通过孔 226 露出。

如图 12A 所示，至少在孔 226 的内侧的包括电极 114 的露出面的区域上设置催化剂 240。对于催化剂 240 的内容和设置它的方法来说，可以采用图 9B 所示的催化剂 210 的内容和设置它的方法。再有，预先形成孔 226，在台阶差大的情况下，也可以形成干膜来代替液状的抗蚀剂。

然后，如图 12B 所示，通过孔 226 在电极 114 的内表面（露出面）上形成导电层 242。如图 12B 所示，与半导体芯片 110 的形成凸起 222 的面相反侧的面（也可以是绝缘膜 230 的表面）相比，导电层 242 形成在凹陷的位置上。导电层 242 由金属导电膏、软钎料等钎焊料形成，大多用电镀、印刷、分配器等方法来形成。也可以将该导电层 242 作为电气、机械的接合部件与凸起 222 进行接合。

根据本实施例，在凹陷位置形成第 2 电气连接部（导电层 242）。因此，在叠置多个半导体器件时（形成栈时），凸起 222（第 1 电气连接部）等端子变为从半导体芯片 110 的表面进入的状态。于是，可以实现三维安装的半导体器件（叠置型半导体器件）的小型化和薄形化。再有，就电气的制造结构和半导体芯片的粘结方法来说，与第 1 实施例中说明的

相同。

(其它实施例)

上述步骤是针对半导体芯片 10 进行的，但也可以对半导体晶片进行上述步骤。例如，如图 13 所示，对半导体晶片 300 进行上述步骤，可以形成第 1 电气连接部（凸起 22）和第 2 电气连接部（导电层 18 的露出部）。对该半导体晶片 300 进行切割，可以得到半导体器件。

图 14 表示安装本实施例的半导体器件 1 的电路板 1000。电路板 1000 一般是使用例如玻璃环氧基板等有机系基板。在电路基板 1000 上按期望的电路来形成例如铜等组成的布线图形，通过将 these 布线图形与半导体器件 1 的连接部（例如，作为第 1 电气连接部的凸起 22）进行机械连接来实现它们之间的电导通。

作为具有应用本发明的半导体器件 1 的电子装置，图 15 示出笔记本型个人计算机 2000，而图 16 示出携带电话 3000。

再有，将上述实施例的‘半导体芯片’置换为‘电子元件’，可以制造电子部件。作为使用这样的电子元件制造的电子部件，例如有光元件、电阻器、电容器、线圈、振荡器、滤波器、温度传感器、热敏电阻、可变电阻、电位器或保险丝等。

说明书附图

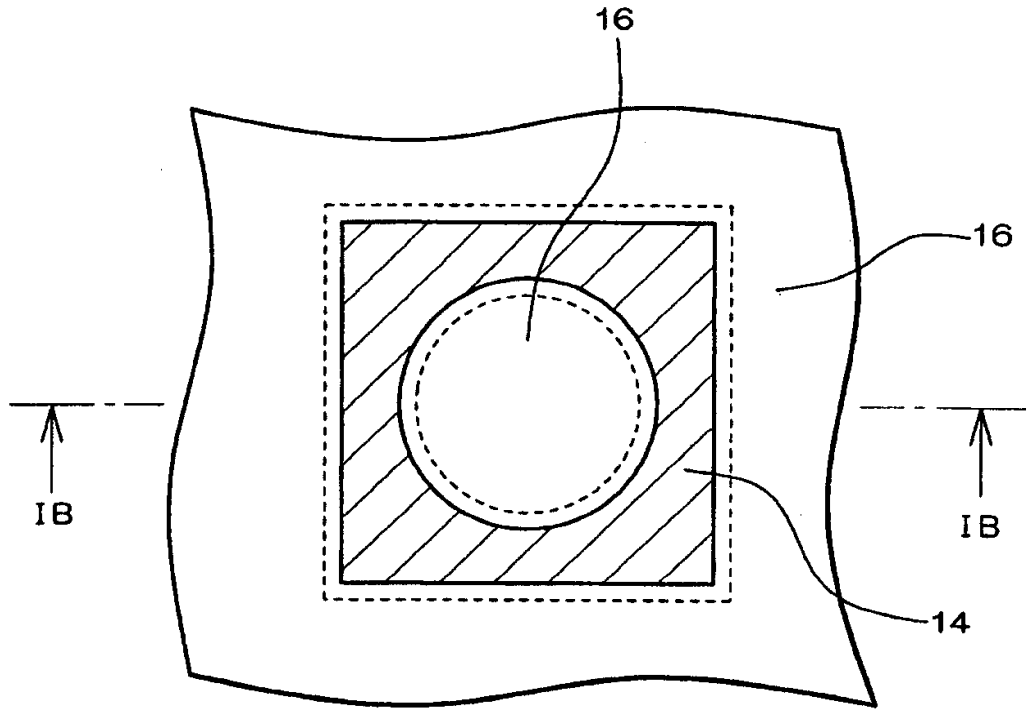


图 1A

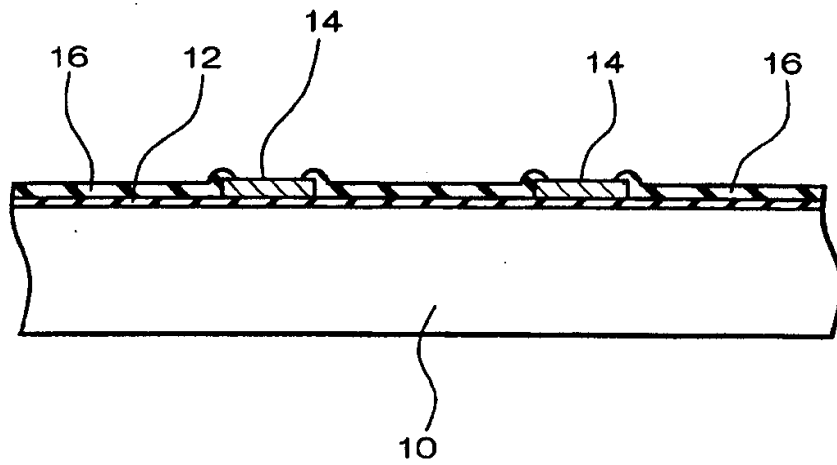


图 1B

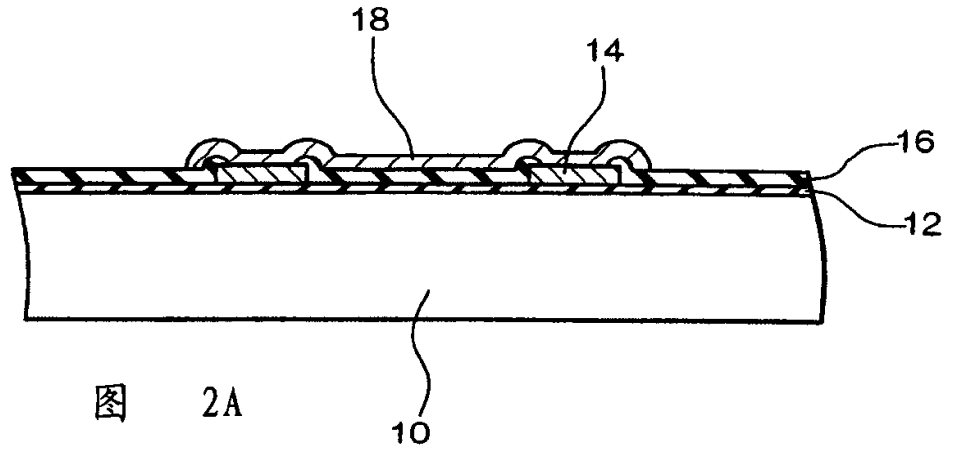


图 2A

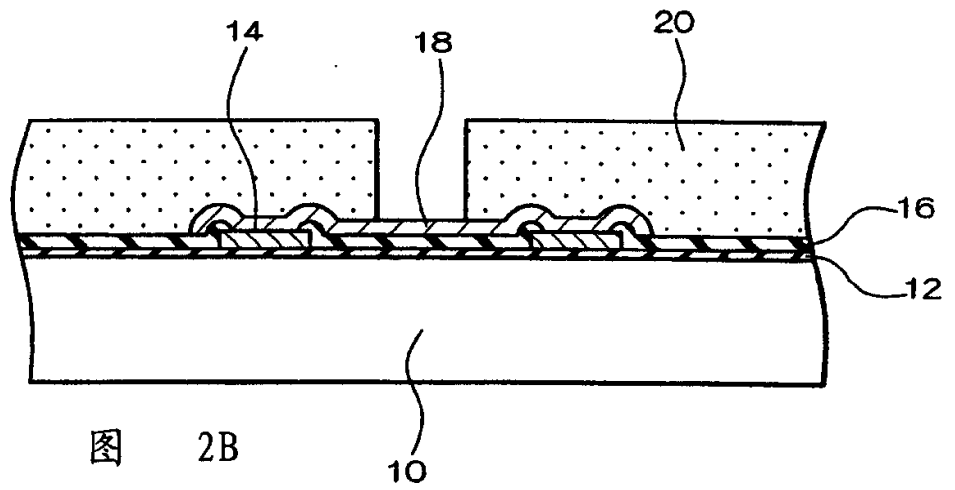


图 2B

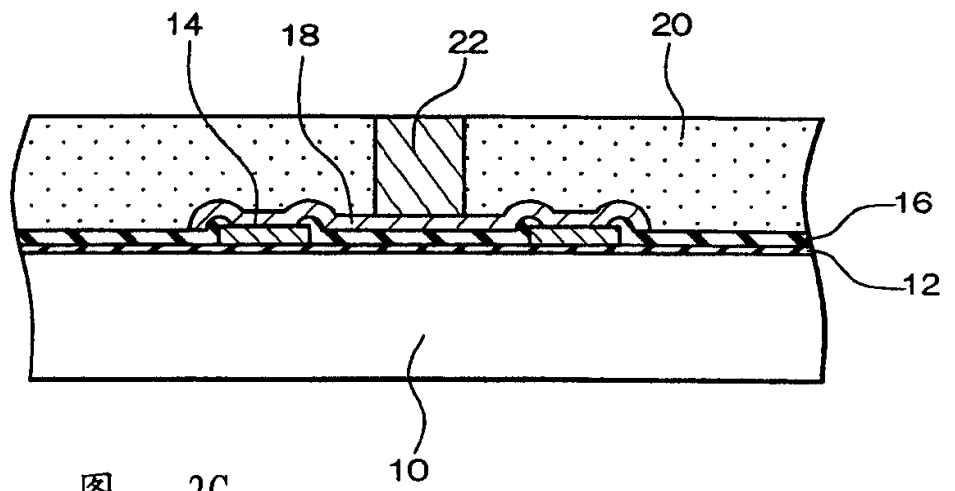
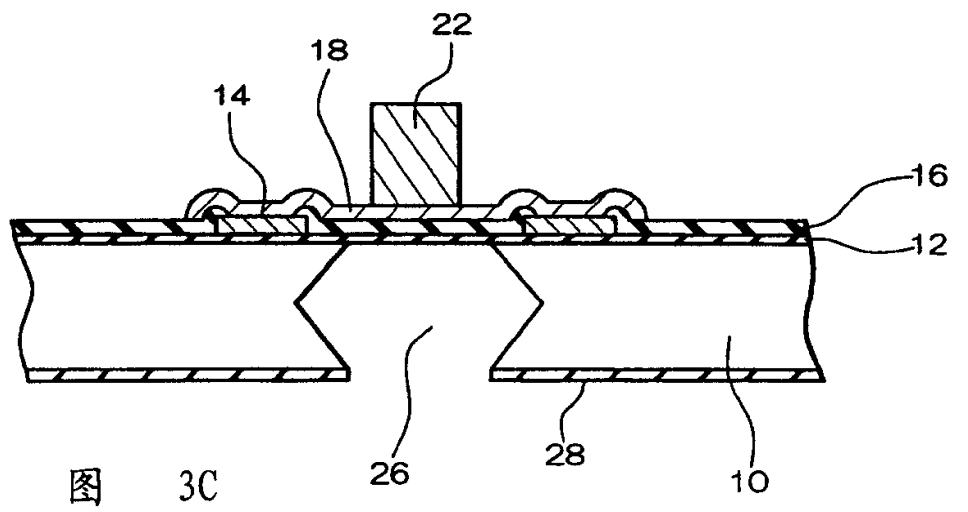
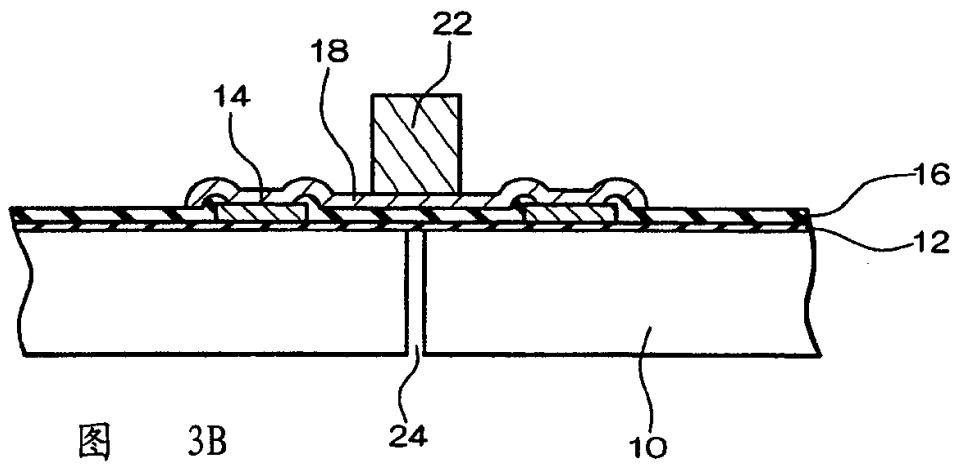
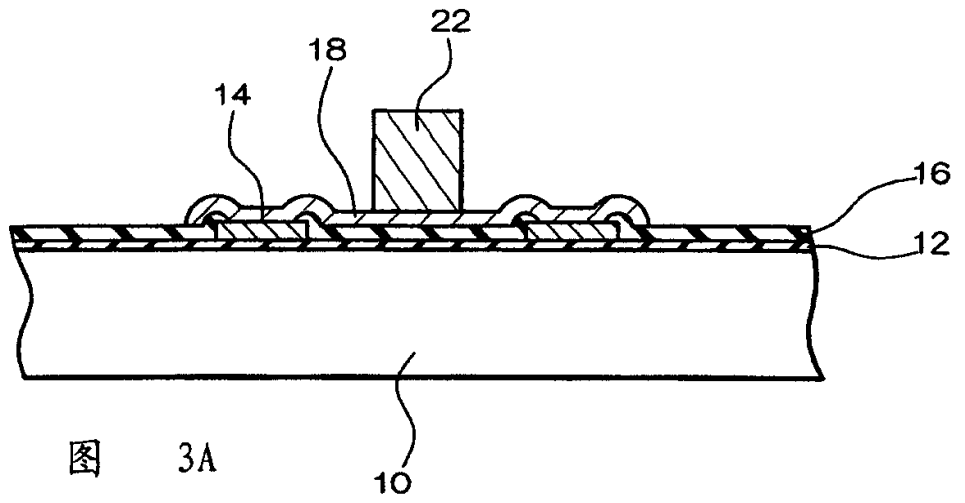
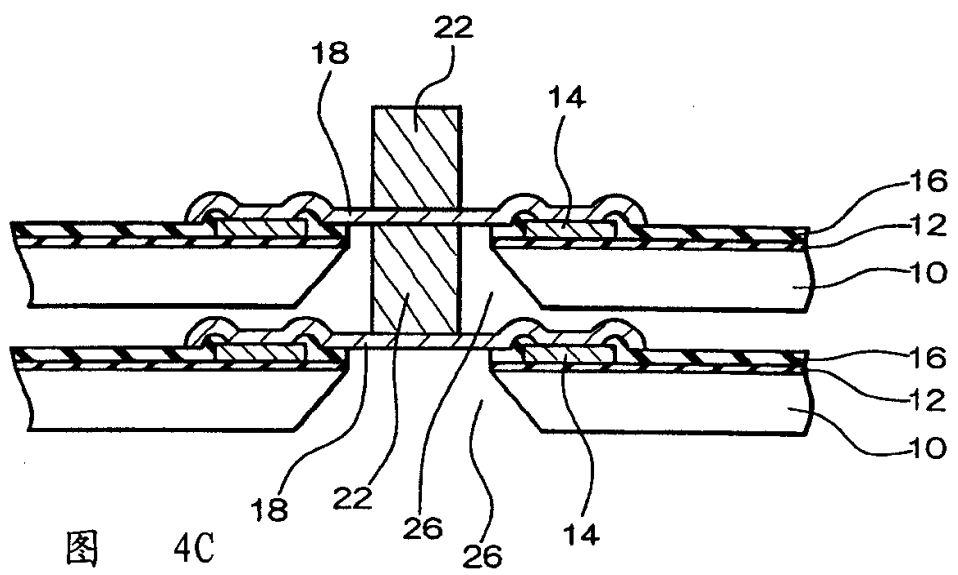
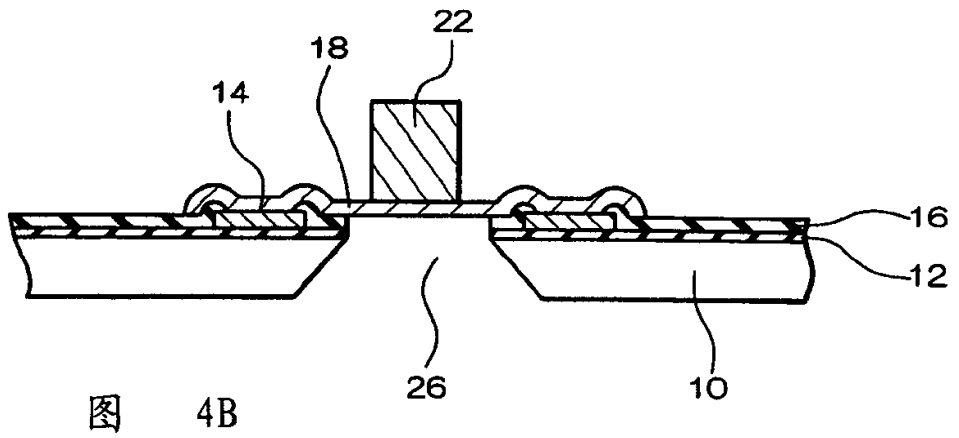
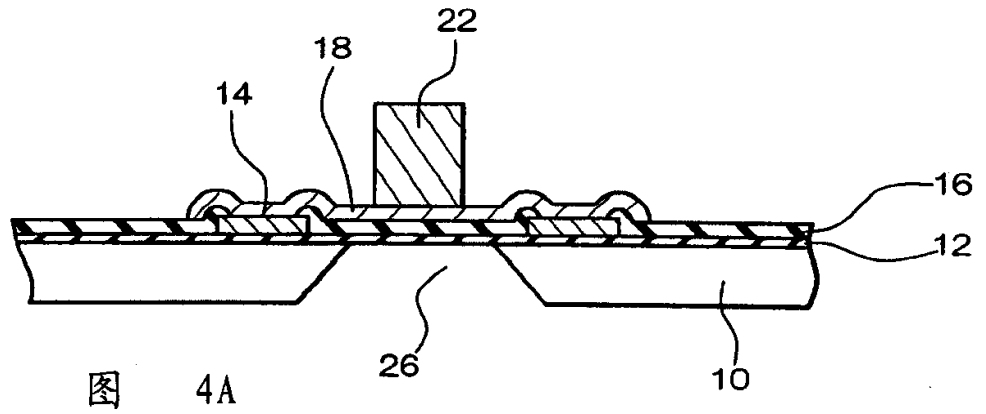


图 2C





01.03.02

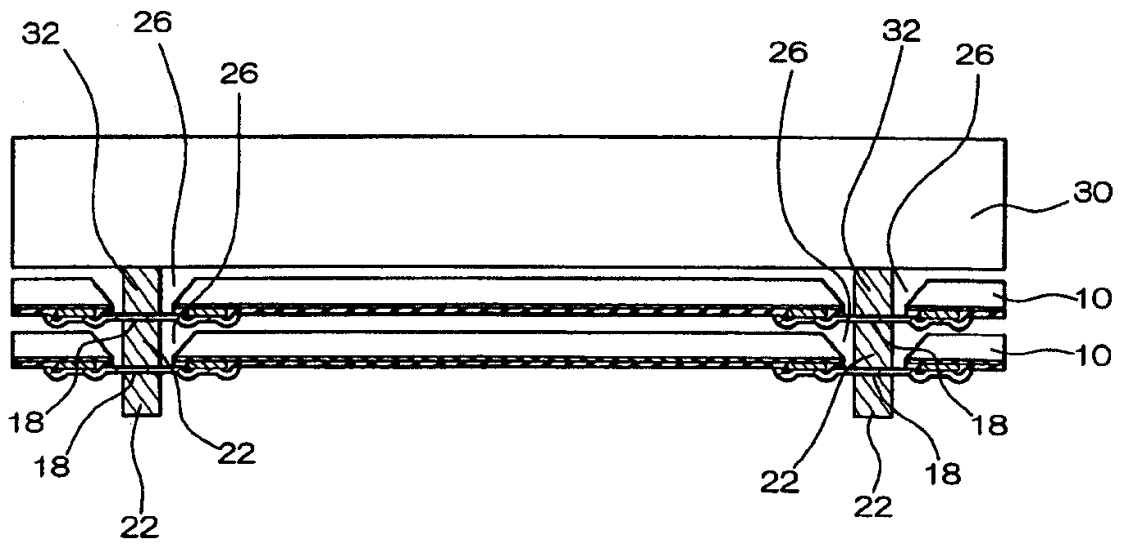


图 5

01.03.02

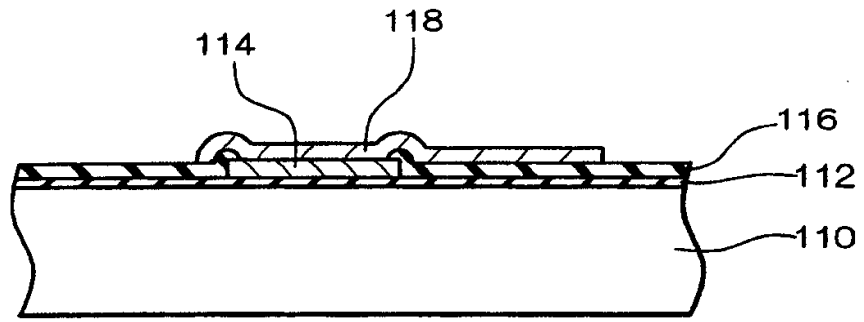


图 6A

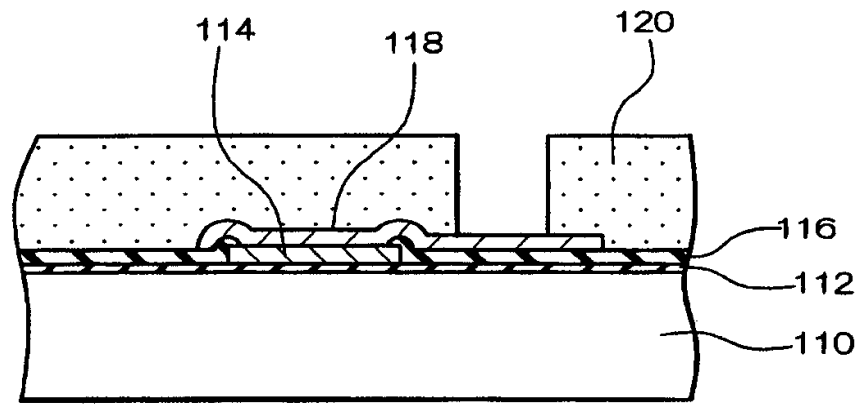


图 6B

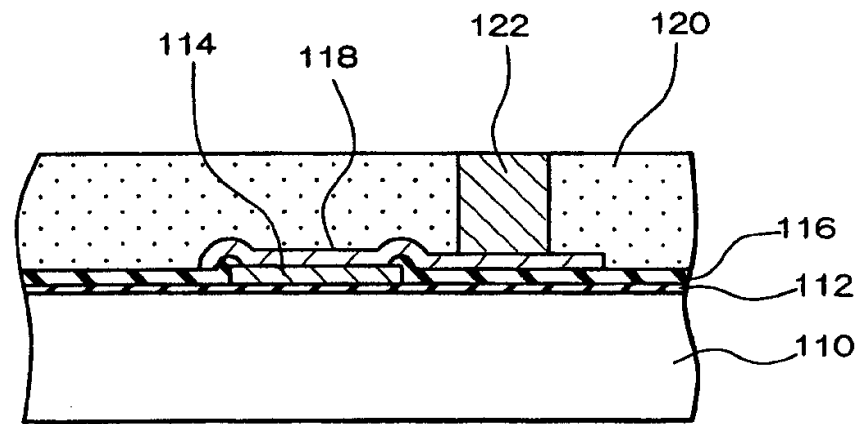


图 6C

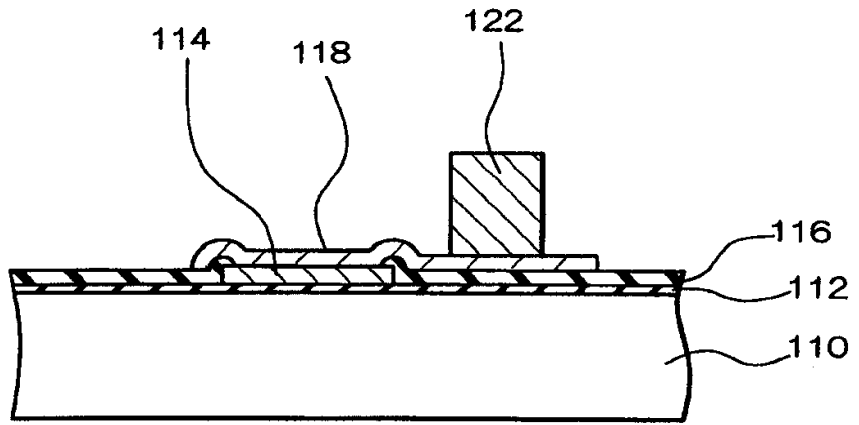


图 7A

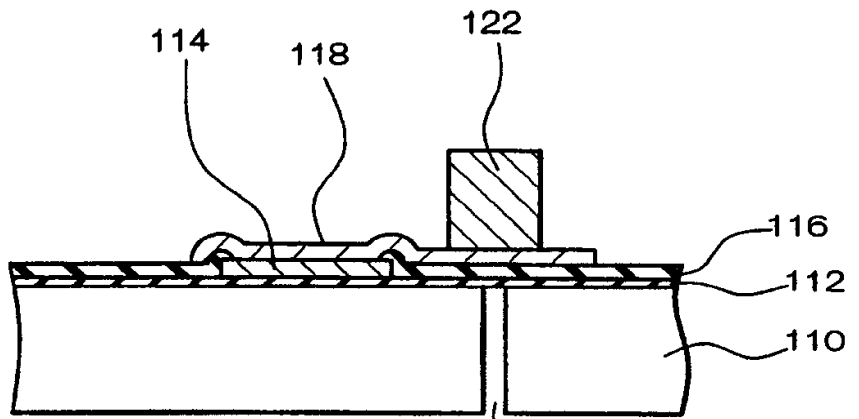


图 7B

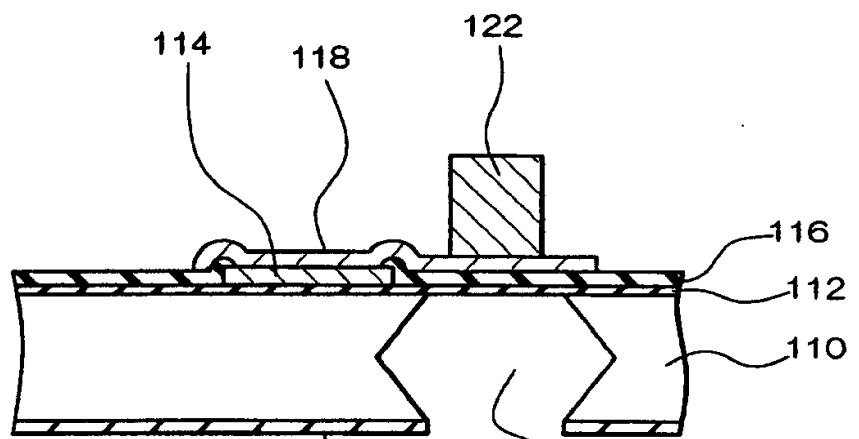


图 7C

01.03.02

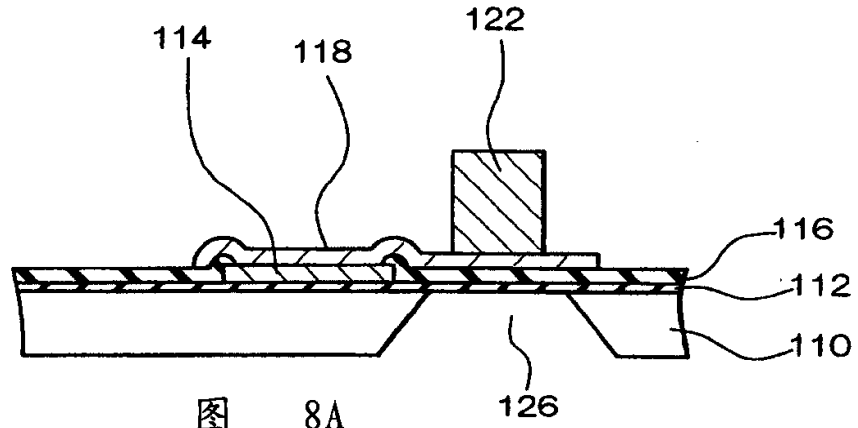


图 8A

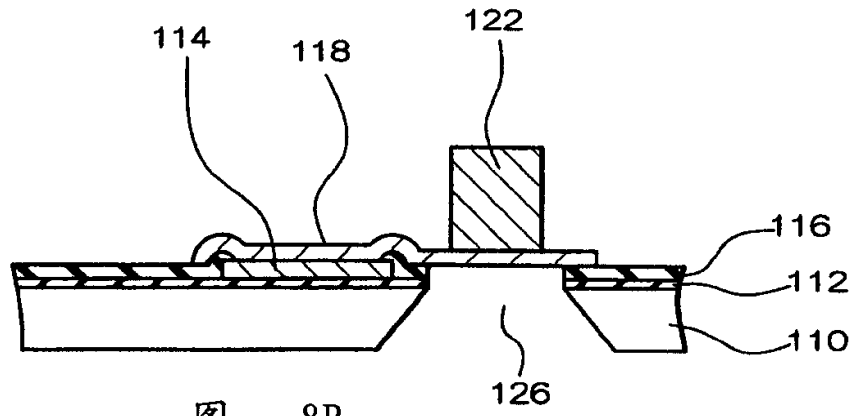


图 8B

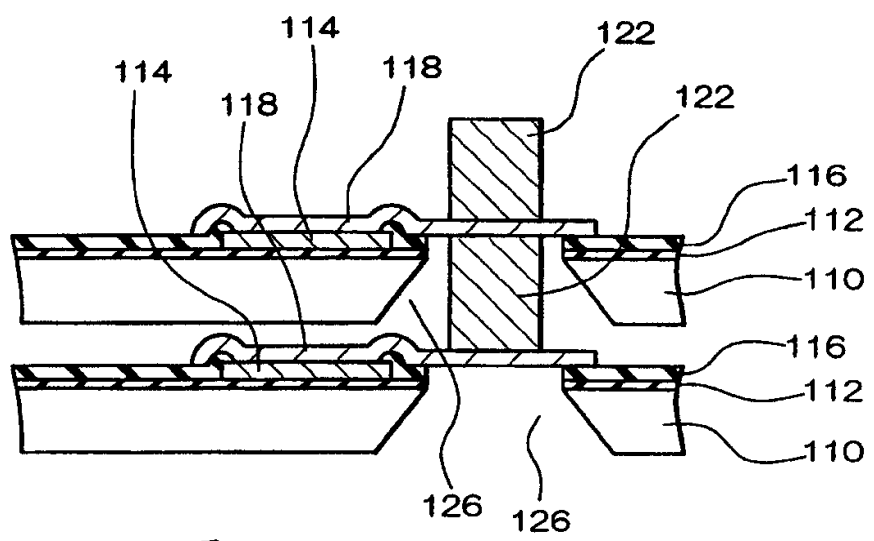


图 8C

01.03.02

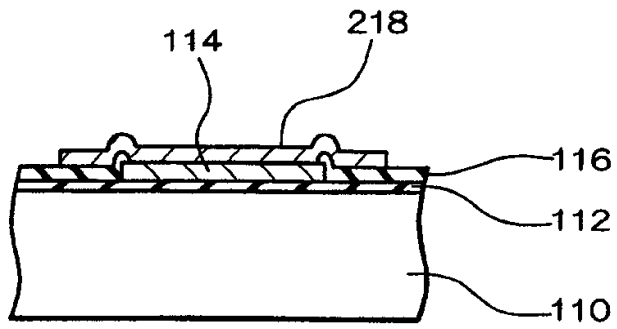


图 9A

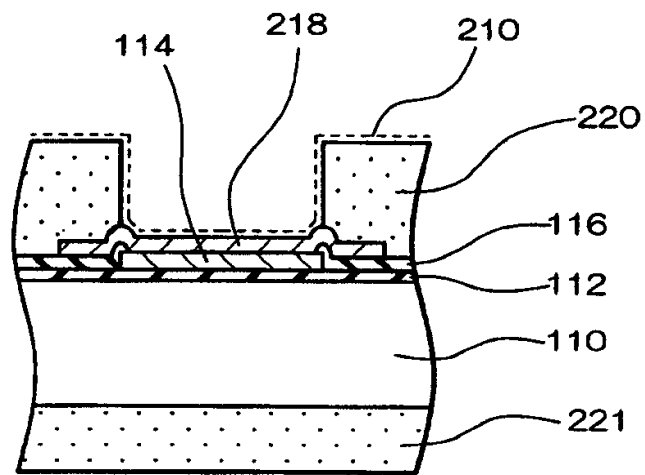


图 9B

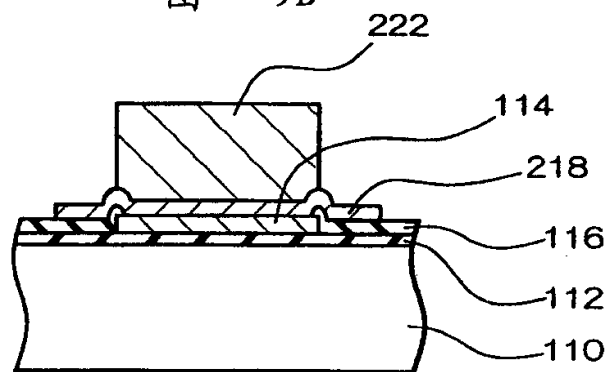


图 9C

01.05.02

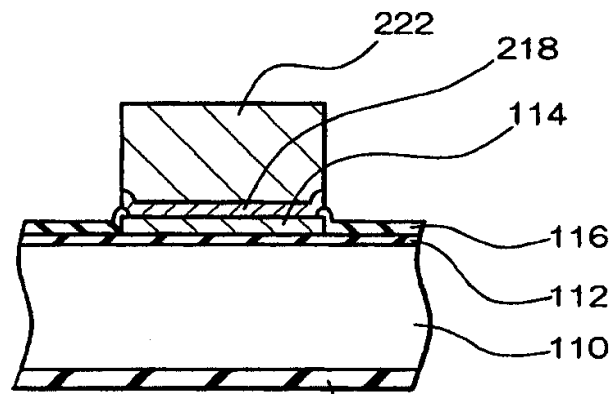


图 10A 228

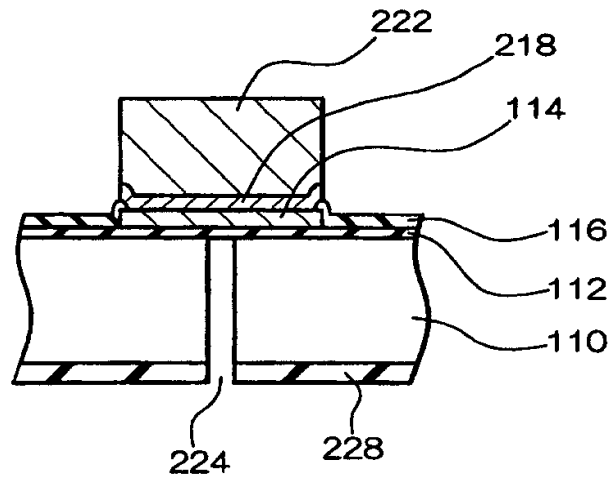


图 10B

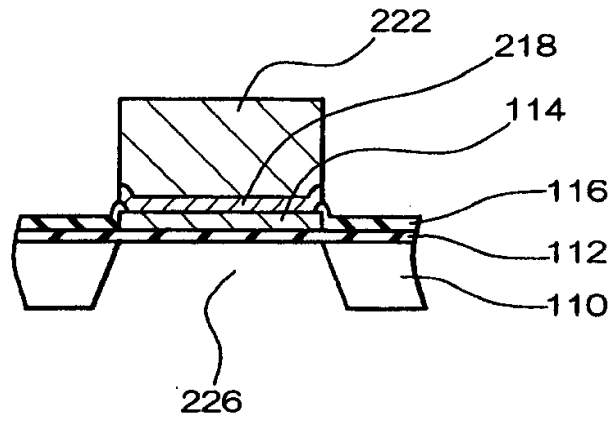


图 11A

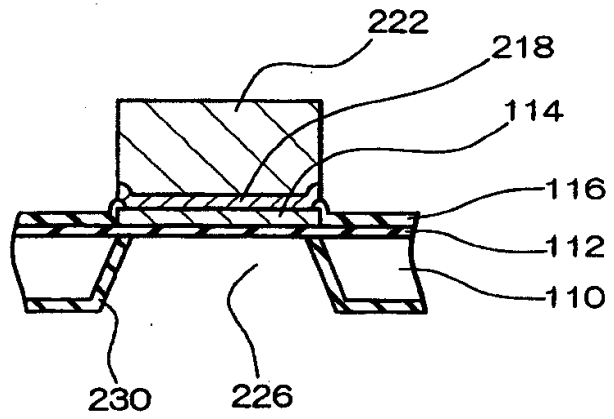


图 11B

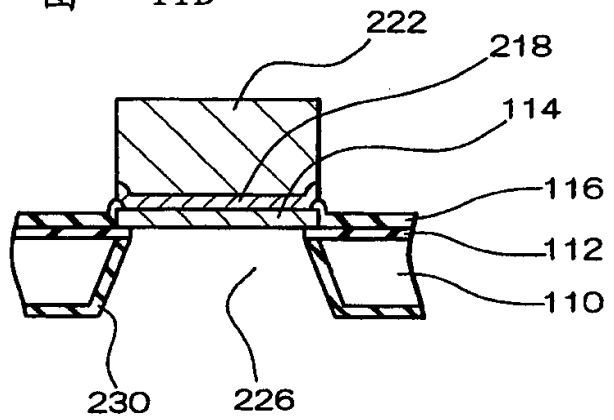


图 11C

01.03.02

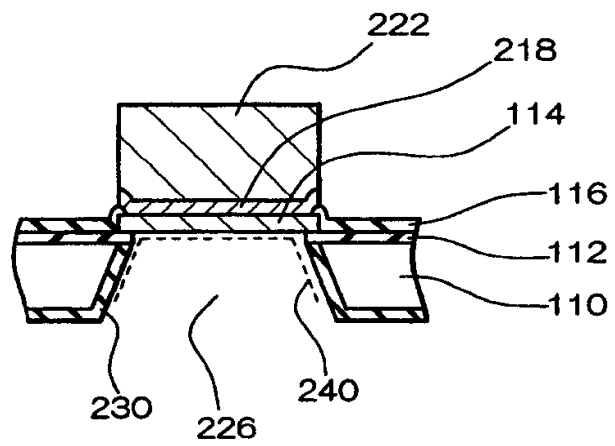


图 12A

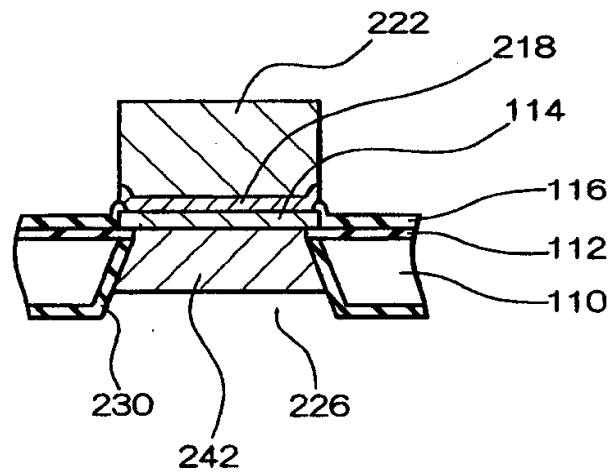


图 12B

01.03.02

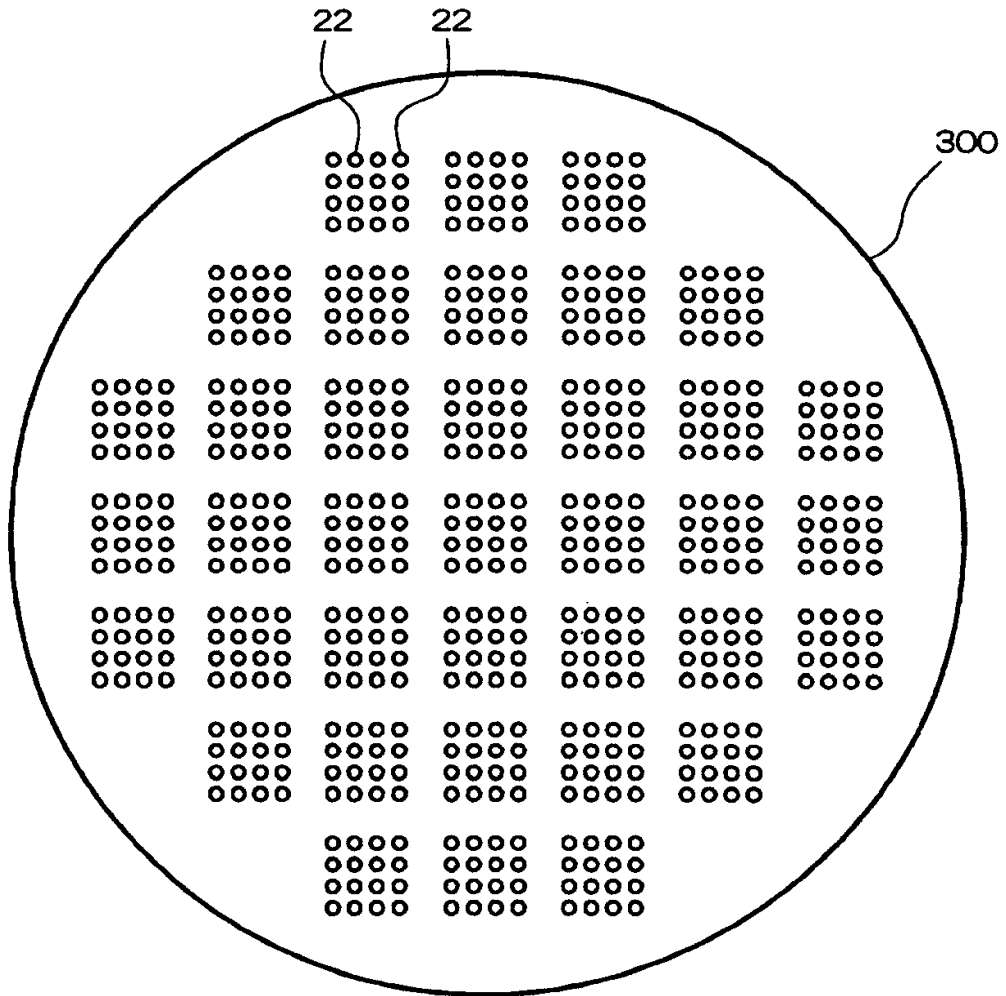


图 13

01.03.02

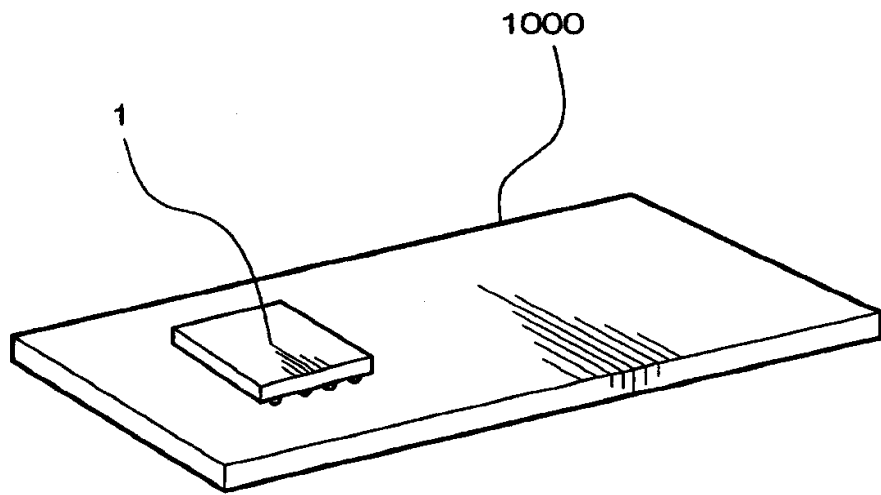


图 14

010300

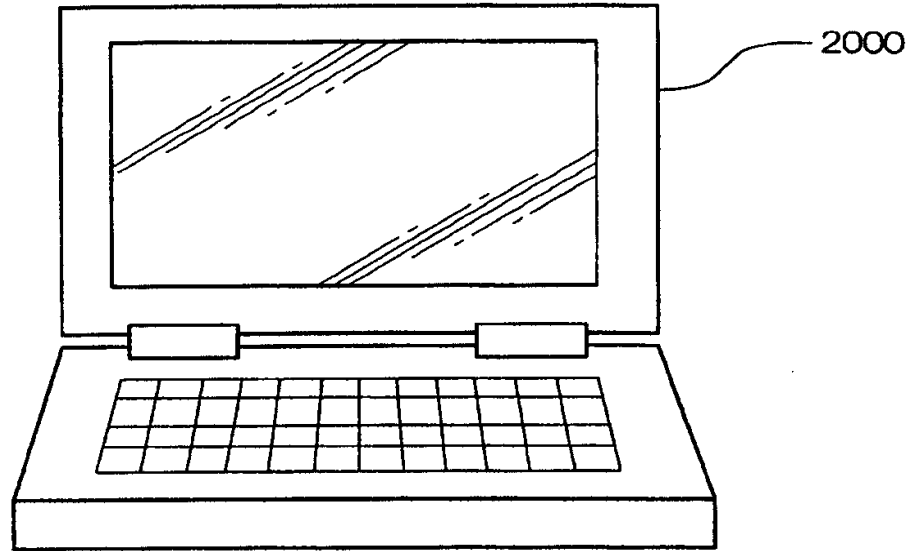


图 15

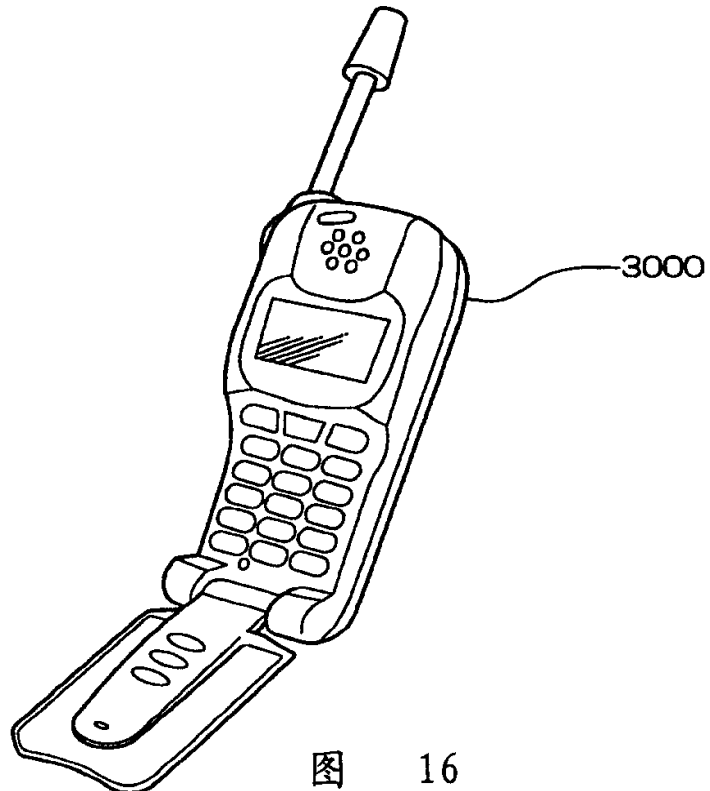


图 16