



# (12)发明专利申请

(10)申请公布号 CN 109671702 A

(43)申请公布日 2019.04.23

(21)申请号 201811194232.X

(22)申请日 2018.10.12

(30)优先权数据

15/783,232 2017.10.13 US

(71)申请人 恩智浦有限公司

地址 荷兰埃因霍温高科技园区60邮编:  
5656AG

(72)发明人 简·克拉斯 斯蒂芬·约翰·斯奎

马尔腾·雅各布斯·斯万内堡  
赖大伟

(74)专利代理机构 中科专利商标代理有限责任  
公司 11021

代理人 潘军

(51)Int.Cl.

H01L 27/02(2006.01)

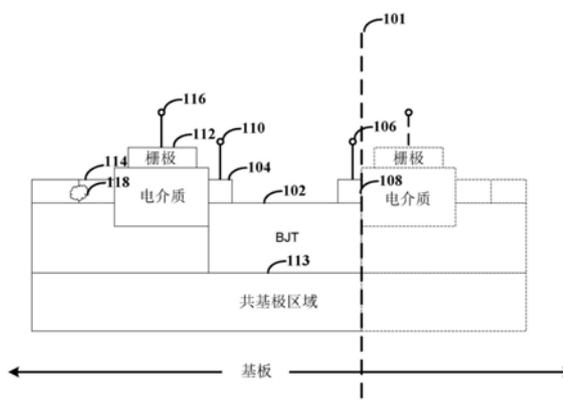
权利要求书2页 说明书13页 附图6页

(54)发明名称

静电放电保护设备

(57)摘要

各个实施例涉及静电放电(ESD)保护设备,其包括具有端的双极结型晶体管(BJT)、具有端的场效应晶体管(FET),以及连接到重组区域的共基极区域。所述BJT和所述FET彼此集成,并且包括由所述BJT和所述FET共用的公共区域。所述BJT和所述FET响应于所述端中的一个或多个端处的过量但可容忍的非ESD电压变化而通过使所述共基极区域的电位跟随所述BJT的所述端之一的电位来共同地偏置所述共基极区域并且防止所述BJT的触发。



1. 一种静电放电 (ESD) 保护设备, 其特征在于, 其包括:

  双极结型晶体管 (BJT), 其具有包括发射极、基极以及集电极的端;

  场效应晶体管 (FET), 其具有包括栅极、源极以及漏极的端; 以及

  共基极区域, 其连接到重组区域,

  其中所述BJT和所述FET彼此集成并且包括由所述BJT和所述FET共用的公共区域, 并且共同地被配置和布置成响应于所述端中的一个或多个端处的过量但可容忍的非ESD电压变化而通过使所述共基极区域的电位跟随所述BJT的所述端之一的电位来偏置所述共基极区域并且防止所述BJT的触发。

2. 根据权利要求1所述的ESD保护设备, 其特征在于, 所述公共区域是由所述BJT和所述FET中的每一个共用的端, 并且所述BJT的所述基极形成所述共基极区域的一部分, 并且其中所述过量但可容忍的非ESD电压变化超过用于电路操作的典型电压, 并且小于针对所述BJT激活进行ESD保护设定的ESD触发电压。

3. 根据权利要求1所述的ESD保护设备, 其特征在于, 其进一步包括横向BJT, 所述横向BJT具有包括发射极、基极以及集电极的端, 其中所述横向BJT与所述BJT和所述FET共用所述公共区域, 并且其中所述重组区域与所述BJT的所述端之一相邻。

4. 根据权利要求3所述的ESD保护设备, 其特征在于, 所述共基极区域包括所述BJT的基极区域和所述横向BJT的基极区域。

5. 根据权利要求1所述的ESD保护设备, 其特征在于, 其进一步包括:

  横向BJT, 其具有包括发射极、基极以及集电极的端, 以及

  与所述横向BJT相邻的P和N区域, 所述P和N区域被配置和布置成在所述P区域与所述N区域之间的结处形成重组区域, 其中所述横向BJT的所述端之一是由所述BJT、所述FET以及所述横向BJT共同地共用的所述公共区域, 而所述横向BJT的所述端中的另一个端与和所述横向BJT相邻的所述P和N区域之一接触。

6. 根据权利要求1所述的ESD保护设备, 其特征在于, 所述FET的所述栅极连接到接地和输入/输出端之一, 所述输入/输出端被配置和布置成接收与过量但可允许的非ESD电压变化对应的输入/输出电压。

7. 根据权利要求1所述的ESD保护设备, 其特征在于, 所述ESD保护设备进一步包括:

  具有包括栅极、源极以及漏极的端的另一个FET, 其中所述BJT和所述另一个FET彼此集成并且包括由所述BJT和所述另一个FET共用的另一个公共区域, 并且共同地被配置和布置成响应于在所述端中的所述一个或多个端处的相反极性的另一个过量但可容忍的非ESD电压变化而通过使所述共基极区域的所述电位跟随所述BJT的另一个端的电位来偏置所述共基极区域并且防止所述BJT的触发。

8. 根据权利要求1所述的ESD保护设备, 其特征在于, 所述共基极区域是浮置的或者具有高阻抗负载。

9. 一种静电放电 (ESD) 保护设备, 其特征在于, 其包括:

  双极结型晶体管 (BJT), 其具有包括发射极、基极以及集电极的端;

  第一场效应晶体管 (FET) 和第二FET, 第一和第二FET中的每一个具有包括栅极、源极以及漏极的端; 以及

  共基极区域, 其连接到第一重组区域和第二重组区域,

其中所述BJT和所述第一FET彼此集成并且包括由所述BJT和所述第一FET共用的第一公共区域,并且共同地被配置和布置成响应于在所述BJT的所述端处的第一极性的过量但可容忍的非ESD电压变化而通过激活所述第一FET并使所述共基极区域的电位跟随所述BJT的所述端之一的电位来偏置所述共基极区域以防止所述BJT的触发,并且

其中所述BJT和所述第二FET彼此集成并且包括由所述BJT和所述第二FET共用的第二公共区域,并且共同地被配置和布置成响应于在所述BJT的所述端处的与所述第一极性相反极性的另一个过量但可容忍的非ESD电压变化而通过激活所述第二FET并使所述共基极区域的所述电位跟随所述BJT的所述端中的另一个端的电位来偏置所述共基极区域以防止所述BJT的触发。

10. 一种静电放电 (ESD) 保护设备,其特征在于,其包括:

双极结型晶体管 (BJT),其具有包括发射极、基极以及集电极的端;

第一场效应晶体管 (FET),其具有包括栅极、源极以及漏极的端;

共基极区域,其连接到第一重组区域并且包括所述BJT的所述基极;以及

第一横向BJT,其具有包括发射极、基极以及集电极的端,其中所述第一重组区域与所述第一横向BJT的所述端之一相邻,并且

其中所述BJT、所述第一FET以及所述第一横向BJT彼此集成并且包括由所述BJT、所述第一FET以及所述第一横向BJT共用的第一公共区域,并且共同地被配置和布置成响应于在所述BJT的所述端处的第一极性的第一过量但可容忍的非ESD电压变化而通过激活所述第一FET并使所述共基极区域的电位跟随所述BJT的所述端之一的电位来偏置所述共基极区域以防止所述BJT的触发。

## 静电放电保护设备

### 技术领域

[0001] 各个实施例的各方面涉及一种静电放电 (ESD) 保护设备。

### 背景技术

[0002] ESD保护设备可以用于对设备提供保护以免受ESD事件的影响。诸如ESD事件等瞬变可能会导致超过设备的电压处理能力,这可能会导致损坏设备电路系统。ESD保护装置可以用于在ESD事件期间将电流分流到接地。各种ESD保护装置可以是单向的或双向的。单向装置针对过量正电压或过量负电压提供ESD保护,但是不能同时为这两者提供ESD保护。双向ESD保护装置可以对与ESD事件相关的正电压和负电压这两者提供保护。

[0003] 与许多集成电路系统设计一样,ESD保护电路系统的可用电路面积(也称为不动产)通常是成问题的。当ESD保护意图针对的核心操作电路的电气规范是复杂的或非常庞大时,这尤其如此。在限制电路面积可用性的这些和其它情况下,有时基于电路面积的可用性而不是ESD保护电路系统可能提供的ESD保护的稳健性来选择用于提供ESD保护的电路类型。对于低风险承受的核心操作电路系统,通常不能选择牺牲ESD保护的稳健性。

[0004] 对于各种应用,这些和其它问题对ESD保护实施的效率提出了挑战。

### 发明内容

[0005] 各种示例性实施例涉及诸如上面提到的那些和/或其它问题,这些问题可以从以下关于ESD保护装置的公开内容变得显而易见,这些ESD保护装置通过引起共基极区域的偏置来防止ESD保护的触发。

[0006] 根据本发明的第一方面,提供一种静电放电 (ESD) 保护设备,其包括:

[0007] 双极结型晶体管 (BJT),其具有包括发射极、基极以及集电极的端;

[0008] 场效应晶体管 (FET),其具有包括栅极、源极以及漏极的端;以及

[0009] 共基极区域,其连接到重组区域,

[0010] 其中所述BJT和所述FET彼此集成并且包括由所述BJT和所述FET共用的公共区域,并且共同地被配置和布置成响应于所述端中的一个或多个端处的过量但可容忍的非ESD电压变化而通过使所述共基极区域的电位跟随所述BJT的所述端之一的电位来偏置所述共基极区域并且防止所述BJT的触发。

[0011] 在一个或多个实施例中,所述公共区域是由所述BJT和所述FET中的每一个共用的端,并且所述BJT的所述基极形成所述共基极区域的一部分,并且其中所述过量但可容忍的非ESD电压变化超过用于电路操作的典型电压,并且小于针对所述BJT激活进行ESD保护设定的ESD触发电压。

[0012] 在一个或多个实施例中,所述ESD保护设备进一步包括横向BJT,所述横向BJT具有包括发射极、基极以及集电极的端,其中所述横向BJT与所述BJT和所述FET共用所述公共区域,并且其中所述重组区域与所述BJT的所述端之一相邻。

[0013] 在一个或多个实施例中,所述共基极区域包括所述BJT的基极区域和所述横向BJT

的基极区域。

[0014] 在一个或多个实施例中,所述ESD保护设备进一步包括:

[0015] 横向BJT,其具有包括发射极、基极以及集电极的端,以及

[0016] 与所述横向BJT相邻的P和N区域,所述P和N区域被配置和布置成在所述P区域与所述N区域之间的结处形成重组区域,其中所述横向BJT的所述端之一是由所述BJT、所述FET以及所述横向BJT共同地共用的所述公共区域,而所述横向BJT的所述端中的另一个端与和所述横向BJT相邻的所述P和N区域之一接触。

[0017] 在一个或多个实施例中,所述FET的所述栅极连接到接地和输入/输出端之一,所述输入/输出端被配置和布置成接收与过量但可允许的非ESD电压变化对应的输入/输出电压。

[0018] 在一个或多个实施例中,所述ESD保护设备进一步包括:

[0019] 具有包括栅极、源极以及漏极的端的另一个FET,其中所述BJT和所述另一个FET彼此集成并且包括由所述BJT和所述另一个FET共用的另一个公共区域,并且共同地被配置和布置成响应于在所述端中的所述一个或多个端处的相反极性的另一个过量但可容忍的非ESD电压变化而通过使所述共基极区域的所述电位跟随所述BJT的另一个端的电位来偏置所述共基极区域并且防止所述BJT的触发。

[0020] 在一个或多个实施例中,所述FET的所述栅极连接到接地,并且所述另一FET的所述栅极连接到输入/输出端,所述输入/输出端被配置和布置成接收与所述过量但可容忍的非ESD电压变化和所述另一个过量但可容忍的非ESD电压变化对应的输入/输出电压。

[0021] 在一个或多个实施例中,所述ESD保护设备进一步包括第一和第二横向BJT,每个横向BJT具有包括发射极、基极以及集电极的端,其中:

[0022] 所述第一横向BJT被配置和布置成与所述BJT的发射极侧相邻,并且所述公共区域由所述FET、所述BJT以及所述第一横向BJT共用,并且

[0023] 所述第二横向BJT与所述BJT的集电极侧相邻,并且所述另一个公共区域由所述另一个FET、所述BJT以及所述第二横向BJT共用。

[0024] 在一个或多个实施例中,所述共基极区域是浮置的或者具有高阻抗负载。

[0025] 根据本发明的第二方面,提供一种静电放电(ESD)保护设备,其包括:

[0026] 双极结型晶体管(BJT),其具有包括发射极、基极以及集电极的端;

[0027] 第一场效应晶体管(FET)和第二FET,第一和第二FET中的每一个具有包括栅极、源极以及漏极的端;以及

[0028] 共基极区域,其连接到第一重组区域和第二重组区域,

[0029] 其中所述BJT和所述第一FET彼此集成并且包括由所述BJT和所述第一FET共用的第一公共区域,并且共同地被配置和布置成响应于在所述BJT的所述端处的第一极性的过量但可容忍的非ESD电压变化而通过激活所述第一FET并使所述共基极区域电位跟随所述BJT的所述端之一的电位来偏置所述共基极区域以防止所述BJT的触发,并且

[0030] 其中所述BJT和所述第二FET彼此集成并且包括由所述BJT和所述第二FET共用的第二公共区域,并且共同地被配置和布置成响应于在所述BJT的所述端处的与所述第一极性相反极性的另一个过量但可容忍的非ESD电压变化而通过激活所述第二FET并使所述共基极区域的所述电位跟随所述BJT的所述端中的另一个端的电位来偏置所述共基极区域以

防止所述BJT的触发。

[0031] 在一个或多个实施例中,所述另一个过量但可容忍的非ESD电压变化包括负电压,并且所述过量但可容忍的非ESD电压变化包括正电压。

[0032] 在一个或多个实施例中,所述BJT是PNP型晶体管,所述第一和第二FET是P型FET,并且所述共基极区域是n掺杂的。

[0033] 在一个或多个实施例中,所述BJT是NPN型晶体管,并且所述第一和第二FET是N型FET,并且所述共基极区域是p掺杂的。

[0034] 在一个或多个实施例中,所述ESD保护设备进一步包括:

[0035] 第一横向BJT,其具有包括发射极、基极以及集电极的端,其中所述第一重组区域与所述第一横向BJT的所述端之一相邻;以及

[0036] 第二横向BJT,其具有包括发射极、基极以及集电极的端,其中所述第二重组区域与所述第二横向BJT的所述端之一相邻,并且所述共基极区域包括所述BJT、所述第一横向BJT以及所述第二横向BJT中的每一个的基极区域。

[0037] 在一个或多个实施例中,所述BJT与所述第一FET、所述第二FET、所述第一横向BJT以及所述第二横向BJT集成,并且共同地被配置和布置成:

[0038] 响应于所述BJT的所述端处的所述第一极性的所述过量但可容忍的非ESD电压变化而通过激活所述第一FET并经由所述第一FET和所述第一横向BJT将空穴电流流到所述第一重组区域来偏置所述共基极区域以防止所述BJT的触发,由此使所述共基极区域电位跟随所述BJT的所述端的所述电位;并且

[0039] 响应于所述BJT的所述端处的所述另一个过量但可容忍的非ESD电压变化而通过激活所述第二FET并经由所述第二FET和所述第二横向BJT将空穴电流流到所述第二重组区域来偏置所述共基极区域以防止所述BJT的触发,由此使所述共基极区域电位跟随所述BJT的所述另一个端的所述电位。

[0040] 在一个或多个实施例中,所述ESD保护设备进一步包括与所述第一和第二横向BJT中的每一个相邻的P和N区域,所述P和N区域被配置和布置成分别在所述P区域与所述N区域之间的结处形成所述第一和第二重组区域。

[0041] 根据本发明的第三方面,提供一种静电放电(ESD)保护设备,其包括:

[0042] 双极结型晶体管(BJT),其具有包括发射极、基极以及集电极的端;

[0043] 第一场效应晶体管(FET),其具有包括栅极、源极以及漏极的端;

[0044] 共基极区域,其连接到第一重组区域并且包括所述BJT的所述基极;以及

[0045] 第一横向BJT,其具有包括发射极、基极以及集电极的端,其中所述第一重组区域与所述第一横向BJT的所述端之一相邻,并且

[0046] 其中所述BJT、所述第一FET以及所述第一横向BJT彼此集成并且包括由所述BJT、所述第一FET以及所述第一横向BJT共用的第一公共区域,并且共同地被配置和布置成响应于在所述BJT的所述端处的第一极性的第一过量但可容忍的非ESD电压变化而通过激活所述第一FET并使所述共基极区域的电位跟随所述BJT的所述端之一的电位来偏置所述共基极区域以防止所述BJT的触发。

[0047] 在一个或多个实施例中,所述ESD保护设备进一步包括:

[0048] 第二FET,其具有包括栅极、源极以及漏极的端,其中所述共基极区域连接到第二

重组区域;以及

[0049] 第二横向BJT,其具有包括发射极、基极以及集电极的端,其中所述共基极区域进一步包括所述第一横向BJT的所述基极和所述第二横向BJT的所述基极,并且所述第二重组区域与所述第二横向BJT的所述端之一相邻,

[0050] 其中所述BJT、所述第二FET以及所述第二横向BJT彼此集成并且包括由所述BJT、所述第二FET以及所述第二横向BJT共用的第二公共区域,并且共同地被配置和布置成响应于在所述BJT的所述端处的与所述第一极性相反极性的第二过量但可容忍的非ESD电压变化而通过激活所述第二FET并使所述共基极区域的所述电位跟随所述BJT的另一个端的电位来偏置所述共基极区域以防止所述BJT的触发。

[0051] 在一个或多个实施例中,所述第一FET和所述第一横向BJT被配置和布置成响应于所述第一过量但可容忍的非ESD电压变化而共同地促成所述第一重组区域,由此引起所述共基极区域的自偏置。

[0052] 以上讨论/概述并不意图描述本公开的每个实施例或每个实施方案。以下附图和详细描述也举例说明了各个实施例。

### 附图说明

[0053] 在结合附图考虑了以下详细描述之后,可以更全面地理解各种示例性实施例,在附图中:

[0054] 图1是示出根据本公开的示例性设备的图;

[0055] 图2A到图2C是示出根据本公开的示例性双向设备和由图2A所示的设备的示例性操作原理的图;

[0056] 图3是示出根据本公开的示例性设备的图;以及

[0057] 图4是示出根据本公开的示例性设备的图。

[0058] 虽然本文讨论的各个实施例适合于多种修改和替代形式,但是已经通过附图中的例子示出了并且详细地描述各个实施例的各方面。然而,应当理解,本公开不限于所描述的特定实施例。相反,意图是涵盖落入本公开范围内的所有修改、等同物以及替代物,其包括权利要求中限定的各方面。另外,如整个本申请中使用的术语“例子”仅是说明性的而非限制性的。

### 具体实施方式

[0059] 相信本公开的各方面可以适用于涉及静电放电 (ESD) 保护设备的各种不同类型的设备、系统以及方法,所述静电放电 (ESD) 保护设备响应于在正常操作期间过量但可容忍的非ESD电压变化而偏置共基极区域以便防止或延迟所述设备对ESD保护的触发。在某些实施方案中,已表明本公开的各方面在用于ESD保护设备的背景中时是有益的,所述ESD保护设备包括双极结晶体管 (BJT),其用于保护所述设备免受ESD事件的影响且与一个或多个附加的晶体管集成,这些附加的晶体管用于响应于在正常操作期间过量但可容忍的非ESD电压变化而自偏置共基极区域以防止BJT的触发。在一些实施例中,BJT与场效应晶体管 (FET) 和横向BJT集成,所述FET和所述横向BJT各自与BJT共用公共区域并且响应于BJT的端处的过量但可容忍的非ESD电压变化而一起使共基极区域电位跟随BJT的端之一的电位。虽然不一

定如此限制,但是通过以下对使用示例性背景的非限制性例子的讨论可以理解各个方面。

[0060] 因此,在以下描述中,阐述了各种具体细节以描述本文呈现的具体例子。然而,对于所属领域技术人员显而易见的是,可以在没有下面给出的所有具体细节的情况下实践这些例子的一个或多个其它例子和/或变型。在其它情况下,没有详细描述公知的特征以免模糊对本文的例子的描述。为了便于示出,可以在不同的图中使用相同的附图标记来指代相同元件或相同元件的附加例子。而且,虽然在一些情况下可以在单独的附图中描述各方面和特征,但是应当明白的是,来自一个附图或实施例的特征可以与另一个附图或实施例的特征组合,即使所述组合没有明确地示出或明确地描述为组合。

[0061] 根据本公开的实施例涉及一种ESD保护设备,诸如芯片上的集成电路,其使所述设备的共基极区域自偏置以便诸如通过响应于过量电压变化(在本文有时称为“过量但可容忍的非ESD电压变化”)而防止BJT的触发来防止(或延迟)所述设备对ESD保护的触发,所述过量电压变化被设计成由电路系统容忍而不需要触发ESD保护。ESD保护设备可以包括为设备提供ESD保护的主BJT。可以通过达到(例如,大于或等于)ESD触发电压的ESD事件来触发主BJT的ESD保护(在本文有时称为“ESD触发”),所述ESD触发电压被设计到电路系统中大于电路系统可以容忍的过量电压变化。可以响应于所谓的正常操作电压范围内的电压(例如,绝对值小于ESD触发电压的过量但可容忍的电压)而经由如本文所公开的共基极区域的自偏置来防止主BJT触发。例如,ESD保护设备可以响应于具有相应电压的非ESD事件而自偏置以防止主BJT的触发,这些相应电压高于或超过用于电路操作的典型电压但是仍然被认为是在正常操作中,因为根据集成电路(FET/BJT)设计(或设计规范)这些相应电压是可容忍的。

[0062] 作为更具体的例子并且出于澄清目的,对于给出的集成电路设计,ESD触发电压可以被设定用于比I/O端处的非ESD电压事件(即,±20V事件)大1.5到3倍的事件,因为在本文有时也被称为“非ESD事件”的这些后续事件可以被认为是正常操作,因为它们正常操作电压范围(例如,与正常操作相关联的电压)内。这是因为这些I/O端或引脚处的这种电压摆动反映了非过量电压变化并且预期完全在集成电路(FET/BJT)设计规范内。这样的正常操作电压范围(可以包括±5V、±10V、±20V、±30V,以及其它例子)可以小于触发ESD保护的电压。例如,ESD事件通常可能是上千或几千伏特,诸如5000V。

[0063] 作为澄清目的的另一个特定例子,对于ESD保护,ESD触发电压可以是35V,并且用于电路操作的典型电压可以是25V(例如,±25V)。ESD触发电压可以用于每个极性(例如,+35V和-35V,但是实施例不限于对称电压并且可以包括针对每个极性的非对称电压,诸如-34V和+32V),其中电压低于ESD触发电压被认为是正常操作,而电压高于ESD触发电压被认为是高压事件。当发生ESD事件时,经由主BJT触发ESD保护以保护电路免受ESD事件(例如,是高压事件)的影响。对于非ESD事件经由ESD保护设备的自偏置防止触发主BJT,这些非ESD事件在正常操作电压范围内(例如,在特定例子中是低于±35V的正常操作事件)并且包括绝对值大于用于电路操作的(例如,过量但仍然可容忍的范围)的典型电压(例如,在特定例子中大于±25V)的电压变化。

[0064] 在特定实施例中,主BJT与共同地用于偏置共基极区域的一个或多个FET和横向BJT集成。由主BJT和集成横向BJT的共基极井层和基极区域形成的共基极区域响应于例如在正常操作电压范围内但大于用于电路操作的典型电压的过量但可容忍的非ESD电压变化

而由所述设备的主BJT和FET(以及除了横向BJT之外)通过使共基极区域的电位跟随主BJT的端之一的电位进行自偏置。由于共基极区域的电位跟随主BJT的端的电位,所以可以防止(或延迟)主BJT的导通(例如,由于PN结之一的正向偏置导致的BJT的导通)。此外,所述设备的电压处理能力可能受到集电极-基极结的击穿和/或可能受到基极的穿通的限制。

[0065] 根据本公开的设备可以用于响应于过量但可容忍的非ESD电压变化、诸如正向和负向电压变化这两者的双向防止或延迟或者在正常操作期间主BJT的单向防止或延迟而防止主BJT对ESD保护的触发。在一些实施例中,可以使用具有浮置基极的BJT。在本文有时称为“主要BJT”以用于区分和/或澄清目的的BJT与至少一个FET集成,并且响应于正常操作电压(例如,过量但可容忍的非ESD电压变化)而通过使共基极区域的电位跟随BJT的端的电位来共同地用于偏置共基极区域并且防止BJT的触发。共基极区域可以包括(直接或直接)连接到BJT的基极区域和重组区域的基极层或井。在各个实施例中,BJT的共基极区域(例如,基极层或井)和连接的基极区域可以统称为共基极区域。使用FET(以及可选地如本文另外描述的附加部件)自偏置共基极区域。常规上,FET端被称为栅极、源极以及漏极,而BJT端被称为基极、发射极以及集电极。BJT和FET彼此集成,并且包括由BJT和FET这两者共用的公共区域(例如,端)。总的来说,响应于在BJT的发射极处的过量但可容忍的非ESD电压变化(低于ESD触发电压,大于用于电路操作的典型电压,以及在正常操作阈值电压内),BJT和FET可以使共基极区域的电位跟随BJT的发射极或集电极的电位。

[0066] 在各种相关且更具体的实施例中,所述设备包括如上所述与FET集成的主BJT,并且另外包括与主BJT相邻的横向BJT,其与主BJT共用基极区域并且还主BJT和FET共用公共区域。横向BJT可以具有短路区域,所述短路区域邻接PN结,从而形成连接到共基极区域的重组区域。横向BJT与FET和重组区域的组合可以用于(快速地)偏置共基极区域,由此防止(或延迟)BJT的触发。在具体的实施例中,共基极区域包括共基极井层(或区域),其(直接或间接地)与主BJT和横向BJT这两者的基极区域接触以形成自偏置的共基极区域。

[0067] 如在整个本公开中所示和所述,ESD保护设备可以是单向的(例如,响应于正或负过量但仅可容忍的非ESD电压变化)或双向的。单向ESD保护装置可以包括一个FET和一个横向BJT。双向ESD保护装置可以包括两个FET和两个横向BJT。例如,主BJT可以与两个FET和两个横向BJT集成。

[0068] 现在转到附图,图1是示出根据本公开的示例性ESD保护设备的图。虚线101左侧的部件示出了单向ESD保护设备的部件。可选地,双向ESD保护设备可以包括由图1所示的所有部件,其包括虚线101左侧和右侧的那些部件。

[0069] 如图1所示,所述设备可以包括与FET集成的BJT 102。BJT 102具有包括发射极、基极以及集电极的端104、108。基极可以不是外部连接的,并且可以称为浮置或具有高阻抗负载。端之一(例如,发射极/公共区域104)可以连接到输入/输出(I/O)端或I/O引脚110,而另一个端108(例如,集电极)可以经由另一个端或引脚106连接到接地。FET具有包括栅极112、源极或公共区域104以及漏极114的端。栅极112可以经由端或引脚116连接到接地。BJT 102和FET集成在一起并且包括由BJT 102和FET这两者共用的公共区域104。在一些实施例中,源极或公共区域104可以包括由BJT 102和FET中的每一个共用的端,诸如既是BJT 102的发射极又是FET的源极的端。

[0070] BJT 102可以通过提供ESD保护来响应于ESD事件。如先前所讨论的,通过使连接到

重组区域118的共基极区域113自偏置,可以防止或延迟由于在正常操作期间、例如在正常操作电压范围内的过量但可容忍的非ESD电压变化而引起的BJT 102的触发(用于向所述设备提供ESD保护)。共基极区域113可以由共基极井层(或区域)和BJT 102的基极区域形成。如本文另外所示,共基极区域113可以经由与共基极井层相同掺杂的区域连接到重组区域118和一个或多个集成横向BJT的基极区域。响应于端中的一个或多个端处的过量但可容忍的非ESD电压变化而通过使共基极区域113的电位跟随端之一、例如公共区域104的电位, BJT 102和FET共同地防止BJT 102的触发。例如,响应于BJT 102的端(例如,公共区域104)处的过量但可容忍的非ESD电压变化,包括共基极井层和BJT 102的基极的共基极区域113的电位跟随BJT 102的端(例如,公共区域104)的电位以便防止(或延迟)BJT 102的触发。

[0071] 在各个实施例中,虽然图1未示出,但是所述设备另外包括横向BJT。横向BJT具有包括发射极、基极以及集电极的端,并且与BJT 102和FET共用公共区域104。横向BJT与BJT 102集成在一起并且与FET并联。例如,横向BJT的基极可以位于FET的电介质下面,如本文另外示出和描述的。重组区域118与横向BJT的端之一相邻。另外,(除了共基极井层和BJT 102的基极区域之外)共基极区域113还包括横向BJT的基极区域。重组区域118可以形成在P区域与N区域之间的结处,并且与横向BJT相邻。更具体地说,横向BJT的端之一是由BJT 102、FET以及横向BJT共同地共用的公共区域104,而另一个端(例如,114)与P区域和N区域之一接触。

[0072] 其它更具体的实施例涉及一种双向ESD保护设备。如先前所述,双向ESD保护设备可以包括由图1所示的所有部件,其包括虚线101左侧和右侧的那些部件。作为具体的实施例,虚线101左侧的部件可以被配置成响应于正的过量但可容忍的非ESD电压变化,而BJT 102和虚线101右侧的部件响应于负的过量但可容忍的非ESD电压变化。

[0073] 在具体的实施例中,虚线101右侧的部件包括具有包括栅极、源极以及漏极的端的另一个FET。BJT 102和另一个FET彼此集成并且包括由BJT 102和另一个FET共用的另一个公共区域108。BJT 102和另一个FET可以响应于在一个或多个端处的相反极性的另一个过量但可容忍的非ESD电压变化而通过使共基极区域113的电位跟随BJT 102的另一个端(例如,另一个公共区域108)的电位来共同地偏置共基极区域113(例如,共基极井层和BJT 102的基极区域)以防止BJT 102的触发。另一个过量但可容忍的非ESD电压变化的极性可以与(先前的)过量但可容忍的非ESD电压变化相反(例如,正电压和负电压)。响应于第一极性(例如,正)电压而激活虚线101左侧的FET,并且响应于与第一极性相反的极性(例如,负)电压而激活虚线101右侧的另一个FET。为了选择性地激活FET,FET的栅极112经由端或引脚116连接到接地,而另一个FET的栅极连接到输入/输出(IO)端或引脚,其接收与相应的过量但可容忍的非ESD电压变化和/或ESD事件对应的输入/输出电压,如本文另外描述的。

[0074] 与虚线101的左侧一样,虚线101右侧的设备的部件可以另外包括具有包括发射极、基极以及集电极的端的另一个横向BJT。另一个横向BJT可以与BJT 102和另一个FET共用另一个公共区域108。类似地,另一个横向BJT与BJT 102集成在一起并且与另一个FET并联。例如,另一个横向BJT的基极可以位于另一个FET的电介质下面。另一个重组区域可以与另一个横向BJT的端之一相邻。除了共基极井层之外,共基极区域113还可以包括横向BJT的基极区域、另一个横向BJT以及BJT 102,如本文另外描述的。可以明白,当每个相应的BJT中的电流水平流动时,可以考虑主BJT 102和横向BJT并且将它们称为横向BJT。然而,为了清

楚起见,BJT 102有时称为BJT或主BJT。横向BJT横向于主BJT 102定位并且在FET下面,并且为了澄清目的而称为“横向BJT”。

[0075] 在各个实施例中,如本文另外所示的,BJT 102是PNP型晶体管,FET是P型FET,并且(包括共基极井层)的共基极区域113是n掺杂的。在其它实施例中,BJT 102是NPN型晶体管,FET是N型FET,并且共基极区域是p掺杂的。

[0076] 图2A到图2C是示出根据本公开的示例性双向ESD保护设备和由图2A所示的设备的示例性操作原理的图。图2A到图2C所示的ESD保护设备可以响应于包括正电压和负电压这两者的过量但可容忍的非ESD电压变化。

[0077] 如前所述,所述设备包括主BJT 220。由图2A的示例性实施例示出的主BJT 220包括PNP双极晶体管,其具有进行交替掺杂(例如,p-n-p)的区域221、223、225。主BJT 220具有三个端,这三个端包括集电极224、基极(例如,基极区域223,其是浮置的)以及发射极(例如,公共区域222)。端之一、在所述实施例中为发射极(例如,公共区域222)连接到输入/输出(I/O)端或引脚226,其被配置成接收与过量但可容忍的非ESD电压变化和/或ESD事件对应或由它们引起的正或负电压。另一个端、在所述实施例中为集电极(例如,另一个公共区域224)经由端或引脚228连接到接地,并且基极223可以不在外部连接。

[0078] 在主BJT 220的左(发射极)侧和右(集电极)侧,所示电路系统包括第一横向BJT(例如,区域227、229、221)和第二横向BJT(例如,区域225、233、235)。横向BJT还具有交替掺杂的区域(例如,p-n-p)并且包括三个端,例如集电极、基极以及发射极。第一和第二横向BJT可以各自分别与主BJT 220共用区域。例如,p型区域221由主BJT 220和第一横向BJT共用,而p型区域225由主BJT 220和第二横向BJT共用。第一和第二横向BJT还可以各自与主BJT 220和FET共用公共区域(例如,端/公共区域222和224)(如本文中另外描述的)。左侧的第一横向BJT是与主BJT 220共用同一个发射极(例如,公共区域222)(并且与左侧的FET共用)的PNP双极晶体管,而右侧的第一横向BJT是与主BJT 220共用同一个集电极(例如,公共区域224)(并且与右侧的FET共用)的PNP双极晶体管。因此并且与本公开所预期的各种示例性实施例一致,第一横向BJT与主BJT 220的发射极侧相邻,并且公共区域222由FET、BJT 220以及第一横向BJT共用。第二横向BJT与BJT 220的集电极侧相邻,并且另一个公共区域224由另一个FET、BJT 220以及第二横向BJT共用。

[0079] 第一和第二横向BJT的另一个p型(集电极/发射极)端(例如,端230和238)可以在表面处经由在所谓的“重组区域”中的邻接的p+/n+区域(以及例如所述表面的硅化)短路到n型区域236、244(以及可选地区域231、237)。n型区域是连续的,因为它们一起构成了所有三个所示BJT共用的基极,在本文称为共基极区域,如通过使用共基极井层239(例如,毯状深n型井)所描绘的。在具体的实施例中,共基极井层(或区域)239可以与每个BJT的基极区域229、223、233以及重组区域接触,这些区域形成可以经由主BJT 220和相应组的FET和横向BJT自偏置的共基极区域。与基极区域的这种接触可以是经由n型区域231、237的直接接触或有效的电(间接)接触。

[0080] 如前所述,所述设备另外包括FET,其与主BJT 220集成在一起并且与横向BJT之一并联布置。每个FET具有包括栅极232/240、源极(例如,公共区域222/224)以及漏极230/238的端。另外,每个FET与主BJT 220共用公共区域。公共区域222、224可以包括在主BJT 220与每个相应FET之间共用的端。例如,每个FET具有源极,所述源极也是主BJT 220的发射极,这

取决于电压变化的极性,例如,作为端的公共区域222和224。左侧的公共区域222(例如,发射极和源极端)连接到I/O端或引脚226,其接收与过量但可容忍的非ESD电压变化和/或ESD事件相关联的正或负电压。右侧的公共区域224(例如,发射极和源极端)经由端或引脚228连接到接地。

[0081] 如另外所示,栅极(例如,栅极电极)232、240被放置在横向BJT的n型基极区域229、233上方(没有这样的栅极位于主BJT 220的基极区域223上方)并且通过电介质219、246(例如,在一些具体的实施例中为场氧化物)与半导体(例如,硅)分离。在一些实施例中,FET可以是与横向BJT并联的p型金属氧化物半导体FET(MOSFET)。发射极侧(左侧)FET的栅极232经由端或引脚234连接到接地,而另一个(集电极侧,右侧)FET的栅极240连接到I/O端或引脚242。

[0082] 图2B示出了由图2A所示的并且响应于正的过量但可容忍的非ESD电压变化的设备的示例性操作原理。响应于I/O端或引脚226上的正电压,空穴电流(或空穴型电荷载子)从其发射极(例如,公共区域222)流过主BJT 220到达其集电极(例如,另一个公共区域224),在所述示例性图示中,经由端或引脚228接地。最初,空穴电流在重组区域241处流过左侧横向BJT(在FET的接地栅极232下方)到达其集电极230。然后,这些空穴在重组区域241的短路p+/n+结处与电子重组。所述重组效应使n型基极区域(例如,由共基极井层239形成的共基极区域和横向BJT的基极区域)的电子匮乏。在所述区域未连接的情况下,减轻或防止电子流入所述区域(以替换那些失去重组的区域)。继而,基极电位上升。所述过程一直持续直到共基极区域(由共基极井层239以及主BJT和横向BJT的基极区域形成)电位达到发射极(例如,I/O)电位。经由这种机制,如果I/O电压继续增加(例如,跟随主BJT 220的发射极的电位),则基极电位向上跟随I/O电压。

[0083] 通过使基极电位跟随正发射极电位,防止了主BJT 220的正向导通,并且所述设备的电压处理能力仅可能受到集电极-基极结的击穿和/或潜在地基极的穿通的限制。换句话说,根据各个实施例的ESD保护设备可以处理更高的电压而不触发ESD保护(并且可以用于保护高压装置),或者更确切地说,对于给出的额定电压,可以使所述设备制造得更小。

[0084] 在瞬变时间段期间(例如,当共基极区域电位上升以匹配发射极电位时),一旦主BJT 220的发射极(例如,公共区222)和共基极区域(例如,共基极井层239和连接的n型区域)电位已经充分升高,左侧FET就会导通,因为所述左侧FET的源极(例如,也作为主BJT发射极的公共区域222)和本体(横向BJT基极)的电位高于其(接地)栅极232。因此,与横向BJT电流在所述FET下面流动的同时,空穴电流也从右向左流过所述FET。这增强了空穴到重组区域241的流动,由此与单独使用横向BJT或FET相比增加了重组量(即,共基极区域所损失的电子),并且增加了共基极区域电位可以上升以跟随增加的I/O电压的速率。以这种方式,经由横向BJT和重组区域241的作用的共基极区域的“自偏置”可以认为是由FET晶体管辅助的。通过横向BJT和FET(例如,p型MOSFET)的空穴流可以继续,直到区域电位变得足够接近I/O电压,此时在所述方向上的进一步传导受到阻碍。同时,右侧FET(例如,p型MOSFET)由栅极240(其连接到I/O引脚)上的正电压关断,因此在所述侧没有电流流动。

[0085] 图2C示出了由图2A所示的并且响应于负的过量但可容忍的非ESD电压的设备的示例性操作原理。更具体地说,图2B和图2C的组合示出了整个结构的横向对称性。当I/O端或引脚上存在负电压时,如图2C所示,所述设备以类似的方式进行工作。

[0086] 响应于负的过量但可容忍的非ESD电压变化，I/O端或引脚226上的负电压促使空穴电流通过主BJT 220，并且下拉共基极区域（例如，共基极井层239和连接的n型区域）电位。空穴电流可以并行地流过右侧横向BJT和（在所述实施例中）流过右侧FET（例如，p型MOSFET），并且空穴与右侧重组区域247中的电子重组。同样，这使共同基极区域的电子匮乏，因此基极电位（已被拉负）可以上升，直到它大致恢复接地（此时横向BJT和FET停止作用）。通过像这样保持基极接近接地（例如，跟随或匹配主BJT集电极电位），防止或延迟主BJT 220的导通，并且所述设备仅受到发射极-基极结的击穿的限制。

[0087] 虽然图2A到图2C的实施例示出了PNP型BJT和p型MOSFET，但是实施例不限于此。例如，主BJT和横向BJT可以是NPN型BJT，而FET可以是n型MOSFET。此外，实施例不限于双向ESD设备。

[0088] 图3是示出根据本公开的示例性ESD保护设备的图。在许多实施方案中，在诸如图2A到图3所示的p型基板上的基于PNP的ESD保护设备中，正向ESD触发电压（例如，对于正I/O电压）由于接地的p型基板与n型共基极区域之间的电容耦合而小于反向ESD触发电压（例如，对于负I/O电压）（例如，比所述反向ESD触发电压更接近零）（如果基板是浮置的，则情况可能并非如此）。在各个实施例中，ESD保护设备可以是单向的，因为它足以防止针对仅所述设备的正向导通的触发。反向导通可能不一定成问题。在这样的实施例中，仅发射极侧横向BJT和FET包括在所述设备中。这种“不对称”（或“单侧”）设备由图3示出。单向设备可以与先前图2B所示和描述的相同方式操作。

[0089] 图4是示出根据本公开的示例性ESD保护设备的图。如前所述，各个实施例包括主BJT 460，并且至少一个横向BJT是NPN型BJT。在这样的实施例中，与横向BJT并联并且与主BJT 460集成的一个或多个FET包括n型FET（例如，n型MOSFET）。图4示出了这种示例性设备。如所属领域一般技术人员所明白的，这种设备除适当地交换电子/空穴和电压极性之外与上述设备类似地操作）。图4所示的区域的掺杂极性与图2A所示的区域的掺杂极性相反。在这样的实施例中，基板可以是n型半导体晶片或p型半导体（例如，硅）晶片中的深n井。此外，如前所述，这种设备可以是单向的或双向的。

[0090] 根据本公开的各个实施例包括ESD保护设备，其令人惊讶地允许ESD保护设备响应于导致在正常操作电压范围内的过量但可容忍的非ESD电压变化的事件而自偏置以防止触发BJT。ESD保护设备将一个或多个FET与主BJT集成在一起，并且利用与集成FET的重组区域进行自偏置作用。横向BJT用于通过促成重组区域来增强这种自偏置作用。这些晶体管的集成/合并以及它们通过重组区域的连接可以在没有任何外部连接的情况下发生。例如，由于（例如，横向BJT和FET）晶体管偏置、它们与主BJT的集成/合并（共用发射极/集电极和源极区域）以及使用重组区域来连接到共基极区域，可以发生这样的操作，诸如例如用于高的但被认为是正常操作的非ESD事件，因为这些非ESD事件在通常集成的电路（FET/BJT）设计规范下是可容忍的。例如，在正常操作下， $\pm 20\text{V}$ 事件可能被视为电压阈值，因为I/O端或引脚上的这种电压摆动预期完全在集成电路（FET/BJT）设计规范内。因此，通过使ESD保护设备自偏置，响应于I/O端或引脚处的相对较高的电压，对于处于这种正常操作电压范围或所述范围内的电压，防止BJT的触发。更具体地说，非ESD事件小于针对BJT激活进行ESD保护设定的ESD触发电压并且超过用于电路操作的典型电压。

[0091] 在某些示例性实施例中，本公开的各方面涉及一种使共基极区域自偏置以便防止

(或延迟)ESD保护的触发的ESD保护设备。ESD保护设备可以包括提供ESD保护的双极结型晶体管(BJT),并且所述设备的共基极区域响应于在正常操作电压范围内(并且低于用于ESD保护的ESD触发电压)的过量但可容忍的非ESD电压变化而自偏置以通过使共基极区域的电位跟随BJT的端之一的电位来防止不希望的BJT的触发。这种设备的ESD触发电压可能会受到BJT的PN结之一的击穿而不是由于PN结之一的正向偏置导致的BJT的导通的限制。

[0092] 在具体的示例性实施例中,ESD保护设备包括与场效应晶体管(FET)集成的BJT。BJT具有包括发射极、基极以及集电极的端。FET具有包括栅极、源极以及漏极的端。ESD保护设备另外包括连接到重组区域的共基极区域。BJT和FET彼此集成,并且包括由BJT和FET共用的公共区域。在多个具体的方面中,公共区域是由BJT和FET中的每一个共用的端。BJT和FET响应于端中的一个或多个端处的过量但可容忍的非ESD电压变化而通过使共基极区域的电位跟随BJT的所述端之一的电位来偏置共基极区域以防止BJT的触发(例如,不希望的触发)。可以通过激活FET并使空穴电流流到重组区域来偏置共基极区域,这使共基极区域跟随BJT的端(例如,发射极)的电位。在一些方面中,ESD设备可以包括与BJT集成的横向BJT。除了FET之外,横向BJT还可以通过促成重组区域来增强共基极区域的自偏置,如本文另外描述的。

[0093] 在其它相关且具体的示例性实施例中,ESD保护设备包括与第一FET和第二FET集成的BJT。BJT具有包括发射极、基极以及集电极的端,并且第一和第二FET中的每一个具有包括栅极、源极以及漏极的端。ESD保护设备另外包括连接到第一重组区域和第二重组区域的共基极区域。BJT和第一FET彼此集成,并且包括由BJT和第一FET共用的公共区域。BJT和第一FET响应于BJT的端处的第一极性的过量但可容忍的非ESD电压变化而通过激活第一FET并使共基极区域的电位跟随BJT的端之一的电位来共同地偏置共基极区域以防止BJT的触发。BJT和第二FET彼此集成并且包括由BJT和第二FET共用的第二公共区域,并且可以响应于在BJT的端处极性与(先前的)过量但可容忍的非ESD电压变化相反的另一个过量但可容忍的非ESD电压变化而通过激活第二FET并使共基极区域的电位跟随BJT的端中的另一个端的电位来共同地偏置共基极区域以防止BJT的触发。另一个过量但可容忍的非ESD电压变化可以包括负电压,并且(先前的)过量但可容忍的非ESD电压变化可以包括正电压,反之亦然。如上所述并且在本文另外描述的,ESD保护设备可以另外包括与BJT集成并且分别与第一FET和第二FET并联的第一和第二横向BJT。除了第一和/或第二FET之外,第一和/或第二横向BJT还可以通过促成重组区域来增强共基极区域的自偏置。

[0094] 在其它的具体示例性实施例中,ESD保护设备包括与第一FET和第一横向BJT集成的BJT。BJT和第一横向BJT各自具有包括发射极、基极以及集电极的端。第一FET具有包括栅极、源极以及漏极的端。所述设备另外包括共基极区域,其连接到第一重组区域并且包括BJT的基极。另外,第一重组区域与第一横向BJT的端之一相邻。BJT、第一FET以及第一横向BJT彼此集成并且包括由BJT、第一FET以及第一横向BJT共用的第一公共区域。BJT、第一FET以及第一横向BJT响应于BJT的端处的第一极性的第一过量但可容忍的非ESD电压变化而通过激活第一FET并使共基极区域电位跟随BJT的端之一的电位来共同地偏置共基极区域并且防止BJT的触发。根据各个实施例,第一FET和第一横向BJT响应于第一过量但可容忍的非ESD电压变化而共同地促成第一重组区域,由此引起共基极区域的自偏置(并且可选地,第二FET和第二横向BJT响应于与第一极性相反极性的第二过量但可容忍的非ESD电压变化而

共同地促成第二重组区域)。

[0095] 在一些具体的实施例中,上述设备可以响应于正和负的以及在正常操作(例如,与低于每一种极性的ESD触发电压相关联)期间的过量但可容忍的非ESD电压变化来防止触发BJT。例如,上述ESD保护设备可以另外包括第二FET和与BJT集成的第二横向BJT。第二FET具有包括栅极、源极以及漏极的端,并且第二横向BJT具有包括发射极、基极以及集电极的端。共基极区域另外包括第一和第二横向BJT的基极,并且连接到第二重组区域。第二重组区域与第二横向BJT的端之一相邻。BJT、第二FET以及第二横向BJT彼此集成并且包括由BJT、第二FET以及第二横向BJT共用的第二公共区域。BJT、第二FET以及第二横向BJT响应于BJT的端处的与第一极性相反极性的过量但可容忍的第二非ESD电压变化而通过激活第二FET并使共基极区域电位跟随BJT的另一个端的电位来共同地偏置共基极区域以防止BJT的触发。

[0096] 举例说明朝向的术语、诸如横向/水平、上/下、左/右、顶部/底部、上方/下方以及下面在本文可以用于如附图中所示指代元件的相对位置以用于描述示例性实施例的目的。应当理解的是,术语仅为了方便注解,并且在实际使用中,所公开的结构朝向可以与附图中所示的朝向不同。因此,这些术语不应以限制方式解释。

[0097] 出于本文件的目的,所属领域技术人员将明白以下关于本文使用的术语:a)主双极晶体管(有时称为“BJT”):被触发以保护设备免受ESD事件的影响的BJT,例如所述ESD事件达到、例如等于或大于ESD触发电压;b)横向BJT:与主BJT和FET集成并且共同地用于偏置相关共基极区域的一个或多个BJT;c)公共区域:由两个或更多个晶体管共用的半导体电路的一部分,诸如既是发射极又是源极的端,或者是由两个BJT共用的基极区域;d)共基极井层(或区域):半导体电路的层或区域(例如,在基板层上方),其直接或间接地连接一个或多个晶体管的基极区域和重组区域;e)共基极区域:掺杂为特定极性、例如n型或p型以形成半导体的一部分的至少一个区域,所述部分与多个晶体管或BJT所共用的基极对应,如相邻BJT的连续相邻基极区域所举例说明;f)重组区域:半导体电路的区域,在所述区域中,电子与空穴重组;g)ESD事件:两个带电物体之间由接触、电短路和/或电介质击穿引起的突然电流;h)ESD触发电压:由设备激活ESD保护的电压,例如,示例性ESD保护电路的ESD触发电压可能会受到BJT的PN结之一的击穿而不是由于PN结之一的正向偏置引起的BJT的导通的限制。

[0098] 所属领域技术人员将认识到,除非另有说明,否则本说明书(包括权利要求)中使用的各种术语暗示了所述领域的普通含义。作为例子,说明书描述和/或示出了通过各种电路或电路系统实施所要求保护的公开内容的各方面,这些电路或电路系统可以被示为或使用诸如块、模块、装置、系统、单元、控制器和/或其它电路类型描绘的术语(例如,图1到图4描绘了包括BJT、FET以及如本文所述的各种区域的块/模块)。这些电路或电路系统与其它元件一起使用以举例说明如何以结构、步骤、功能、操作、活动等形式执行某些实施例。作为另一个例子,在说明书可以参考“第一FET”、“第二个[FET]”等的情况下,形容词“第一”和“第二”不用于暗示对结构的任何描述或提供任何实质意义;更确切地说,这样的形容词仅用于英语优先以区分一种这样类似命名的结构与另一个类似命名的结构(例如,“第一FET被配置有BJT以共同地偏置...”被解释为“FET被配置成偏置...”。

[0099] 基于以上讨论和说明,所属领域技术人员将容易认识到,可以对各个实施例进行各种修改和改变,而不严格遵循本文示出和描述的示例性实施例和应用。例如,附图中举例

说明的方法可以涉及以各种顺序执行的步骤,其中保留了本文实施例的一个或多个方面,或者可以涉及更少或更多步骤。例如,图2A所示的设备可以用于实施图2B而不是图2C所示的过程。作为另一个例子,图2A所示的设备可以用于实施图2B和图2C所示的两个过程。这样的修改不脱离本公开的各个方面的真实精神和范围,包括权利要求中阐述的各方面。

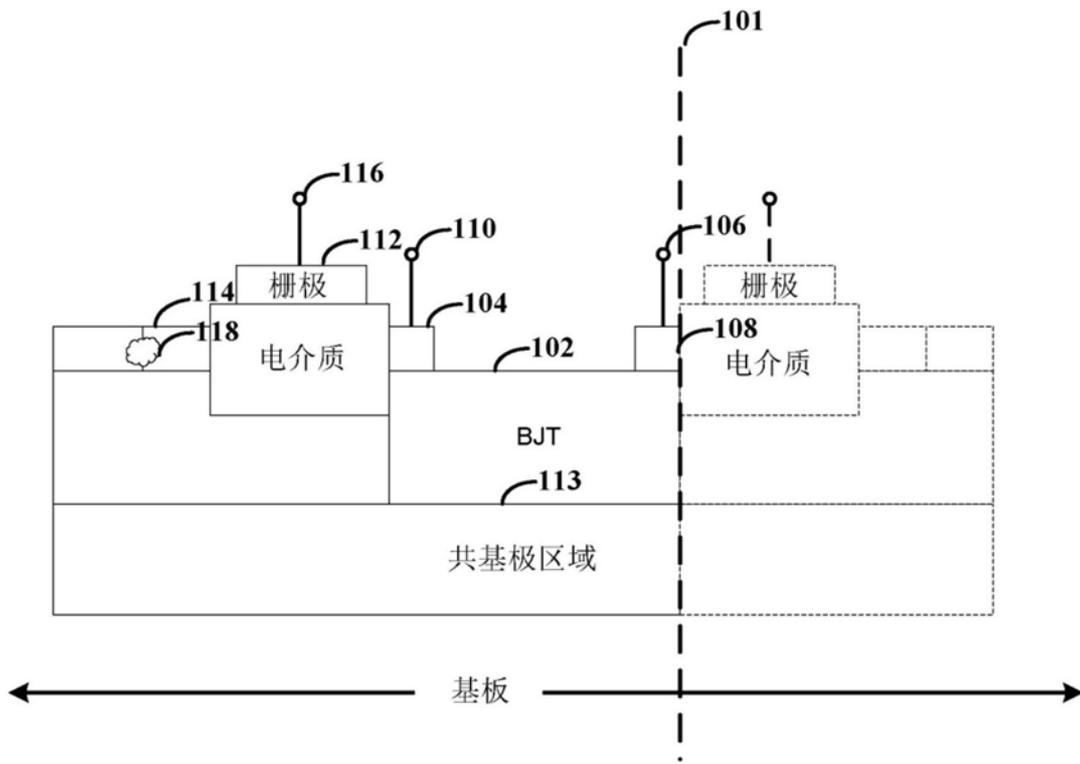


图1

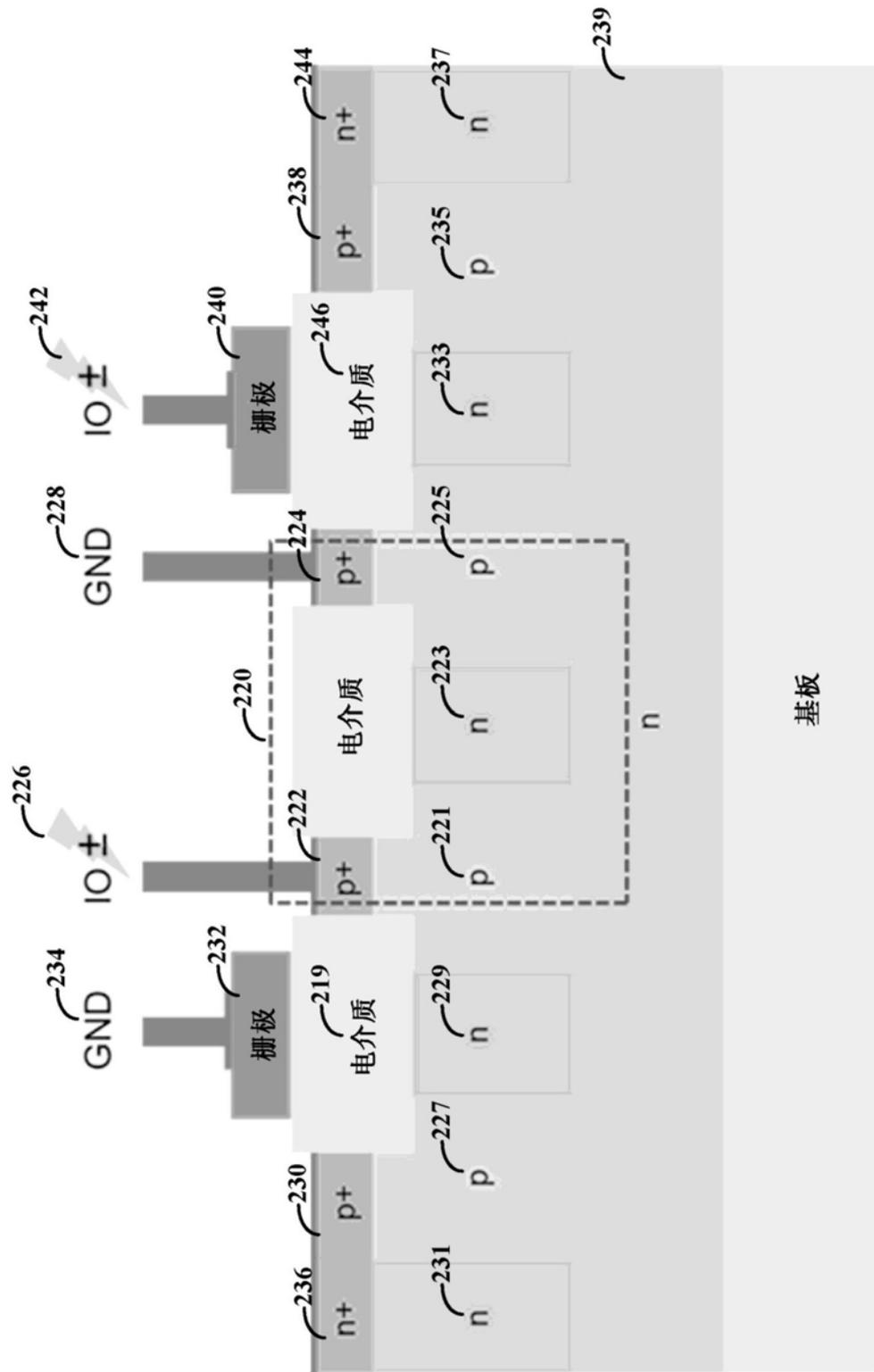


图2A

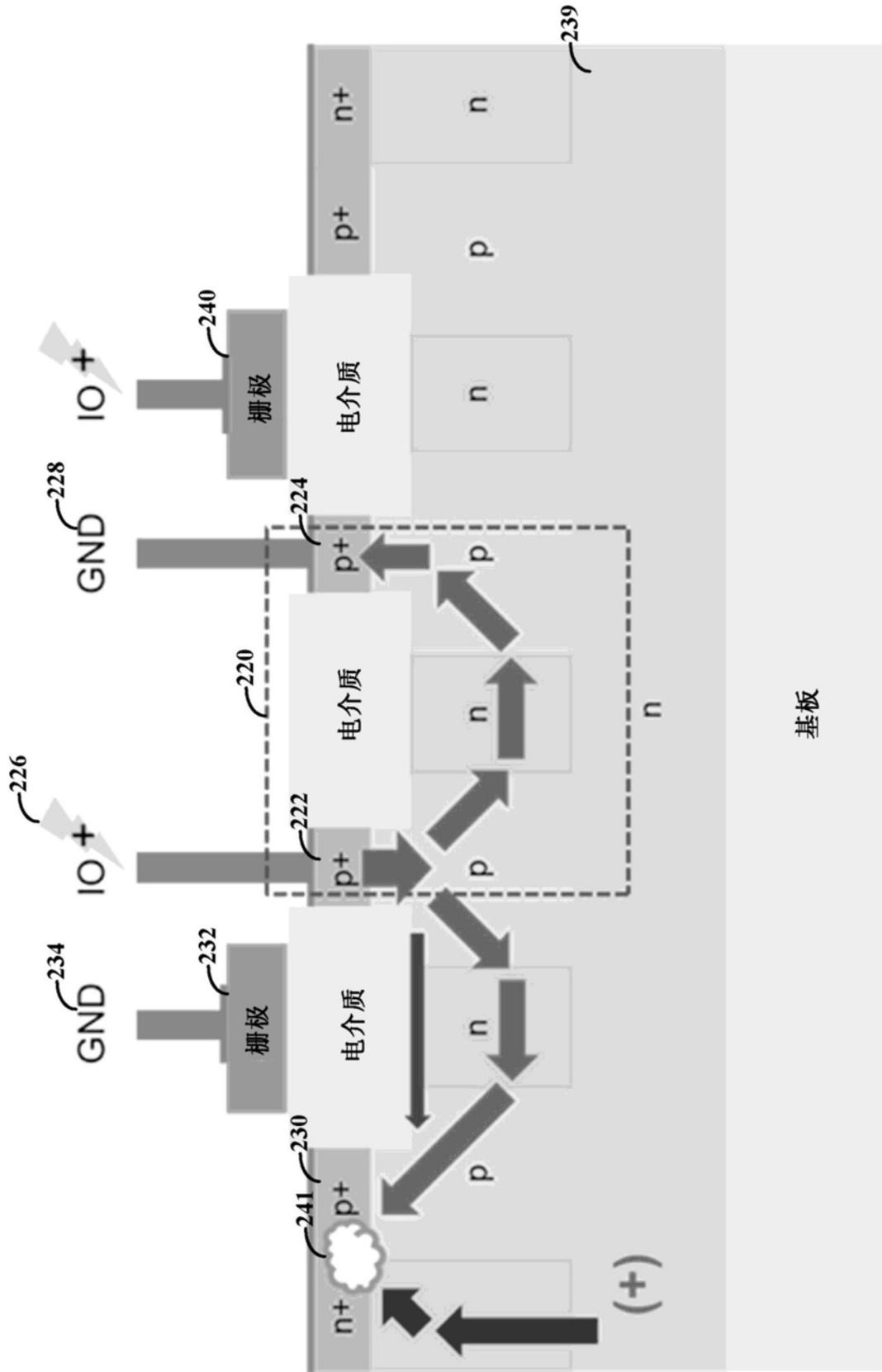


图2B

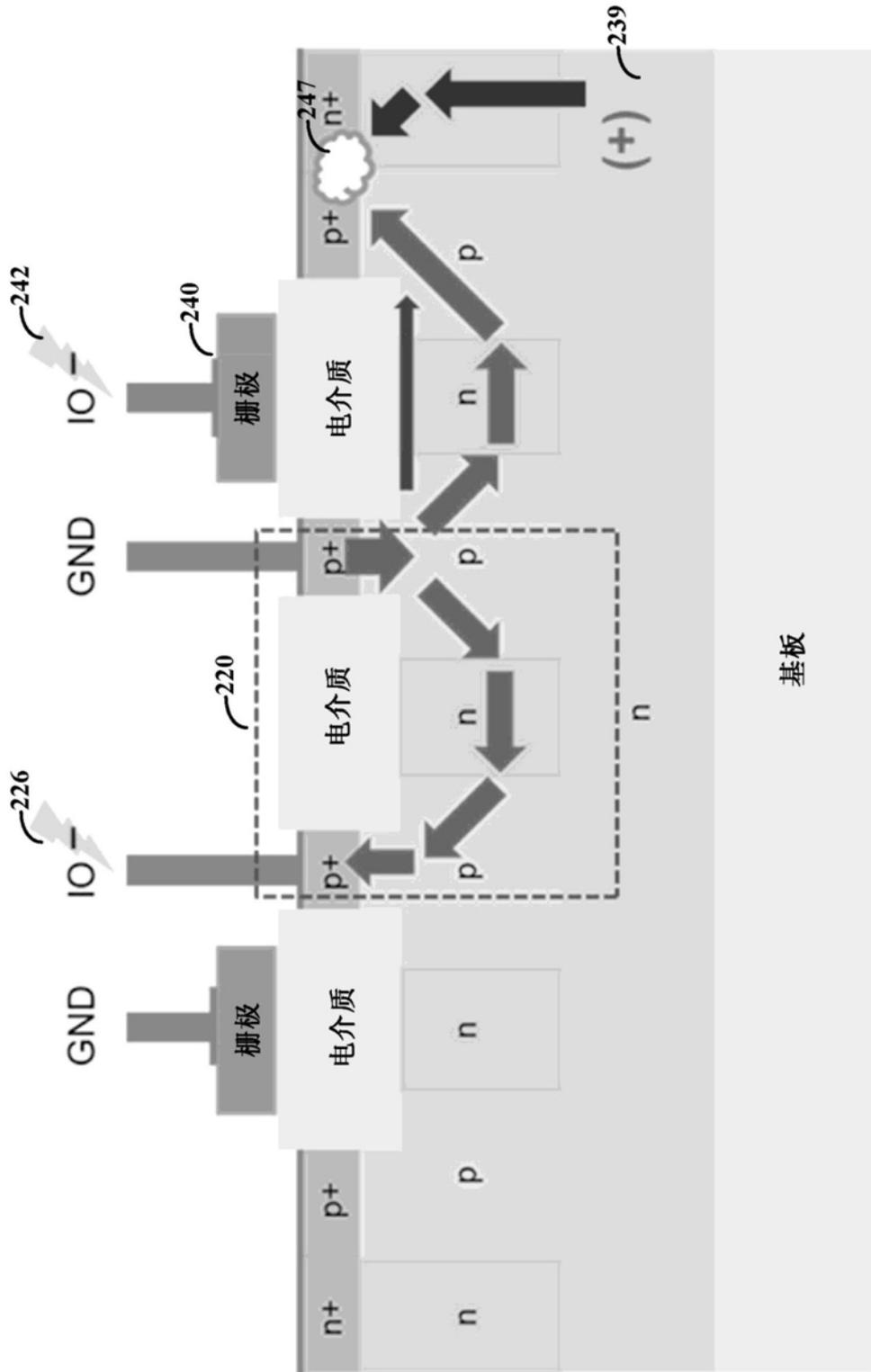


图2C

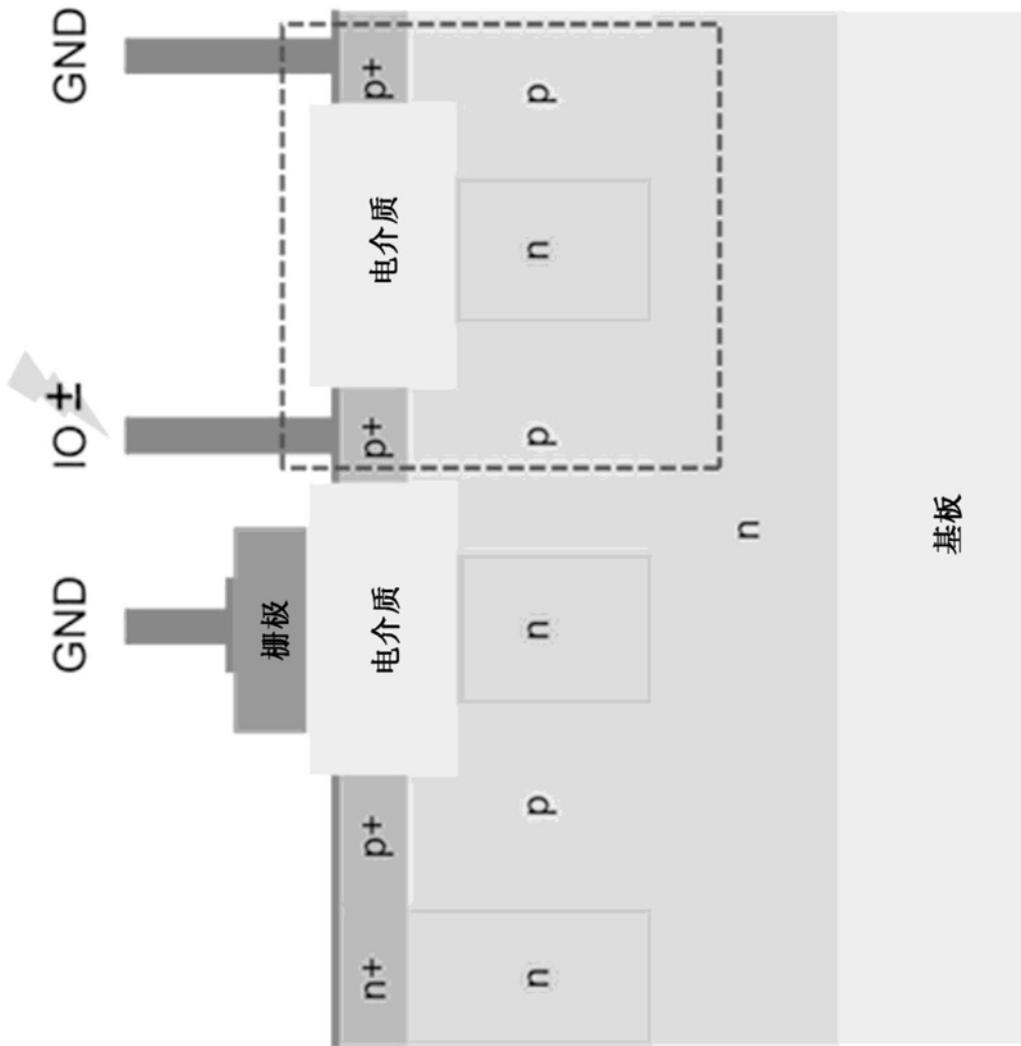


图3

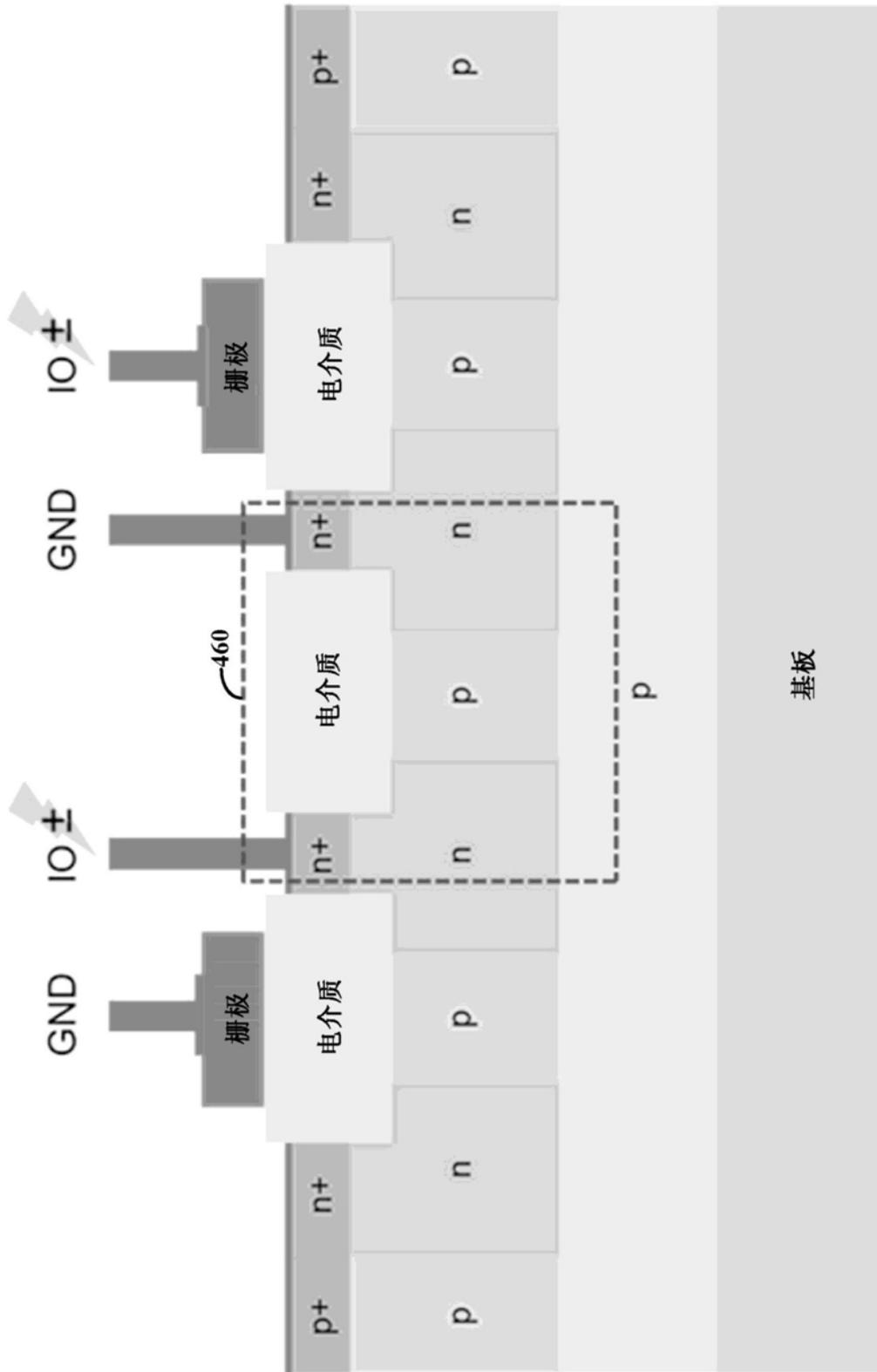


图4