

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7037521号

(P7037521)

(45)発行日 令和4年3月16日(2022.3.16)

(24)登録日 令和4年3月8日(2022.3.8)

(51)国際特許分類

F I

H 0 1 L 23/12 (2006.01)

H 0 1 L 23/12 5 0 1 B

H 0 5 K 3/46 (2006.01)

H 0 5 K 3/46 Q

H 0 1 L 23/29 (2006.01)

H 0 5 K 3/46 T

H 0 1 L 23/31 (2006.01)

H 0 1 L 23/12 5 0 1 S

H 0 1 L 23/12 N

請求項の数 10 外国語出願 (全13頁) 最終頁に続く

(21)出願番号 特願2019-124741(P2019-124741)

(22)出願日 令和1年7月3日(2019.7.3)

(65)公開番号 特開2020-150246(P2020-150246
A)

(43)公開日 令和2年9月17日(2020.9.17)

審査請求日 令和1年7月3日(2019.7.3)

(31)優先権主張番号 16/351,026

(32)優先日 平成31年3月12日(2019.3.12)

(33)優先権主張国・地域又は機関
米国(US)

(73)特許権者 505111188

日月光半導体製造股 ぶん 有限公司
台湾 高雄市楠梓區楠梓加工出口區經三
路26號

(74)代理人 100096091

弁理士 井上 誠一

(74)代理人 110001896

特許業務法人朝日奈特許事務所

(72)発明者 廖 玉茹

台湾高雄市小港區崇文路57號

(72)発明者 陳 建汎

台湾高雄市鳳山區鳳燕一街16號

(72)発明者 王 建皓

台湾高雄市楠梓區大學南路587巷10
號

最終頁に続く

(54)【発明の名称】 内蔵部品パッケージ構造、内蔵型パネル基板、およびその製造方法

(57)【特許請求の範囲】

【請求項1】

第1の厚さを有するコア層の一方側に、第2の厚さを有する応力補償層を設けることと、
前記コア層内に電気部品を配置することと、
前記電気部品の上および下に非対称回路構造を形成することと
を含み、

前記第2の厚さは、前記非対称回路構造の各導電層の厚さおよび残銅率によって決められる、
内蔵部品パッケージ構造の製造方法。

【請求項2】

前記コア層は、第1の絶縁材料と、前記第1の絶縁材料上に配置される第2の絶縁材料と
を含み、

前記第2の絶縁材料の一部は、前記非対称回路構造と前記電気部品との間にあり、前記第
1の絶縁材料の一部は、前記電気部品と前記応力補償層との間にある、請求項1記載の製
造方法。

【請求項3】

前記第2の絶縁材料の厚さは、前記電気部品の厚さよりも大きく、前記非対称回路構造の
一部は、前記第2の絶縁材料に延在し、前記電気部品と接触している、請求項2記載の製
造方法。

【請求項4】

前記非対称回路構造は、前記電気部品と前記応力補償層との間にある下方導電層を含み、

前記下方導電層は、少なくとも1つの導電性ピラーを通して、前記電気部品と電氣的に接続されており、前記コア層の一部は、前記下方導電層と前記電気部品との間にあり、前記下方導電層は、前記応力補償層と接触しており、そして、前記下方導電層は、前記電気部品と間隔が空けられている、請求項1記載の製造方法。

【請求項5】

前記コア層の第1の厚さに対する前記応力補償層の第2の厚さの比率が0.03以上、2.9以下である、請求項1記載の製造方法。

【請求項6】

前記応力補償層が、ガラス繊維を含む誘電体材料層である、請求項1記載の製造方法。

【請求項7】

前記コア層が、第1の表面と、前記第1の表面の反対側の第2の表面とを有し、前記非対称回路構造は上方導電層を備え、前記上方導電層が前記第1の表面上に配置され、前記電気部品に電氣的に接続される、請求項1記載の製造方法。

【請求項8】

前記コア層が、第1の表面と、前記第1の表面の反対側の第2の表面とを有し、前記非対称回路構造は、前記第1の表面上に配置されていて前記電気部品に電氣的に接続された少なくとも2つの上方導電層と、前記少なくとも2つの上方導電層の間に配置された少なくとも1つの誘電体材料層とを備える、請求項1記載の製造方法。

【請求項9】

前記コア層が、第1の表面および第2の表面を有し、前記非対称回路構造は、前記第1の表面上に配置されていて前記電気部品に電氣的に接続された上方導電層と、前記第2の表面上に配置された少なくとも2つの下方導電層と、前記少なくとも2つの下方導電層の間に配置された少なくとも1つの誘電体材料層とを備える、請求項1記載の製造方法。

【請求項10】

前記応力補償層が前記少なくとも1つの誘電体材料層である、請求項9記載の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に、部品パッケージ構造およびその製造方法に関し、特に、内蔵部品パッケージ構造、内蔵型パネル基板、およびその製造方法に関する。

【背景技術】

【0002】

システムレベルパッケージ構造では、半導体チップをパッケージ基板に埋め込む、基板への半導体内蔵技術は、パッケージ構造に対する雑音干渉の削減、および製品のサイズの削減の利点を有し、よって、当該技術分野における製造業者の研究および開発の焦点になっている。生産の歩留まり率を改善するために、後のプロセスにおける内蔵部品とパターンニングされた導電層との間の電氣的接続を容易にするために、回路基板のコア層内に内蔵部品を固定することが必要である。

【0003】

さらに、回路基板の反りを削減するために、回路基板には、内蔵部品の上方および下方に同じ数の導電層が設けられ、よって、回路基板に使用される銅の量が増加し、コストダウンできない。

【0004】

「EMBEDDED COMPONENT DEVICE AND MANUFACTURING METHOD THEREOF」と題する特許文献1は、電氣的接点を含む電子部品と、上方のパターンニングされた導電層と、上方のパターンニングされた導電層と電子部品との間の誘電体層と、第1の電氣的相互接続と、下方のパターンニングされた導電層と、導電ビアと、第2の電氣的相互接続とを含む内蔵部品装置を開示している。誘電体層は、電氣的接点を露出する第1の開口と、下方のパターンニングされた導電層から上方のパターンニングされた導電層まで延びる第2の開口とを備える。第1の電氣的相互接続は、電氣的接

10

20

30

40

50

点から上方のパターニングされた導電層まで延び、第1の開口を充填する。第2の開口は、上方のパターニングされた導電層を露出する上方部、および下方のパターニングされた導電層を露出する下方部を有する。導電ビアは、第2の開口の下方部に配置される。第2の電氣的相互接続は第2の開口の上方部を充填する。

【先行技術文献】

【特許文献】

【0005】

【文献】米国特許第9406658号明細書

【発明の概要】

【発明が解決しようとする課題】

【0006】

したがって、本発明の目的は、生産コストを削減し、パネル基板の反りを低減することが可能な内蔵部品パッケージ構造、内蔵型パネル構造、およびその製造方法を提供することである。

【課題を解決するための手段】

【0007】

実施形態によれば、回路基板、内蔵部品、および応力補償層を含む内蔵部品パッケージ構造が提供される。回路基板はコア層および非対称回路構造を含み、コア層は第1の厚さを有する。内蔵部品はコア層内に配置される。応力補償層はコア層の一方側に配置され、応力補償層は4 μm 以上、351 μm 以下の第2の厚さを有する。

【0008】

別の実施形態によれば、複数の回路基板ユニット、複数の内蔵部品、および応力補償層を含む内蔵基板片を提供する。回路基板ユニットそれぞれは、コア層および非対称回路構造を有し、コア層は第1の厚さを有する。複数の内蔵部品がコア層内に配置される。応力補償層は回路基板ユニットの一方側に配置され、応力補償層は第2の厚さを有し、内蔵基板片は5 mm未満の反りを有する。

【0009】

別の実施形態によれば、内蔵部品パッケージ構造の製造方法が以下のように提供される。応力補償層がコア層の一方側に設けられ、コア層は第1の厚さを有し、応力補償層は第2の厚さを有する。電気部品がコア層内に配置される。非対称回路構造が電気部品の上方および下方に形成される。

【発明の効果】

【0010】

本発明の他の目的、特徴、および効果は、好適であるが限定的でない実施形態の以下の詳細な説明から明らかになるであろう。以下の説明は、添付図面を参照して行う。

【図面の簡単な説明】

【0011】

【図1】元の設計、および改良された新たな設計の構造における回路構造の層の数と反りの量との関係を示す図である。

【図2】元の設計、および改良された新たな設計の構造における回路基板の層の数、応力補償層の厚さ、コア層の厚さ、厚さ比、反りの量、および残銅率の関係を示す比較表である。

【図3A】本発明の一実施形態による、内蔵部品パッケージ構造を示す断面図である。

【図3B】本発明の別の実施形態による、内蔵部品パッケージ構造を示す断面図である。

【図3C】本発明の別の実施形態による、内蔵部品パッケージ構造を示す断面図である。

【図3D】本発明の別の実施形態による、内蔵部品パッケージ構造を示す断面図である。

【図4】本発明の一実施形態による、内蔵型パネル基板を示す断面図である。

【図5A】本発明の一実施形態による、内蔵部品パッケージ構造の製造方法を示す流れ図である。

【図5B】本発明の一実施形態による、内蔵部品パッケージ構造の製造方法を示す流れ図

10

20

30

40

50

である。

【図 5 C】本発明の一実施形態による、内蔵部品パッケージ構造の製造方法を示す流れ図である。

【図 5 D】本発明の一実施形態による、内蔵部品パッケージ構造の製造方法を示す流れ図である。

【図 5 E】本発明の一実施形態による、内蔵部品パッケージ構造の製造方法を示す流れ図である。

【発明を実施するための形態】

【0012】

以下の限定的でない実施形態において詳細が示される。実施形態は、例証的な例であり、本発明の請求項の範囲に対する限定であると解されない。同一／同様の表記は、以下の説明において同一／同様の部分を表すために使用する。上、下、左、右、前または後などの方向用語は、本発明を限定するためでなく、添付図面の方向を示すために以下の実施形態において使用する。

10

【0013】

本発明の実施形態によれば、内蔵部品の上方および下方の非対称回路構造によってもたらされる非対称応力分布を改善するために、内蔵部品パッケージ構造を提供し、それにより、パネル基板の反りの問題を解決することが可能である。

【0014】

非対称回路構造は、内蔵部品の上方および下方に異なる数の導電層、例えば、上方の導電層は 2 層以上 / 下方の導電層は 1 層 ($2L + 1L$ によって示す)、上方の導電層は 1 層 / 下方の導電層は 2 層以上 ($1L + 2L$ によって示す)、上方の導電層は 2 層以上 / 下方の導電層はなし ($2L$ によって示す)、上方の導電層は 1 層 / 下方の導電層はなし ($1L$ によって示す)、または他の組み合わせを有する。

20

【0015】

上記組み合わせは例証的な例に過ぎず、本発明はそれらに限定されない。図 1 および図 2 における組み合わせのリストを参照すると、非対称回路構造の上方導電層および下方導電層の数は、 $2L + 1L$ 、 $1L + 2L$ 、 $2L$ 、および $1L$ などの少なくとも 4 組の非対称の組み合わせの 1 つであり得る。異なる組み合わせタイプの非対称回路構造は、パネル基板について異なる量の反りを有する。したがって、本実施形態は、非対称回路構造の異なる組み合わせに応じて、異なる厚さの応力補償層をカスタマイズして、パネル基板の反りを 5 mm 未満に効果的に抑制する。上記実施形態では、パネル基板は、複数の回路基板ユニットおよびその中に配置された複数の内蔵部品を含む 2 次元アレイ基板、または細長い基板であり得る。

30

【0016】

図 1 および図 2 を参照すると、元の設計 (a) のパッケージ構造において上方導電層および下方導電層の数が $2L + 1L$ である場合、パネル基板の反りは許容可能な反り量 5 ~ 10 mm よりもはるかに大きい 19 ~ 25 mm である。しかし、応力補償層が、改良されたパッケージ構造 (b) に加えられた後、パネル基板の反りの量は許容可能な反り量 5 ~ 10 mm よりも小さい 2 ~ 4 mm に削減され得る。

40

【0017】

さらに、元の設計 (a) のパッケージ構造において上方導電層および下方導電層の数が $1L + 2L$ である場合、パネル基板の反りは許容可能な反り量 5 ~ 10 mm よりもはるかに大きい 21 ~ 26 mm である。しかし、応力補償層が、改善されたパッケージ構造 (b) に加えられた後、パネル基板の反りの量は許容可能な反り量 5 ~ 10 mm よりも小さい 3 ~ 4 mm に削減され得る。

【0018】

さらに、元の設計 (a) のパッケージ構造において上方導電層および下方導電層の数が、(下方導電層が無く) $2L$ である場合、パネル基板の反りは許容可能な反り量 5 ~ 10 mm よりもはるかに大きい 15 ~ 21 mm である。しかし、応力補償層が、改善されたパッ

50

ケージ構造 (b) に加えられた後、パネル基板の反りの量は許容可能な反り量 5 ~ 10 mm よりも小さい 0 ~ 2 mm に削減され得る。

【 0019 】

さらに、元の設計 (a) のパッケージ構造において上方導電層および下方導電層の数が、(下方導電層が無く) 1 L である場合、パネル基板の反りは許容可能な反り量 5 ~ 10 mm よりもはるかに大きい 21 ~ 28 mm である。しかし、応力補償層が、改善されたパッケージ構造 (b) に加えられた後、パネル基板の反りは許容可能な反り量 10 mm よりも小さい 2 ~ 5 mm に削減され得る。

【 0020 】

上記表から、本実施形態が、異なる非対称の組み合わせに応じて異なる厚さの応力補償層をカスタマイズして、パネル基板の反りを 5 mm 未満に効果的に抑制し得ることが分かる。図 2 を参照すると、元の設計 (a) の構造において、銅張積層板 (CCL) の厚さが $30 \pm 5 \mu\text{m}$ または $40 \pm 5 \mu\text{m}$ 以下に固定されており、反り量に対する各導電層の厚さおよび残銅率の影響は考慮されておらず、そのため、反りの量は許容可能な反り量 5 ~ 10 mm よりもずっと大きく、よって、低減され得ない。対照的に、新たな設計の改良されたパッケージ構造 (b) では、銅張積層板 (CCL) の厚さが固定値でなく、それは $4 \mu\text{m}$ 以上、 $351 \mu\text{m}$ 以下であり得、各導電層の厚さおよび残銅率は本実施形態においてさらに考慮されるので、改善後の反りの量は 5 mm 未満であり得る。

【 0021 】

図 2 に示すように、上方導電層および下方導電層の数が、 $2L + 1L$ 、 $1L + 2L$ 、 $2L$ 、 $1L$ 等である場合、CCL の厚さはそれぞれ、34 以上であって $171 \mu\text{m}$ 以下 ($\pm 12 \mu\text{m}$)、 $81 \mu\text{m}$ 以上であって $339 \mu\text{m}$ 以下 ($\pm 12 \mu\text{m}$)、 $51 \mu\text{m}$ 以上であって $300 \mu\text{m}$ 以下 ($\pm 12 \mu\text{m}$)、および、 $16 \mu\text{m}$ 以上であって $129 \mu\text{m}$ 以下 ($\pm 12 \mu\text{m}$) であり、 $\pm 12 \mu\text{m}$ は許容範囲値である。さらに、上方導電層および下方導電層の数が $2L + 1L$ 、 $1L + 2L$ 、 $2L$ 、 $1L$ 等である場合、コア層の厚さ (T2) に対する CCL 基板の厚さ (T1) の比率はそれぞれ、0.18 以上であって 1.152 以下、0.57 以上であって 2.90 以下、0.42 以上であって 2.58 以下、および 0.03 以上であって 1.17 以下である。コア層の厚さは固定値、例えば $121 \pm 10 \mu\text{m}$ であり、コア層の厚さは実際のニーズに応じて調節され得る。

【 0022 】

本実施形態では、CCL 基板 (または、後に参照される応力補償層) の厚さは主に、非対称回路構造の各導電層の厚さおよび残銅率によって決められ、したがって、導電層の数、残銅率、および銅箔の厚さなどの複数のパラメータの少なくとも 1 つが変更された場合、CCL 基板の厚さは適宜変更され、よって、回路基板上の非対称回路構造の非対称応力分布を均衡化させる。

【 0023 】

一実施形態では、各導電層の残銅率は例えば 10% 以上、95% 以下であり、残銅率は、パターンニングされていない銅層全体の面積に対する、回路へとパターンニングされた後の銅層の面積の比率である。パターンニングされていない元の銅層の残銅率が 100% とされる。さらに、各導電層の厚さは、例えば $10 \mu\text{m}$ 以上、 $30 \mu\text{m}$ 以下である。一般に、残銅率または厚さの増加は、回路基板の応力に対する影響度を増加させ得るが、さらに、コア層の上方および下方の導電層の数における差をさらに比較する必要がある。以下の説明を参照されたい。

【 0024 】

回路基板 110、内蔵部品 120、および応力補償層 130 を含む内蔵部品パッケージ構造 100 を示す図 3A を参照する。回路基板 110 はコア層 111 および上方導電層 112 を有し、コア層 111 は、(図 2 において T2 として示す) 第 1 の厚さを有する。内蔵部品 120 はコア層 111 内に配置される。コア層 111 は、第 1 の表面 S1 (または第 1 の側) と、第 1 の表面 S1 と反対側の第 2 の表面 S2 (または第 2 の側) とを有する。上方導電層 112 は第 1 の表面 S1 上に配置され、上方導電層 112 と内蔵部品 120 と

10

20

30

40

50

は電氣的に接続される。すなわち、上方導電層 112 の電氣的接点 112a と、内蔵部品 120 の対応する電気パッド 121 とが、電氣的に接続されるよう互いに接触する。さらに、この実施形態では、複数のはんだボール 140 が、ボールグリッドアレイタイプの内蔵部品パッケージ構造 100 を形成するよう、回路基板 110 上に配置され、上方導電層 112 に電氣的に接続される。

【0025】

図 3A における非対称回路構造は、内蔵部品 120 の上方に配置された単一の上方導電層 112 のみを有する。したがって、本実施形態では、応力補償層 130 は、内蔵部品 120 の上方、および下方の応力分布を均衡化させるよう、内蔵部品 120 下に、すなわち、コア層 111 の第 2 の表面 S2 上に配置される。

10

【0026】

応力補償層 130 は、例えば、ガラス繊維を含む誘電体材料の層であり、応力補償層 130 上には銅層は重ね合わせられていない。応力補償層 130 は誘電体材料を硬化した後に高い剛性を有するので、回路基板 110 は上方に曲がることを防止され、よって、回路基板 110 の反りが効果的に低減され得る。別の実施形態では、応力補償層 130 は、所定の強度を有する、複合材料、ナノ材料、および金属材料で作られてもよく、本発明はそれらに限定されるものでない。

【0027】

図 2 における数値によれば、図 3A における応力補償層 130 の（図 2 における T1 によって示す）厚さは、例えば 16 μm 以上、129 μm 以下（±12 μm）であり、コア層 111 の厚さに対する応力補償層 130 の厚さの比率（T1 / T2）は、例えば 0.03 以上、1.17 以下である。

20

【0028】

例えば、応力補償層 130 の樹脂材料およびガラス繊維の密度はそれぞれ、1.1 g/cm³ および 2.5 g/cm³ であり、樹脂比率は 50% であり、ガラス繊維比率は 50% であり、上方導電層 112 の銅の密度は 8.9 g/cm³ であり、残銅率は 65% であり、銅の厚さは 13.6 μm である。応力補償層 130 の厚さは、（上方導電層の銅の厚さ × 残銅率 × 銅の密度） / （（樹脂比率 × 樹脂の密度） + （ガラス繊維比率 × ガラス繊維の密度））、すなわち、（13.6 μm × 65% × 8.9） / （50% × 1.1 + 50% × 2.5） = 43.7 μm として表すことが可能である。別の実施形態では、残銅率が 95% になると、応力補償層 130 の厚さが 63.88 μm に相対的に増加する。別の実施形態では、残銅率が 95% になり、かつ、銅厚が 30 μm になると、応力補償層 130 の厚さは、141 μm に相対的に増加する。一方、残銅率が 10% になり、銅厚が 10 μm になると、応力補償層 130 の厚さは、相対的に 4 μm に低減される。

30

【0029】

図 3B を参照するに、内蔵部品パッケージ構造 101 は、回路基板 110、内蔵部品 120、および応力補償層 130 を含む。回路基板 110 は、コア層 111、2 つの上方導電層 112、114、および誘電体材料層 113 を有する。コア層 111 は第 1 の厚さを有する。内蔵部品 120 は、回路基板 110 のコア層 111 内に配置される。コア層 111 は、互いに対向する第 1 の表面 S1 と第 2 の表面 S2 とを有する。上方導電層 112 はコア層 111 の第 1 の表面 S1 上に配置され、上方導電層 112 は、内蔵部品 120 に電氣的に接続される。上方導電層 114 は、誘電体材料層 113 上に配置される。2 つの導電層 112 および 114 は、誘電体材料層 113 を貫通する導電性ピラー C により、互いに電氣的に接続される。誘電体材料層 113 は、2 つの上方導電層 112 および 114 間に配置される。さらに、本実施形態では、複数のはんだボール 140 が、上述するようにボールグリッドアレイタイプの内蔵部品パッケージ構造 101 を形成するよう、回路基板 110 上に配置され、上方導電層 112 および 114 に電氣的に接続される。

40

【0030】

図 3B における非対称回路構造は、内蔵部品 120 の上方に配置された 2 つの上方導電層 112 および 114 を有する。したがって、本実施形態では、応力補償層 130 は、内蔵

50

部品 1 2 0 の上方および下方の応力分布を均衡化させるよう、内蔵部品 1 2 0 の下方に、すなわち、コア層 1 1 1 の第 2 の表面 S 2 上に配置される。上方導電層 1 1 2 および 1 1 4 の数は 2 つの層に限定されるものでなく、2 つよりも多い層であってもよい。

【 0 0 3 1 】

図 2 における数値によれば、図 3 B における、(図 2 において T 1 によって示す) 応力補償層 1 3 0 の厚さは、例えば 5 1 μm 以上、3 0 0 μm 以下 ($\pm 1 2 \mu\text{m}$) であり、コア層 1 1 1 の厚さに対する応力補償層 1 3 0 の厚さの比率 (T 1 / T 2) は例えば、0 . 4 2 以上、2 . 5 8 以内である。図 3 B における応力補償層 1 3 0 の厚さは、主に、(上方導電層の銅の厚さ \times 残銅率 \times 銅の密度) / ((樹脂比率 \times 樹脂の密度) + (ガラス繊維比率 \times ガラス繊維の密度))、および、誘電体材料層 1 1 3 の厚さによって決められる。その式は上述の通りであり、改めて説明されない。誘電体材料層 1 1 3 の材料は、応力補償層 1 3 0 の誘電体材料と同じであってもよく、例えば誘電体材料が同じガラス繊維比率を有していてもよく、したがって、誘電体材料層 1 1 3 の厚さを (例えば、2 層または 3 層) 増加させると、応力補償層 1 3 0 の厚さを、応力均衡を実現するために、適宜、増加させる必要がある。

10

【 0 0 3 2 】

図 3 C を参照すると、内蔵部品パッケージ構造 1 0 2 は、回路基板 1 1 0、内蔵部品 1 2 0、および応力補償層 1 3 0 を含む。回路基板 1 1 0 は、コア層 1 1 1、2 つの上方導電層 1 1 2、1 1 4、誘電体材料層 1 1 3、および下方導電層 1 1 5 を有する。誘電体材料層 1 1 3 は、2 つの上方導電層 1 1 2 および 1 1 4 の間に配置される。本実施形態と上記実施形態との相違は、下方導電層 1 1 5 がコア層 1 1 1 の第 2 の表面 S 2 上にさらに配置されることであり、残りの構成要素は同じ符号で表示され、改めて説明されない。

20

【 0 0 3 3 】

図 3 C における非対称回路構造は、内蔵部品 1 2 0 の上方および下方にそれぞれ配置された、2 つの上方導電層 1 1 2、1 1 4 と下方導電層 1 1 5 とを有する。したがって、本実施形態では、応力補償層 1 3 0 は、内蔵部品 1 2 0 の上方および下方の応力分布を均衡化させるために、内蔵部品 1 2 0 の下方に、すなわち、コア層 1 1 1 の第 2 の表面 S 2 上に配置され、コア層 1 1 1 における下方導電層 1 1 5 と同じ側に配置される。

【 0 0 3 4 】

図 2 における数値に応じれば、図 3 C における応力補償層 1 3 0 の (図 2 における T 1 によって示す) 厚さは、例えば、3 4 μm 以上、1 7 1 μm 以下 ($\pm 1 2 \mu\text{m}$) であり、コア層 1 1 1 の厚さに対する応力補償層 1 3 0 の厚さの比率 (T 1 / T 2) は例えば、0 . 1 8 以上、1 . 1 5 2 以下である。図 3 C における応力補償層 1 3 0 の厚さは、主に、((上方導電層の銅の厚さ \times 残銅率 \times 銅の密度) - (下方導電層の銅の厚さ \times 残銅率 \times 銅の密度)) / ((樹脂比率) \times 樹脂の密度) + (ガラス繊維比率 \times ガラス繊維の密度))、および、誘電体材料層 1 1 3 の厚さによって決められる。この式は上述している。本実施形態では、2 つの上方導電層 1 1 2、1 1 4 の第 1 の上方導電層 1 1 2 の応力と、下方導電層 1 1 5 の応力が互いに相殺するので、第 2 の上方導電層 1 1 4 および誘電体材料層 1 1 3 によって発生する非対称応力のみが考慮される。さらに、誘電体材料層 1 1 3 の厚さを (例えば、2 層または 3 層) 増加させると、応力補償層 1 3 0 の厚さを、上述したように、応力均衡を実現するために、適宜増加させる必要がある。

30

40

【 0 0 3 5 】

図 3 D を参照すると、内蔵部品パッケージ構造 1 0 3 は、回路基板 1 1 0、内蔵部品 1 2 0、および応力補償層 1 3 0 を含む。回路基板 1 1 0 は、コア層 1 1 1、上方導電層 1 1 2、および 2 つの下方導電層 1 1 5、1 1 6 を有する。上方導電層 1 1 2 はコア層 1 1 1 の上方に配置され、2 つの下方導電層 1 1 5、1 1 6 はコア層 1 1 1 の下方に配置される。上方導電層 1 1 2、および 2 つの下方導電層 1 1 5、1 1 6 は、例えば、コア層 1 1 1 を貫通する導電性ピラー C 1 および応力補償層 1 3 0 を貫通する導電性ピラー C 2 により、互いに電氣的に接続される。応力補償層 1 3 0 は 2 つの下方導電層 1 1 5、1 1 6 間に配置され、応力補償層 1 3 0 および 2 つの下方導電層 1 1 5、1 1 6 はすべて、コア層 1

50

11の同じ側に配置される。

【0036】

図3Dにおける非対称回路構造は、上方導電層112および2つの下方導電層115、116をそれぞれ、内蔵部品120の上方および下方に有する。第1の下方導電層115は内蔵部品120の下方に配置されるが、第1の下方導電層115によって発生する引張り応力は回路基板110を下方に曲げるものであり、第2の下方導電層116によって発生する引張り応力は回路基板110を上方に曲げるものであり、2つの応力の両方を互いに均衡化させることができる。したがって、本実施形態では、応力補償層130の厚さは、主に、コア層111の厚さと、上方導電層112の厚さおよび残銅率とによって決められる。なお、下方導電層115の数は2層に限定されず、2層より多くてもよい。

10

【0037】

図2における数値によれば、図3Dにおける応力補償層130の(図2におけるT1によって示す)厚さは、例えば、81 μ m以上、339 μ m以下(\pm 12 μ m)であり、コア層111の厚さに対する応力補償層130の厚さの比率(T1/T2)は例えば、0.57以上、2.90以下である。図3Dにおける応力補償層130の厚さは、主に、((上方導電層の銅の厚さ \times 残銅率 \times 銅の密度)+(第1の下方導電層の銅の厚さ \times 残銅率 \times 銅の密度)-(第2の下方導電層の銅の厚さ \times 残銅率 \times 銅の密度)+(コア層の厚さ))/(樹脂比率 \times 樹脂の密度)+(ガラス繊維比率 \times ガラス繊維の密度)、および、誘電体材料層113の厚さによって決められ、その式は上述している。本実施形態では、第1の下方導電層115の応力と第2の下方導電層116の応力が互いに相殺するので、コア層111および上方導電層112によって発生する非対称応力のみが考慮される。

20

【0038】

図4を参照すると、上記実施形態に従って、複数の回路基板ユニット210、複数の内蔵部品220、および応力補償層230を含む内蔵型パネル基板200が提供される。複数の回路基板ユニット210は、図3A~図3Dに示すように、切断することにより、複数の回路基板110に分割され得る。内蔵型パネル基板200は、前述された内蔵部品パッケージ構造100~103の半製品とみなし得る。

【0039】

回路基板ユニット210のそれぞれは、コア層211および非対称回路構造212(一層のみを示す)を有する。コア層211は第1の厚さを有し、非対称回路構造212は、図3A~図3Dにおいて示されたものと同様であり、再度示されない。非対称回路構造212は、内蔵部品220の上方および下方に非対称応力分布を生成し、内蔵型パネル基板200を反らせる。

30

【0040】

さらに、内蔵部品220は、回路基板ユニット210それぞれのコア層211に配置される。応力補償層230は、非対称回路構造212の応力分布を均衡化させるために、コア層211の一方側に配置され、応力補償層230は、内蔵型パネル基板200の反りを5mm未満に抑制する第2の厚さを有する。

【0041】

一実施形態では、内蔵型パネル基板200は、240.5mm \times 95mm以上の長さ寸法および幅寸法を有する。内蔵型パネル基板200の反りの量が5mmより大きい場合、内蔵型パネル基板200の平坦度が低下し、はんだペースト印刷プロセスまたはリフロープロセスを行い得ず、よって、はんだボール240(図5Dを参照されたい)が作られ得ないか、または、はんだボール240が、回路基板ユニット210上に固定すべくはんだ付けされ得ない。また、内蔵型パネル基板200の反りの量が5mmよりも大きい場合、内蔵型パネル基板200を複数の回路基板に切断するにあたって不利なため、パッケージングされた製品の品質に影響する。そして、本実施形態は、(例えば、層の数が2L+2Lまたは1L+1Lである)従来の対称回路構造と比較して、少なくとも1つの導電層の数を削減し、導電層のパターニング工程を削減することが可能な非対称回路構造212を使用する。したがって、本実施形態のパッケージ構造の生産コストが相対的に削減される。

40

50

【 0 0 4 2 】

図 5 A ~ 図 5 E を参照すると、上記実施形態に従って、内蔵部品パッケージ構造の製造方法が以下のように提供される。図 5 A では、シミュレーション結果により、内蔵部品パッケージ構造の全体構造、およびその応力分布を確認した後、応力補償層 2 3 0 の所要の厚さが決定される。図 5 B では、絶縁材料 2 1 1 ' が応力補償層 2 3 0 の一方側に配置される。図 5 C では、コア層 2 1 1 内に内蔵部品 2 2 0 を形成すべく、電子部品が、絶縁材料 2 1 1 ' 上に配置され、別の絶縁材料 2 1 1 " によって覆われる。コア層 2 1 1 は第 1 の厚さを有し、応力補償層 2 3 0 は第 2 の厚さを有する。図 5 D では、非対称回路構造 2 1 2 がコア層 2 1 1 上に形成され、内蔵部品 2 2 0 に電氣的に接続される。非対称回路構造 2 1 2 は一層に限定されず、複数の上方導電層および / または複数の下方導電層を含み得る。非対称回路構造 2 1 2 が下方導電層を有する場合、先ず下方導電層が応力補償層 2 3 0 上に形成されてもよく、次いで、コア層 2 1 1 が下方導電層上に形成される。図 5 E では、はんだボール 2 4 0 が内蔵型パネル基板 2 0 0 上に形成された後、回路基板ユニット 2 1 0 は、複数の内蔵部品パッケージ構造 2 0 1 を形成するよう切り離される。

10

【 0 0 4 3 】

一実施形態では、電子部品は、例えば、半導体チップ、駆動チップもしくは制御チップなどの能動部品、または抵抗器、インダクター、またはコンデンサーなどの受動部品である。

【 0 0 4 4 】

上記方法の実施形態では、非対称回路構造が電子部品の上方側および下方側に形成され、次いで、応力補償層 2 3 0 はコア層 2 1 1 の一方側に配置されるか、または、応力補償層 2 3 0 がコア層の一方側に配置され、次いで、非対称回路構造が電子部品の上方および下方に形成される。本発明はこれに限定されるものでない。

20

【 0 0 4 5 】

本発明は、例により、かつ、好適な実施形態に関して説明してきたが、本発明はこれに限定されるものでない。むしろ、種々の修正形態および同様な装置および手順を包含することを意図しており、よって、添付した請求項の範囲には、そうした修正形態や同様な装置および手順をすべて包含するように最も広い解釈が与えられるべきである。

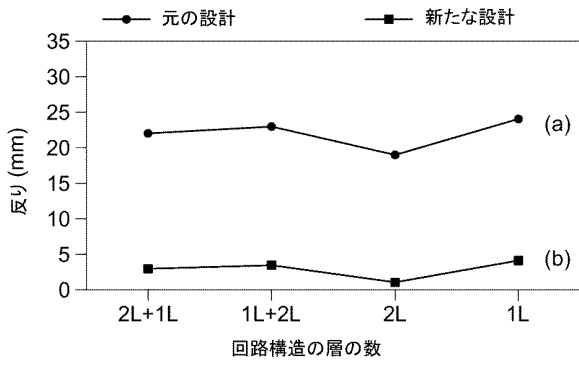
30

40

50

【図面】

【図 1】



【図 2】

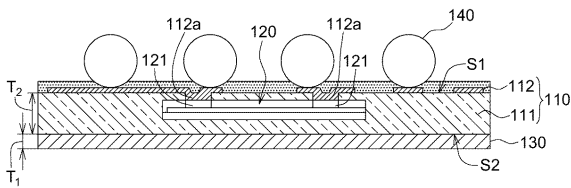
(a) 元の設計		(b) 新たな設計			
層	CCL 厚さ (T1)	コア 厚さ (T2)	厚さ比 (T1/T2)	反り (ハネル形態)	機械率/厚さ
2L+1L	30±5μm	121(±10)μm	0.2-0.29	19-25 mm	考慮せず
1L+2L	30±5μm		0.2-0.29	21-26 mm	考慮せず
2L	30±5μm or 40±5μm	121(±10)μm	0.2-0.37	15-21 mm	考慮せず
1L	30±5μm or 40±5μm		0.2-0.37	21-28 mm	考慮せず
層	CCL 厚さ (T1)	コア 厚さ (T2)	厚さ比 (T1/T2)	反り (ハネル形態)	機械率/厚さ
2L+1L	34-171(±12)μm	121(±10)μm	0.18-1.152	2-4 mm	10%-95%/10-30μm
1L+2L	81-339(±12)μm		0.57-2.90	3-4 mm	10%-95%/10-30μm
2L	51-300(±12)μm	121(±10)μm	0.42-2.58	0-2 mm	10%-95%/10-30μm
1L	16-129(±12)μm		0.03-1.17	2-5 mm	10%-95%/10-30μm

10

20

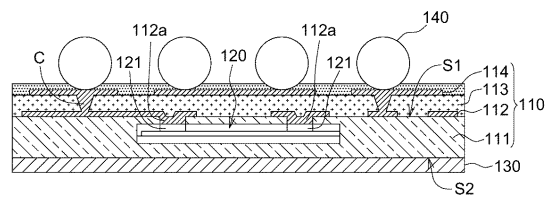
【図 3 A】

100



【図 3 B】


101



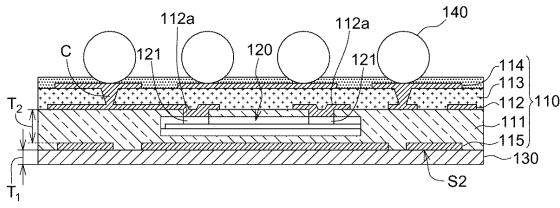
30


40

50

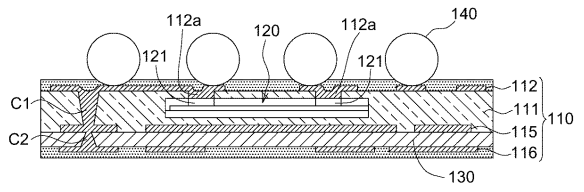
【 3 C】


102

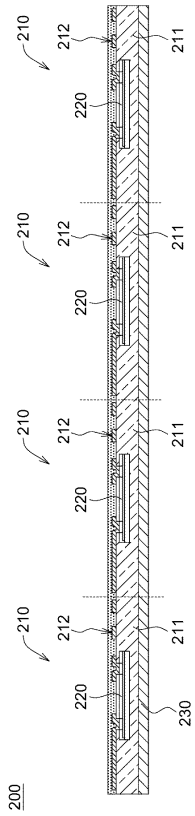



【 3 D】

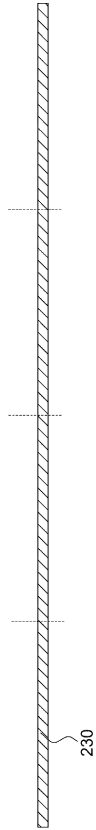
103



【 4】



【 5 A】



10

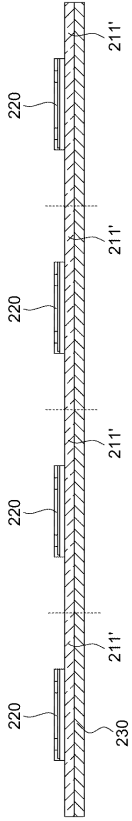
20

30

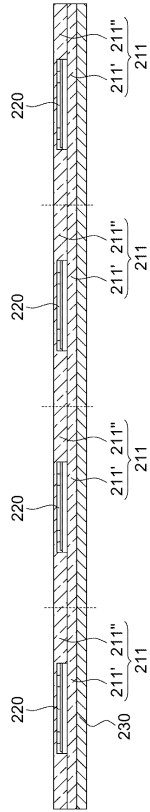
40

50

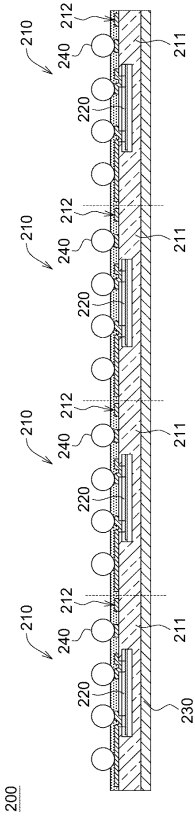
【 5 B 】



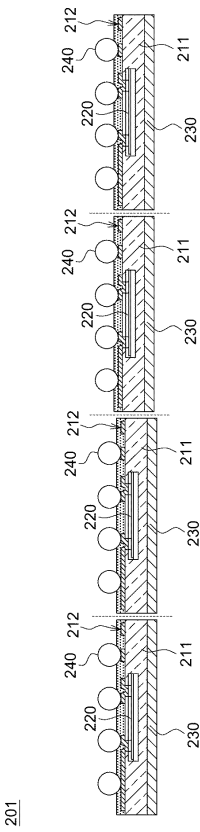
【 5 C 】



【 5 D 】



【 5 E 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類 F I
H 0 1 L 23/30 B

(72)発明者 林 い 嘉
台湾高雄市楠梓區清豐二路168巷22號

審査官 多賀 和宏

(56)参考文献 特開2012-084891(JP,A)
特開2010-232648(JP,A)
特開2014-131040(JP,A)
特開2014-056925(JP,A)

(58)調査した分野 (Int.Cl., DB名)
H 0 1 L 23 / 12 - 23 / 15
H 0 5 K 3 / 46
H 0 1 L 23 / 29