

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4640984号  
(P4640984)

(45) 発行日 平成23年3月2日(2011.3.2)

(24) 登録日 平成22年12月10日(2010.12.10)

(51) Int.Cl. F I  
**HO2M 3/155 (2006.01)** HO2M 3/155 H

請求項の数 9 (全 17 頁)

<p>(21) 出願番号 特願2005-353795 (P2005-353795)                  (22) 出願日 平成17年12月7日(2005.12.7)                  (65) 公開番号 特開2007-159319 (P2007-159319A)                  (43) 公開日 平成19年6月21日(2007.6.21)                  審査請求日 平成20年4月16日(2008.4.16)</p>	<p>(73) 特許権者 308014341                  富士通セミコンダクター株式会社                  神奈川県横浜市港北区新横浜二丁目10番                  23                  (74) 代理人 100117385                  弁理士 田中 裕人                  (72) 発明者 長谷川 守仁                  愛知県春日井市高蔵寺町二丁目1844番                  2 富士通ヴィエルエスアイ株式会社内                  審査官 天坂 康種</p>
---	--

最終頁に続く

(54) 【発明の名称】 DC-DCコンバータの制御回路および制御方法

(57) 【特許請求の範囲】

【請求項1】

クロック信号に応じてメインスイッチングトランジスタを制御する電流モード制御型DC-DCコンバータ制御回路において、

前記メインスイッチングトランジスタが第2導通状態から第1導通状態へ移行するタイミングを決めるタイミング信号を出力するタイミング調整回路と、

前記タイミング信号と前記クロック信号との位相差を検出し、該位相差に応じた位相差信号を前記タイミング調整回路へ出力する位相比較器とを備え、

前記タイミング調整回路は、前記タイミング信号の位相が前記クロック信号の位相よりも進んでいる場合には、前記メインスイッチングトランジスタが前記第1導通状態から前記第2導通状態へ移行した時点から前記タイミング調整回路が前記タイミング信号を出力するまでの遅延時間を前記位相の進み量に応じて長くし、前記タイミング信号の位相が前記クロック信号の位相よりも遅れている場合には、前記遅延時間を前記位相の遅れ量に応じて短くすることを特徴とする電流モード制御型DC-DCコンバータ制御回路。

【請求項2】

前記第1導通状態は導通状態であり、

前記第2導通状態は非導通状態であり、

前記メインスイッチングトランジスタは、インダクタ電流が設定値よりも高くなることに伴って前記第1導通状態から前記第2導通状態へ移行することを特徴とする請求項1に記載の電流モード制御型DC-DCコンバータ制御回路。

10

20

## 【請求項 3】

前記第 1 導通状態は非導通状態であり、

前記第 2 導通状態は導通状態であり、

前記メインスイッチングトランジスタは、インダクタ電流が設定値よりも低くなることに  
に応じて前記第 1 導通状態から前記第 2 導通状態へ移行することを特徴とする請求項 1 に  
記載の電流モード制御型 DC - DC コンバータ制御回路。

## 【請求項 4】

前記タイミング調整回路は、

前記メインスイッチングトランジスタのゲート端子に入力されるゲート入力信号が入力  
され、

前記ゲート入力信号のエッジであって前記メインスイッチングトランジスタを前記第 1  
導通状態から前記第 2 導通状態へ移行させるエッジに対して前記遅延時間を付与し、該遅  
延時間の付与後の信号を前記タイミング信号として出力することを特徴とする請求項 1 に  
記載の電流モード制御型 DC - DC コンバータ制御回路。

## 【請求項 5】

前記タイミング調整回路は、

前記位相差信号に応じて電流量を変化させる電流源と、

前記電流源と直列接続され、一端が接地されるキャパシタと、

前記キャパシタと並列接続され、前記ゲート入力信号が入力され、前記メインスイッ  
チングトランジスタが前記第 2 導通状態とされることに  
に応じて非導通状態とされ、前記メイ  
ンスイッチングトランジスタが前記第 1 導通状態とされることに  
に応じて導通状態とされる  
第 1 スイッチと、

前記キャパシタの電圧と第 1 設定電圧との比較結果を出力する第 1 比較器と、

を備えることを特徴とする請求項 4 に記載の電流モード制御型 DC - DC コンバータ制  
御回路。

## 【請求項 6】

前記位相比較器は、

積分器と、

該積分器と接地電圧とを接続する第 2 スイッチと、

該積分器と電源電圧とを接続する第 3 スイッチとを備え、

前記タイミング信号の立ち上がりエッジの位相が前記クロック信号の立ち上がりエッジ  
の位相に比して進んでいる場合には、位相の進み量に応じて前記第 2 スイッチを導通状態  
とし、前記タイミング信号の立ち上がりエッジの位相が前記クロック信号の立ち上がりエ  
ッジの位相に比して遅れている場合には、位相の遅れ量に応じて前記第 3 スイッチを導通  
状態とすることを特徴とする請求項 1 に記載の電流モード制御型 DC - DC コンバータ制  
御回路。

## 【請求項 7】

前記メインスイッチングトランジスタを制御するフリップフロップの前記タイミング信  
号が入力される入力端子と DC - DC コンバータの出力端子との間に接続され、前記 DC  
- DC コンバータの出力電圧が第 2 設定電圧を超えることに  
に応じて、前記タイミング信号  
と同レベルの信号を前記タイミング信号が入力される入力端子へ出力する第 2 比較器を備  
えることを特徴とする請求項 1 に記載の電流モード制御型 DC - DC コンバータ制御回路  
。

## 【請求項 8】

第 3 設定電圧と DC - DC コンバータの出力電圧との誤差増幅により得られる誤差増幅  
信号と、第 4 設定電圧と、前記タイミング信号とが入力され、前記誤差増幅信号が前記第  
4 設定電圧よりも高い期間においては前記メインスイッチングトランジスタを制御するフ  
リップフロップの前記タイミング信号が入力される入力端子へ前記タイミング信号を入力  
し、前記誤差増幅信号が前記第 4 設定電圧よりも低い期間においては前記タイミング信号  
をマスクする監視回路を備えることを特徴とする請求項 1 に記載の電流モード制御型 DC

10

20

30

40

50

- DCコンバータ制御回路。

【請求項9】

クロック信号に応じてメインスイッチングトランジスタを制御する電流モード制御型DC-DCコンバータ制御方法において、

前記メインスイッチングトランジスタが第2導通状態から第1導通状態へ移行する移行タイミングと前記クロック信号との位相差を検出するステップと、

前記メインスイッチングトランジスタが前記第1導通状態へ移行した後に、インダクタ電流が設定値を超えることに応じて、前記メインスイッチングトランジスタを前記第1導通状態から前記第2導通状態へ移行させるステップと、

その後の前記移行タイミングの決定時において、以前の前記移行タイミングの位相が前記クロック信号の位相よりも進んでいる場合には、前記位相の進み量に応じて前記移行タイミングを遅らせ、以前の前記移行タイミングの位相が前記クロック信号の位相よりも遅れている場合には、前記位相の進み量に応じて前記移行タイミングを早めるステップと

を備えることを特徴とする電流モード制御型DC-DCコンバータ制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電流モード制御型DC-DCコンバータの制御回路および制御方法に関し、特にオンデューティが50%を超えた場合における低調波発振の防止に関するものである。

【背景技術】

【0002】

図9は、固定オフ時間制御の電流モードDC-DCコンバータ100である。メインスイッチングトランジスタFET1がターンオンすると、チョークコイルL1に流れるインダクタ電流が増加する。入力端子FB1を介して帰還されたインダクタ電流が、誤差増幅信号Vcより大きくなると、トランジスタFET1は固定時間だけターンオフする。そして固定のオフ時間の後、トランジスタFET1は再度ターンオンする。

【0003】

尚、上記の関連技術として特許文献1、2が開示されている。

【特許文献1】特開2002-223562号公報

【特許文献2】特開2005-143197号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしDC-DCコンバータ100は、トランジスタFET1のオフ時間は固定であるが、オン時間は入力電圧Vinと出力電圧Voutの比で決まる。するとトランジスタFET1のスイッチング周波数が、入力電圧Vinに依存して変動するため問題である。

【0005】

またDC-DCコンバータ100のトランジスタFET1のオンサイクルの開始は、固定のオフ時間の終了後に行われる。すなわち、DC-DCコンバータ100の負荷が急増した場合においても、トランジスタFET1のオフ時間が終了するまではトランジスタFET1をターンオンすることができない。すると、負荷の急変に対して、DC-DCコンバータ100の応答遅延が発生するため問題である。

【0006】

本発明は前記背景技術の課題の少なくとも1つを解消するためになされたものであり、オンデューティが50%を超える領域においても、出力電流の低下を防止すること、および、コイル電流の低調波発振を防止することが可能であるDC-DCコンバータ制御回路およびDC-DCコンバータの制御方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

10

20

30

40

50

前記目的を達成するために、本発明における電流モード制御型DC-DCコンバータ制御回路では、クロック信号に応じてメインスイッチングトランジスタを制御する電流モード制御型DC-DCコンバータ制御回路において、メインスイッチングトランジスタが第2導通状態から第1導通状態へ移行するタイミングを決めるタイミング信号を出力するタイミング調整回路と、タイミング信号とクロック信号との位相差を検出し、該位相差に応じた位相差信号をタイミング調整回路へ出力する位相比較器とを備え、タイミング調整回路は、タイミング信号の位相がクロック信号の位相よりも進んでいる場合には、メインスイッチングトランジスタが第1導通状態から第2導通状態へ移行した時点からタイミング調整回路がタイミング信号を出力するまでの遅延時間を位相の進み量に応じて長くし、タイミング信号の位相がクロック信号の位相よりも遅れている場合には、遅延時間を位相の遅れ量に応じて短くすることを特徴とする。

10

## 【0008】

第1導通状態が導通状態であり、第2導通状態が非導通状態であり、メインスイッチングトランジスタがインダクタ電流が設定値よりも高くなることに応じて第1導通状態から第2導通状態へ移行する場合には、いわゆる固定オフ時間式の電流モード制御方式DC-DCコンバータが構成される。一方、第1導通状態が非導通状態であり、第2導通状態が導通状態であり、メインスイッチングトランジスタがインダクタ電流が設定値よりも低くなることに応じて第1導通状態から第2導通状態へ移行する場合には、いわゆる固定オン時間式の電流モード制御方式DC-DCコンバータが構成される。

## 【0009】

20

タイミング調整回路は、メインスイッチングトランジスタが第2導通状態から第1導通状態へ移行するタイミングを決めるタイミング信号を出力する。位相比較器は、タイミング信号とクロック信号との位相差を検出し、該位相差に応じた位相差信号をタイミング調整回路へ出力する。

## 【0010】

メインスイッチングトランジスタが第1導通状態から第2導通状態へ移行した時点から、タイミング調整回路がタイミング信号を出力するまでの時間を、遅延時間と定義する。位相比較器は、あるスイッチング周期において、タイミング信号の位相がクロック信号の位相よりも進んでいることを検知すると、タイミング信号の周期がクロック信号の周期よりも短いと判断する。そして位相比較器は、位相差信号によりその旨をタイミング調整回路へ伝達する。よってタイミング調整回路は、次のスイッチング周期以降において、位相の進み量に応じて遅延時間を長くすることにより、タイミング信号の周期を長くする。同様にして位相比較器は、あるスイッチング周期において、タイミング信号の位相がクロック信号の位相よりも遅れている場合には、タイミング信号の周期がクロック信号の周期よりも長いと判断し、その旨を位相差信号によりタイミング調整回路へ伝達する。よってタイミング調整回路は次のスイッチング周期以降において、位相の遅れ量に応じて遅延時間を短くすることによりタイミング信号の周期を短くする。以上のように位相比較器とタイミング調整回路とにより、遅延時間のフィードバック制御が行われる。

30

## 【0011】

これにより第1に、現在のスイッチング周期における遅延時間は、現在のスイッチング周期以前の周期におけるタイミング信号とクロック信号との位相差に応じて定められる。よって現在のスイッチング周期において発生したタイミング信号とクロック信号との位相差は、現在のスイッチング周期における遅延時間には影響を与えない。すると、現在のスイッチング周期における第2導通状態の終了時のインダクタ電流値は、それ以前のスイッチング周期における第2導通状態の終了時のインダクタ電流値の平均値と略等しくされる。すなわち、現在のスイッチング周期における負荷変動に起因して発生したインダクタ電流の乱れが、次以降のスイッチング周期に伝播することが防止される。これにより、固定周波数で動作する電流モード制御型DC-DCコンバータ制御回路において、オンデューティが50%以上の場合にも、低調波発振を防止することができる。

40

## 【0012】

50

またこれにより第2に、クロック信号の周期とタイミング信号の周期とが一致し、かつ、クロック信号とタイミング信号との位相差がゼロとなるように、遅延時間を調整することができる。よって、本発明に係るDC-DCコンバータ制御回路を備えたDC-DCコンバータのスイッチング周期を、クロック信号に同期させることができる。これにより、メインスイッチングトランジスタのスイッチング周波数が入力電圧に依存して変動する事態を防止することができる。

【0013】

また本発明における電流モード制御型DC-DCコンバータ制御方法では、クロック信号に応じてメインスイッチングトランジスタを制御する電流モード制御型DC-DCコンバータ制御方法において、メインスイッチングトランジスタが第2導通状態から第1導通状態へ移行する移行タイミングとクロック信号との位相差を検出するステップと、メインスイッチングトランジスタが第1導通状態へ移行した後に、インダクタ電流が設定値を超えることに応じて、メインスイッチングトランジスタを第1導通状態から第2導通状態へ移行させるステップと、その後の移行タイミングの決定時において、以前の移行タイミングの位相がクロック信号の位相よりも進んでいる場合には、位相の進み量に応じて移行タイミングを遅らせ、以前の移行タイミングの位相がクロック信号の位相よりも遅れている場合には、位相の進み量に応じて移行タイミングを早めるステップとを備えることを特徴とする。

【0014】

位相差を検出するステップは、メインスイッチングトランジスタが第2導通状態から第1導通状態へ移行する移行タイミングとクロック信号との位相差を検出する。メインスイッチングトランジスタを第1導通状態から第2導通状態へ移行させるステップは、位相差を検出するステップの後に行われる。移行は、インダクタ電流が設定値を超えることに応じて行われる。移行タイミングを調整するステップは、第1導通状態から第2導通状態へ移行させるステップの後に行われる。以前の移行タイミングの位相がクロック信号の位相よりも進んでいる場合には、位相の進み量に応じて移行タイミングが遅らせられる。一方、以前の移行タイミングの位相がクロック信号の位相よりも遅れている場合には、位相の進み量に応じて移行タイミングが早められる。

【0015】

以上のステップにより、移行タイミングのフィードバック制御が行われる。そしてこれにより第1に、固定周波数で動作する電流モード制御型DC-DCコンバータ制御回路において、オンデューティが50%以上の場合にも、低調波発振を防止することができる。またこれにより第2に、メインスイッチングトランジスタのスイッチング周波数が入力電圧に依存して変動する事態を防止することができる。

【発明の効果】

【0016】

本発明の電流モード制御型DC-DCコンバータの制御回路および制御方法によれば、メインスイッチングトランジスタのオンデューティが50%以上の場合にも低調波発振を防止することができ、かつ、スイッチング周波数が入力電圧に依存して変動する事態を防止することが可能となる。

【発明を実施するための最良の形態】

【0017】

本発明の第1実施形態に係るDC-DCコンバータ1を、図1を用いて説明する。DC-DCコンバータ1は、制御部3、チョークコイルL1、メインスイッチングトランジスタFET1、同期整流トランジスタFET2、平滑コンデンサC1、電流センス抵抗Rsを備える。

【0018】

図1において、トランジスタFET1の入力端子に入力電圧Vinが接続され、トランジスタFET1の出力端子にチョークコイルL1の入力端子が接続される。チョークコイルL1の出力端子からは出力電圧Voutが出力される。またトランジスタFET1の制

10

20

30

40

50

御端子には制御部 3 の出力端子 D H が接続される。同期整流スイッチ回路であるトランジスタ F E T 2 の入力端子はグランドに接地され、出力端子はチョークコイル L 1 の入力端子に接続される。またトランジスタ F E T 2 の制御端子には制御部 3 の出力端子 D L が接続される。チョークコイル L 1 の出力端子とグランドとの間には、平滑コンデンサ C 1 が接続される。またチョークコイル L 1 の出力端子は、制御部 3 の入力端子 F B 1 に接続される。

#### 【 0 0 1 9 】

制御部 3 は、電圧増幅器 A M P 1、誤差増幅器 E R A 1、電圧比較器 C O M P 1、フリップフロップ F F、発振器 O S C、位相比較器 F C、遅延回路 D L Y を備える。制御部 3 の F B 1 端子に与えられた D C - D C コンバータの出力電圧 V o u t は、F B 1 端子とグランド間に直列接続される入力抵抗 R 1 と接地抵抗 R 2 との接続ノード N 2 で分圧される。そしてノード N 2 における分圧電圧は、誤差増幅器 E R A 1 の反転入力端子に入力される。誤差増幅器 E R A 1 の非反転入力端子には、グランドからの基準電圧 e 1 が入力される。誤差増幅器 E R A 1 から出力される誤差増幅信号 V c は、電圧比較器 C O M P 1 の反転入力端子に入力される。電流センス抵抗 R s に流れる電流により発生する電圧降下を測定するために、電圧増幅器 A M P 1 の非反転入力端子には入力端子 C S 1 が接続され、反転入力端子には入力端子 F B 1 が接続される。電圧増幅器 A M P 1 から出力されるインダクタ電流信号 V I L は、電圧比較器 C O M P 1 の非反転入力端子に入力される。フリップフロップ F F のリセット入力端子 R には、電圧比較器 C O M P 1 から出力される出力信号 V o 1 が入力される。フリップフロップ F F の非反転出力端子 Q は、制御部 3 の出力端子 D H を介してトランジスタ F E T 1 に接続される。フリップフロップ F F の反転出力端子 \* Q は、制御部 3 の出力端子 D L を介してトランジスタ F E T 2 に接続される。位相比較器 F C の一方の入力端子には、遅延回路 D L Y の出力端子が接続され、遅延信号 F P が入力される。また位相比較器 F C の他方の入力端子には、発振器 O S C の出力端子が接続され、基準クロック信号 F R が入力される。位相比較器 F C の出力端子は遅延回路 D L Y に接続され、位相比較器 F C から出力される比較結果信号 C O N T は遅延回路 D L Y に入力される。そして遅延回路 D L Y から出力される遅延信号 F P は、フリップフロップ F F のセット入力端子 S および位相比較器 F C に入力される。

#### 【 0 0 2 0 】

位相比較器 F C の構成を図 2 に示す。位相比較器 F C は、位相検出部 2 1 と積分部 2 2 とを備える。位相検出部 2 1 はフリップフロップ F F 1 1 および F F 1 2、アンドゲート A N D 1 および A N D 2、トランジスタ M 1 および M 2 を備える。フリップフロップ F F 1 2 のリセット入力端子 R には、基準クロック信号 F R が入力され、またセット入力端子 S には、アンドゲート A N D 2 の出力端子が接続される。アンドゲート A N D 2 には、フリップフロップ F F 1 1 の出力端子 \* Q から出力される信号 P、および遅延信号 F P が入力される。フリップフロップ F F 1 2 の非反転出力端子 Q からは、信号 R が出力される。電源電圧 V d d と接地電圧 V s s との間に、トランジスタ M 1 および M 2 が接続される。トランジスタ M 1 のゲートには、信号 P が入力される。トランジスタ M 2 のゲートには、信号 R が入力される。両トランジスタのドレインは共通に接続された上で、積分部 2 2 に接続される。積分部 2 2 は抵抗素子 R I とキャパシタ C I とを備える。積分部 2 2 からは、比較結果信号 C O N T が出力される。また、フリップフロップ F F 1 1 についての接続関係については、フリップフロップ F F 1 2 と同様であるため、ここでは詳細な説明を省略する。

#### 【 0 0 2 1 】

遅延回路 D L Y の構成を図 3 を用いて説明する。遅延回路 D L Y は、遅延時間制御回路 3 1 と遅延時間発生回路 3 2 を備える。遅延時間制御回路 3 1 は抵抗素子 R 1 1、トランジスタ M 1 1 乃至 M 1 4 を備える。トランジスタ M 1 1 と M 1 2、およびトランジスタ M 1 3 と M 1 4 はそれぞれカレントミラ回路を構成する。抵抗素子 R 1 1 には比較結果信号 C O N T が入力される。また遅延時間発生回路 3 2 は、定電流回路 C G、コンデンサ C 1 1、電圧比較器 C O M P 1 1、基準電圧 V r e f、トランジスタ M 1 5 を備える。電圧比

10

20

30

40

50

較器COMP11の非反転入力端子には、定電流回路CGの出力端子、トランジスタM15のドレイン端子、およびコンデンサC11の一端が接続される。トランジスタM15のソース端子は接地される。トランジスタM15のゲート端子には、出力信号SQ1が入力される。また電圧比較器COMP11の反転入力端子には、基準電圧Vrefが入力される。電圧比較器COMP11からは、遅延信号FPが出力される。

【0022】

DC-DCコンバータ1の動作を説明するにあたり、まず比較として、スイッチング周期が完全に固定される電流モード制御型DC-DCコンバータの動作を、図4の波形図を用いて説明する。スイッチング周期固定の電流モード制御型DC-DCコンバータは、図1に示すDC-DCコンバータ1において、発振器OSCの出力信号が直接フリップフリップFFのセット入力端子Sに入力される構成を有する。そしてトランジスタFET1のオンタイミングが発振器OSCにより制御される。

10

【0023】

スイッチング周期固定の電流モード制御型DC-DCコンバータの出力電圧が安定して出力されている定常状態時における、インダクタ電流信号VIL100の波形を図4(点線)に示す。スイッチング周期TT100は常に一定とされる。そしてトランジスタFET1がターンオンされる時間である時間t100乃至t103におけるインダクタ電流信号VIL100の下限値は、全て一定のボトム電圧Vonとなる。

【0024】

トランジスタFET1のオン期間Ton100には、インダクタ電流信号VIL100は時間の経過と共に一次関数の直線の傾きm1でもって増加する。このとき傾きm1は、トランジスタFET1のオン期間Ton100、オフ期間Toff100、チョークコイルL1のインダクタンスLを用いて下式(1)で表される。

20

$$m1 = (V_{in} - V_{out}) / L \times T_{on100} \quad \dots \text{式(1)}$$

【0025】

一方、トランジスタFET1のオフ期間Toff100には、インダクタ電流信号VILは一次関数の直線の傾きm2でもって減少する。傾きm2は、下式(2)で表される。

$$m2 = V_{out} / L \times T_{off100} \quad \dots \text{式(2)}$$

【0026】

ここで、時間t100において負荷が変動し、インダクタ電流に乱れが発生した場合を考える。時間t100において、インダクタ電流信号に、ボトム電圧Vonからのずれ量V0が発生したとする。この場合のインダクタ電流信号VIL101(実線)は、オン期間において傾きm1で増加し、オフ期間において傾きm2で減少する。すると次の時間t101において、インダクタ電流信号VIL101には、ボトム電圧Vonからのずれ量V1が発生する。そしてずれ量V1は、下式(3)で表せる。

30

$$V1 = (m2 / m1) \times V0 \quad \dots \text{式(3)}$$

【0027】

トランジスタFET1のオンデューティが50%以上であるときには、傾きm1の絶対値は傾きm2の絶対値よりも小さい。よって式(3)より、トランジスタFET1のオン時におけるインダクタ電流信号VIL101のボトム電圧Vonからのずれ量は、トランジスタFET1がスイッチオンする度に大きくなり収束しないことが分かる。よって低調波発振が発生する。

40

【0028】

本発明に係るDC-DCコンバータ1の動作を図5乃至図8を用いて説明する。DC-DCコンバータ1は、定常状態時においてはトランジスタFET1の非固定オフ時間の動作を行い、スイッチング周波数を発振器OSCのクロック周波数に一致させる動作を行う。一方、負荷変動時には、トランジスタFET1の固定オフ時間の動作を行い、低調波発振を防止する動作を行う。

【0029】

まず図5において、出力電圧Voutが安定して出力されている定常状態時におけるD

50

C - D Cコンバータ1の動作を説明する。基準クロック信号FRのクロック周期TT11よりもスイッチング周期TT12の方が短い場合を説明する。説明の便宜のため、時間t10においては基準クロック信号FRの立ち上がりエッジと遅延信号FPの立ち上がりエッジとの位相は一致し、時間t12においては遅延信号FPの立ち上がりエッジの位相が基準クロック信号FRの立ち上がりエッジの位相よりも進んでいる場合を説明する。

【0030】

時間t10においてスイッチング周期TT12が開始すると、遅延回路DLYはハイレベルの遅延信号FPを出力してフリップフロップFFをセットする。フリップフロップFFがセットされるとトランジスタFET1がオンし、入力電圧VinからチョークコイルL1を介して負荷に電流が供給されるため、インダクタ電流信号VIL11が上昇する(矢印Y10)。

10

【0031】

またフリップフロップFFがセット状態とされることに応じて、非反転出力端子Qから出力される出力信号SQ1はハイレベルへ遷移する。ローレベルからハイレベルへ遷移した出力信号SQ1が遅延回路DLYに入力されると、遅延回路DLYは後述するように、時間遅延することなく遅延信号FPをローレベルへ遷移させる。

【0032】

時間t11において、インダクタ電流信号VIL11の電圧値が、誤差増幅信号Vcに到達すると、電圧比較器COMP1の出力信号Vo1がローレベルからハイレベルへ遷移する。ハイレベルへ遷移した出力信号Vo1がリセット入力端子Rに入力されることで、フリップフロップFFはリセットされる。そして出力信号SQ1はローレベルとされ、メイントランジスタFET1が非導通状態とされる。また出力信号SQB1はハイレベルとされ、同期整流トランジスタFET2が導通状態とされる。

20

【0033】

時間t11においてローレベルの出力信号SQ1が遅延回路DLYに入力されると、遅延回路DLYで決められた所定の遅延時間DT12が経過した後の時間t12において、遅延回路DLYからはハイレベルのパルス信号である遅延信号FPが出力される(領域A1)。

【0034】

ここで時間t11からt12における遅延回路DLYの動作を、図3を用いて説明する。遅延回路DLYは、出力信号SQ1の立ち下がりエッジの入力時から所定の遅延時間DTの経過後に、ハイレベルのパルス信号である遅延信号FPを出力する回路である。そしてさらに遅延回路DLYは、遅延時間DTの値を比較結果信号CONTの値に応じて調整する機能を有する。

30

【0035】

後述するように遅延時間DT12の値は、時間t10における基準クロック信号FRと遅延信号FPとの位相差に応じて、一つ前の周期における遅延時間DT11の値を増減することにより求められる。ここで時間t10では、基準クロック信号FRと遅延信号FPとの位相が揃っているため、増減量はゼロであり、遅延時間DT12の値はDT11の値と等しくされる。

40

【0036】

時間t12からt13における位相比較器FCの動作を、図2を用いて説明する。時間t12においてスイッチング周期TT13が開始すると、アンドゲートAND2には、ハイレベルの遅延信号FPと、ハイレベルの信号Pが入力される。よってアンドゲートAND2から出力されるハイレベルの信号が、フリップフロップFF12のセット入力端子Sに入力される。すると信号Rはハイレベルに遷移し(矢印Y12)、トランジスタM2が導通する。

【0037】

次に時間t13において、遅延信号FPに対して期間P2分遅れたハイレベルの基準クロック信号FRが、フリップフロップFF12のリセット入力端子Rに入力される。よっ

50



て信号 R はローレベルに遷移し ( 矢印 Y 1 3 )、トランジスタ M 2 が非導通状態とされる。これによりフリップフロップ F F 1 2 によって、遅延信号 F P の立ち上がりエッジから基準クロック信号 F R の立ち上がりエッジまでの位相遅れ量である期間 P 2 と同時間の正のパルス信号である、信号 R が生成される。信号 R がハイレベルである期間中は、位相検出部 2 1 から出力される P M W 信号 D O がローレベルとされる。以上より位相検出部 2 1 は、遅延信号 F P の位相が基準クロック信号 F R よりも進んでいるとき、その時間差分の長さのローレベル信号を出力する P W M 回路の働きを行うことが分かる。

【 0 0 3 8 】

積分部 2 2 のキャパシタ C I は、期間 P 2 においてローレベルの P M W 信号 D O が入力されることに応じて放電される。よって積分部 2 2 の出力である比較結果信号 C O N T の電圧値は、P M W 信号 D O に応じて下降する。

10

【 0 0 3 9 】

次に時間  $t_{14}$  から  $t_{15}$  における遅延回路 D L Y の動作を図 3 を用いて説明する。遅延回路 D L Y の遅延時間制御回路 3 1 には比較結果信号 C O N T が入力され、トランジスタ M 1 1 には比較結果信号 C O N T に比例した電流  $i_2$  が流れる。トランジスタ M 1 1 と M 1 2 はカレントミラ回路であるのでトランジスタ M 1 2 にも電流  $i_2$  が流れる。トランジスタ M 1 2 の流れる電流とトランジスタ M 1 3 に流れる電流は同じであるのでトランジスタ M 1 3 にも電流  $i_2$  が流れ、トランジスタ M 1 3 と M 1 4 はカレントミラ回路であるのでトランジスタ M 1 4 にも電流  $i_2$  が流れる。トランジスタ M 1 4 は定電流回路 C G に並列に接続されているので、遅延回路のコンデンサ C 1 1 を充電する電流は、定電流回路 C G の電流  $i_1$  と電流  $i_2$  との合計となる。

20

【 0 0 4 0 】

時間  $t_{14}$  において出力信号 S Q 1 がハイレベルからローレベルに遷移すると、トランジスタ M 1 5 がオフするので、定電流回路 C G の電流  $i_1$  と電流  $i_2$  とがコンデンサ C 1 1 を充電する。コンデンサ C 1 1 の電圧は、流入する電流  $i_1$ 、 $i_2$  とコンデンサ C 1 1 の時定数で決まる時間で上昇する。そしてコンデンサ C 1 1 の電圧が基準電圧  $V_{ref}$  以上になったときに、電圧比較器 C O M P 1 1 はハイレベルの遅延信号 F P を出力し ( 領域 A 2 )、遅延時間 D T 1 3 が終了する。以上より、コンデンサ C 1 1 の充電時間により、遅延時間 D T が定められることが分かる。そして比較結果信号 C O N T の電圧値が高くなると電流  $i_2$  が増加するため遅延時間 D T が短くなり、比較結果信号 C O N T の電圧値が

30

低くなると電流  $i_2$  が減少するため遅延時間 D T が長くなることが分かる。ここで時間  $t_{14}$  における比較結果信号 C O N T の電圧値は、時間  $t_{11}$  における比較結果信号 C O N T の電圧値に比して、期間 P 2 の長さに応じて低くなっている。よって遅延時間 D T 1 3 は、遅延時間 D T 1 2 に比して長くされる。

【 0 0 4 1 】

以上より制御部 3 では、現在のスイッチング周期 T T 1 3 以前のスイッチング周期 T T 1 2 における遅延信号 F P と基準クロック信号 F R との位相差に応じて、現在のスイッチング周期 T T 1 3 における遅延時間 D T 1 3 が調整されるフィードバック制御が行われる。これによりある程度の時間が経過すると、時間  $t_{16}$  から  $t_{17}$  に示すように、基準クロック信号 F R のクロック周期 T T 1 1 と遅延信号 F P の周期 T T 1 2 a とが一致し、かつ、基準クロック信号 F R と遅延信号 F P との位相差がゼロとなるような遅延時間 D T 1 4 が得られる。

40

【 0 0 4 2 】

次に、出力電圧  $V_{out}$  が安定して出力されている定常状態時において、基準クロック信号 F R のクロック周期 T T 1 1 よりもスイッチング周期 T T 2 2 の方が長い場合の D C - D C コンバータ 1 の動作を、図 6 を用いて説明する。時間  $t_{20}$  において、遅延回路 D L Y はハイレベルの遅延信号 F P を出力してフリップフロップ F F をセットするため、インダクタ電流信号  $V_{IL21}$  が上昇する ( 矢印 Y 2 0 )。時間  $t_{21}$  において、フリップフロップ F F はリセットされ、ローレベルの出力信号 S Q 1 が遅延回路 D L Y に入力される。すると遅延回路 D L Y で決められた所定の遅延時間 D T 2 2 が経過した後の時間  $t_2$

50

3において、遅延回路DLYからはハイレベルのパルス信号である遅延信号FPが出力される(領域A21)。

【0043】

後述するように、遅延時間DT22の値は、一つ前のスイッチング周期TT21における遅延時間DT21の値を、時間t20における基準クロック信号FRと遅延信号FPとの位相差に応じて増減することにより求められる。ここで時間t20では、基準クロック信号FRと遅延信号FPとの位相が揃っているため、増減量はゼロとされる。よって遅延時間DT22の値はDT21の値と等しくされる。

【0044】

時間t22からt23において、位相比較器FCによって、遅延信号FPの基準クロック信号FRからの位相遅れ量である期間P3と同時間の正のパルス信号である、信号Pを作ることが可能となる。信号Pがハイレベルである期間中は、位相検出部21から出力されるPWM信号DOがハイレベルとされる。よって積分部22の出力である比較結果信号CONTの電圧値は、PWM信号DOに応じて上昇する。よって時間t23以降のスイッチング周期における遅延時間は、遅延時間DT22に比して短くされる。ここで時間t13における比較結果信号CONTの電圧値は、時間t10における比較結果信号CONTの電圧値に比して、期間P2の長さに応じて低くなっている。よって遅延時間DT13は、遅延時間DT12に比して長くされる。

【0045】

以上のフィードバック制御により、位相にずれが発生した時間t22からある程度の時間が経過すると、時間t26からt27に示すように、基準クロック信号FRのクロック周期TT11と遅延信号FPの周期TT12aとが一致し、かつ、基準クロック信号FRと遅延信号FPとの位相差がゼロとなるような遅延時間DT14が得られる。

【0046】

次に図7を用いて、負荷変動等によりインダクタ電流に乱れが発生した場合におけるDC-DCコンバータ1の動作を説明する。説明の便宜のため、基準クロック信号FRの立ち上がりエッジと遅延信号FPの立ち上がりエッジとの位相が一致しているときに負荷変動が発生した場合を説明する。

【0047】

時間t30において、インダクタ電流信号がボトム電圧Vonからずれ量V0分増加することで、定常時のインダクタ電流信号VIL1(波線)からインダクタ電流信号VIL32(実線)へ変化したとする。トランジスタFET1のオン期間Ton1に、インダクタ電流信号VIL32は傾きm1で増加する。時間t31において、インダクタ電流信号VIL32の電圧値が、誤差増幅信号Vcに到達すると、電圧比較器COMP1の出力信号Vo1がローレベルからハイレベルへ遷移し、フリップフロップFFはリセットされ、出力信号SQ1はローレベルへ反転する。出力信号SQ1は、遅延回路DLYで決められた所定の遅延時間DT31の間はローレベルとされ、トランジスタFET1は遅延時間DT31の間はターンオフされる。そしてインダクタ電流信号VIL32は遅延時間DT31の間は傾きm2で減少する。

【0048】

スイッチング周期TT31における遅延時間DT31は、スイッチング周期TT31以前の周期におけるタイミング信号とクロック信号との位相差をフィードバックすることで求められる。よってスイッチング周期TT31において、負荷変動等により遅延信号FPと基準クロック信号FRとの位相差が発生した場合においても、スイッチング周期TT31における遅延時間DT31は変動せず、遅延時間DT30と等しくなる。そしてインダクタ電流信号VIL32は、遅延時間DT31の間、傾きm2で減少するため、遅延時間DT31の終了時の時間t33において、インダクタ電流信号VIL32の値はボトム電圧Vonと等しくなる(領域A30)。以上より、時間t30で発生したトランジスタFET1のオン時におけるインダクタ電流信号VIL32のボトム電圧Vonからのずれ量は、時間t33で収束する。

10

20

30

40

50

## 【 0 0 4 9 】

以上詳細に説明したとおり、第1実施形態に係るDC-DCコンバータ1は、現在のスイッチング周期以前のスイッチング周期における遅延信号FPと基準クロック信号FRとの位相差に応じて、現在のスイッチング周期における遅延時間DTが調整されるフィードバック制御が行われる。これにより第1に、現在のスイッチング周期における負荷変動に起因して発生したインダクタ電流の乱れが、次以降のスイッチング周期に伝播することが防止される。これにより、固定周波数で動作する電流モード制御型DC-DCコンバータ制御回路において、オンデューティが50%以上の場合にも、低調波発振を防止することができる。

## 【 0 0 5 0 】

またこれにより第2に、基準クロック信号FRのクロック周期とDC-DCコンバータのスイッチング周期とが一致し、かつ、基準クロック信号FRとスイッチングタイミングとの立ち上がりエッジの位相差が揃うように、トランジスタFET1のオフ期間T<sub>off</sub>を調整することができる。よって、本発明に係るDC-DCコンバータ制御回路を備えたDC-DCコンバータのスイッチング周期をクロック周期に同期させることができる。よって、スイッチング周期が入力電圧V<sub>in</sub>に依存して変動してしまう事態を防止することができる。

## 【 0 0 5 1 】

すなわち本発明における電流モード制御型DC-DCコンバータ制御回路は、DC-DCコンバータの出力電圧が安定して出力されている定常状態時においては、基準クロック信号FRに応じてメインスイッチングトランジスタFET1を制御するため、オフ時間は固定されず、スイッチング周波数を基準クロック信号FRに同期させることが可能となる。一方、負荷変動により出力電圧が変化した場合の過渡応答時においては、位相比較器FCと遅延回路DLYとのフィードバック制御により、スイッチング周期ごとにオフ時間が固定され、低調波発振を防止することが可能となる。このようにオフ時間が準固定状態とされることで、トランジスタFET1のオンデューティが50%以上の場合にも低調波発振を防止することができ、かつ、スイッチング周波数が入力電圧V<sub>in</sub>に依存して変動する事態を防止することが可能となる。

## 【 0 0 5 2 】

本発明の第2実施形態に係るDC-DCコンバータ1aを、図8を用いて説明する。DCコンバータ制御回路1aは、図1に示すDC-DCコンバータ1の制御部3に代えて制御部3aを備える。制御部3aには、制御部3に対して、電圧比較器COMP2およびCOMP3、アンドゲートAND3、オアゲートOR1が追加して備えられる。

## 【 0 0 5 3 】

誤差増幅器ERA1の出力端子が、電圧比較器COMP1の反転入力端子および電圧比較器COMP3の非反転入力端子に接続される。電圧比較器COMP3の反転入力端子には基準電圧e<sub>3</sub>が接続される。アンドゲートAND3の一方の入力端子には電圧比較器COMP3の出力端子が接続され、他方の入力端子には遅延回路DLYの出力端子が接続される。電圧比較器COMP2の反転入力端子にはノードN<sub>2</sub>が接続され、非反転入力端子には基準電圧e<sub>2</sub>が接続される。オアゲートOR1の入力端子には、アンドゲートAND3の出力端子および電圧比較器COMP2の出力端子が接続される。オアゲートOR1の出力端子は、フリップフロップFFのセット入力端子Sに接続される。電圧比較器COMP2およびCOMP3からはそれぞれ出力信号Vo<sub>2</sub>、Vo<sub>3</sub>が出力される。また基準電圧e<sub>2</sub>、e<sub>3</sub>は予め定められる所定値である。なおその他の構成は図1の制御部3と同様であるため、ここでは詳細な説明を省略する。

## 【 0 0 5 4 】

まず電圧比較器COMP2による作用を説明する。電圧比較器COMP2は、負荷急変に対してDC-DCコンバータ1aの高速応答を可能とすることを目的とする回路である。フリップフロップFFのリセット入力端子Rにハイレベルの出力信号Vo<sub>1</sub>が入力されてから、セット入力端子Sにハイレベルの遅延信号FPが入力されるまでの期間であるオ

10

20

30

40

50

フ期間  $T_{off}$  内に、負荷急変により DC - DC コンバータの出力電圧  $V_{out}$  が低下する場合を考える。出力電圧  $V_{out}$  が低下することに従い、出力電圧  $V_{out}$  のノード N2 における分圧値が低下する。そしてオフ期間  $T_{off}$  内に当該分圧値が基準電圧  $e_2$  よりも低下すると、電圧比較器 COMP2 からはハイレベルの出力信号  $V_o2$  が出力される。なお基準電圧  $e_2$  は、出力電圧  $V_{out}$  の下限値に応じて予め定められる電圧値である。するとセット入力端子 S には、ハイレベルの遅延信号 FP が入力されるタイミングよりも前に、ハイレベルの出力信号  $V_o2$  が入力されることになる。これによりフリップフロップ FF はオフ期間  $T_{off}$  の経過前に強制的にセットされ、オフ期間  $T_{off}$  が強制終了される。

#### 【0055】

また、フリップフロップ FF がオフ期間  $T_{off}$  内に強制的にセットされると、出力信号 SQ1 はローレベルからハイレベルへ遷移し、ハイレベルの出力信号 SQ1 が遅延回路 DLY に入力される。ハイレベルの出力信号 SQ1 に応じてトランジスタ M15 (図3) が導通し、充電状態とされていたコンデンサ C11 が即時に放電される。これにより遅延回路 DLY 内で生成されていた遅延時間はキャンセルされ、遅延信号 FP はローレベルに維持される。その後、ハイレベルの出力信号  $V_o1$  がリセット入力端子 R に入力されることにより、フリップフロップ FF はリセットされる。以後、上記の動作が繰り返される。

#### 【0056】

以上より DC - DC コンバータ 1a では、オフ期間  $T_{off}$  の期間中において、負荷急変により DC - DC コンバータの出力電圧  $V_{out}$  が基準電圧  $e_2$  で定められた所定値よりも低下すると、強制的にトランジスタ FET1 をオン状態にすることが出来る。これにより、負荷急変に対する高速応答が可能となる。

#### 【0057】

次に、電圧比較器 COMP3 とアンドゲート AND3 とによる作用を説明する。これらの回路は、軽負荷時における出力電圧  $V_{out}$  の上昇を防止することを目的とする回路である。誤差増幅器 ERA1 は、出力電圧  $V_{out}$  のノード N2 における分圧値と、基準電圧  $e_1$  の差を増幅し、誤差増幅信号  $V_c$  を出力する。また電圧比較器 COMP3 は、誤差増幅信号  $V_c$  と基準電圧  $e_3$  とを比較する。ここで基準電圧  $e_3$  は、出力電圧  $V_{out}$  の上限値に応じて予め定められる電圧値である。そして出力電圧  $V_{out}$  がその上限値よりも高いときには、誤差増幅信号  $V_c$  が基準電圧  $e_3$  よりも低くなり、電圧比較器 COMP3 はローレベルの出力信号  $V_o3$  を出力する。ローレベルの出力信号  $V_o3$  がアンドゲート AND3 に入力されると、アンドゲート AND3 は遅延信号 FP をマスクする。その結果、トランジスタ FET1 のオフ期間  $T_{off}$  が終了し、ハイレベルの遅延信号 FP が遅延回路 DLY から出力されても、当該遅延信号 FP はマスクされるため、フリップフロップ FF はリセット状態が維持され、トランジスタ FET1 はオフ状態が維持される。よって DC - DC コンバータの出力電圧  $V_{out}$  の上昇を防止する。

#### 【0058】

そして DC - DC コンバータ 1a の出力電圧  $V_{out}$  がその上限値よりも低くなると、誤差増幅信号  $V_c$  が基準電圧  $e_3$  よりも高くなり、電圧比較器 COMP3 はハイレベルの出力信号  $V_o3$  を出力する。するとアンドゲート AND3 は遅延信号 FP のマスクをやめる。よってフリップフロップ FF はハイレベルの遅延信号 FP に応じてセット状態とされ、DC - DC コンバータの出力電圧  $V_{out}$  が上昇する。

#### 【0059】

効果を説明する。図1の DC - DC コンバータ 1 においては、トランジスタ FET1 のスイッチング周期と発振器 OSC の基準クロック信号 FR の周期とが一致するように制御される。よって無負荷状態であっても、トランジスタ FET1 は定期的に導通状態とされる。するとチョークコイル L1 に蓄えられたエネルギーは全て、平滑コンデンサ C1 の電圧を上昇させるだけに使用されるため、出力電圧  $V_{out}$  が設定電圧値よりも上昇する。一方、図8の DC - DC コンバータ 1a においては、電圧比較器 COMP3 とアンドゲート AND3 を備えることにより、出力電圧  $V_{out}$  が基準電圧  $e_3$  で設定された設定値を超

10

20

30

40

50

えて上昇する期間においては、トランジスタFET1を強制的にオフ状態に維持することができる。よって出力電圧Voutが設定電圧値よりも上昇することを防止できる。

【0060】

以上詳細に説明したとおり、第2実施形態に係るDC-DCコンバータ1aでは、第1に負荷急変によりDC-DCコンバータの出力電圧Voutが低下すると、オフ期間T<sub>off</sub>の間中であっても強制的にトランジスタFET1をオン状態にすることが出来る。よって負荷急変に対する高速応答が可能となる。また第2に、出力電圧Voutが基準電圧e<sub>3</sub>で設定された設定値を超えて上昇する期間においては、トランジスタFET1を強制的にオフ状態に維持することができる。よって出力電圧Voutが設定電圧値よりも上昇することを防止できる。

10

【0061】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。本実施形態では固定オフ時間式の電流モード制御方式DC-DCコンバータについて説明したが、この形態に限られない。固定オン時間式の電流モード制御方式DC-DCコンバータにも本発明を適用できることは言うまでもない。この場合、図1に示すDC-DCコンバータ1において、電圧比較器COMP1の非反転入力端子には誤差増幅器ERA1が接続され、反転入力端子には電圧増幅器AMP1が接続される。電圧比較器COMP1の出力端子はフリップフロップFF1のセット入力端子Sに入力される。また非反転出力端子Qは出力端子DHに接続されると共に、遅延回路DLYを介して、フリップフロップFF1のリセット入力端子Rに接続される。なおその他の構成については、DC-DCコンバータ1と同様であるため、ここでは詳細な説明は省略する。

20

【0062】

インダクタ電流信号VILが誤差増幅信号Vcまで低下すると、電圧比較器COMP1はハイレベルの出力信号V<sub>o1</sub>を出力してフリップフロップFF1をセットする。そして遅延回路DLYが遅延時間DTの経過後にハイレベルの遅延信号FPを出力することに応じて、フリップフロップFF1がリセットされる。この動作が繰り返されることで、固定オン時間式のDC-DCコンバータが構成される。

【0063】

また本実施形態の遅延回路DLY(図3)では、出力段に電圧比較器COMP11を使用しているが、この形態に限られない。電圧比較器COMP11に代えてドライバ回路を用いてもよい。出力信号SQ1がハイレベル状態であるとき、ドライバ回路にはグランド電位が入力されるため、ドライバ回路からはローレベルの遅延信号FPが出力される。そして出力信号SQ1がローレベルへ遷移してから所定時間経過後に、コンデンサC11の電圧がドライバ回路のしきい値電圧以上まで上昇すると、ドライバ回路からはハイレベルの遅延信号FPが出力される。これにより、回路を簡略化することが可能となる。

30

【0064】

また本実施形態では、降圧型のDC-DCコンバータについて説明した。ここで本発明のポイントは、現在のスイッチング周期以前のスイッチング周期における遅延信号FPと基準クロック信号FRとの位相差に応じて、現在のスイッチング周期における遅延時間DTが調整されるフィードバック制御が行われる点である。よって、昇圧型のDC-DCコンバータにおいても本発明を適用することができることは言うまでもない。

40

【0065】

なお、遅延信号FPはタイミング信号の一例、遅延回路DLYはタイミング調整回路の一例、基準クロック信号はFRクロック信号の一例、比較結果信号CONTは位相差信号の一例、トランジスタM2は第2スイッチの一例、トランジスタM1は第3スイッチの一例、基準電圧V<sub>ref</sub>は第1設定電圧の一例、基準電圧e<sub>2</sub>は第2設定電圧の一例、電圧比較器COMP11は第1比較器の一例、電圧比較器COMP2は第2比較器の一例、電圧比較器COMP3は監視回路のそれぞれ一例である。

【図面の簡単な説明】

50

【 0 0 6 6 】

【 図 1 】 DC - DCコンバータ 1 の回路図

【 図 2 】 位相比較器 FC の回路図

【 図 3 】 遅延回路 DLY の回路図

【 図 4 】 電流モード制御型 DC - DCコンバータのタイミングチャート

【 図 5 】 DC - DCコンバータ 1 のタイミングチャート ( その 1 )

【 図 6 】 DC - DCコンバータ 1 のタイミングチャート ( その 2 )

【 図 7 】 DC - DCコンバータ 1 のタイミングチャート ( その 3 )

【 図 8 】 DC - DCコンバータ 1 a の回路図

【 図 9 】 固定オフ時間制御の電流モード DC - DCコンバータ 1 0 0 の回路図

10

【 符号の説明 】

【 0 0 6 7 】

3、3 a 制御部

DLY 遅延回路

DT 遅延時間

FC 位相比較器

FF フリップフロップ

FP 遅延信号

FR 基準クロック信号

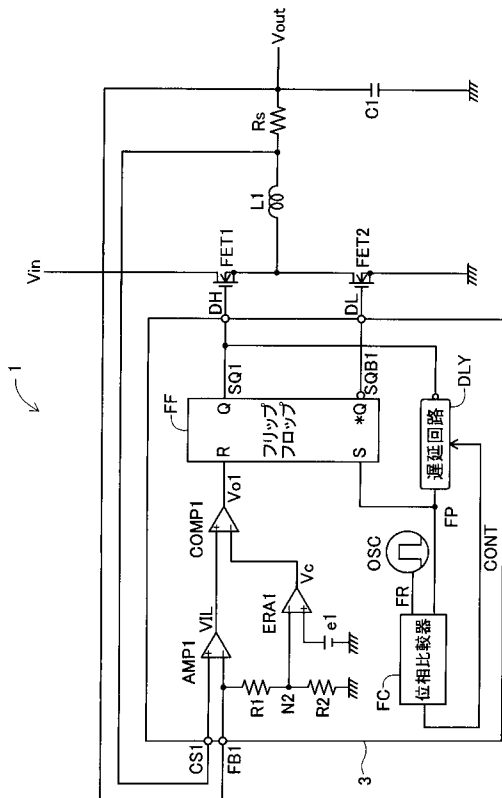
OSC 発振器

Vc 誤差増幅信号

20

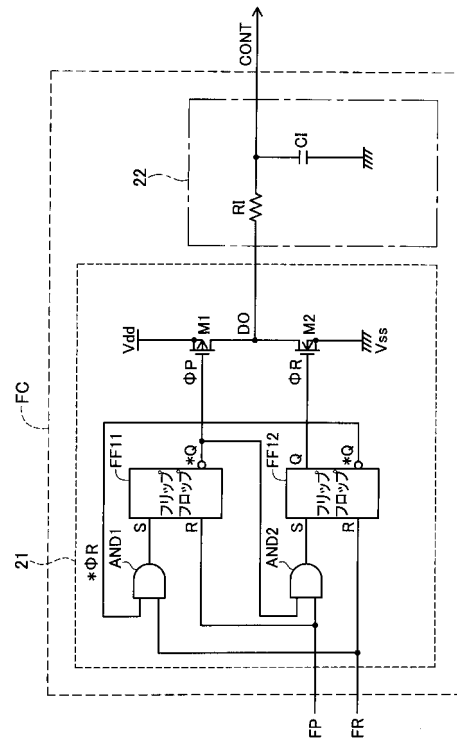
【 図 1 】

DC-DCコンバータ1の回路図



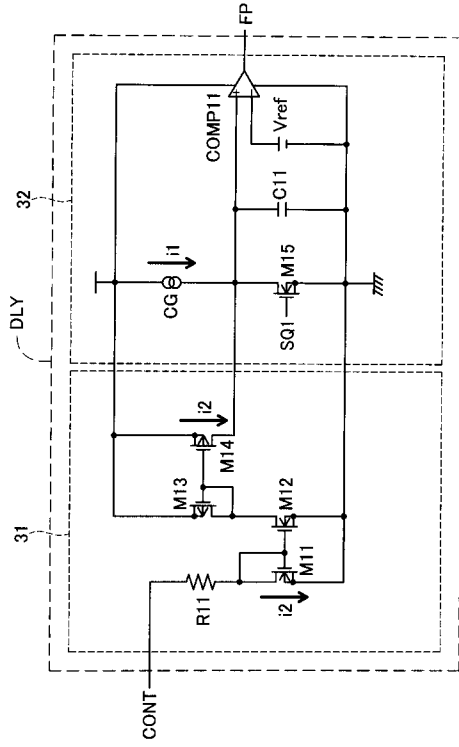
【 図 2 】

位相比較器FCの回路図



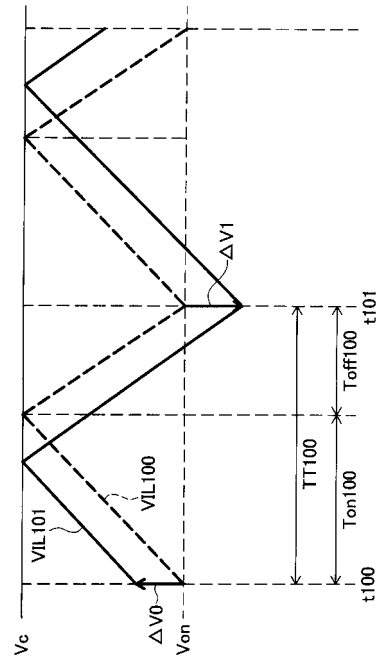
【 図 3 】

遅延回路DLYの回路図



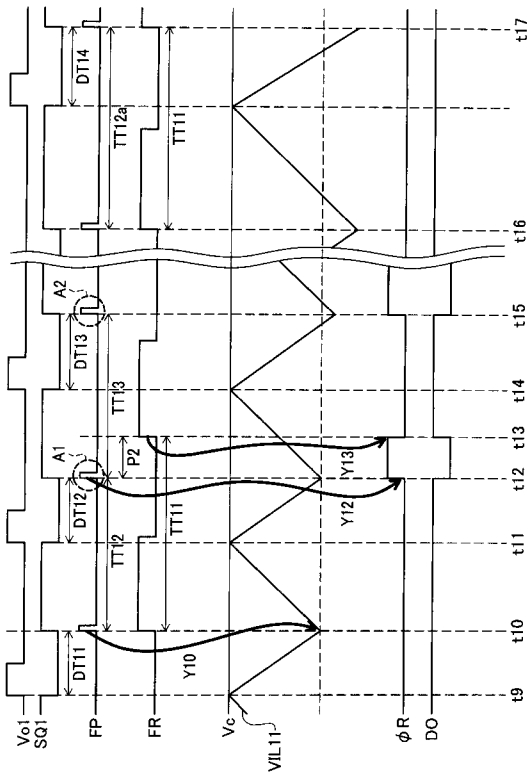
【 図 4 】

電流モード制御型DC-DCコンバータのタイミングチャート



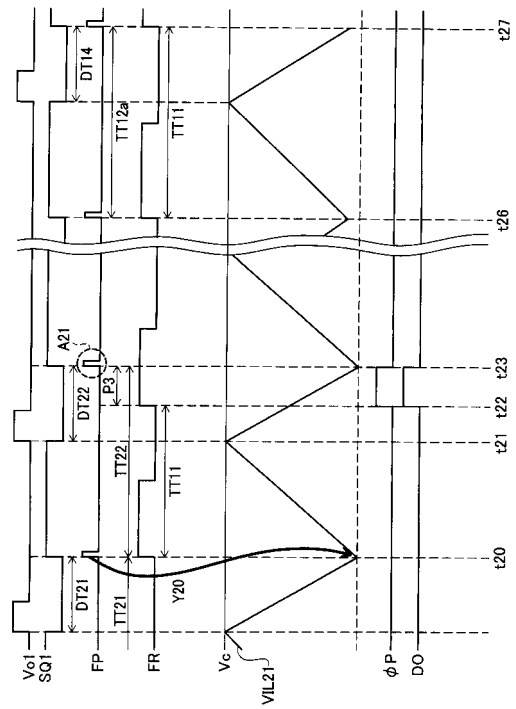
【 図 5 】

DC-DCコンバータ1のタイミングチャート(その1)



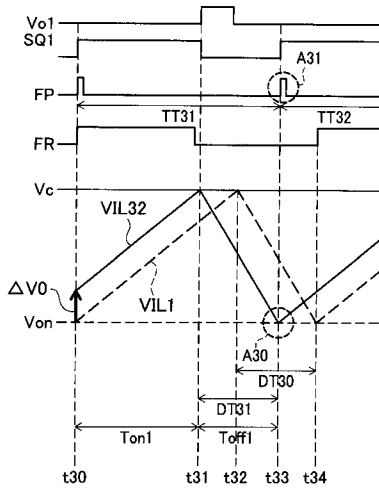
【 図 6 】

DC-DCコンバータ1のタイミングチャート(その2)



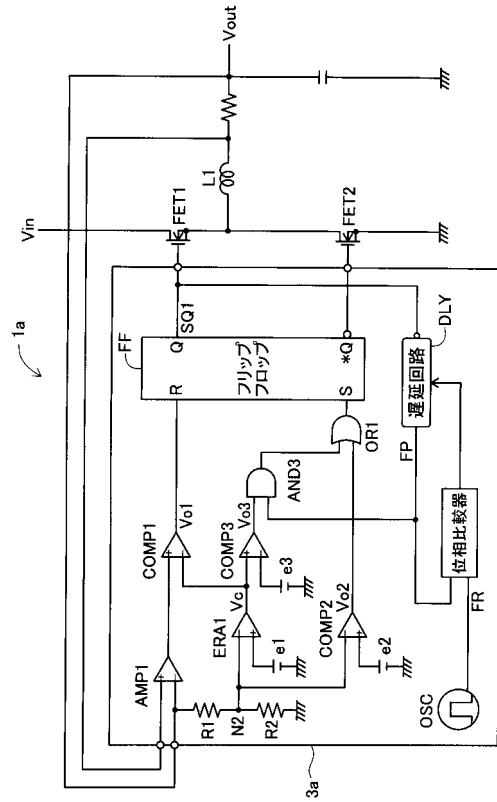
【図7】

DC-DCコンバータ1のタイミングチャート(その3)



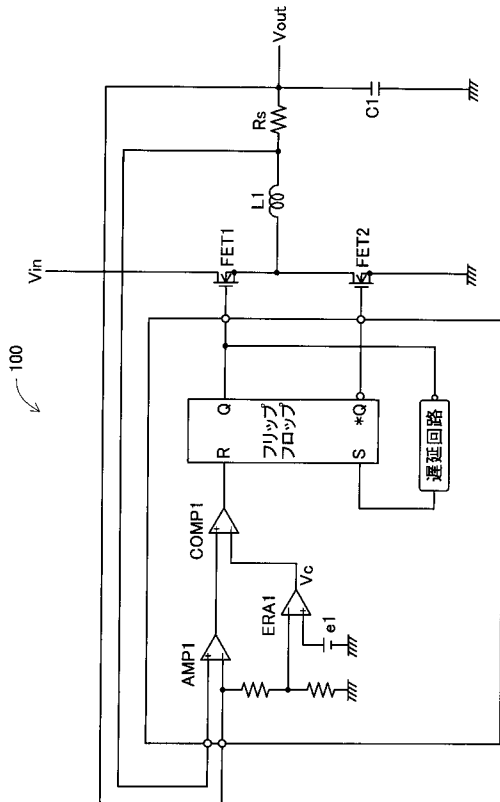
【図8】

DC-DCコンバータ1aの回路図



【図9】

固定オフ時間制御の電流モードDC-DCコンバータ100の回路図





---

フロントページの続き

(56)参考文献 国際公開第2005/091482(WO, A1)

特開2000-032744(JP, A)

特開2002-223562(JP, A)

特開2005-143197(JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/155