

79年12月15日修正本

99年12月15日替換頁

發明專利說明書

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96151616

※申請日期 96-12-31

※IPC分類：H03K 5/14 (2006.01)

一、發明名稱：(中文/英文)

信號延遲電路

Signal delay circuit

二、申請人：(共 1 人)

姓名或名稱 (中文/英文)

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE

代表人 (中文/英文)

蔡清彥 / TSAY, CHING YEN

住居所或營業所地址：(中文/英文)

新竹縣竹東鎮中興路四段195號

No. 195, Sec. 4, Chung-Hsing Rd., Chu-Tung, Hsinchu, Taiwan,
R.O.C.

國籍：(中文/英文)

中華民國 / Taiwan, R.O.C.

三、發明人：(共 2 人)

姓名：(中文/英文)

呂鴻文 / LU, HUNG WEN

蘇朝琴 / SU, CHAU CHIN

國籍：(中文/英文)

中華民國 / Taiwan, R.O.C.

中華民國 / Taiwan, R.O.C.

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

[001] 本發明係關於一種電容負載元件，特別是用於信號延遲電路之電容負載元件。

【先前技術】

[002] 關於數位控制脈延遲電路(digital control delay element)，就架構與調整的機制而言可分為類比式延遲電路與數位式延遲電路。

[003] 類比式延遲電路的特徵是類比式控制信號加上類比式延遲電路，常見的類比式延遲電路包含有一數位轉類比電路與一延遲電路。數位控制信號透過數位對類比轉換電路(Digital to Analog Converter, DAC)將外部的數位控制訊號轉換為類比電壓。延遲電路則由一個由 N 型電晶體或 P 型電晶體所組成的差動對電路搭配不同的負載電阻或負載電容所組成。透過小幅調整延遲元件內的參數，如偏壓電流、輸出點負載電容值或者負載電阻值，達到改變信號延遲時間的目的。類比式延遲電路具有解析度與高抗雜訊能力較，但設計上較為複雜，且設計成本也較為昂貴。在設計類比式延遲電路的過程中，需要對元件尺寸與操作點做多次遞迴式(iteration)的微調，每次更新製程後電路也需要重新設計。而數位式延遲電路係由數位控制信號直接控制數位延遲單元，延遲單元本身由反相器、傳輸閘、多工器、NAND 閘、NOR 閘等組成。

[004] 『第 1 圖』係為先前技術所揭露之數位式延遲電路，其

係由一傳輸閘 10、一第一反相器 11 以及一第二反相器 12 組成。如圖所示，第一反相器 11 之輸入端 In 接收一訊號，並將該訊號反相後由輸出端 Out 輸出。傳輸閘 10 的輸入端與輸出端除了直接相連外，同時也連接到第一反相器 11 的輸出端 Out。傳輸閘 10 的控制端係受到控制訊號 Ctrl 所控制。第二反相器 12 接收控制訊號 Ctrl，並將反相後的控制訊號 Ctrlb 輸出到傳輸閘 10 的另一控制端。

[005] 傳輸閘 10 的等效電路如『第 2 圖』所示，係由 PMOS 電晶體 13 以及 NMOS 電晶體 14 組成，PMOS 電晶體 13 的源極與汲極相連接且連接到第一反相器 11 的輸出端 Out，PMOS 電晶體 13 的閘極接收反相後的控制訊號 Ctrlb。NMOS 電晶體 14 的源極與汲極同樣相連接且也連接到第一反相器 11 的輸出端，NMOS 電晶體 14 的閘極接收控制訊號 Ctrl。在圖中， C_N 表示由輸出端所看到 NMOS 電晶體 14 之電容， C_P 表示由輸出端所看到 PMOS 電晶體之電容。

[006] 當傳輸閘 10 的控制端所接收的控制訊號 Ctrl 為 0 時，此時無論第一反相器 11 的輸出點的邏輯準位是 1 或是 0，傳輸閘 10 的電容值是等於 NMOS 電晶體關閉的電容值加上 PMOS 電晶體關閉的電容值。

[007] 在傳輸閘 10 的控制端所接收的控制訊號 Ctrl 為 1 時，當第一反相器 11 的輸出端的邏輯準位為 0，此時第一反相器 11 的輸出端的電容值為 NMOS 電晶體導通的電容值加上 PMOS 電晶體關閉的電容值。當第一反相器 11 的輸出端的邏輯準位為 1，此

時第一反相器 11 的輸出點的電容值為 NMOS 電晶體關上的電容值加上 PMOS 電晶體導通的電容值。『第 3A 圖』與『第 3B 圖』為不同控制訊號下第一反相器 11 輸出點的寄生電容值變化示意圖。『第 3A 圖』係為控制訊號 Ctrl 為 0 時，曲線 15 係為 PMOS 電晶體電容量的變化示意圖，曲線 16 係為 NMOS 電晶體電容量的變化示意圖。『第 3B 圖』係為控制訊號 Ctrl 為 1 時，曲線 17 係為 PMOS 電晶體電容量的變化示意圖，曲線 18 係為 NMOS 電晶體電容量的變化示意圖。由圖中可知，由於控制訊號的改變，此電路的傳輸延遲會因寄生電容值的增加而增加。

[008] 『第 4 圖』係為先前技術所揭露之另一延遲電路，其係由反相器 20 與 NAND 閘 21 組成。反相器 20 之輸入端 In 接收一訊號，並將該訊號反相後由輸出端 Out 輸出。NAND 閘 21 具有第一輸入端、第二輸入端以及輸出端。NAND 閘 21 的第一輸入端與反相器 20 的輸出端 Out 電性連接，NAND 閘 21 的第二輸入端則接收控制訊號 Ctrl，NAND 閘 21 的輸出端則為浮接。

[009] 『第 4 圖』中 NAND 閘 21 的等效電路圖係如『第 5 圖』所示，可由 PMOS 電晶體 22、24 以及 NMOS 電晶體 23、25 來表示。『第 6A 圖』與『第 6B 圖』為不同控制訊號下反相器 20 輸出點 Out 的寄生電容值變化示意圖。

[010] 在『第 6A 圖』中，當控制訊號 Ctrl 為 0 時，曲線 26 係為 PMOS 電晶體 22 在反相器 20 輸出端產生的寄生電容量的變化示意圖，曲線 27 係為 NMOS 電晶體 23 在反相器 20 輸出點產生的寄生電容量的變化示意圖。在『第 6B 圖』中，當控制訊號

Ctrl 為 1 時，曲線 28 係為 PMOS 電晶體 22 在反相器 20 輸出點產生的寄生電容量的變化示意圖，曲線 29 係為 NMOS 電晶體 23 在反相器 20 輸出點產生的寄生電晶體電容量的變化示意圖。

[011] 在控制訊號 Ctrl 是邏輯 0 的狀況下，此時無論反相器 20 輸出端的邏輯準位是 1 或是 0，NMOS 電晶體 23 都為關閉，而 PMOS 電晶體 22 會在反相器 20 輸出端的邏輯準位為 0 時導通，並在輸出準位為 1 時關閉。在控制訊號 Ctrl 是邏輯 1 的狀況下，NMOS 晶體 23 的電容值會隨輸出電壓改變，在輸出準位為 1 時導通，並在輸出準位為 0 時關閉，PMOS 電晶體 22 的電容值也會隨輸出電壓而改變，情形與控制訊號 Ctrl 為 0 時幾乎相同，不同之處是當輸出電壓值位於在非 0 也非 1 的區間，NMOS 電晶體 23 會有暫時導通狀態，這使得 PMOS 電晶體 22 的導通區間會略為增加，因此電容值變化也略為增加，PMOS 電晶體 22 電容值變化相較於 NMOS 電晶體 23 的電容值變化是可以忽略的，因此可透過控制訊號 Ctrl 產生一個 NMOS 電晶體 23 關上與打開的電容差異。由『第 6A 圖』與『第 6B 圖』可知，由於電容值的改變，結果此電路的傳輸延遲會因而增加，另外比較『第 6B 圖』與『第 3B 圖』可以看出『第 4 圖』所揭露之訊號延遲電路比『第 1 圖』有較細微的電容值變化，因此可以產生出更細微的時脈延遲。

【發明內容】

[012] 本發明揭露一種訊號延遲電路，與習知的數位式時脈延遲電路技術相比，具有較高的延遲時間解析度，與習知的類比式時脈延遲電路技術相比，所消耗的電路面積較低，同時可操作在

較低的供應電壓。

[013] 根據本發明之一實施例之訊號延遲電路，本發明揭露一種訊號延遲電路，包括有一電容負載元件，該元件具有具有一第一輸入端、一第二輸入端、以及一第三輸入端，其中第一輸入端接收一第一訊號，第二輸入端接收一第二訊號，第二訊號係為第一訊號之反相訊號，第三輸入端接收一控制訊號，其中該電容負載元件之電容值隨該控制訊號改變。

[014] 本發明所揭露之訊號延遲電路，其係以數位控制延遲電路控制方式去完成一個高時脈解析度的訊號延遲電路，與習知的數位式時脈延遲電路技術相比，具有較高的延遲時間解析度，與習知的類比式時脈延遲電路技術相比，所消耗的電路面積較低，同時可操作在較低的供應電壓。

[015] 本發明所揭露之訊號延遲電路，相較於類比設計方式，設計複雜度上也相對降低，對於電路效能的調整是透過改變數位電路單元的組合，而不須要各別對每個電晶體的尺寸做微調，因此當製程轉移時所花費的再次設計時間較少。

[016] 本發明所揭露之訊號延遲電路，在理論分析與實際模擬上，均可達到較高的時脈解析度。

[017] 以上之關於本發明內容之說明及以下之實施方式之說明係用以示範與解釋本發明之精神與原理，並且提供本發明之專利申請範圍更進一步之解釋。

【實施方式】

[018] 以下在實施方式中詳細敘述本發明之詳細特徵以及特

點，其內容足以使任何熟習相關技藝者了解本發明之技術內容並據以實施，且根據本說明書所揭露之內容、申請專利範圍及圖式，任何熟習相關技藝者可輕易地理解本發明相關之目的及特點。以下之實施例係進一步詳細說明本發明之觀點，但非以任何觀點限制本發明之範疇。

[019]請參考『第 7A 圖』及『第 7B 圖』，係為本發明實施例所揭露之信號延遲電路之示意圖。在實施例中所揭露之信號延遲電路係由一電容負載元件組成，在此實施例中係為一種具有三個輸入端之邏輯閘 100。此一邏輯閘 100 至少由三個開關 105、106、107 組成。在一實施例中，可選用電晶體來作為開關 105、106、107。在圖中之電阻表示此邏輯閘內其他主動元件或被動元件等效的寄生電阻 101、102、103、104。電壓 V1、V2 可為電源電壓或接地電壓。

[020]在『第 7A 圖』所示之實施例中，開關 105 接收一第一訊號 Sin，開關 106 接收第二訊號 Sinb，開關 107 接收控制訊號 Ctrl。第一訊號 Sin 與第二訊號 Sinb 係互為反相訊號。在實施例中，可使用一反相器來產生第一訊號 Sin 與第二訊號 Sinb。在另一實施例中，可使用兩個反相器並以差動訊號的方式產生第一訊號 Sin 與第二訊號 Sinb。

[021]在『第 7B 圖』所示之實施例中，開關 105 接收一第一訊號 Sin，開關 106 接收第二訊號 Sinb，開關 107 接收控制訊號 Ctrl。第一訊號 Sin 與第二訊號 Sinb 係互為反相訊號。在實施例中，可使用一反相器來產生第一訊號 Sin 與第二訊號 Sinb。在另

一實施例中，可使用兩個反相器並以差動訊號的方式產生第一訊號 Sin 與第二訊號 Sinb。

[022]請參考『第 8A 圖』，係為本發明實施例所揭露之信號延遲電路之示意圖。在實施例中所揭露之信號延遲電路係由一電容負載元件組成，在此實施例中係為 NAND 閘 30。NAND 閘 30 具有第一輸入端、第二輸入端、第三輸入端以及輸出端。NAND 閘 30 的第一輸入端接收第一訊號，NAND 閘 30 的第二輸入端接收第二訊號，第一訊號與第二訊號係互為反相訊號。在此實施例中，第一訊號與第二訊號由反相器 21 來產生，第一訊號由反相器 21 之輸入端 In 接收，第二訊號由反相器 21 之輸出端 Out 輸出。NAND 閘 30 的第一輸入端與反相器 31 的輸入端電性連接，用以接收第一訊號，NAND 閘 30 的第二輸入端與反相器 31 的輸出端電性連接，用以接收一第二訊號，NAND 閘 30 的第三輸入端則接收控制訊號 Ctrl，NAND 閘 30 的輸出端則為浮接。

[023]在此實施例中，第二訊號係為第一訊號之反相訊號。因此，第一訊號由反相器 31 之輸入端 In 所接收，並由反相器 31 將第一訊號反相後由輸出端 Out 輸出一反相訊號以作為第二訊號。

[024]『第 8A 圖』中的 NAND 閘 30 的等效電路圖係如『第 8B 圖』所示。PMOS 電晶體 32 的閘級與 NMOS 電晶體 33 的閘級代表 NAND 閘 30 的第一輸入端，PMOS 電晶體 34 與 NMOS 電晶體 36 代表 NAND 閘 30 的第二輸入端，PMOS 電晶體 35 與 NMOS 電晶體 37 代表 NAND 閘 30 的第三輸入端。

[025]『第 9A 圖』及『第 9B 圖』為不同控制訊號下 NAND

聞 30 在反相器 31 輸出端 out 所造成的寄生電容變化示意圖。在『第 9A 圖』中，當控制訊號 Ctrl 為 0 時，曲線 38A 係為 PMOS 電晶體 34 電容量的變化示意圖，曲線 38B 係為 NMOS 電晶體 36 電容量的變化示意圖。在『第 9B 圖』中，當控制訊號 Ctrl 為 1 時，曲線 39A 係為 PMOS 電晶體 34 電容量的變化示意圖，曲線 39B 係為 NMOS 電晶體 36 電容量的變化示意圖。

[026] 在控制訊號 Ctrl 是邏輯 0 的情況下，此時無論反相器 31 的輸出端的邏輯準位是 1 或者是 0，PMOS 電晶體 35 都是開啟狀態，NMOS 電晶體 37 都是關閉狀態，因此 NAND 邏輯閘 30 輸出邏輯準位會一直為 1，PMOS 電晶體 34 會在反相器 31 輸出端的邏輯準位為 0 時導通，並在輸出準位為 1 時關閉，由於 NAND 邏輯閘 30 輸出邏輯準位，NMOS 電晶體 36 無論反相器 31 的輸出端的邏輯準位是 1 或者是 0 都無法導通。在控制訊號 Ctrl 是邏輯 1 的狀況下，PMOS 電晶體 35 都是關閉狀態，NMOS 電晶體 37 都是導通狀態，PMOS 電晶體 34 的電容值變化會隨輸出電壓而改變，變化情形與 Ctrl 為 0 時幾乎相同，不同之處在於輸出電壓值位於非 0 也非 1 的區間時，NMOS 電晶體 36 會有些微導通，使 PMOS 電晶體 34 的導通區間會略為增加，因此電容值變化會略為增加，NMOS 晶體 36 的電容值會隨輸出電壓改變，在輸出準位非 0 也非 1 時會暫時導通，在輸出準位為 0 或 1 時都會關閉，與控制訊號 Ctrl 是邏輯 0 的狀況相比，NMOS 晶體 36 多了一段暫時導通所造成的電容值變化。

[027] 由於 NAND 閘 30 中有兩個輸入信號是反相的，因此在

穩態狀態下 NAND 閘 30 中的 NMOS 電晶體 36 是關閉的狀態。此處之穩態狀態表示為邏輯準位 0 或者 1 的情況。但是當輸入信號發生轉態時，當反相器 31 輸入端 in 的電壓值大約等於反相器 31 輸出端 out 的電壓值附近，此 NMOS 電晶體 36 會處在些微導通的狀態，而此現象也就是產生些微電容變化的原因。此處之轉態表示輸入訊號由邏輯準位 0 轉變成邏輯準位 1，或者由邏輯準位 1 轉變成邏輯準位 0。比較『第 9B 圖』與『第 6B 圖』，斜線區域的減少代表電容變化量的減少，因此提升時間解析度。

[028] 請參考『第 10A 圖』，係為本發明實施例所揭露之信號延遲電路之第二實施例之示意圖，在此實施例中係以 NAND 閘 40 作為電容負載元件。NAND 閘 40 具有第一輸入端、第二輸入端、第三輸入端以及輸出端，NAND 閘 40 的第一輸入端接收第一訊號，NAND 閘 40 的第二輸入端接收第二訊號，第一訊號與第二訊號係互為反相訊號。在此實施例中，第一訊號與第二訊號係採用差動方式輸入。NAND 閘 40 的第一輸入端與第一反相器 41 的輸出端電 Outb 性連接，用以接收第一訊號，NAND 閘 40 的第二輸入端與第二反相器 42 的輸入端 Out 電性連接，用以接收第二訊號，NAND 閘 40 的第三輸入端則接收控制訊號 Ctrl，NAND 閘 40 的輸出端則為浮接。

[029] 第一反相器 41 的輸入端 In 係接收第一輸入訊號，並將第一輸入訊號反相後以輸出第一訊號。第二反相器 42 的輸入端 Inb 接收第二輸入訊號，並將第二輸入訊號反相後以輸出第二訊號，第一輸入訊號與第二輸入訊號係為差動輸入訊號。NAND 閘

40 的第一輸入端與第二輸入端所接收之輸入訊號同樣是反相的。因此第一反相器 41 以及第二反相器 42 所接收之輸入訊號同樣是反相的。

[030] 在此實施例中，第一訊號由第一反相器 41 輸出。第二訊號由第二反相器 42 輸出。同樣地，第二訊號係為第一訊號之反相訊號。

[031] 在以上所述之實施例中，係以單級之 NAND 閘搭配反相器作為電容負載元件。但在其他的實施例中，亦可採用兩組或兩組以上的 NAND 閘組成兩級或兩級以上的訊號延遲電路，如『第 10B 圖』所示，係利用 NAND 閘 40 與 NAND 閘 43 來組成。同樣地，NAND 閘 43 具有第一輸入端、第二輸入端、第三輸入端以及輸出端，其中 NAND 閘 43 的輸入訊號係採用差動方式輸入。NAND 閘 43 的第一輸入端與第一反相器 41 的輸出端電性連接，用以接收一第一訊號，NAND 閘 43 的第二輸入端與第二反相器 42 的輸入端電性連接，用以接收一第二訊號，第一訊號與第二訊號係為差動輸入訊號。NAND 閘 43 的第三輸入端則接收控制訊號 Ctrl，NAND 閘 43 的輸出端則為浮接

[032] 請參考『第 11 圖』，係為本發明實施例所揭露之信號延遲電路之第三實施例示意圖，在實施例中所揭露之信號延遲電路係由一電容負載元件組成，在此實施例中係為 NOR 閘 50。NOR 閘 50 具有第一輸入端、第二輸入端、第三輸入端以及輸出端。NOR 閘 50 的第一輸入端接收第一訊號，NOR 閘 50 的第二輸入端接收第二訊號，第一訊號與第二訊號係互為反相訊號。在此實

施例中，第一訊號與第二訊號由反相器 51 來產生。第一訊號由反相器 51 之輸入端 In 接收，第二訊號由反相器 51 之輸出端 Out 輸出。NOR 閘 50 的第一輸入端與反相器 51 的輸入端電性連接，用以接收一第一訊號，NOR 閘 50 的第二輸入端與反相器 51 的輸出端電性連接，用以接收一第二訊號，NOR 閘 50 的第三輸入端則接收控制訊號 Ctrl，NOR 閘 50 的輸出端則為浮接。

[033] 在此實施例中，第二訊號係為第一訊號之反相訊號。因此，第一訊號由反相器 51 所接收，並由反相器 51 將第一訊號反相後輸出一反相訊號以作為第二訊號。

[034] 『第 11 圖』中的 NOR 閘 50 的等效電路圖係如『第 12 圖』所示。NMOS 電晶體 52 的閘級與 PMOS 電晶體 53 的閘級代表 NOR 閘 50 的第一輸入端，NMOS 電晶體 54 與 PMOS 電晶體 56 代表 NOR 閘 50 的第二輸入端，NMOS 電晶體 55 與 PMOS 電晶體 57 代表 NOR 閘 50 的第三輸入端。

[035] 『第 13A 圖』及『第 13B 圖』為不同控制訊號下 NOR 閘 50 在反相器 51 輸出點所造成的寄生電容變化示意圖。在『第 13A 圖』中，當控制訊號 Ctrl 為 1 時，曲線 58A 係為 PMOS 電晶體 56 電容量的變化示意圖，曲線 58B 係為 NMOS 電晶體 54 電容量的變化示意圖。在『第 13B 圖』中，當控制訊號 Ctrl 為 0 時，曲線 59A 係為 PMOS 電晶體 56 電容量的變化示意圖，曲線 59B 係為 NMOS 電晶體 54 電容量的變化示意圖。

[036] 在控制訊號 Ctrl 是邏輯 1 的情況下，此時無論反相器 51 的輸出端的邏輯準位是 1 或者是 0，NMOS 電晶體 55 都是開啟

狀態，PMOS 電晶體 57 都是關閉狀態，因此 NOR 邏輯閘 50 輸出邏輯準位會一直為 0，NMOS 電晶體 54 會在反相器 51 輸出端的邏輯準位為 1 時導通，並在輸出準位為 0 時關閉，由於 NOR 邏輯閘 50 輸出邏輯準位為 0，PMOS 電晶體 56 無論反相器 51 的輸出端的邏輯準位是 1 或者是 0 都無法導通。在控制訊號 Ctrl 是邏輯 0 的狀況下，NMOS 電晶體 55 都是關閉狀態，PMOS 電晶體 57 都是導通狀態，NMOS 電晶體 54 的電容值變化會隨輸出電壓而改變，變化情形與 Ctrl 為 1 時幾乎相同，不同之處在於輸出電壓值位於非 0 也非 1 的區間時，PMOS 電晶體 56 會有些微導通，使 NMOS 電晶體 54 的導通區間會略為增加，因此電容值變化會略為增加，PMOS 晶體 56 的電容值會隨輸出電壓改變，在輸出準位非 0 也非 1 時會暫時導通，在輸出準位為 0 或 1 時都會關閉，與控制訊號 Ctrl 是邏輯 1 的狀況相比，PMOS 晶體 56 多了一段暫時導通所造成的電容值變化。

[037] 由於 NOR 閘 50 中有兩個輸入信號是反相的，因此在穩態狀態下 NOR 閘 30 中的 PMOS 電晶體 56 是關閉的狀態，但是當輸入信號發生轉態時，當反相器 51 輸入端的電壓值大約等於反相器 51 輸出端的電壓值附近，此 PMOS 電晶體 56 會處在些微導通的狀態，而此現象也就是產生些微電容變化的原因。比較『第 13B 圖』與『第 6B 圖』，斜線區域的減少代表電容變化量的減少，因此提升時間解析度。

[038] 請參考『第 14A 圖』，係為本發明實施例所揭露之信號延遲電路之第四實施例之示意圖，在此實施例中係以 NOR 閘 60

作為電容負載元件。NOR 閘 60 具有第一輸入端、第二輸入端、第三輸入端以及輸出端，NOR 閘 60 的第一輸入端接收第一訊號，NOR 閘 60 的第二輸入端接收第二訊號，第一訊號與第二訊號係互為反相訊號。在此實施例中，第一訊號與第二訊號係採用差動方式輸入。NOR 閘 60 具有第一輸入端、第二輸入端、第三輸入端以及輸出端。NOR 閘 60 的第一輸入端與第一反相器 61 的輸出端 Outb 電性連接，用以接收第一訊號，NOR 閘 60 的第二輸入端與第二反相器 62 的輸出端 Out 電性連接，用以接收第二訊號，NOR 閘 60 的第三輸入端則接收控制訊號 Ctrl，NOR 閘 60 的輸出端則為浮接。

[039] 第一反相器 61 之輸入端 In 係接收第一輸入訊號，並將第一輸入訊號反相後以輸出第一訊號。第二反相器 62 之輸入端 Inb 接收一第二輸入訊號，並將第二輸入訊號反相後以輸出第二訊號，第一輸入訊號與第二輸入訊號係為差動輸入訊號。NAND 閘 60 的第一輸入端與第二輸入端所接收之輸入訊號同樣是反相的。因此第一反相器 61 以及第二反相器 62 所接收之輸入訊號同樣是反相的。

[040] 在此實施例中，第一訊號由第一反相器 61 輸出。第二訊號由第二反相器 62 輸出。同樣地，第二訊號係為第一訊號之反相訊號。

[041] 在以上所述之實施例中，係以單級之 NOR 閘搭配反相器作為電容負載元件。但在其他的實施例中，亦可採用兩組或兩組以上的 NOR 閘組成兩級或兩級以上的訊號延遲電路，如『第

14B 圖』所示，係利用 NOR 閘 60 與 NOR 閘 63 來組成。同樣地，NAND 閘 63 具有第一輸入端、第二輸入端、第三輸入端以及輸出端，其中 NAND 閘 63 的輸入訊號係採用差動方式輸入。NAND 閘 63 的第一輸入端與第一反相器 61 的輸出端電性連接，用以接收一第一訊號，NAND 閘 63 的第二輸入端與第二反相器 62 的輸入端電性連接，用以接收一第二訊號，第一訊號與第二訊號係為差動輸入訊號。NAND 閘 63 的第三輸入端則接收控制訊號 Ctrl，NAND 閘 63 的輸出端則為浮接

[042]請參考『第 15 圖』至『第 17 圖』，係分別為『第 3 圖』、『第 6 圖』、以及『第 9 圖』之電容量變化之實際驗證。其係利用台灣積體電路製造股份有限公司所研發之 0.18 微米製程進行模擬，所有邏輯閘中電晶體的長寬比 (W/L) 均為 0.45um/0.18um，模擬了當輸出電壓從 0V 到 1.8V 變化時，輸出點所看到的 NMOS 電晶體寄生電容與 PMOS 電晶體寄生電容。

[043]在『第 15 圖』中，曲線 71 係為控制訊號 Ctrl 為 0 時 NMOS 的寄生電容，曲線 72 係為控制訊號 Ctrl 為 1 時 NMOS 的寄生電容，兩者的變化定義為 ΔC_n 。曲線 73 係為控制訊號 Ctrl 為 0 時 PMOS 的寄生電容，曲線 74 係為控制訊號 Ctrl 為 1 時 PMOS 的寄生電容，兩者的變化定義為 ΔC_p 。因此，在不同控制訊號的控制下，『第 1 圖』中所示之訊號延遲電路的電容量變化 ΔC 為 ΔC_n 與 ΔC_p 之和。

[044]在『第 16 圖』中，曲線 75 係為控制訊號 Ctrl 為 0 時 PMOS 的寄生電容，曲線 76 係為控制訊號 Ctrl 為 1 時 PMOS 的

寄生電容，兩者的變化定義為 ΔC_n 。曲線 77 係為控制訊號 Ctrl 為 0 時 NMOS 的寄生電容，曲線 78 係為控制訊號 Ctrl 為 1 時 NMOS 的寄生電容，兩者的變化定義為 ΔC_p 。因此，在不同控制訊號的控制下，『第 4 圖』中所示之訊號延遲電路的電容量變化 $\Delta C = \Delta C_n - \Delta C_p$ 。

[045]在『第 17 圖』中，曲線 79 係為控制訊號 Ctrl 為 0 時 NMOS 的寄生電容，曲線 80 係為控制訊號 Ctrl 為 1 時 NMOS 的寄生電容，兩者的變化定義為 ΔC_n 。曲線 81 係為控制訊號 Ctrl 為 0 時 PMOS 的寄生電容，曲線 82 係為控制訊號 Ctrl 為 1 時 PMOS 的寄生電容，兩者的變化定義為 ΔC_p 。因此，在不同控制訊號的控制下，『第 7 圖』中所示之訊號延遲電路的電容量變化 $\Delta C = \Delta C_n - \Delta C_p$ 。

[046]以下為驗證本發明所揭露之電容負載元件之解析度。請參考『第 18 圖』，係為一反相器電路，係用以分別測量分別為『第 1 圖』、『第 4 圖』、以及『第 7 圖』之電路的解析度。『第 18 圖』所示之反相器電路係由六個反相器 91、92、93、94、95、96 組成，反相器 91 的輸入端接 In1 收輸入訊號，輸出訊號則由反相器 92 之輸出端 Outb1 輸出，反相器 93 的輸入端 Inb1 接收輸入訊號，輸出訊號則由反相器 94 之輸出端 Out1 輸出。反相器 91 的輸出端加上一個二進制三位元的電容式負載 97A、97B、97C，反相器 93 的輸出端也加上一個二進制三位元的電容式負載 98A、98B、98C，這些電容式負載 97A、97B、97C、98A、98B、98C 皆透過控制訊號 C0、C1、C2 來調整輸出端的時脈延遲，進而推算可調範圍與

時脈解析度。電容式負載 97A、97B、97C、98A、98B、98C 皆以『第 1 圖』、『第 4 圖』、以及『第 7 圖』所揭露之電路實現。

[047] 測試時，設定輸入信號 In1、Inb1 與輸出信號 Outb1、Out1 的時間延遲為 T_d 。關於反相器的尺寸設計，PMOS 電晶體的寬長比 (W/L) 為 $1.62\mu/0.18\mu$ ，NMOS 電晶體的 W/L 為 $0.45\mu/0.18\mu$ 。關於傳輸閘 11、NAND 閘 20 與 NAND 閘 30 等邏輯閘的尺寸設計，PMOS 電晶體的 W/L 均為 $45\mu/0.18\mu$ ，NMOS 電晶體的 W/L 為 $0.45\mu/0.18\mu$ 。

[048] 以『第 1 圖』進行測試時，傳輸閘 10 的輸入端與輸出端都接到輸出訊號 Out1。以『第 4 圖』進行測試時，NAND 閘 21 的第一輸入端接到輸出訊號 Out1。以『第 7 圖』進行測試時，NAND 閘 30 的第一輸入端以及第二輸入端分別接到輸出訊號 Out1、Outb1。

[049] 將控制訊號從 000 到 111 依序改變，可以得到如『第 19A 圖』的數據與『第 19B 圖』的曲線圖，『第 19B 圖』是將『第 19A 圖』中控制訊號為 000 與 111 的特例拿出來展示，因此可以看出三種架構的可調範圍。在這個模擬中，可以看到『第 1 圖』的解析度為 3.11ps ，『第 4 圖』的解析度為 1.4ps ，而本發明所揭露之電容負載元件的解析度可達到 0.33ps ，可以看出在解析度上有明顯的改進。

[050] 雖然本發明以前述之實施例揭露如上，然其並非用以限定本發明。在不脫離本發明之精神和範圍內，所為之更動與潤飾，均屬本發明之專利保護範圍。關於本發明所界定之保護範圍請參

考所附之申請專利範圍。

【圖式簡單說明】

第 1 圖係為先前技術所揭露之延遲電路。

第 2 圖係為第 1 圖所揭露之延遲電路之等效電路之示意圖。

第 3A 圖及第 3B 圖係為第 1 圖所揭露之延遲電路在不同控制訊號下之電容量變化之示意圖。

第 4 圖係為先前技術所揭露之另一延遲電路之示意圖。

第 5 圖係為第 4 圖所揭露之延遲電路之等效電路之示意圖。

第 6A 圖及第 6B 圖係為第 4 圖所揭露之延遲電路在不同控制訊號下之電容量變化之示意圖。

第 7A 圖及第 7B 圖係為本發明實施例所揭露之信號延遲電路之示意圖。

第 8A 圖係為本發明所揭露之延遲電路之第一實施例之示意圖。

第 8B 圖係為第 8A 圖所揭露之延遲電路之等效電路之示意圖。

第 9A 圖及第 9B 圖係為第 8A 圖所揭露之延遲電路在不同控制訊號下之電容量變化之示意圖。

第 10A 圖及第 10B 圖係為本發明所揭露之延遲電路之第二實施例之示意圖。

第 11 圖係為本發明所揭露之延遲電路之第三實施例之示意圖。

第 12 圖係為第 11 圖所揭露之延遲電路之等效電路之示意圖。

圖。

第 13A 圖及第 13B 圖係為第 11 圖所揭露之延遲電路在不同控制訊號下之電容量變化之示意圖。

第 14A 圖及第 14B 圖係為本發明所揭露之延遲電路之第四實施例之示意圖。

第 15 圖係為第 1 圖所揭露之延遲電路之電容量變化之實際驗證之示意圖。

第 16 圖係為第 4 圖所揭露之延遲電路之電容量變化之實際驗證。

第 17 圖係為第 7 圖所揭露之延遲電路之電容量變化之實際驗證之示意圖。

第 18 圖係用以分別測量『第 1 圖』、『第 4 圖』、以及『第 7 圖』之電路的解析度之反相器電路之示意圖。

第 19A 圖係為測量『第 1 圖』、『第 4 圖』、以及『第 7 圖』之電路之數據之示意圖。

第 19B 圖係為第 17A 圖中控制訊號為 000 與 111 的特例之示意圖。

【主要元件符號說明】

- | | | |
|----|-------|----------|
| 10 | | 傳輸閘 |
| 11 | | 第一反相器 |
| 12 | | 第二反相器 |
| 13 | | PMOS 電晶體 |
| 14 | | NMOS 電晶體 |

15	曲線
16	曲線
17	曲線
18	曲線
20	反相器
21	NAND 閘
22	PMOS 電晶體
23	NMOS 電晶體
24	PMOS 電晶體
25	NMOS 電晶體
26	曲線
27	曲線
28	曲線
29	曲線
30	NAND 閘
31	反相器
32	PMOS 電晶體
33	NMOS 電晶體
34	PMOS 電晶體
35	PMOS 電晶體
36	NMOS 電晶體
37	NMOS 電晶體
38A	曲線

38B	曲線
39A	曲線
39B	曲線
40	NAND 閘
41	第一反相器
42	第二反相器
43	NAND 閘
50	NOR 閘
51	反相器
52	NMOS 電晶體
53	PMOS 電晶體
54	NMOS 電晶體
55	NMOS 電晶體
56	PMOS 電晶體
57	PMOS 電晶體
58A	曲線
58B	曲線
59A	曲線
59B	曲線
60	NOR 閘
61	第一反相器
62	第二反相器
63	NAND 閘

71	曲線
72	曲線
73	曲線
74	曲線
75	曲線
76	曲線
77	曲線
78	曲線
79	曲線
80	曲線
81	曲線
82	曲線
91	反相器
92	反相器
93	反相器
94	反相器
95	反相器
96	反相器
97A	電容式負載 9
97B	電容式負載 9
97C	電容式負載 9
98A	電容式負載 9
98B	電容式負載 9

98C	電容式負載
100	邏輯閘
101	寄生電阻
102	寄生電阻
103	寄生電阻
104	寄生電阻
105	開關
106	開關
107	開關
Ctrl	控制訊號
Ctrlb	控制訊號
In	輸入端
Inb	輸入端
Out	輸出端
Outb	輸出端
V1	電壓
V2	電壓
Sin	第一訊號
Sinb	第二訊號
In1	輸入端
Inb1	輸入端
Out1	輸出端
Outb1	輸出端

99年12月15日替換頁

- C0控制訊號
- C1控制訊號
- C2控制訊號

五、中文發明摘要：

本發明揭露一種信號延遲電路，包括有一電容負載元件，此元件具有具有一第一輸入端、一第二輸入端、以及一第三輸入端，其中第一輸入端接收一第一訊號，第二輸入端接收一第二訊號，第二訊號係為第一訊號之反相訊號，第三輸入端接收一控制訊號，其中該電容負載元件之電容值隨該控制訊號改變。

六、英文發明摘要：

A signal delay circuit includes a capacitive load. The capacitive load includes a first input terminal, a second input terminal, and a third input terminal. The first input terminal receives a first signal. The second input terminal receives a second signal. The second signal is a phase inverting signal from the first signal. The third input terminal receives a control signal. The capacitance of the capacitive load varies with the control signal.

十、申請專利範圍：

1. 一種信號延遲電路，包括有：

一電容負載元件，該元件具有一第一輸入端、一第二輸入端、以及一第三輸入端，該第一輸入端接收一第一訊號，該第二輸入端接收一第二訊號，其中該第二訊號係為該第一訊號之反相訊號，該第三輸入端接收一控制訊號，其中該電容負載元件之電容值隨該控制訊號改變；

其中該電容負載元件係為一 NAND 閘，當該第一訊號與該第二訊號大致上相等時，連接至該 NAND 閘之該第二輸入端之一 N 型電晶體係處於些微導通的狀態。

2. 如申請專利範圍第 1 項所述之信號延遲電路，其中在穩態狀態下，連接至該 NAND 之該第二輸入端之一 N 型電晶體係為關閉。

3. 如申請專利範圍第 1 項所述之信號延遲電路，其中更包括有一反相器，該反相器接收該第一訊號，並該將第一訊號反相後以輸出一反相訊號以作為該第二訊號。

4. 如申請專利範圍第 1 項所述之信號延遲電路，其中更包括有：

一第一反相器，接收一第一輸入訊號，並該將第一輸入訊號反相後以輸出該第一訊號；以及

一第二反相器，接收一第二輸入訊號，並該將第二輸入訊號反相後以輸出該第二訊號。

5. 如申請專利範圍第 4 項所述之信號延遲電路，其中該第一輸入訊號與該第二輸入訊號係為差動輸入訊號。

6. 一種信號延遲電路，包括有：

一電容負載元件，該元件具有一第一輸入端、一第二輸入端、以及一第三輸入端，該第一輸入端接收一第一訊號，該第二輸入端接收一第二訊號，其中該第二訊號係為該第一訊號之反相訊號，該第三輸入端接收一控制訊號，其中該電容負載元件之電容值隨該控制訊號改變；

其中該電容負載元件係為一 NOR 閘，當該第一訊號與該第二訊號大致上相等時，連接至該 NOR 閘之該第二輸入端之一 P 型電晶體係處於些微導通的狀態。

7. 如申請專利範圍第 6 項所述之信號延遲電路，其中在穩態狀態下，連接至該 NOR 之該第二輸入端之一 P 型電晶體係為關閉。

8. 如申請專利範圍第 6 項所述之信號延遲電路，其中更包括有一反相器，該反相器接收該第一訊號，並該將第一訊號反相後以輸出一反相訊號以作為該第二訊號。

9. 如申請專利範圍第 6 項所述之信號延遲電路，其中更包括有：

一第一反相器，該第一反相器接收一第一輸入訊號，並該將第一輸入訊號反相後以輸出該第一訊號；以及

一第二反相器，該第二反相器接收一第二輸入訊號，並該將第二輸入訊號反相後以輸出該第二訊號。

10. 如申請專利範圍第 9 項所述之信號延遲電路，其中該第一輸入訊號與該第二輸入訊號係為差動輸入訊號。

11. 一種信號延遲電路，包括有：

一第一反相器，該第一反相器接收一第一輸入訊號，並該

將第一輸入訊號反相後以輸出一第一訊號；

一第二反相器，該第二反相器接收一第二輸入訊號，並該將第二輸入訊號反相後以輸出一第二訊號，其中該第二訊號係為該第一訊號之反相訊號，其中該第一輸入訊號與該第二輸入訊號係為差動輸入訊號；以及

一個以上之電容負載元件，每一該電容負載元件具有一第一輸入端、一第二輸入端、以及一第三輸入端，該第一輸入端接收該第一訊號，該第二輸入端接收該第二訊號該第三輸入端接收一控制訊號，其中該電容負載元件之電容值隨該控制訊號改變；

其中該電容負載元件係為一 NAND 閘，當該第一訊號與該第二訊號大致上相等時，連接至該 NAND 閘之該第二輸入端之一 N 型電晶體係處於些微導通的狀態。

12. 如申請專利範圍第 11 項所述之信號延遲電路，其中在穩態狀態下，連接至該 NAND 之該第二輸入端之一 N 型電晶體係為關閉。

13. 一種信號延遲電路，包括有：

一第一反相器，該第一反相器接收一第一輸入訊號，並該將第一輸入訊號反相後以輸出一第一訊號；

一第二反相器，該第二反相器接收一第二輸入訊號，並該將第二輸入訊號反相後以輸出一第二訊號，其中該第二訊號係為該第一訊號之反相訊號，其中該第一輸入訊號與該第二輸入訊號係為差動輸入訊號；以及

一個以上之電容負載元件，每一該電容負載元件具有一第一輸入端、一第二輸入端、以及一第三輸入端，該第一輸入端接收該第一訊號，該第二輸入端接收該第二訊號該第三輸入端接收一控制訊號，其中該電容負載元件之電容值隨該控制訊號改變；

其中該電容負載元件係為一 NOR 閘，當該第一訊號與該第二訊號大致上相等時，連接至該 NOR 閘之該第二輸入端之一 P 型電晶體係處於些微導通的狀態。

14. 如申請專利範圍第 13 項所述之信號延遲電路，其中該第一輸入訊號與該第二輸入訊號係為差動輸入訊號。
15. 如申請專利範圍第 13 項所述之信號延遲電路，其中在穩態狀態下，連接至該 NOR 之該第二輸入端之一 P 型電晶體係為關閉。
16. 一種信號延遲電路，包括有：

一電容負載元件，該元件具有一第一輸入端、一第二輸入端、以及一第三輸入端，該第一輸入端接收一第一訊號，該第二輸入端接收一第二訊號，其中該第二訊號係為該第一訊號之反相訊號，該第三輸入端接收一控制訊號，其中該電容負載元件之電容值隨該控制訊號改變；

其中該電容負載元件至少包括有三個開關串聯於兩個不同之電壓源之間，該三個開關其中之兩個開關分別接收該第一訊號與該第二訊號，該三個開關其中之另一開關接收該控制訊號。

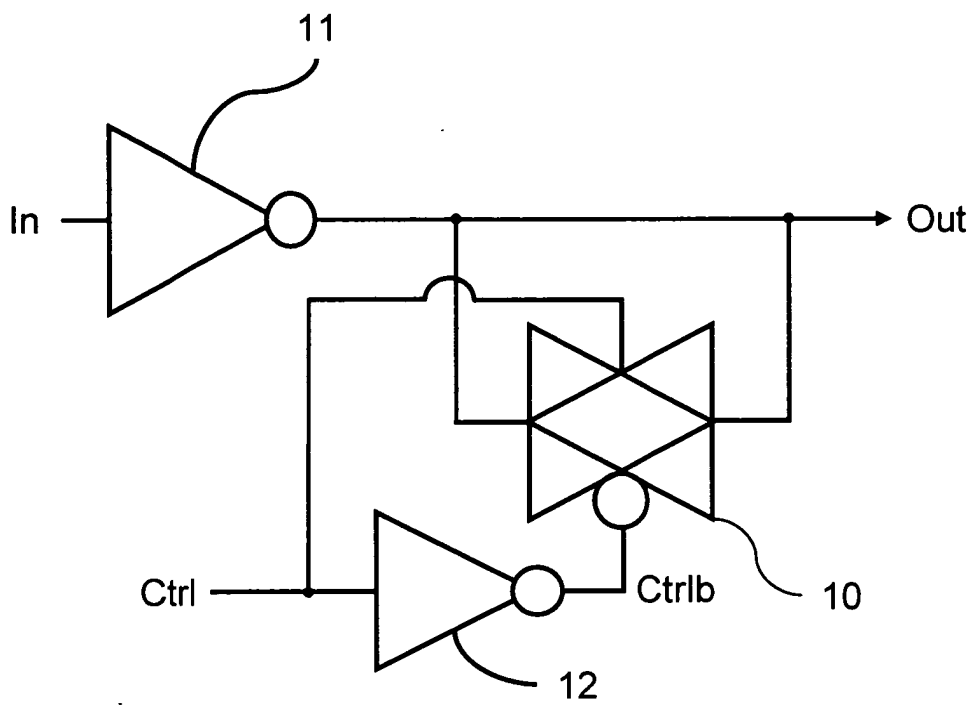
17. 一種信號延遲電路，包括有：

一第一反相器，該第一反相器接收一第一輸入訊號，並該將第一輸入訊號反相後以輸出一第一訊號；

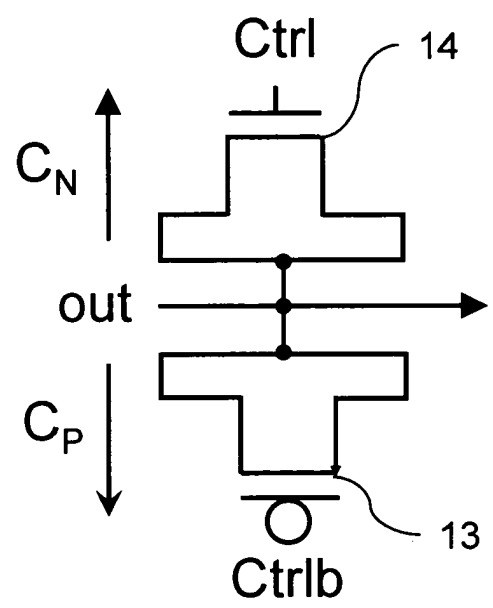
一第二反相器，該第二反相器接收一第二輸入訊號，並該將第二輸入訊號反相後以輸出一第二訊號，其中該第二訊號係為該第一訊號之反相訊號，其中該第一輸入訊號與該第二輸入訊號係為差動輸入訊號；以及

一個以上之電容負載元件，每一該電容負載元件具有一第一輸入端、一第二輸入端、以及一第三輸入端，該第一輸入端接收該第一訊號，該第二輸入端接收該第二訊號該第三輸入端接收一控制訊號，其中該電容負載元件之電容值隨該控制訊號改變；

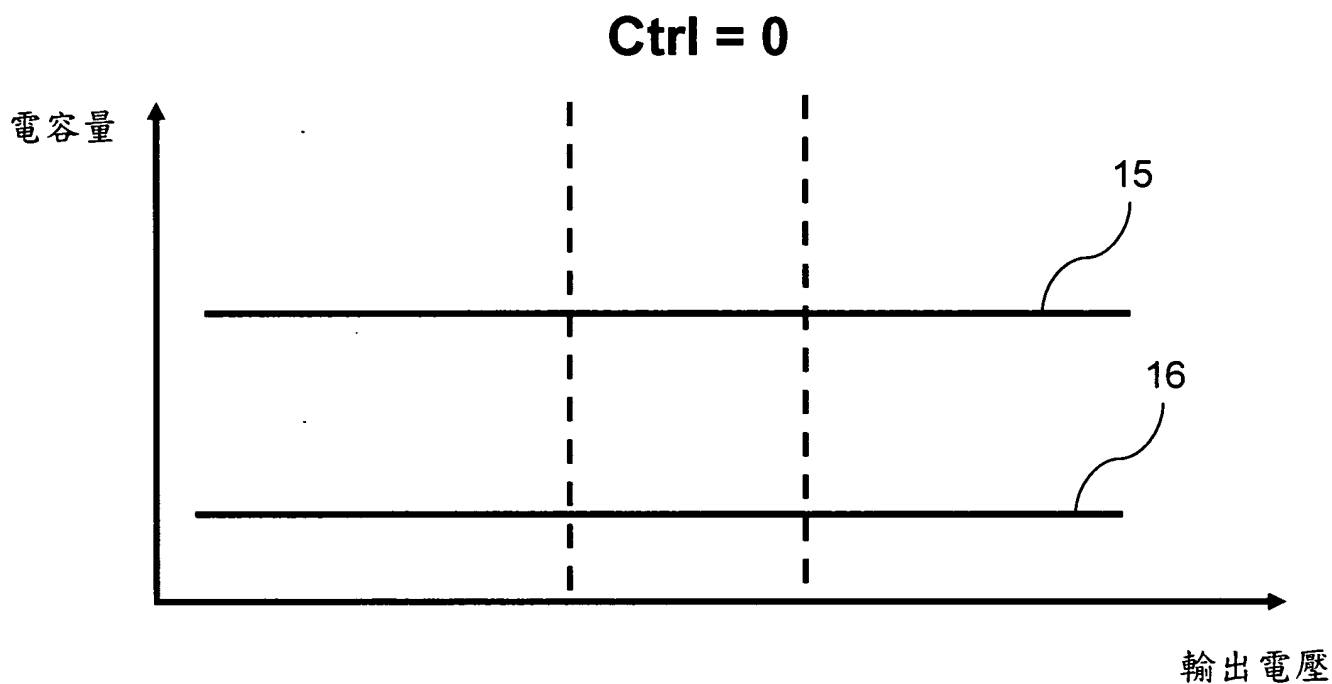
其中該一個以上之電容負載元件至少包括有三個開關串聯於兩個不同之電壓源之間，該三個開關其中之兩個開關分別接收該第一訊號與該第二訊號，該三個開關其中之另一開關接收該控制訊號。



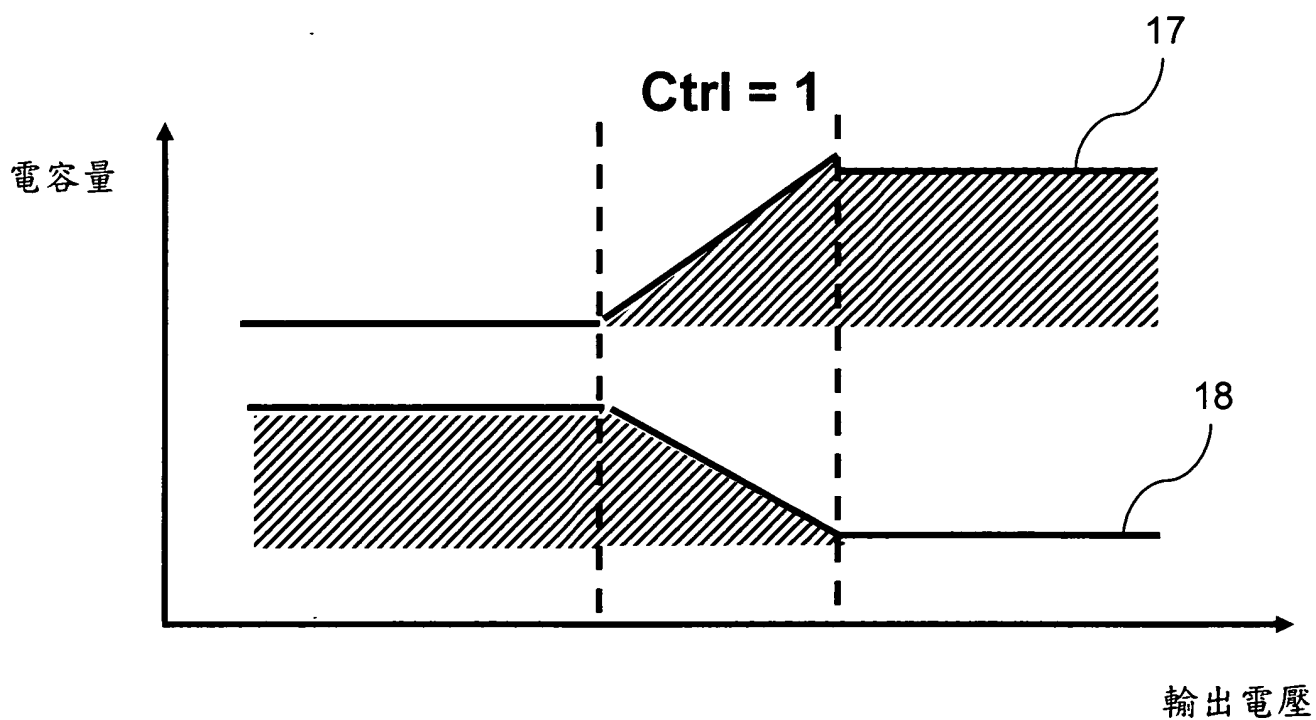
第1圖(習知技術)



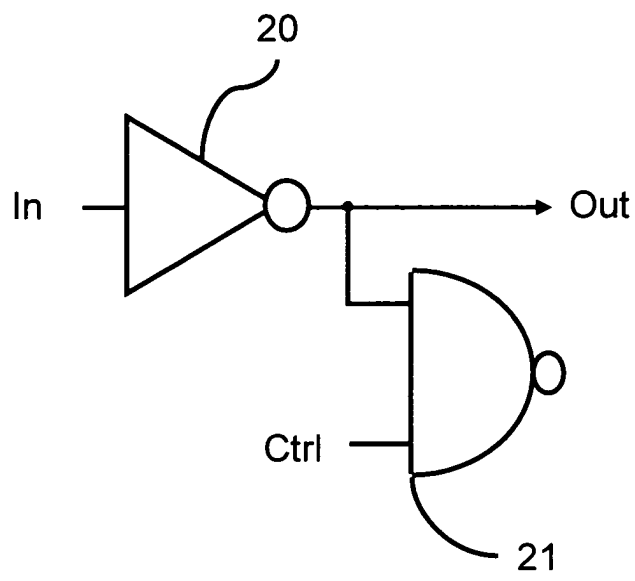
第2圖(習知技術)



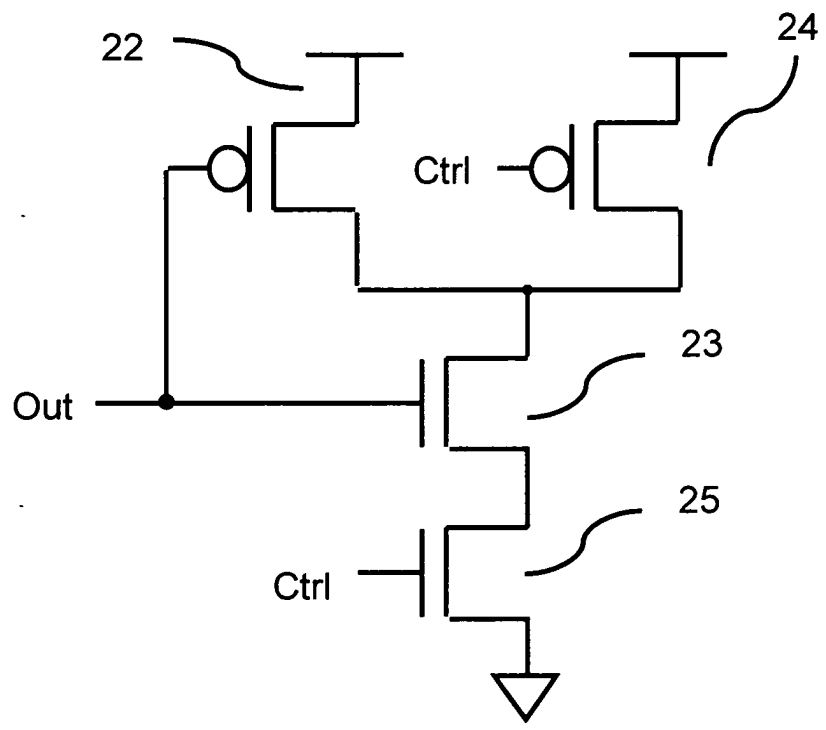
第3A圖(習知技術)



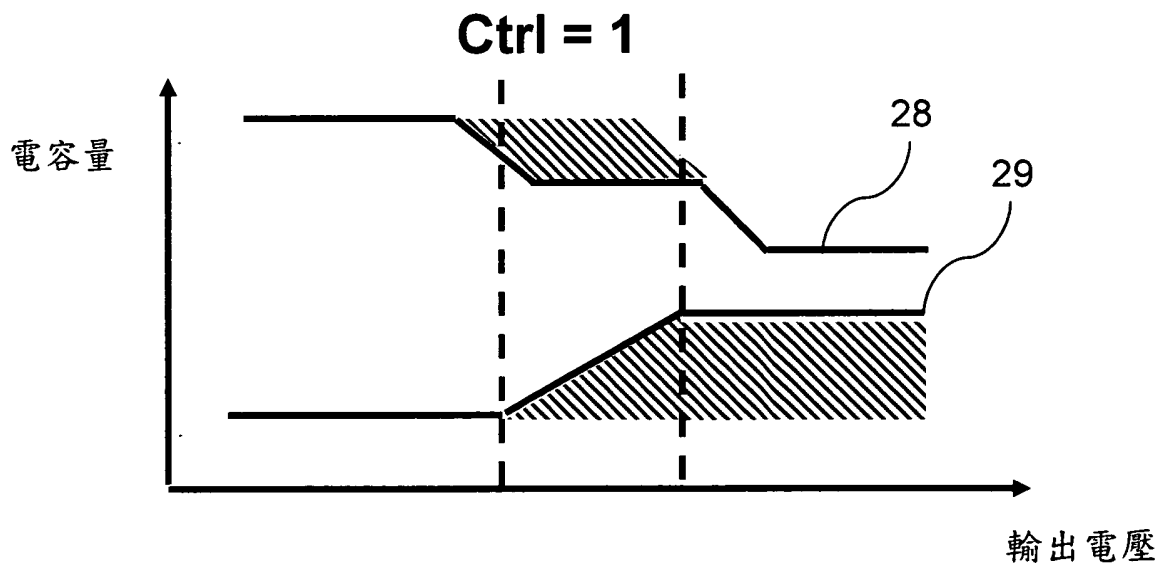
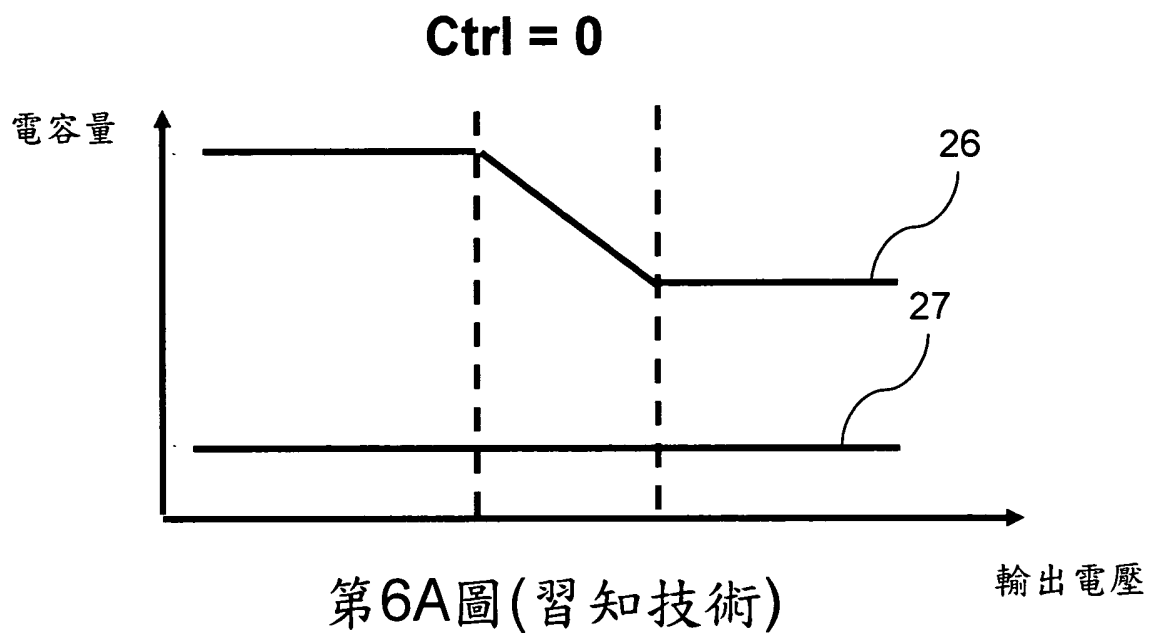
第3B圖(習知技術)

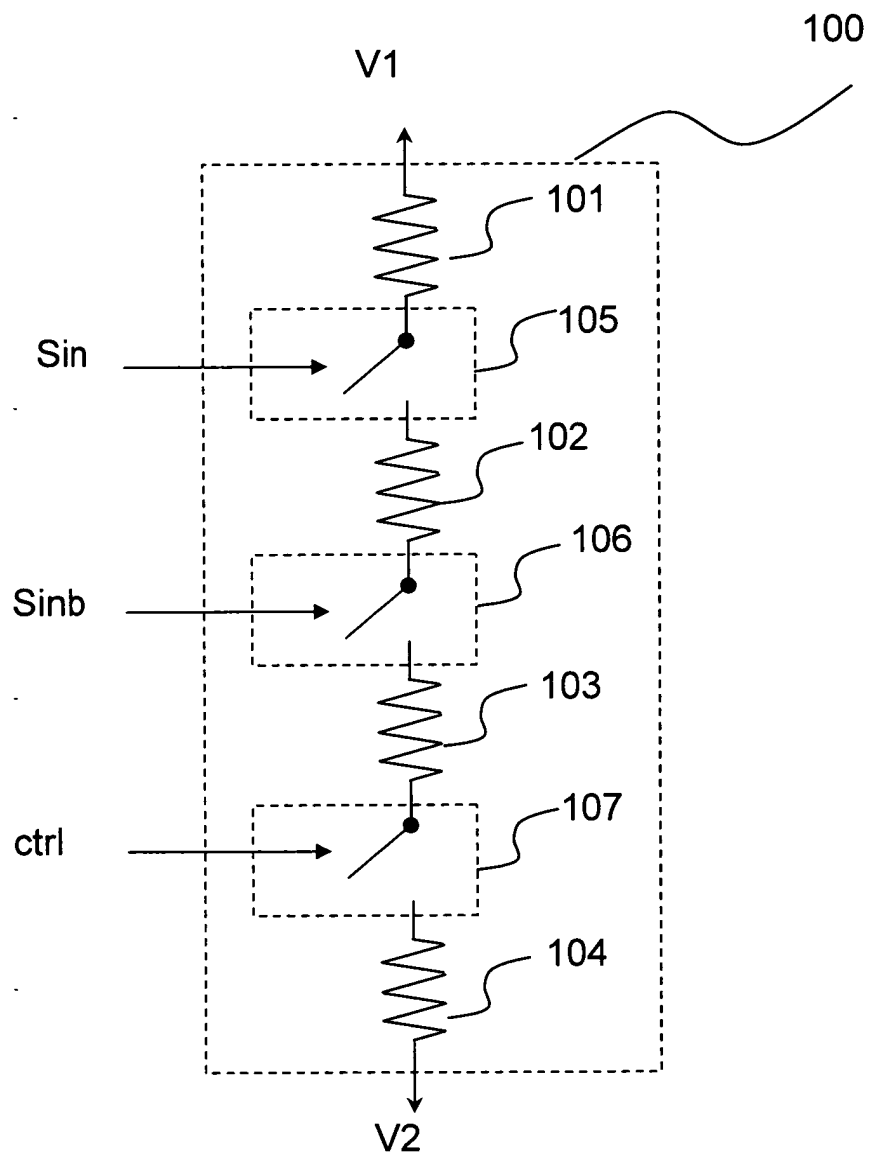


第4圖(習知技術)

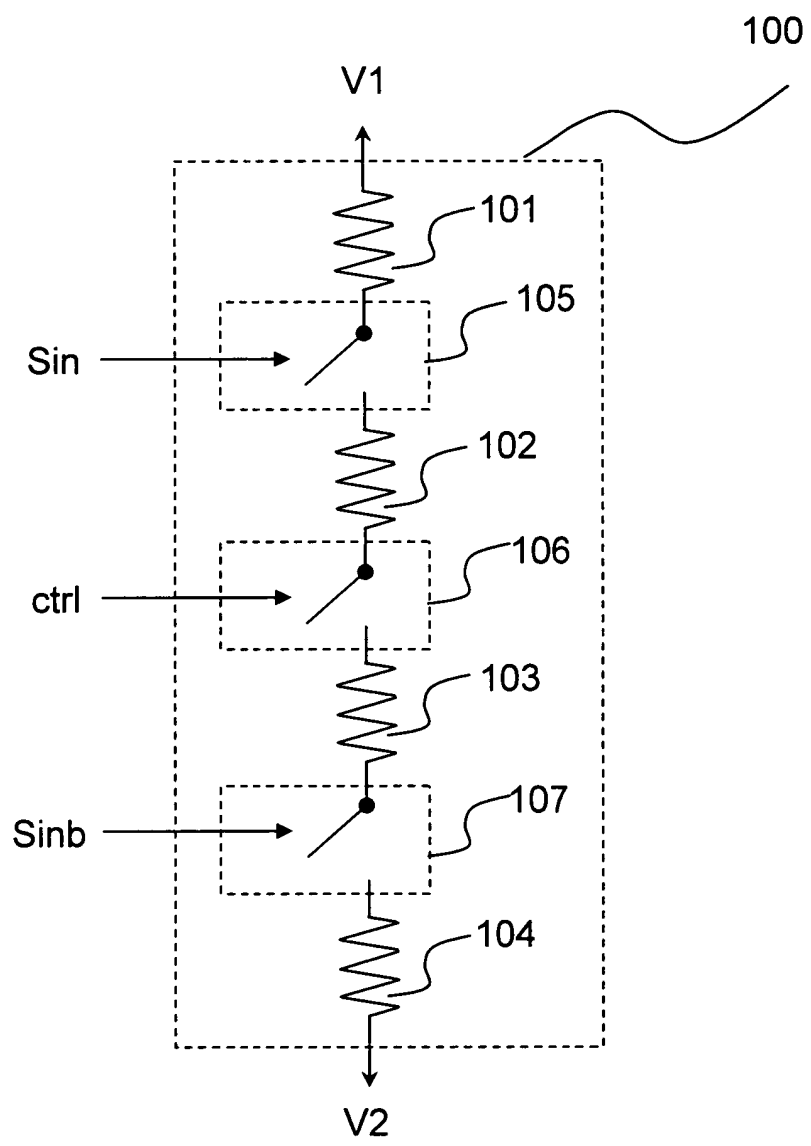


第5圖(習知技術)

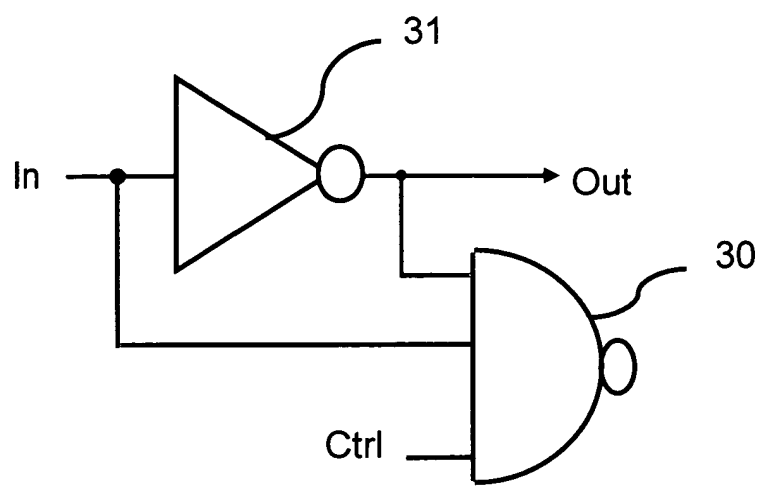




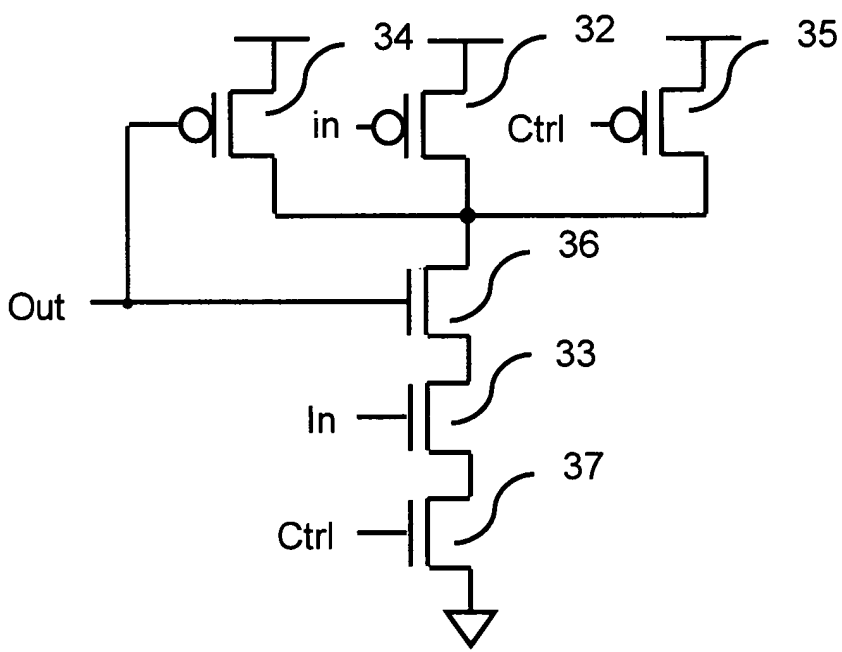
第7A圖



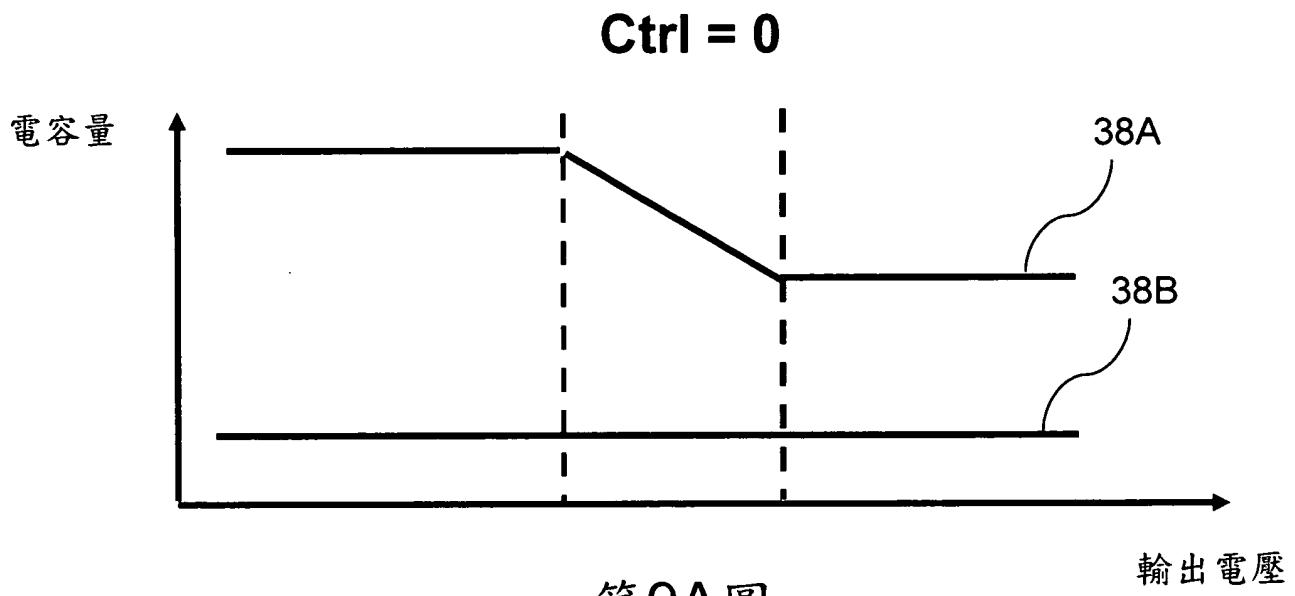
第7B圖



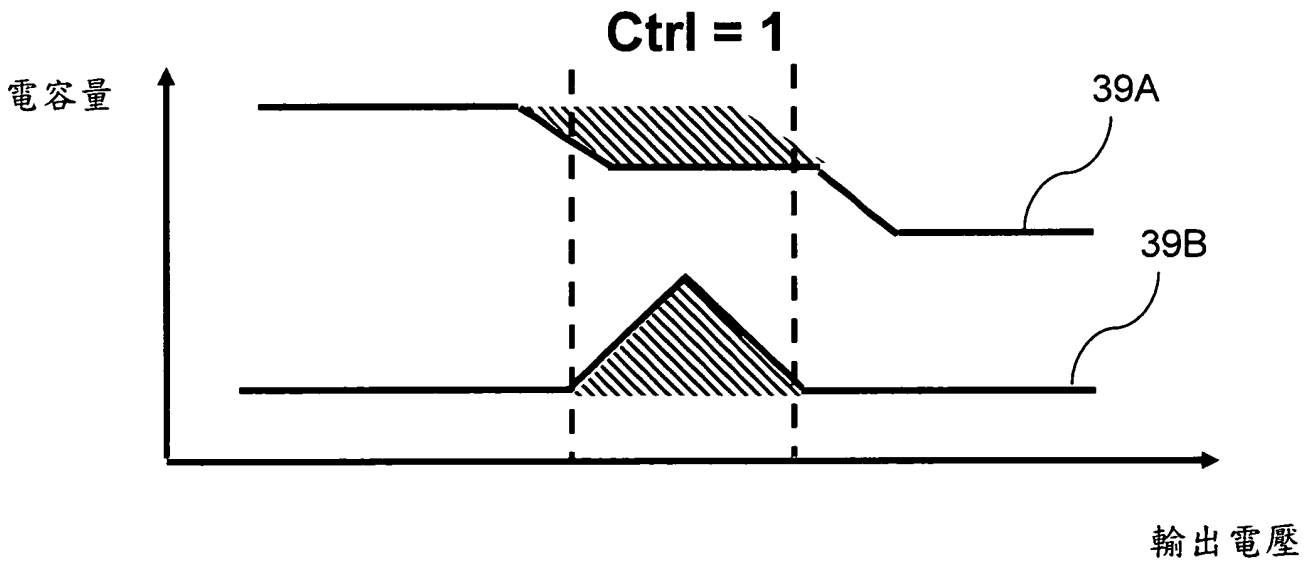
第8A圖



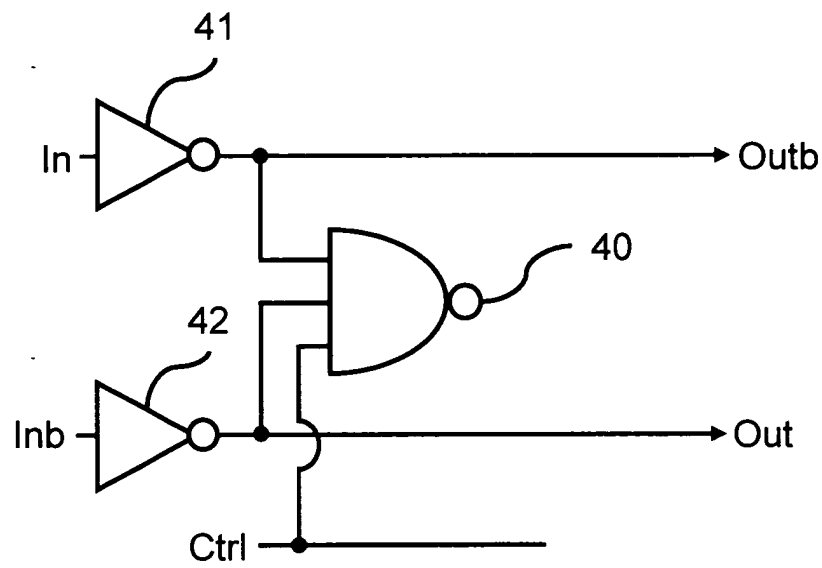
第8B圖



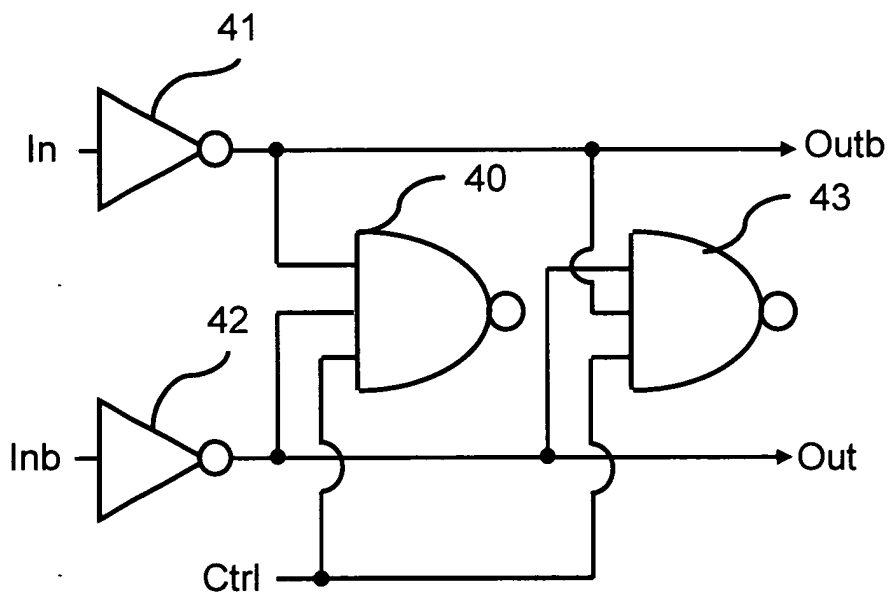
第9A圖



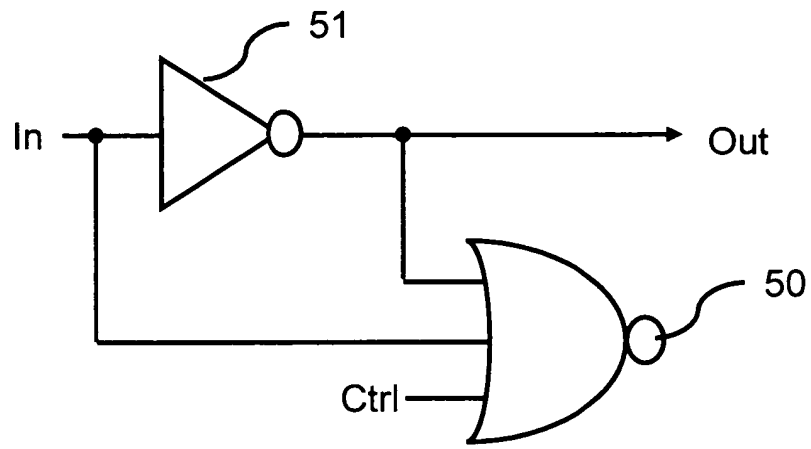
第9B圖



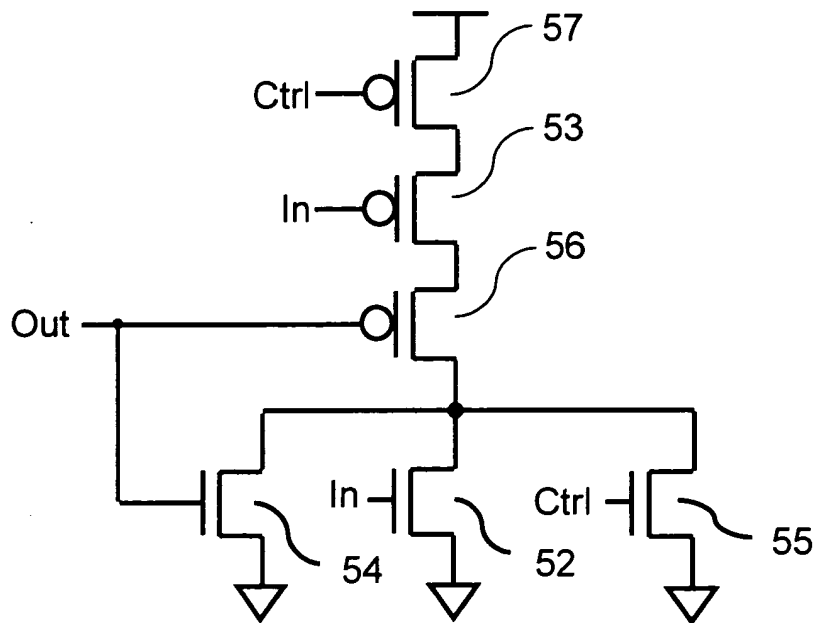
第10A圖



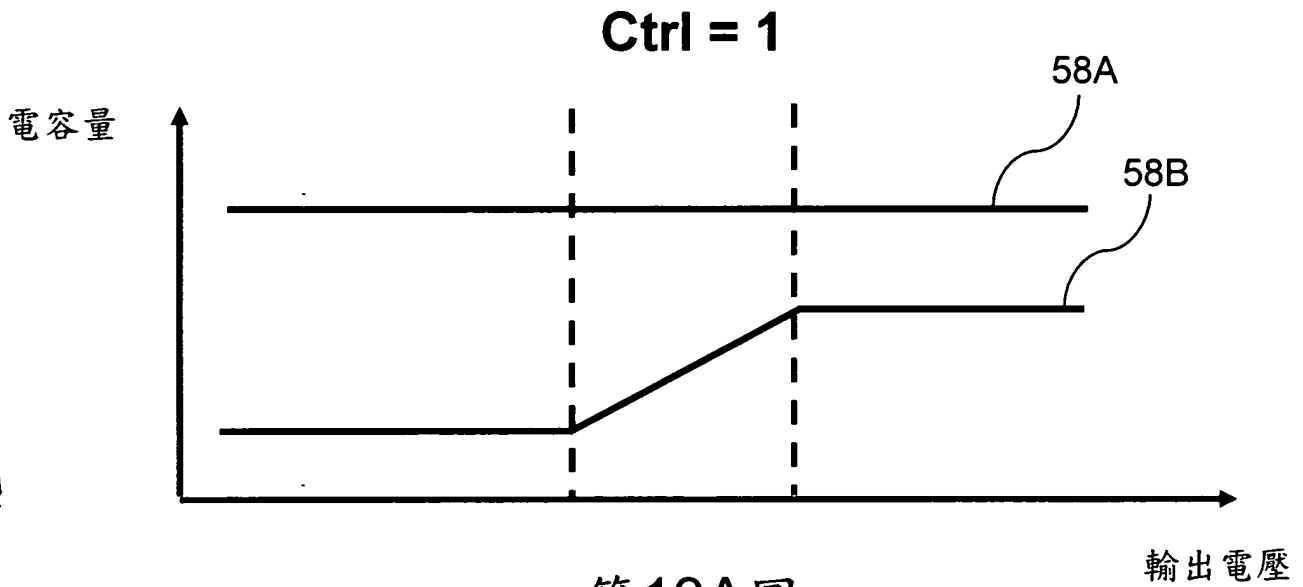
第10B圖



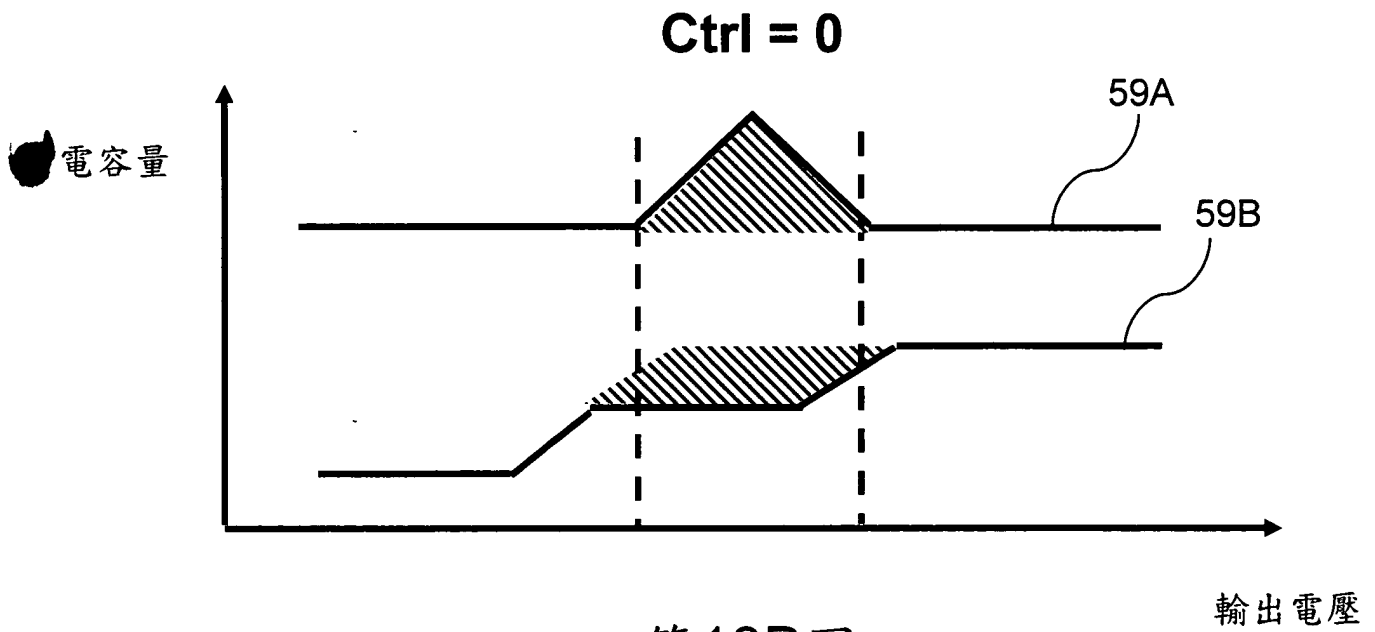
第11圖



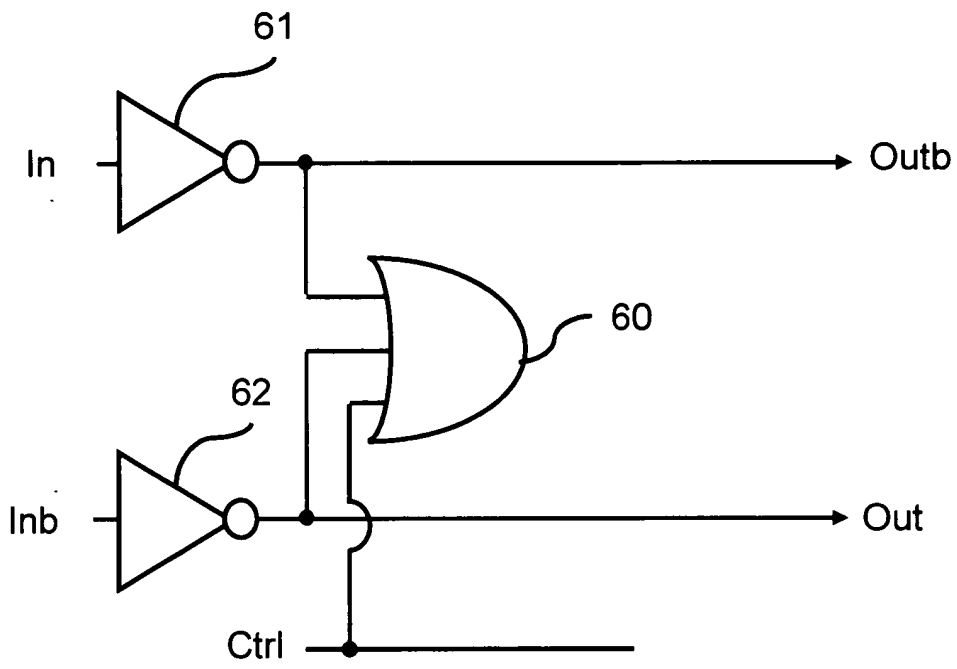
第12圖



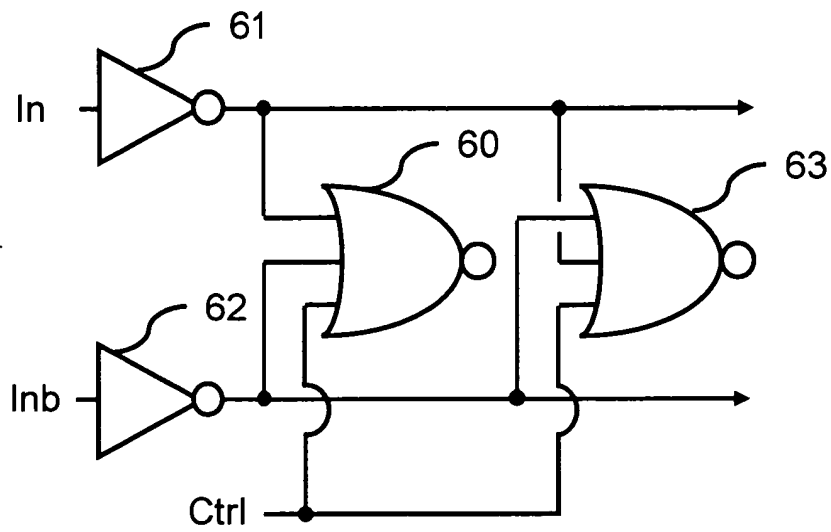
第13A圖



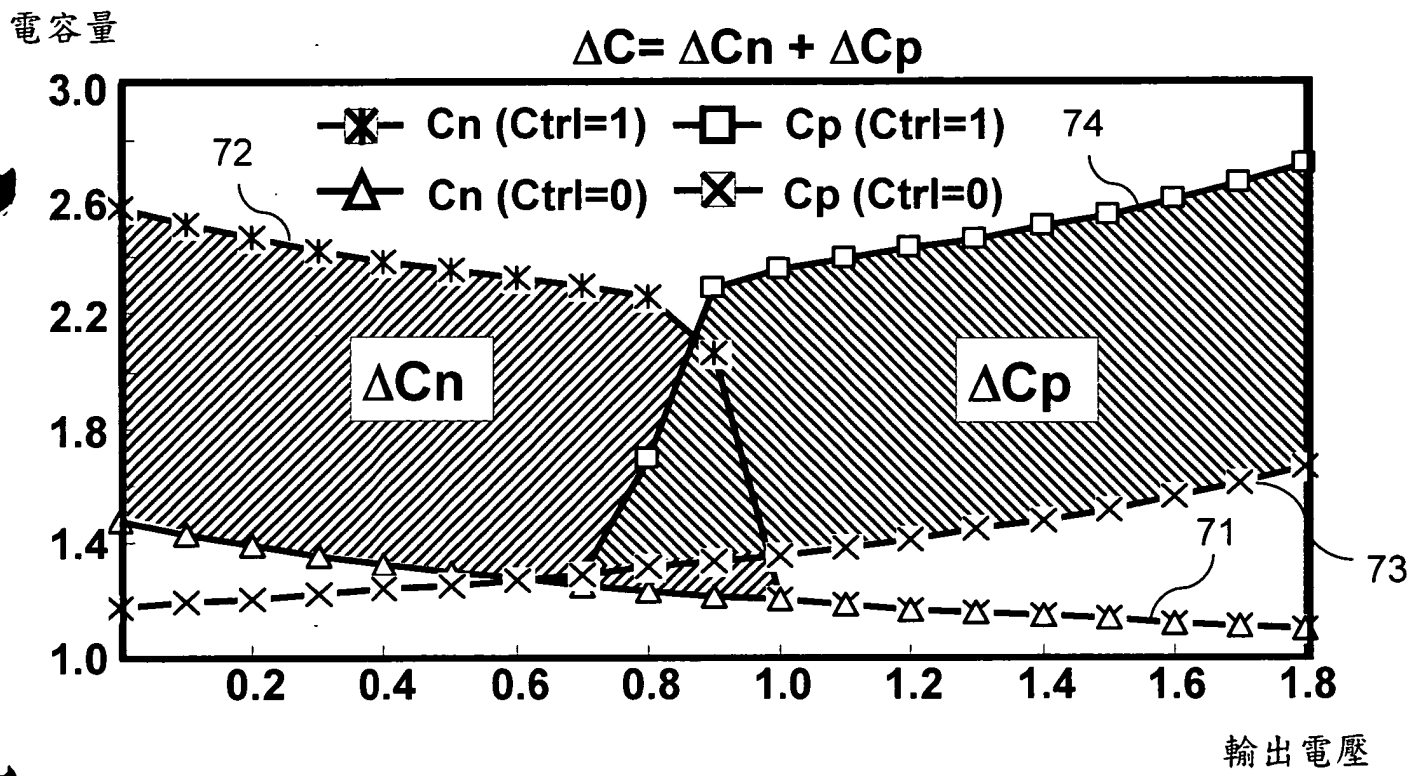
第13B圖



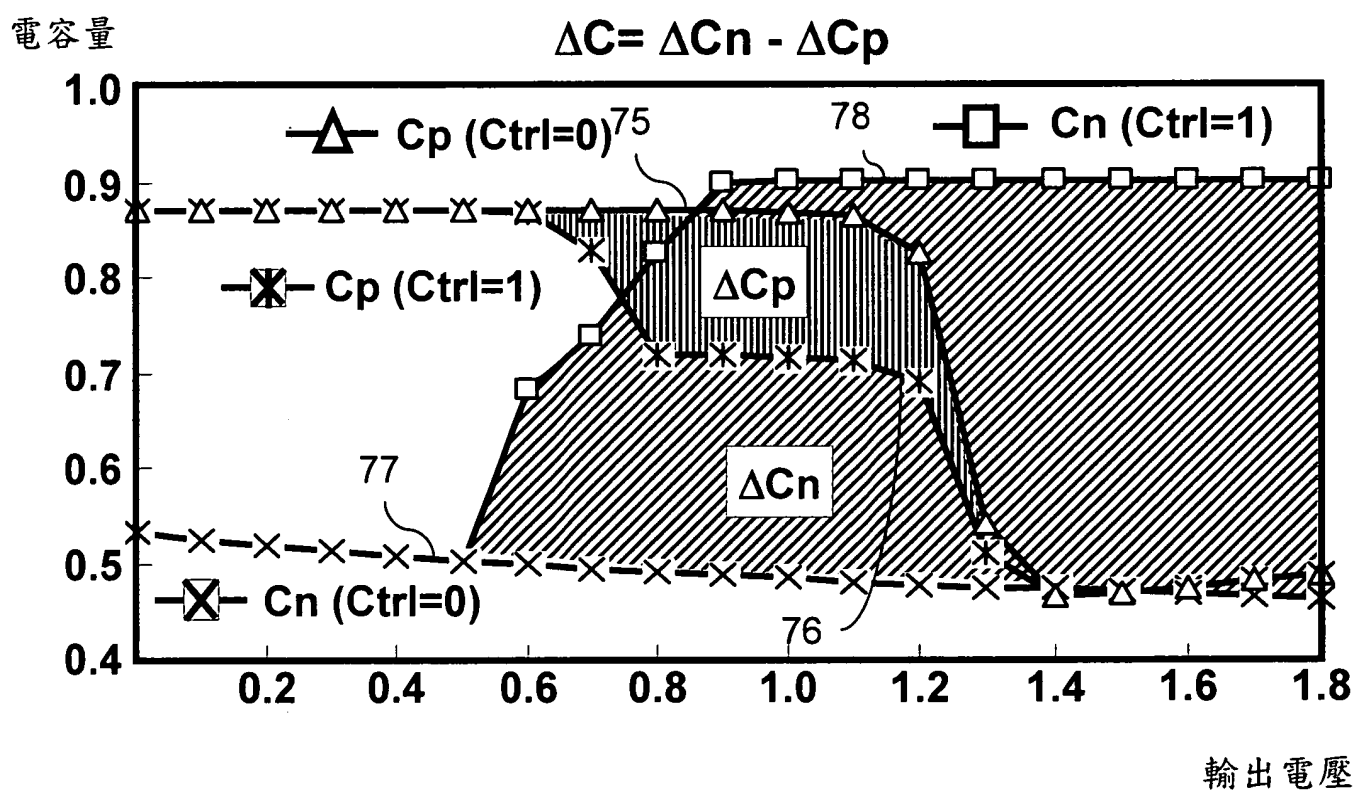
第14A圖



第14B圖

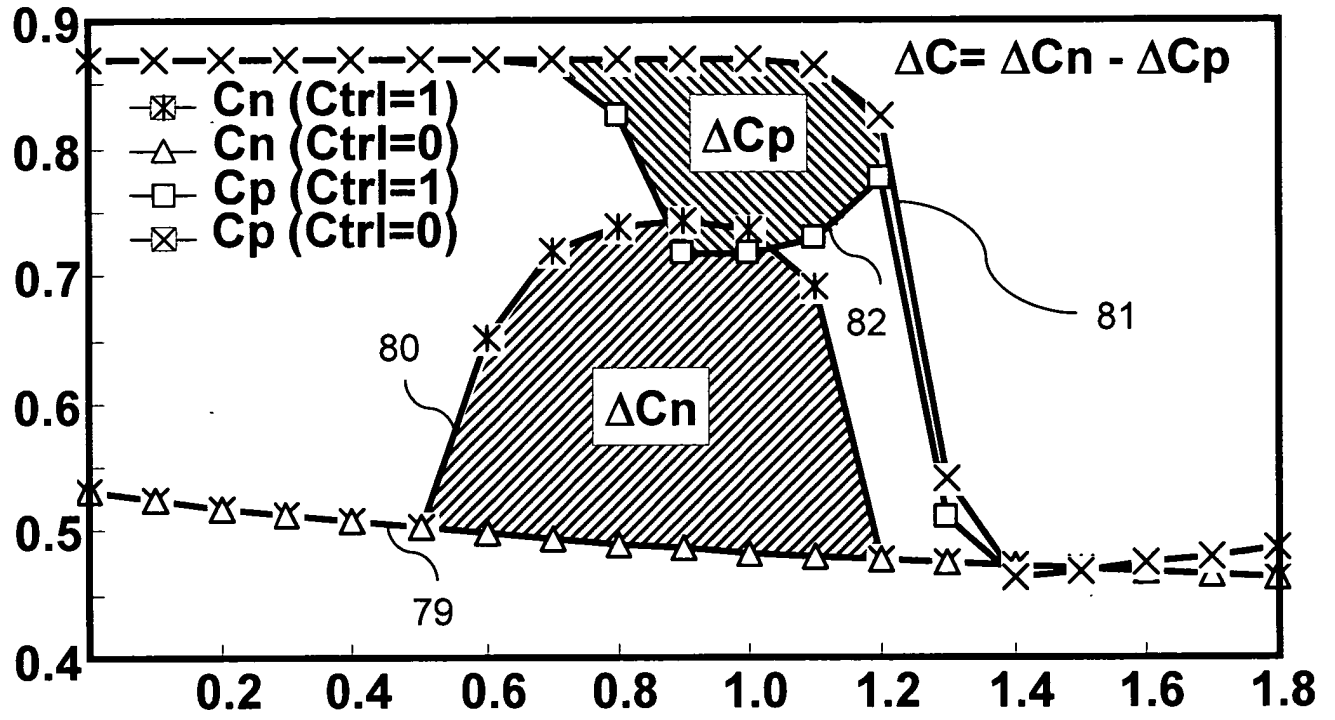


第15圖(習知技術)



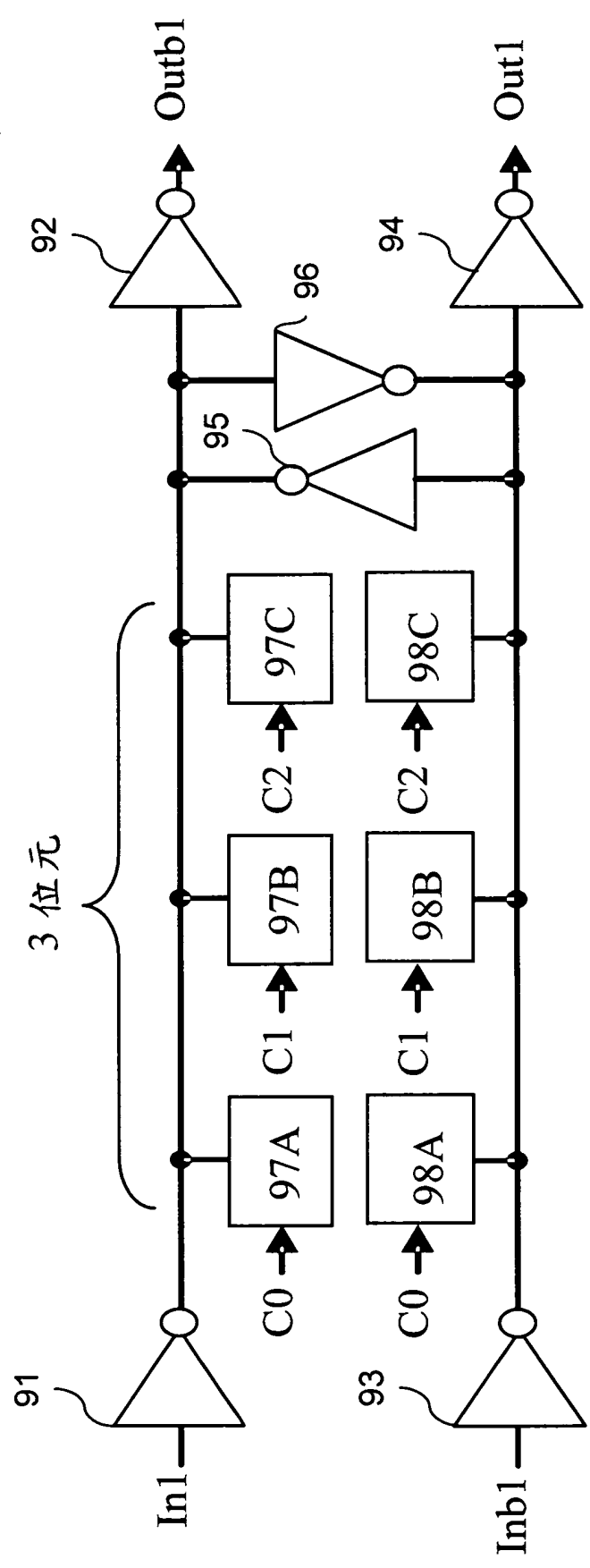
第16圖(習知技術)

電容量



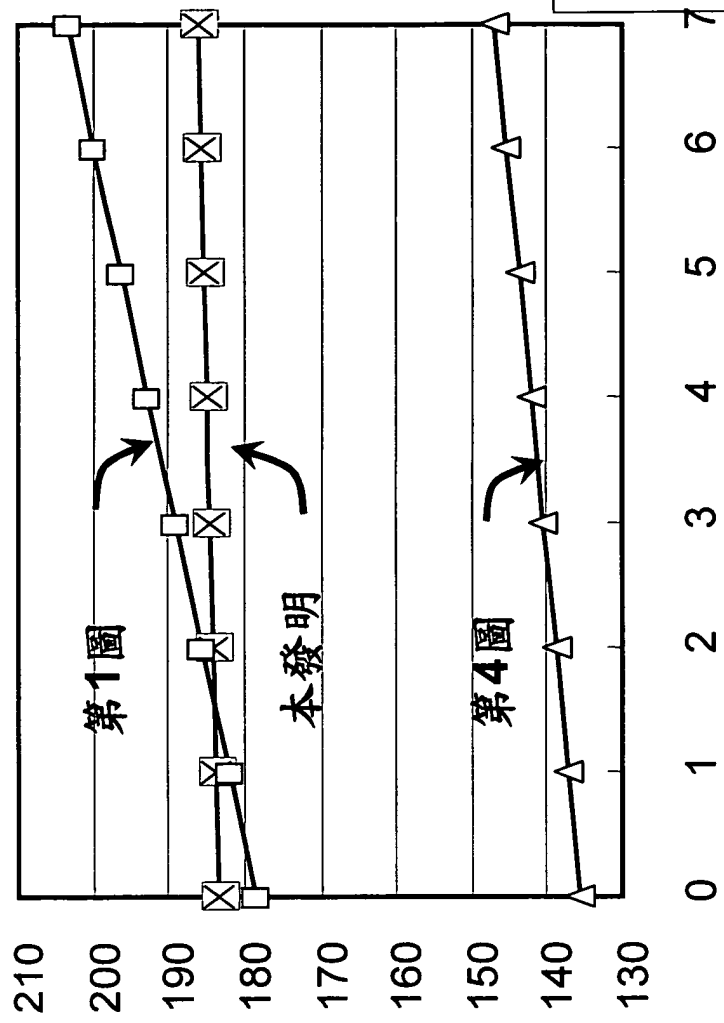
輸出電壓

第17圖



第18圖

99年12月15日替換頁



控制碼	延遲時間 (ps)		
	本發明	第1圖	第4圖
000	183.26	178.31	135.73
001	183.68	181.89	137.22
010	184.05	185.50	138.79
011	184.43	189.00	140.44
100	184.81	192.57	141.98
101	185.20	196.15	143.62
110	185.57	199.68	145.33
111	185.93	203.20	146.96
解析度	0.33	3.11	1.40

第19B圖

第19A圖

七、指定代表圖：

(一)本案指定代表圖為：第 8A 圖。

(二)本代表圖之元件符號簡單說明：

30NAND 閘

31反相器

Ctrl.....控制訊號

In輸入端

Out輸出端

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無