



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년11월27일
 (11) 등록번호 10-1205323
 (24) 등록일자 2012년11월21일

(51) 국제특허분류(Int. Cl.)
H01L 23/50 (2006.01)

(21) 출원번호 10-2006-0094940
 (22) 출원일자 2006년09월28일
 심사청구일자 2011년07월25일
 (65) 공개번호 10-2008-0029194
 (43) 공개일자 2008년04월03일
 (56) 선행기술조사문헌
 KR1020020013798 A
 KR1020060080331 A

(73) 특허권자
삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
이재영
 경기도 용인시 수지구 풍덕천로 91, 주공1단지아파트 신정마을 102동 803호 (풍덕천동)
조성훈
 경기도 용인시 수지구 신봉1로 28, 현대아파트 404동 1601호 (신봉동)
 (74) 대리인
오세준, 송윤호, 권혁수

전체 청구항 수 : 총 10 항

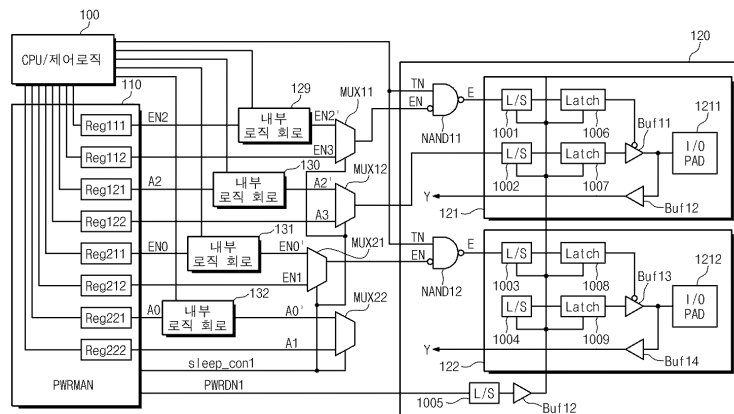
심사관 : 송대중

(54) 발명의 명칭 **리텐션 입/출력 장치를 이용하여 슬립모드를 구현하는시스템 은 칩**

(57) 요약

여기에 개시된 시스템 은 칩은 노멀 모드시 입/출력 상태를 결정하는 제 1 입/출력 제어신호, 슬립 모드시 상기 입/출력 상태를 결정하는 제 2 입/출력 제어신호, 노멀 값, 그리고 슬립 값을 생성하는 제어부; 상기 제어부에서 생성된 상기 제 1 입/출력 제어신호를 저장하는 제 1 레지스터; 상기 제어부에서 생성된 상기 제 2 입/출력 제어신호를 저장하는 제 2 레지스터; 상기 제어부에서 생성된 노멀 값을 저장하는 제 3 레지스터; 상기 제어부에서 생성된 슬립 값을 저장하는 제 4 레지스터; 제 1 및 제 2 선택기를 제어하는 전력제어부; 동작 모드에 따라 상기 제 1 및 제 2 입/출력 제어 신호들 중 어느 하나를 선택하는 제 1 선택기; 제어부에 의해 노멀 모드로 동작하고, 상기 제 3 레지스터로부터의 노멀 값에 응답하여 외부 칩으로 전송될 송신 신호를 생성하는 내부 로직 회로; 동작 모드에 따라 상기 제 4 레지스터의 출력과 상기 내부 로직 회로의 출력 중 어느 하나를 선택하는 제 2 선택기; 그리고 상기 슬립 모드로의 전환시 상기 전력 제어부의 제어에 따라 상기 제 1 선택기의 출력과 상기 제 2 선택기의 출력을 저장하도록 구성되는 리텐션 입출력 장치를 포함하며, 상기 리텐션 입출력 장치의 입/출력 상태는 상기 슬립 모드로의 전환시 상기 제 1 선택기의 출력에 의해서 유지되는 것을 특징으로 한다.

대표도



특허청구의 범위

청구항 1

노멀 모드시 입/출력 상태를 결정하는 제 1 입/출력 제어신호, 슬립 모드시 상기 입/출력 상태를 결정하는 제 2 입/출력 제어신호, 노멀 값, 그리고 슬립 값을 생성하는 제어부;

상기 제어부에서 생성된 상기 제 1 입/출력 제어신호를 저장하는 제 1 레지스터;

상기 제어부에서 생성된 상기 제 2 입/출력 제어신호를 저장하는 제 2 레지스터;

상기 제어부에서 생성된 노멀 값을 저장하는 제 3 레지스터;

상기 제어부에서 생성된 슬립 값을 저장하는 제 4 레지스터;

제 1 및 제 2 선택기를 제어하고 전력제어부;

동작 모드에 따라 상기 제 1 및 제 2 입/출력 제어 신호들 중 어느 하나를 선택하는 제 1 선택기;

제어부에 의해 노멀 모드로 동작하고, 상기 제 3 레지스터로부터의 노멀 값에 응답하여 외부 칩으로 전송될 송신 신호를 생성하는 내부 로직 회로;

동작 모드에 따라 상기 제 4 레지스터의 출력과 상기 내부 로직 회로의 출력 중 어느 하나를 선택하는 제 2 선택기; 그리고

상기 슬립 모드로의 전환시 상기 전력 제어부의 제어에 따라 상기 제 1 선택기의 출력과 상기 제 2 선택기의 출력을 저장하도록 구성되는 리텐션 입출력 장치를 포함하며, 상기 리텐션 입출력 장치의 입/출력 상태는 상기 슬립 모드로의 전환시 상기 제 1 선택기의 출력에 의해서 유지되는 것을 특징으로 하는 시스템 온 칩.

청구항 2

제 1 항에 있어서,

상기 리텐션 입출력 장치는 입출력 패드를 포함하고, 상기 리텐션 입출력 장치가 슬립 모드로의 전환 이전에 출력 상태를 가질 때 상기 제 2 선택기의 출력에 따라 입출력 패드가 구동되는 것을 특징으로 하는 시스템 온 칩.

청구항 3

제 1 항에 있어서,

상기 제 1, 제 2, 제 3, 및 제 4 레지스터는 슬립 모드시 전원이 공급되지 않는 오프 영역에 포함되는 것을 특징으로 하는 시스템 온 칩.

청구항 4

제 1 항에 있어서,

상기 제 1, 제 2, 제 3, 및 제 4 레지스터는 상기 슬립 모드시 전원이 공급되는 온 영역에 포함되는 것을 특징으로 하는 시스템 온 칩.

청구항 5

제 4 항에 있어서,

상기 온 영역은 전력제어부인 것을 특징으로 하는 시스템 온 칩.

청구항 6

제 1 항에 있어서,

상기 제 1, 제 2, 제 3, 및 제 4 레지스터는 웨이크 업과 동시에 필요한 값이거나, 또는 웨이크 업과 관련된 기능을 수행하는 값일 경우, 상기 전력 제어부에 포함되는 것을 특징으로 하는 시스템 온 칩.

청구항 7

제 1 항에 있어서,

상기 전력제어부는 전력 제어신호를 생성하고, 상기 전력제어신호에 의해 상기 슬립 모드로의 전환시 상기 리텐션 입출력 장치가 슬립 모드로의 전환 이전에 제 1 선택기 및 제 2 선택기로부터 입력받은 값을 래치하고, 소정 레벨의 신호를 생성하도록 리텐션 입출력 장치를 제어하는 것을 특징으로 하는 시스템 운 칩.

청구항 8

제 1 항에 있어서,

상기 리텐션 입출력 장치는 상기 제 1 입/출력 제어신호 및 상기 제 2 입/출력 제어신호에 의해 입/출력 상태가 제어되는 입출력 셀을 포함하는 것을 특징으로 하는 시스템 운 칩.

청구항 9

제 8 항에 있어서,

상기 입출력 셀은,

입출력 패드와;

제 1 레벨 쉬프터를 통해 전달되는 상기 제 1 선택기의 출력을 래치하도록 구성된 제 1 래치와;

제 2 레벨 쉬프터를 통해 전달되는 상기 제 2 선택기의 출력을 래치하도록 구성된 제 2 래치와;

상기 제 1 래치의 값에 의해서 제어되며, 상기 제 2 래치의 값을 상기 입출력 패드로 전달하는 버퍼를 포함하는 것을 특징으로 하는 시스템 운 칩.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

제 1 항에 있어서,

상기 제 1 및 제 2 선택기들, 상기 내부 로직 회로, 그리고 상기 제어부는 슬립 모드시 전원 공급이 차단되는 것을 특징으로 하는 시스템 운 칩.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0016] 본 발명은 시스템 온 칩에 관한 것으로, 좀더 구체적으로는 리텐션 입/출력 장치를 이용하여 슬립모드를 구현하는 시스템 온 칩에 관한 것이다.
- [0017] 일반적으로, 시스템 온 칩(System On a Chip)(이하, SOC라 칭함)는 복수의 내부회로에 각각 공급되는 전원의 온/오프(on/off)를 제어하기 위해 항상 온 상태를 유지하는 얼라이브 모듈(alive module)(이하 전력 제어부라 칭함), 그리고 칩 외부의 디바이스(external device)들과 인터페이스(interface)를 위한 입/출력 장치를 포함한다.
- [0018] SOC가 슬립모드(sleep mode)일 경우 전력 제어부에 의해, 대부분의 내부 회로들의 전원(power)은 오프(off)된다. 그러나 SOC의 입/출력장치에 연결된 외부 디바이스들은 오프 되지 않을 수 있다. 따라서 외부 디바이스들과 연결되어 있는 SOC의 입/출력 장치는 외부 디바이스와의 인터페이스(interface)를 위해 온 상태를 유지하고, 특정한 값(이하, 슬립 값(sleep vlaue)이라 칭함)을 유지해야 한다. 슬립 값은 SOC가 슬립모드일 경우, 입/출력 장치에 누설전류가 흐르는 것을 방지하기 위해 유지되는, 일정한 로우(L) 레벨, 또는 하이(H) 레벨의 신호를 의미한다.(이하 본 발명에서 상세히 설명함) 일반적으로 로우(L) 레벨의 신호를 의미한다.
- [0019] SOC는 이러한 슬립 값을 유지하기 위해 별도의 저장장치가 필요하다. 따라서SOC의 전력 제어부는 슬립 값을 저장하기 위한 레지스터를 포함하고, 입/출력장치는 슬립 값을 선택하기 위한 얼라이브 믹스(alive mux)를 포함한다.
- [0020] 도 1은 일반적인 입출력 장치에 사용되는 얼라이브 믹스의 회로도이다.
- [0021] 도 1을 참조하면, 일반적인 입출력 장치에 사용되는 얼라이브 믹스는 두 개의 AND 게이트(AND1,AND2), OR게이트(OR1), 그리고 인버터(INV1)를 포함한다.
- [0022] SOC가 노멀모드일 경우, 제어신호(PWRDN)는 로우(L) 레벨이 되고, 로우(L) 레벨의 제어신호(PWRDN)는 AND게이트(AND2)의 두 번째 입력단으로 입력된다. 또한, 로우(L) 레벨의 제어신호(PWRDN)는 인버터(INV1)를 통해 하이(H)레벨로 반전되고, 반전된 하이(H) 레벨의 제어신호(PWRDN)는 AND게이트(AND1)의 두 번째 입력단으로 입력된다. AND게이트(AND2)는 두 번째 입력단으로 로우(L) 레벨 신호가 입력되므로, 첫 번째 입력단으로 입력되는 슬립 값에 대응하는 입력 신호(A12)의 값에 상관없이 항상 로우(L) 레벨의 신호를 OR게이트(OR1)의 두 번째 입력단으로 출력한다. AND게이트(AND1)의 두 번째 입력단으로 하이(H) 레벨 제어신호(PWRDN)가 입력되므로, 첫 번째 입력단으로 입력되는 노멀 값에 대응하는 입력 신호(A11)의 레벨(L 또는 H)에 따라서 대응하는 하이(H), 또는 로우(L)레벨의 신호를 OR게이트(OR1)의 첫번째 입력단으로 출력한다. OR게이트(OR1)는 첫 번째 입력단으로 입력 신호(A11)를 입력받고, 두 번째 입력단으로 로우(L) 레벨의 신호를 입력받으므로, 결과적으로, 입력 신호(A11)을 출력하게 된다. 따라서 얼라이브 믹스는 SOC가 노멀모드일 경우, 제어신호(PWRDN)에 의해 입력 신호(A11)를 선택해서 출력하게 된다.
- [0023] SOC가 슬립모드일 경우, 제어신호(PWRDN)는 하이(H) 레벨이 되고, 하이(H) 레벨의 제어신호(PWRDN)에 의해 얼라이브 믹스는 입력신호(A12)를 선택해서 출력하게 된다. SOC가 슬립모드일 경우의 얼라이브 믹스의 동작은, 상기 기술된 SOC가 노멀모드일 경우 얼라이브 믹스의 동작과 반대가 되므로 구체적인 설명을 생략한다.
- [0024] SOC가 슬립모드일 경우, 입력 신호(A11)를 전송하는 회로는 오프 상태가 된다. 따라서 얼라이브 믹스의 AND게이트(AND1)의 첫 번째 입력단은 노멀모드에 대응하는 입력 신호(A11)가 더 이상 입력되지 않고, 플로팅 상태가 된다. 이러한 플로팅 상태는 얼라이브 믹스의 AND게이트(AND1)를 통해 방지된다.
- [0025] 도 2는 도 1에 도시된 앤드 게이트의 회로도이다.
- [0026] 도 2를 참조하면, 도 1에 도시된 앤드 게이트들(AND1,AND2)은 각각 PMOS 트랜지스터들(MP21,MP22), NMOS 트랜지스터들(MN21,MN22), 그리고 인버터(INV2)를 포함한다. 앤드 게이트들(AND1,AND2)은 동일한 구성이므로 이하, 앤드 게이트(AND1)에 대해 설명한다.

- [0027] PMOS 트랜지스터들(MP21,MP22)의 각 게이트는 동작전압(Vdd)에 공통으로 연결된다. PMOS 트랜지스터(MP21)의 게이트는 입력신호(A11)를 입력받고, NMOS 트랜지스터(MN21)의 게이트에 연결되고, 드레인은 N21 노드를 통해 인버터(INV2)의 입력단과, NMOS 트랜지스터(MN21)의 드레인에 연결된다. 인버터(INV2)의 출력단은 AND게이트(AND1)의 출력단(Out)에 연결된다. 입력신호(A11)는 AND게이트(AND1)의 첫 번째 입력단으로 입력되는 신호이고, 입력신호(PWRDN)는 AND게이트(AND1)의 두번째 입력단으로 입력되는 신호이다.
- [0028] PMOS 트랜지스터(MP22)의 게이트는 제어신호(PWRDN)를 입력받고, 드레인은 NMOS 트랜지스터(MN21)의 드레인에 연결된다. NMOS 트랜지스터(MN21)의 소스는 NMOS 트랜지스터(MN22)의 드레인에 연결된다. NMOS 트랜지스터(MN22)의 게이트는 제어신호(PWRDN)를 입력받고, 소스는 접지(GND)에 연결된다.
- [0029] SOC가 노멀모드일 경우, 제어신호(PWRDN)는 로우(L) 레벨이고, 로우(L) 레벨의 제어신호(PWRDN)는 도 1에 도시된 인버터(INV1)를 통해 하이(H) 레벨로 반전되고, 반전된 하이(H) 레벨의 제어신호(PWRDN)에 의해 AND게이트(AND1)의 NMOS 트랜지스터(MN22)는 턴 온(turn on)되고, PMOS 트랜지스터(MP22)는 턴 오프(turn off) 된다. 이때 입력신호(A11)가 하이(H) 레벨일 경우 PMOS 트랜지스터(MP21)는 턴 오프 되고, NMOS 트랜지스터(MN21)는 턴 온 된다. 따라서 턴 온된 NMOS 트랜지스터들(MN21,MN22)을 통해 전류는 접지(GND)로 흐르고, N21노드의 전압은 로우(L) 레벨이 된다. 로우(L) 레벨의 전압은 인버터(INV2)를 통해 하이(H) 레벨로 반전되어 출력된다. 입력신호(A11)가 로우(L) 레벨일 경우 AND게이트(AND1)는 로우(L) 레벨의 신호를 출력한다. 입력신호(A11)가 로우(H) 레벨일 경우의 설명은 입력신호(A11)가 하이(H) 레벨일 경우의 AND게이트(AND1)의 동작과 반대가 되므로 생략한다. 따라서 SOC가 노멀모드일 경우, 제어신호(PWRDN)에 의해 얼라이브 맥스는 노멀 값에 대응하는 입력신호(A11)를 선택해서 출력하게 된다.
- [0030] 도 1의 설명을 참조하면, SOC가 슬립모드일 경우, 제어신호(PWRDN)는 하이(H) 레벨이고, 하이(H) 레벨 제어신호(PWRDN)에 의해 얼라이브 맥스는 슬립값에 대응하는 신호(A12)를 선택해서 출력하게 된다. 신호(A12)를 출력한 후, SOC가 슬립 모드이므로 입력 신호(A11)를 전송하는 회로는 오프 상태가 된다. 따라서 얼라이브 맥스의 AND 게이트(AND1)의 첫 번째 입력단은 노멀모드에 대응하는 입력 신호(A11)가 더 이상 입력되지 않고, 플로팅 상태가 된다. 그러나 AND게이트(AND1)는 인버터(INV1)를 통해 로우(L) 레벨로 반전된 제어신호(/PWRDN)를 입력받고, 로우(L) 레벨로 반전된 제어신호(/PWRDN)에 의해 NMOS 트랜지스터(MN22)는 접지(GND)와 오픈(open)상태가 된다. 또한, PMOS 트랜지스터(MP22)는 턴 온 되어 N21 노드는 하이(H) 레벨을 유지 하게 된다. N21노드의 하이(H) 레벨신호는 인버터(INV2)를 통해 로우(L) 레벨로 반전된다. 따라서 AND게이트(AND1)의 출력은 입력신호(A11)의 상태와 상관없이 로우(L) 레벨의 신호 유지하게 되므로, 얼라이브 맥스는 플로팅 상태를 방지하여 누설전류가 흐르는 것을 방지할 수 있다.
- [0031] SOC는 전력제어부의 레지스터에 저장된 슬립 값을 입출력 장치의 얼라이브 맥스에 전송하기 위해 적어도 하나 이상의 버퍼를 포함한다. 전력제어부의 레지스터에 저장된 슬립 값은 버퍼를 통해 입출력 장치의 얼라이브 맥스에 전송된다. 전력 제어부의 레지스터와 입출력 장치의 얼라이브 맥스는 SOC가 슬립 모드일 동안 슬립 값을 유지하기 위해 전원을 계속 공급받아야 한다. 따라서 얼라이브 맥스는 슬립모드일 경우에도 온 상태를 유지하는 입출력 장치에 포함시켜 전원을 공급받게 된다.
- [0032] 입출력 장치는 다수의 입출력 셀을 포함하고, 얼라이브 맥스는 일반적으로 입출력 셀의 바로 앞에 위치한다. 따라서 입출력 셀의 수가 많아질수록 입출력 장치에 사용되는 얼라이브 맥스의 수도 많아지므로 입출력 장치의 사이즈는 커지게 된다. 입출력 장치의 사이즈가 커지면, 입출력 장치에 사용되는 전력은 많아지고, 누설 전류의 양도 증가하게 된다. 입출력 장치의 얼라이브 맥스가 증가함에 따라 전력 제어부의 레지스터와 입출력 장치의 얼라이브 맥스를 연결하기 위해 사용되는 버퍼는 더 많아지고, 많은 버퍼를 사용하게 되므로 시스템의 누설 전류는 더욱 증가하게 된다. 또한 전력제어부는 슬립 값을 저장하기 위한 레지스터를 포함하므로 사이즈가 커지고, 사이즈가 커지게 되므로 사용되는 전력양도 많아지고, 누설전류의 양도 증가하게 된다.
- [0033] 따라서 일반적인 입출력 장치를 포함하는 SOC는, 슬립모드일 경우 특정한 값을 유지 하기 위해 전원을 공급해야 하는 회로의 사이즈가 커지게 되므로 사용되는 전력양도 많아지고 누설전류의 양도 증가하게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- [0034] 따라서, 본 발명의 목적은 SOC가 슬립모드일 경우 저전력을 구현할 수 있는리텐션 입출력 장치를 포함하는 SOC를 제공하는데 있다.

[0035] 본 발명의 다른 목적은 누설전류를 줄일 수 있는 리텐션 입출력 장치를 포함하는 SOC를 제공하는데 있다.

발명의 구성 및 작용

[0036] 상술한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 의하면, 시스템 온 칩은 노멀 모드시 입/출력 상태를 결정하는 제 1 입/출력 제어신호, 슬립 모드시 상기 입/출력 상태를 결정하는 제 2 입/출력 제어신호, 노멀 값, 그리고 슬립 값을 생성하는 제어부, 상기 제어부에서 생성된 상기 제 1 입/출력 제어신호를 저장하는 제 1 레지스터, 상기 제어부에서 생성된 상기 제 2 입/출력 제어신호를 저장하는 제 2 레지스터, 상기 제어부에서 생성된 노멀 값을 저장하는 제 3 레지스터, 상기 제어부에서 생성된 슬립 값을 저장하는 제 4 레지스터, 제 1 및 제 2 선택기를 제어하는 전력제어부, 동작 모드에 따라 상기 제 1 및 제 2 입/출력 제어 신호들 중 어느 하나를 선택하는 제 1 선택기, 제어부에 의해 노멀 모드로 동작하고, 상기 제 3 레지스터로부터의 노멀 값에 응답하여 외부 칩으로 전송될 송신 신호를 생성하는 내부 로직 회로, 동작 모드에 따라 상기 제 4 레지스터의 출력과 상기 내부 로직 회로의 출력 중 어느 하나를 선택하는 제 2 선택기, 그리고 상기 슬립 모드로의 전환시 상기 전력 제어부의 제어에 따라 상기 제 1 선택기의 출력과 상기 제 2 선택기의 출력을 저장하도록 구성되는 리텐션 입출력 장치를 포함하며, 상기 리텐션 입출력 장치의 입/출력 상태는 상기 슬립 모드로의 전환시 상기 제 1 선택기의 출력에 의해서 유지된다.

[0037] 이 실시예에 있어서, 상기 리텐션 입출력 장치는 입출력 패드를 포함하고, 상기 리텐션 입출력 장치가 슬립 모드로의 전환 이전에 출력 상태를 가질 때 상기 제 2 선택기의 출력에 따라 입출력 패드가 구동된다.

[0038] 이 실시예에 있어서, 상기 제 1, 제 2, 제 3, 및 제 4 레지스터는 슬립 모드시 전원이 공급되지 않는 오프 영역에 포함된다.

[0039] 이 실시예에 있어서, 상기 제 1, 제 2, 제 3, 및 제 4 레지스터는 상기 슬립 모드시 전원이 공급되는 온 영역에 포함된다.

[0040] 이 실시예에 있어서, 상기 온 영역은 전력제어부이다.

[0041] 이 실시예에 있어서, 상기 제 1, 제 2, 제 3, 및 제 4 레지스터는 웨이크 업과 동시에 필요한 값이거나, 또는 웨이크 업과 관련된 기능을 수행하는 값일 경우, 상기 전력 제어부에 포함된다.

[0042] 이 실시예에 있어서, 상기 전력제어부는 상기 슬립 모드로의 전환시 상기 리텐션 입출력 장치가 슬립 모드로의 전환 이전에 제 1 선택기 및 제 2 선택기로부터 입력받은 값을 래치하고, 소정 레벨의 신호를 생성하도록 리텐션 입출력 장치를 제어한다.

[0043] 이 실시예에 있어서, 상기 리텐션 입출력 장치는 상기 제 1 입/출력 제어신호 및 상기 제 2 입/출력 제어신호에 의해 입/출력 상태가 제어되는 입출력 셀을 포함한다.

[0044] 이 실시예에 있어서, 상기 입출력 셀은, 입출력 패드와, 제 1 레벨 슈프터를 통해 전달되는 상기 제 1 선택기의 출력을 래치하도록 구성된 제 1 래치와, 제 2 레벨 슈프터를 통해 전달되는 상기 제 2 선택기의 출력을 래치하도록 구성된 제 2 래치와, 상기 제 1 래치의 값에 의해서 제어되며, 상기 제 2 래치의 값을 상기 입출력 패드로 전달하는 버퍼를 포함한다.

[0045] 이 실시예에 있어서, 상기 제 1 및 제 2 래치들 각각은 상기 전력 제어부의 제어에 따라 대응하는 레벨 슈프터의 출력을 바이패스 시키도록 또는 저장하도록 구성된다.

[0046] 이 실시예에 있어서, 상기 제 1 및 제 2 래치들 각각은 상기 노멀모드시 상기 대응하는 레벨 슈프터의 출력을 바이패스 시키고, 상기 슬립모드시 상기 대응하는 레벨 슈프터의 출력을 래치하도록 구성된다.

[0047] 이 실시예에 있어서, 상기 제 1 및 제 2 레벨 슈프터들은 상기 슬립 모드로의 전환시 상기 전력 제어부에 의해서 소정 레벨의 신호를 생성하고, 생성된 소정 레벨의 신호를 출력한다.

[0048] 이 실시예에 있어서, 상기 제 1 및 제 2 선택기들, 상기 내부 로직 회로, 그리고 상기 제어부는 슬립 모드시 전원 공급이 차단된다.

[0049] 이하에서 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 상세히 설명한다.

[0050] 도 3a는 본 발명의 일 실시예에 따른 리텐션 입출력 장치 및 전력 제어부를 보여주는 블록도 이다.

[0051] 도 3a를 참조하면, 본 발명의 실시 예에 따른 리텐션 입출력 장치(120)는 입출력 셀들(121,122), 낸드 게이트들

(NAND11, NAND12), 레벨 시프터(1005), 그리고 버퍼(buf15)를 포함한다.

- [0052] 입출력 셀들(121,122)은 각각 입력, 또는 출력으로 동작하고, 외부의 신호를 입력받거나 내부의 신호를 출력하게 된다. 입출력 셀들(121,122)은 동일하게 구성되므로, 이하 설명에서는 입출력 셀(122)에 대해서만 설명한다.
- [0053] 입출력 셀(122)은 레벨 시프터들(1003,1004), 래치들(1008,1009), 버퍼들(buf13,buf14), 그리고 입출력 패드(1212)를 포함한다.
- [0054] 전력 제어부(100)는 복수의 레지스터들(reg211, reg212, reg221, reg222)을 포함한다. 복수의 레지스터들(reg111, reg112, reg121, reg122)은 전력 제어부(100) 외부의 오프 영역에 위치한다. 레지스터들(reg111, reg112, reg211, reg212)은 입출력 셀들(121,122)의 입/출력 상태를 설정하기 위해 대응하는 제어신호들(EN3, EN2, EN1, EN0)의 값이 저장되어 있고, 레지스터들(reg121, reg122, reg221, reg222)은 각각 대응하는 노멀 값, 또는 슬립 값이 저장되어 있다.
- [0055] 중앙처리장치(CPU)/제어로직(100)(이하, 제어부라 칭함)은 시스템이 노멀 모드(normal mode)로 동작할 경우, 레지스터들(reg111, reg112, reg121, reg122, reg211, reg212, reg221, reg222)에 각각 대응하는 값들(노멀 값, 슬립 값, 또는 제어신호들(EN3, EN2, EN1, EN0))을 셋팅(setting) 한다. 이하 설명에서는, 입출력 셀(122)에 대해서만 설명하므로, 입출력 셀(122)로 입력되는 값(노멀값, 또는 슬립값), 및 입출력 셀(122)의 입/출력 상태를 결정하는 제어신호들(EN0,EN1)의 값이 저장되어 있는 레지스터들(reg211, reg212, reg221, reg222)에 대해서만 설명한다.
- [0056] 레지스터(reg211)는 제어신호(EN0)의 값이 저장되어 있고, 레지스터(reg212)는 제어신호(EN1)의 값이 저장되어 있다. 또한 레지스터(reg221)는 노멀 값(A0)이 저장되어 있고, 레지스터(reg222)는 슬립 값(A1)이 저장되어 있다. 레지스터(reg211)에 저장된 제어신호(EN0)의 값은 내부 로직 회로(131)로 전송된다. 시스템이 노멀모드일 경우 내부 로직 회로(130)는 제어부(100)의 제어에 의해 노멀모드로 동작한다. 노멀모드로 동작하는 내부 로직 회로(130)는 제어신호(EN0)를 입력받고, 입력받은 제어신호(EN0)에 응답해서, 리텐션 입출력 장치(120)의 입출력 셀(122)의 입/출력 상태를 제어하기 위한 제어신호(EN0')를 생성한다. 생성된 제어신호(EN0')는 믹스(MUX21)로 입력된다.
- [0057] 믹스(MUX21)는 제어신호(EN0')를 입력받고, 레지스터(reg212)에 저장된 제어신호(EN1)를 입력받는다.
- [0058] 레지스터(reg221)에 저장된 노멀 값(A0)은 내부 로직 회로(130)가 리텐션 입출력 장치(120)를 통해 연결된 외부의 칩과 데이터 송/수신을 하기 위한 명령 신호이다. 슬립 값(A1)은 SOC가 슬립모드일 경우, 리텐션 입출력 장치(120)에 누설전류가 흐르는 것을 방지하기 위해 유지되는, 일정한 로우(L) 레벨, 또는 하이(H) 레벨의 신호를 의미한다.(이하 도 4에서 상세히 설명함) 일반적으로 로우(L) 레벨의 신호를 의미한다.
- [0059] 시스템이 노멀모드일 경우 내부 로직 회로(130)는 제어부(100)의 제어에 의해 노멀 모드로 동작한다. 노멀 모드로 동작하는 내부 로직 회로(130)는 레지스터(reg221)에 저장된 노멀 값(A0)을 입력받고, 입력받은 노멀값(A0)에 응답해서, 리텐션 입출력 장치(120)를 통해 연결된 외부의 칩과 데이터 송/수신을 하게 된다. 데이터를 송신할 경우, 내부 로직 회로(130)는 리텐션 입출력 장치(120)에 연결된 외부 칩으로 송신하기 위해 신호(A0')를 생성하고, 생성된 신호(A0')를 믹스(MUX22)(제 2 선택기)로 전송한다.
- [0060] 믹스(MUX22)는 신호(A0')을 입력받고, 레지스터(reg222)에 저장된 슬립 값(A1)을 입력받는다.
- [0061] 믹스(MUX21)는 전력 제어부(110)에서 생성된 선택 신호(Sleep_con1)에 의해, 시스템이 노멀모드일 경우, 제어신호(EN0')을 선택하고, 시스템이 노멀모드에서 슬립모드로 전환할 경우 제어신호(EN1)를 선택한다. 선택된 제어신호(EN)는 리텐션 입출력 장치(120)의 낸드 게이트(NAND12)의 두 번째 입력단으로 전송된다.
- [0062] 믹스(MUX22)는 전력 제어부(110)에서 생성된 선택 신호(Sleep_con1)에 의해, 시스템이 노멀모드일 경우, 외부 칩으로 출력하기 위한 신호(A0')를 선택하고, 시스템이 노멀 모드에서 슬립모드로 전환할 경우, 슬립 값(A1)을 선택한다. 선택된 신호(A)는 리텐션 입출력 장치(120)의 레벨 시프터(1004)로 전송된다. 레벨 시프터(1004)는 입력받은 신호의 전압 레벨을 리텐션 입출력 장치(120)의 전압 레벨로 변환 시키고(이하 상세히 설명함), 전압 레벨이 변환된 신호를 래치(1009)로 제공한다. 래치(1009)는 전력 제어부에서 생성된 제어신호(PWRDN)에 의해 입력받은 신호를 바이패스(bypass), 또는 저장(이하, 도 6에서 상세히 설명함)한다.
- [0063] 리텐션 입출력 장치(120)의 낸드 게이트(NAND12)는 첫 번째 입력단으로 CPU(100)에서 생성된 제어신호(TN)를 입력받고, 두 번째 입력단으로 믹스(MUX21)에서 선택된 제어신호(EN)를 반전시켜서 입력받는다. 낸드게이트(NAND12)는 입력받은 두 제어신호(TN,/EN)를 논리 조합하고, 논리 조합된 제어신호(E)를 레벨 시프터(1003)로

제공한다.

- [0064] 레벨 시프터(1003)는 내부 전압(예를 들어, 제어부(100)의 동작전압)과 리텐션 입출력 장치(120)의 동작전압을 같이 입력받고(미 도시됨), 입력받은 제어 신호(E)의 레벨을 리텐션 입출력 장치(120)의 동작전압의 레벨로 변환시킨다. 예를 들어 제어부(100)의 동작전압은 1.2V일 경우, 제어부(100)에서 생성된 신호들의 하이(H) 레벨은 1.2V가 된다. 노멀 동작시 제어신호(TN)는 하이(H) 레벨이고, 낸드 게이트(NAND12)는 제어신호들(TN,EN)을 논리 조합해서 출력하므로 낸드 게이트(NAND12)에서 출력되는 제어신호(E)는 제어부(100)의 동작전압의 레벨이 된다. 리텐션 입출력 장치(120)의 동작전압이 3.3V일 경우, 리텐션 입출력 장치(120)는 입력받은 하이(H) 레벨의 제어신호(E)를 로우(L) 레벨 신호로 인식할 수 있다. 따라서 이러한 문제점을 방지하기 위해 리텐션 입출력 장치(120)는 레벨 시프터(1003)를 통해 입력받은 1.2V의 하이(H) 레벨 신호를 리텐션 입출력 장치(120)의 공급전압인 3.3V의 하이(H) 레벨 신호로 변환시킨다.
- [0065] 레벨 시프터(1003)에 의해 레벨이 변환된 제어신호(E)는 래치(1008)를 통해 버퍼(buf13)에 제공되고, 버퍼(buf13)는 제어신호(E)에 의해 온/오프 제어된다.
- [0066] 시스템이 노멀모드로 동작할 경우, 리텐션 입출력 장치(120)의 입출력 셀(122)은 버퍼(buf13)의 온/오프를 통해 입력, 또는 출력으로 동작하게 된다. 시스템이 슬립모드로 동작할 경우, 리텐션 입출력 장치(120)의 입출력 셀(122)은 버퍼(buf13)의 온/오프를 통해 슬립모드 직전의 상태를 유지한다.
- [0067] 예를 들어, 시스템이 노멀모드로 동작하고, 제어신호(E)에 의해 버퍼(buf13)가 온(on) 상태가 될 경우, 리텐션 입출력장치(120)의 입출력 셀(122)은 출력으로 동작하고, 제어신호(E)에 의해 버퍼(buf13)가 오프(off) 상태가 될 경우, 리텐션 입출력장치(120)의 입출력 셀(122)은 입력으로 동작한다.
- [0068] 이때, 시스템이 노멀 모드에서 슬립모드로 전환할 경우, 버퍼(buf13)의 온/오프를 제어하는 제어신호(E)의 값은 래치(1008)에 저장되고, 래치(1008)에 저장된 제어신호(E)에 의해 버퍼(buf13)는 시스템이 노멀모드로 동작할 경우의 온/오프 상태를 유지하게 된다.(이하 도 4에서 상세히 설명함)
- [0069] 제어신호(TN)는 믹스(MUX21)에서 제어신호(EN0', 또는 EN1)를 선택할 경우 하이(H) 레벨을 유지한다. 따라서 제어신호(E)의 레벨은 믹스(MUX21)에서 선택된 제어신호(EN)를 반전시킨 레벨과 같은 레벨이 된다. 따라서, 실질적으로, 버퍼(buf13)는 믹스(MUX21)에서 선택된 제어신호(EN)에 의해 온/오프 제어되고, 입출력 셀(122)은 버퍼(buf13)의 온/오프 의해 입/출력 상태를 결정하게 된다.
- [0070] 전력 제어부(110)는 제어신호(PWRDN)를 생성하고, 생성된 제어신호(PWRDN)를 리텐션 입출력 장치(120)로 전송한다. 리텐션 입출력 장치(120)의 레벨 시프터(1005)는 입력받은 제어신호(PWRDN)의 레벨을 리텐션 입출력 장치(120)에 공급되는 전원 레벨로 변환시키고, 레벨이 변환된 제어신호(PWRDN)를 버퍼(buf15)를 통해 각각 입출력 셀(1212)의 레벨시프터들(1003,1004)과 래치들(1008,1009)로 제공한다. 제어신호(PWRDN)는 시스템이 노멀 모드일 경우 인액티브(inactive)되므로 로우(L) 레벨 신호이고, 슬립 모드일 경우 액티브(active)되므로 하이(H) 레벨 신호이다. 이러한 제어신호(PWRDN)는 레벨 시프터들(1003,1004)에 공급되는 내부 동작전압이 오프될 경우 레벨 시프터들(1003,1004)이 플로팅 상태가 되지 않도록 제어하고, 래치들(1008,1009)이 입력받은 데이터를 바이패스(bypass), 또는 저장(save)할지를 결정한다.
- [0071] 시스템이 노멀 모드로 동작할 경우, 믹스(MUX21)는 전력 제어부(110)에서 생성된 선택 신호(Sleep_con1)에 의해 내부 로직 회로(131)에서 제공되는 제어신호(EN0')를 선택하고, 선택된 제어신호(EN)를 리텐션 입출력 장치(120)의 낸드게이트(NAND12)의 두번째 입력단으로 전송한다. 리텐션 입출력 장치(120)의 낸드게이트(NAND12)는 첫 번째 입력단으로 제어부(100)에서 생성된 제어신호(TN)를 입력받고, 두 번째 입력단으로 제어신호(EN)를 반전시켜서 입력받는다.
- [0072] 낸드 게이트(NAND11)는 입력받은 두 제어신호(TN,/EN)를 논리 조합하고, 논리 조합된 제어신호(E)를 레벨 시프터(1003)로 제공한다. 레벨 시프터(1003)는 논리 조합된 제어신호(E)의 레벨을 리텐션 입출력 장치(120)의 동작전압의 레벨로 변환시키고, 레벨이 변환된 제어신호(E)를 래치(1008)를 통해 버퍼(buf13)로 제공한다. 이때 래치(1008)는 전력 제어부(110)에서 생성된 제어신호(PWRDN)에 의해 입력받은 제어신호(E)를 바이패스(bypass)하게 된다. 버퍼(buf13)는 제어신호(E)에 의해 온/오프 상태가 되고, 버퍼(buf13)의 온/오프 상태에 따라서 리텐션 입출력 장치(120)의 입출력 셀(122)은 입력, 또는 출력으로 동작하게 된다.
- [0073] 예를 들어, 제어신호(E)가 로우(L) 레벨이면 버퍼(buf13)는 온 상태가 되고, 입출력 셀(122)은 내부 로직 회로(130)의 데이터를 외부의 칩(미 도시됨)으로 출력하게 된다. 제어신호(E)가 하이(H) 레벨이면 버퍼(buf13)는 오프 상태가 되고, 입출력 셀(122)은 외부 칩으로부터의 데이터를 임의의 한 내부 로직 회로(미 도시됨)로 입력받

는다.

- [0074] 시스템이 노멀 모드로 동작할 경우, 내부 제어 로직(130)은 레지스터(reg221)에 저장된 노멀 값을 입력받고, 입력받은 노멀 값에 응답해서, 리텐션 입출력 장치(120)를 통해 외부 칩으로 전송하기 위한 신호(A0')를 생성한다. 내부 제어 로직(130)에서 생성된 신호(A0')는 믹스(MUX22)로 입력된다.
- [0075] 믹스(MUX22)는 신호(A0')을 입력받고, 레지스터(reg222)에 저장된 슬립 값(A1)을 입력받는다.
- [0076] 믹스(MUX22)는 전력 제어부(110)에서 생성된 선택 신호(Sleep_con1)에 의해 신호(A0')를 선택하고, 선택된 신호(A0')를 리텐션 입출력 장치(120)로 전송한다. 리텐션 입출력 장치(120)는 입력받은 신호(A0')를 리텐션 입출력 장치(120)의 입출력 셀(122)의 레벨 시프터(1004)를 통해 리텐션 입출력 장치(120)의 동작전압의 레벨로 변환시킨다. 제어신호(E)에 의해 버퍼(buf13)가 온 상태가 될 경우, 레벨이 변환된 신호(A0')는 래치(1009)와 버퍼(buf13)를 통해 입출력 패드(1212)로 제공된다. 입출력 패드(1212)는 신호(A0')를 외부 칩으로 출력한다.
- [0077] 제어신호(E)에 의해 버퍼(buf13)가 오프 상태가 될 경우, 입출력 셀(122)은 입력으로 동작하고, 레벨이 변환된 신호(A0')는 외부 칩으로 출력되지 않는다. 입출력 셀(122)은 입력으로 동작하므로, 외부 칩으로부터 전송되는 신호를 입출력 패드(1212)로 입력받는다. 입출력 패드(1212)를 통해 외부 칩으로부터 입력받은 신호는 버퍼(Buf14)를 통해 임의의 한 내부 로직 회로(미 도시됨)로 전송된다.
- [0078] 시스템이 노멀모드에서 슬립모드로 전환할 경우, 믹스(MUX21)는 전력 제어부(110)에서 생성된 선택 신호(Sleep_con1)에 의해 레지스터(reg212)에 저장된 제어 신호(EN1)를 선택하고, 선택된 제어신호(EN)를 리텐션 입출력 장치(120)의 낸드게이트(NAND12)의 두 번째 입력단으로 전송한다.
- [0079] 리텐션 입출력 장치(120)의 낸드게이트(NAND12)는 첫 번째 입력단으로 CPU(100)에서 생성된 제어신호(TN)를 입력받고, 두 번째 입력단으로 제어신호(EN)를 반전시켜서 입력받는다. 이후, 시스템이 슬립모드 이므로 제어부(100), 믹스(MUX21), 및 내부 로직 회로(131)는 전원이 공급되지 않아 오프 상태가 된다.
- [0080] 낸드 게이트(NAND11)는 입력받은 두 제어신호(TN, /EN)를 논리 조합하고, 논리 조합된 제어신호(E)를 레벨 시프터(1003)로 제공한다. 레벨 시프터(1003)는 논리 조합된 제어신호(E)의 레벨을 리텐션 입출력 장치(120)의 동작전압의 레벨로 변환시키고, 레벨이 변환된 제어신호(E)를 전력 제어부(110)에서 생성된 제어신호(PWRDN)에 의해 래치(1008)에 저장하게 된다. 래치(1008)에 저장된 제어신호(E)에 의해 버퍼(buf13)는 온/오프 상태를 유지하게 된다.
- [0081] 예를 들어, 시스템이 노멀 모드로 동작하고, 버퍼(buf13)가 온 상태일 경우, 입출력 셀(122)은 출력으로 동작한다. 입출력 셀(122)이 출력으로 동작하고, 시스템이 노멀모드에서 슬립모드로 전환할 경우, 버퍼(buf13)는 제어신호(E)에 의해 온 상태를 유지하고, 입출력 셀(122)은 출력 상태를 유지한다. 시스템이 노멀 모드로 동작하고, 버퍼(buf13)가 오프 상태일 경우, 입출력 셀(122)은 입력으로 동작한다. 입출력 셀(122)이 입력으로 동작하고, 시스템이 노멀모드에서 슬립모드로 전환할 경우, 버퍼(buf13)는 제어 신호(E)에 의해 오프 상태를 유지하고, 입출력 셀(122)은 입력 상태를 유지한다.
- [0082] 시스템이 슬립모드로 동작할 경우, 믹스(MUX22)는 전력 제어부(110)에서 생성된 선택 신호(Sleep_con1)에 의해 레지스터(reg222)에 저장된 슬립 값(A1)을 선택하고, 선택된 슬립값(A1)을 리텐션 입출력 장치(120)로 전송한다. 이후 내부 로직 회로(132), 믹스(MUX22)는 시스템이 슬립모드 이므로 전원이 공급되지 않아 오프 상태가 된다. 리텐션 입출력 장치(120)는 입력받은 신호(A1)를 리텐션 입출력 장치(120)의 입출력 셀(122)의 레벨 시프터(1004)를 통해 리텐션 입출력 장치(120)의 동작전압의 레벨로 변환시키고, 레벨이 변환된 슬립 값(A1)을 래치(1009)로 제공한다. 래치(1009)는 입력받은 슬립 값(A1)을 전력제어부(110)에서 생성된 제어신호(PWRDN)에 의해 저장한다. 따라서 슬립 값(A1)은 시스템이 슬립모드일 동안 온 상태인 리텐션 입출력 장치(120)의 래치(1009)에 저장되므로 값을 유지할 수 있다. 특히 이러한 슬립 값(A1)은, 버퍼(Buf13)가 래치(1008)에 저장된 제어신호(E)에 의해 온 상태를 유지할 경우, 출력 상태가 되는 입출력 셀(122)의 누설전류를 줄일 수 있다.(도 4에서 상세히 설명함)
- [0083] 이때, 시스템이 슬립모드이므로 입출력 셀(122)의 레벨 시프터들(1003,1004)에 공급되는 내부 동작전압은 더 이상 공급되지 않는다.
- [0084] 레벨 시프터들(1003,1004)은 내부 동작전압이 공급되지 않으므로 입력이 플로팅(floating) 상태가 된다. 시스템이 슬립 모드일 경우, 레벨 시프터들(1003,1004)의 입력이 플로팅 상태가 되는 것은, 전력 제어부(110)에서 생성된 제어신호(PWRDN)에 의해 방지된다.(도 5에서 상세히 설명함)

- [0085] 시스템이 슬립모드에서 노멀모드로 전환할 경우, 제어부(100)는 제어신호들(EN0,EN1), 노멀값(A0), 및 슬립값(A1)을 생성하고, 생성된 제어신호들(EN0,EN1), 노멀값(A0), 및 슬립값(A1)을 각각 대응하는 레지스터들(reg211,reg212,reg221,reg222)에 저장한다. 이때 리텐션 입출력 장치(120)를 제어하기 위해 전력 제어부(110)에서 생성된 제어신호(PWRDN)는 CPU(100)에 의해 제어신호들(EN0,EN1), 노멀값(A0), 및 슬립값(A1)을 각각 대응하는 레지스터들(reg211,reg212,reg221,reg222)에 저장한 후에 인엑티브(inactive) 된다. 따라서, 레지스터들(reg211,reg212,reg221,reg222)은 전력 제어부(110) 외부에 슬립모드시 오프 상태가 되는 오프 영역에 위치시킬 수 있다. 오프 영역에 있는 레지스터들(reg211,reg212,reg221,reg222)은 시스템이 슬립모드시 오프 상태가 되나, 시스템이 슬립모드에서 노멀모드로 전환할 경우, 온 상태가 되고, 제어부(100)에 의해 대응하는 값들(EN0,EN1,A0,A1)이 셋팅 된다. 이후 제어신호(PWRDN)는 인엑티브(inactive) 되므로, 레지스터들(reg211,reg212,reg221,reg222)은 오프 영역에 위치시킬 수 있다.
- [0086] 그러나, 제어부(100)에 의해 제어신호들(EN0,EN1), 노멀값(A0), 및 슬립값(A1)을 각각 대응하는 레지스터들(reg211,reg212,reg221,reg222)에 저장하기 전에 제어신호(PWRDN)가 먼저 인엑티브 될 경우, 인엑티브 된 제어신호(PWRDN)에 의해 리텐션 입출력 장치(120)가 동작하기 위해선 대응하는 제어신호들(EN0,EN1), 노멀값(A0), 및 슬립값(A1)을 각각 저장하는 레지스터들(reg211,reg212,reg221,reg222)은 온 상태인 전력제어부에 포함되어 있어서, 꾸준히 저장된 값을 리텐션 입출력 장치(120) 제공하고 있어야 한다.
- [0087] 도 3a에 도시된 레지스터들(reg111,reg112,reg121,reg122)은 상기 기술된, 레지스터들이 오프 영역에 포함되는 경우를 보여주기 위한 것으로, 시스템이 슬립 모드시 오프 상태가 되는 전력 제어부(110) 외부의 오프 영역에 포함되어 있다.
- [0088] 그러나, 레지스터들을 항상 오프 영역에 포함되는 시킬 수 있는 것은 아니다. 노멀 값(A0)이 저장된 레지스터(reg221), 및 슬립값(A1)이 저장된 레지스터(reg222)는 기능에 따라서 항상 온 상태를 유지하는 전력 제어부(110)에 있을 수 있다. 예를 들어, 노멀 값(A0), 및 슬립값(A1)이 시스템이 노멀모드로 전환하는 웨이크 업(wakeup)과 동시에 필요한 값이거나, 또는 웨이크 업과 관련된 기능을 수행하는 값이라면, 노멀 값(A0)을 저장하는 레지스터(reg221), 및 슬립값(A1)을 저장하는 레지스터(reg222)는 전력제어부에 포함되어야 한다. 또한, 노멀 값(A0)을 저장하는 레지스터(reg221), 및 슬립값(A1)을 저장하는 레지스터(reg222)는 전력제어부에 있으므로, 노멀값(A0)에 대응하는 신호(A0'), 또는 슬립값(A1)을 입력받는 입출력 셀(122)의 입/출력 상태를 제어하는 제어신호들(EN0,EN1)도 항상 온 상태를 유지하는 전력제어부(110)에서 리텐션 입출력장치(120)로 제공되어야 한다. 따라서 제어신호(EN0)를 저장하는 레지스터(reg211), 및 제어신호(EN1)를 저장하는 레지스터(reg212)는 전력제어부에 포함되어야 한다.
- [0089] 도 3a에 도시된 바와 같이, 레지스터들(reg211,reg212,reg221,reg222)에 저장된 값들은 웨이크 업과 관련된 값으로 레지스터들(reg211,reg212,reg221,reg222)은 전력제어부(110)에 포함되어 있어야 하는 경우이고, 레지스터들(reg111,reg112,reg121,reg122)에 저장된 값들은 웨이크 업과 관련된 값이 아니므로 레지스터들(reg111,reg112,reg121,reg122)은 전력제어부(110)에 포함될 필요가 없는 경우를 보여주고 있다.
- [0090] 레지스터들(reg211,reg212,reg221,reg222)은 온 블록인 전력제어부(110)에 포함되어 있으나, 레지스터들(reg111,reg112,reg121,reg122)은 오프 영역에 포함되어 있으므로, 제어신호들(sleep_con2, PWRDN2)은 오프 영역의 레지스터들(reg111,reg112,reg121,reg122)과 오프 영역의 레지스터들(reg111,reg112,reg121,reg122)의 값들에 의해 동작하는 입출력 셀(121)의 동작에 따른 타이밍과 맞추도록 생성한다.
- [0091] 결과적으로, 레지스터들(reg111,reg112,reg121,reg122)은 저장된 값들이 웨이크 업과 관련된 값이 아닐 경우, 전력제어부(110) 외부의 오프 영역에 포함시킬 수 있다.
- [0092] 또한, 리텐션 입출력 장치(120)는, 항상 전원을 공급받아야하고 입력의 플로팅 상태를 방지하기 위한 얼라이브 머크스를 포함하지 않아도 되므로, 리텐션 입출력 장치(120) 외부의 오프 영역에 일반머크스(MUX21,MUX22)를 사용하여도 된다.
- [0093] 또한, 리텐션 입출력 장치(120)는, 시스템이 슬립 모드로 동작할 경우 레지스터(reg222)에 저장된 슬립 값(A1)을 리텐션 입출력 장치(120)의 래치(1009)에 저장하므로, 레지스터(reg222)가 오프 영역에 있더라도 시스템이 슬립 모드일 동안 슬립 값(A1)을 유지할 수 있다.
- [0094] 따라서, 리텐션 입출력 장치(120)는 얼라이브 머크스를 포함하지 않고, 전력 제어부(110)는 레지스터들(reg111,reg112,reg121,reg122)을 포함하지 않으므로, 시스템이 슬립모드일 경우, 온 상태를 유지해야하는 회로의 사이즈는 줄어든다. 따라서 시스템이 슬립 모드일 경우, 소비되는 전력량, 및 누설전류는 줄어들게 된다.

- [0095] 도 3b는 본 발명의 다른 실시예에 따른 리텐션 입출력 장치 및 전력 제어부를 보여주는 블록도 이다.
- [0096] 도 3c은 본 발명의 또 다른 실시예에 따른 리텐션 입출력 장치 및 전력 제어부를 보여주는 블록도 이다.
- [0097] 도 3b는 본 발명의 다른 실시 예에 따른, 레지스터들이 전력제어부에 포함되지 않는 경우를 보여주기 위한 도면 이고, 도 3c은 본 발명의 또 다른 실시 예에 따른, 레지스터들이 전력제어부에 포함된 경우를 보여주기 위한 도 면이며, 나머지 구성은 도 3a에 도시된 리텐션 입출력 장치 및 전력 제어부의 구성과 동일하다. 따라서 이하, 도 3b, 및 도 3c의 상세한 설명은 생략한다.
- [0098] 도 4는 본 발명의 일 실시예에 따른 칩 상호간의 연결구성을 보여주기 위한 블록도이다.
- [0099] 도 4를 참조하면, 본 발명의 일 실시예에 따른 칩 1(10)은 리텐션 입출력 장치(120)의 입출력 셀(122)을 포함하 고, 입출력 셀(122)는 도 3a에 도시된 입출력 셀(122)과 동일한 구성이다. 설명의 편의를 위해 입출력 셀(122) 의 레벨 시프터들(1003,1004)은 생략한다. 칩 2(20)는 일반적인 입출력 장치의 입출력 셀(201)을 포함하고, 일 반적인 입출력 셀(201)은 입출력 패드(2011), 그리고 버퍼들(Buf22,Buf23)을 포함한다.
- [0100] 칩 1의 시스템이 노멀모드로 동작하고, 입출력 셀(122)이 출력으로 동작할 경우, 제어신호(PWRDN)에 의해 래치 (1008)는 입력받은 제어신호(E)를 바이패스(bypass)하고, 제어신호(E)에 의해 버퍼(Buf13)는 온 상태가 된다. 또한 제어신호(PWRDN)에 의해 래치(1009)는 입력받은 신호(A)를 바이패스(bypass)하고, 입력신호(A)는 버퍼 (Buf13)을 통해 입출력 패드(1212)로 제공된다. 이때, 칩 2(20)의 입출력 셀(201)은 입력으로 동작하고, 입력받 은 제어신호(E')에 의해 입출력 셀(201)의 버퍼(Buf22)는 오프 상태가 된다. 칩 1(10)의 입출력 패드(1212)에서 출력되는 신호(A)는 칩 2(20)의 입출력 패드(2011)로 전송되고, 입출력 패드(2011)로 전송된 신호(A)는 버퍼 (Buf23)를 통해 칩 2(20)의 임의의 한 내부 로직 회로(미도시됨)로 전송된다. 즉 칩 1(10)에서 출력되는 신호는 패드들(1212,2011)간의 연결을 통해 칩 2(20)로 입력된다.
- [0101] 칩 1(10)의 시스템이 노멀모드로 동작하고, 칩 2(20)의 입출력 셀(201)이 출력으로 동작할 경우, 제어신호(E') 에 의해 버퍼(Buf22)는 온 상태가 되고, 칩 2(20)의 내부 로직 회로로부터 전송된 신호(A')는 버퍼(Buf22)를 통 해 입출력 패드(2011)로 제공된다. 입출력 패드(2011)로 제공된 신호(A')는 칩1(10)의 입출력 셀(122)의 입출력 패드(1212)로 전송된다. 이때 칩 1(10)의 입출력 셀(122)은 입력으로 동작하고, 제어신호(PWRDN)에 의해 입출력 셀(122)의 래치(1008)는 입력받은 제어신호(E)를 바이패스(bypass)하고, 제어신호(E)에 의해 버퍼(Buf13)는 오프 상태가 된다. 입출력 패드(1212)로 입력받은 신호(A')는 버퍼(Buf14)를 통해 칩 1(10)의 내부 로직 회로 (130)로 전송된다. 즉 칩 2(10)에서 출력되는 신호는 패드들(1212,2011)간의 연결을 통해 칩 1(10)으로 입력된 다.
- [0102] 칩 1(10)의 시스템이 슬립모드로 동작하고, 슬립 모드로 전환하기 전에 칩 1(10)의 입출력 셀(122)이 출력으로 동작한 경우, 래치(1008)는 제어신호(PWRDN)에 의해 입력받은 제어신호(E)를 저장한다. 저장된 제어신호(E)에 의해 버퍼(Buf13)은 온 상태를 유지하게 되므로 입출력 셀(122)은 출력 상태를 유지하게 된다. 래치(1008)는 제 어신호(PWRDN)에 의해 입력받은 신호(A)(도 3에서 믹스(MUX12)에 의해 선택된 슬립값(A1))를 저장한다. 이때, 칩 1(10)의 시스템이 슬립 모드 이므로 칩 2(20)의 제어부(미 도시됨)는 더 이상 칩 1(10)으로부터 데이터를 입 력받을 수 없으므로 칩 1(10)으로부터 데이터를 받지 않도록 명령하고, 입출력 패드들(1212,2011)간의 연결부 (L1)는 하이 임피던스(Z) 상태가 된다.
- [0103] 입출력 패드들(1212,2011)간의 연결부(L1)가 하이 임피던스(Z) 상태가 되면, MOS 트랜지스터(미 도시됨)로 구성 되는 입출력 셀(122)의 버퍼(Buf14)에는 누설 전류가 흐를 수 있다. 따라서, 입출력 셀(122)의 버퍼(Buf14)에 누설 전류가 흐르는 것을 방지하기 위해 래치(1009)에 로우(L) 레벨, 또는 하이(H) 레벨의 값(A)(이하, 슬립 값 (A1)이라 칭함)을 저장시키고, 저장된 슬립 값(A1)을 버퍼(Buf13)와 입출력 패드(1212)를 통해 칩 2(20)의 입출 력 패드(2011)로 전송하게 된다. 따라서, 입출력 패드들(1212,2011)간의 연결부(L1)는 로우(L) 레벨, 또는 하이 (H) 레벨의 값을 유지하게 된다. 입출력 패드들(1212,2011)간의 연결부(L1)가 로우(L) 레벨, 또는 하이(H) 레벨 의 값을 유지하므로 칩 1(10)의 입출력 셀(122)의 버퍼(Buf14)에는 누설전류가 흐르지 않게 된다. 일반적으로, 슬립값(A1)은 로우(L) 레벨의 값이 되고, 입출력 패드들(1212,2011)간의 연결부(L1)는 로우(L) 레벨값을 유지하 게 된다. 이때 칩 2(20)로 전송되는 로우(L) 레벨의 슬립 값(A1)은, 칩 2(20)의 제어부에 의해 칩 2(20)가 신호 를 입력받지 않도록 명령받았으므로 무시된다.
- [0104] 칩 1(10)의 시스템이 슬립모드로 동작하고, 슬립 모드로 전환하기 전에 입출력 셀(122)이 입력으로 동작한 경우, 래치(1008)는 제어신호(PWRDN)에 의해 입력받은 제어신호(E)를 저장한다. 저장된 제어신호(E)에 의해 버 퍼(Buf13)는 오프 상태를 유지하게 되므로 입출력 셀(122)은 입력 상태를 유지하게 된다. 즉, 칩 1(10)의 시스

템이 노멀모드로 동작하고, 칩 1(10)은 칩 2(20)로부터 로우(L) 레벨의 신호를 입력받고 있다. 이때 칩 1(10)의 시스템이 슬립모드로 전환할 경우, 칩 1(10)은 로우(L) 레벨의 신호를 입력받은 상태를 유지시켜주어야 한다. 따라서 칩 1(10)의 입출력 셀(122)은 제어신호(E)에 의해 버퍼(Buf13)를 오프 시킴으로서 입력 상태를 유지한다.

- [0105] 입출력 셀(122)의 래치(1008)는 제어신호(PWRDN)에 의해 입력받은 슬립값(A1)을 저장한다. 그러나 이때 저장된 슬립 값(A1)은 버퍼(Buf13)가 오프 상태를 유지하게 되므로, 입출력 패드들(1212, 2011)간의 연결부(L1)를 로우(L) 레벨, 또는 하이(H) 레벨의 값으로 유지시켜 버퍼(Buf14)의 누설전류를 줄여주기 위한 역할을 하지 않으므로 특별한 의미가 없다.
- [0106] 도 5는 도 3a에 도시된 레벨 시프터의 회로도이다.
- [0107] 도 5를 참조하면, 본 발명의 실시 예에 따른, 레벨 시프터(1004)는 각각 PMOS 트랜지스터들(MP1, MP2), NMOS 트랜지스터들(MN1, MN2, MN3), 인버터들(INV21, INV22, INV23), 그리고 낸드 게이트(NAND21)를 포함한다.
- [0108] 인버터들(INV21, INV22)은 내부적 동작전압(VDDint)(이하 제 1 동작전압이라 칭함)에 의해 온/오프 제어된다. 인버터(INV23)는 리텐션 입/출력장치에 공급되는 동작전압(VDDop)(이하, 제 2 동작전압이라 칭함)에 의해 온/오프 제어된다. 낸드 게이트(NAND21)는 동작 전압(VDDop)을 공급받고(미 도시됨), 공급받는 동작 전압(VDDop)에 의해 온/오프 된다.
- [0109] PMOS 트랜지스터들(MP1, MP2)의 각 소스는 제 2 동작전압에 공통으로 연결되고, PMOS 트랜지스터(MP1)의 게이트는 N1노드를 통해 PMOS 트랜지스터(MP2)의 드레인과 NMOS 트랜지스터(MN2)의 드레인에 연결된다. PMOS 트랜지스터(MP2)의 게이트는 N2노드를 통해 PMOS 트랜지스터(MP1)의 드레인과 NMOS 트랜지스터(MN1)의 드레인에 연결된다. N1 노드는 낸드 게이트(NAND21)의 첫 번째 입력단으로 입력된다. NMOS 트랜지스터들(MN1, MN2)의 각 소스는 NMOS 트랜지스터(MN3)의 드레인에 공통으로 연결되고, NMOS 트랜지스터(MN1)의 게이트는 인버터(INV21)를 통해 입력신호(A)를 입력받고, NMOS 트랜지스터(MN2)의 게이트는 인버터(INV21)를 통해 입력받은 신호(A)를 인버터(INV22)를 통해 입력받는다.
- [0110] 제어신호(PWRDN)는 인버터(INV23)를 통해 NMOS 트랜지스터(MN3)의 게이트, 및 낸드 게이트(NAND21)의 두 번째 입력단으로 제공된다.
- [0111] NMOS 트랜지스터(MN3)의 게이트는 인버터(INV23)를 통해 제어신호(PWRDN)를 입력받고, 소스는 접지에 연결된다.
- [0112] 시스템이 노멀 모드일 경우 전력 제어부(110)에서 생성된 제어신호(PWRDN)는 인 액티브(inactive)되므로 로우(L) 레벨 신호이다. 레벨 시프터(1004)는 제 1 및 제 2 동작전압을 공급받는다. NMOS 트랜지스터(MN3)의 게이트는 인버터(INV23)를 통해 로우 레벨(L)의 제어신호(PWRDN)를 입력받으므로 턴 온 되고, NMOS 트랜지스터(MN3)가 턴 온 되므로 NMOS 트랜지스터들(MN1, MN2)의 각 소스는 NMOS 트랜지스터(MN3)를 통해 접지에 연결된다. 또한, 낸드 게이트(NAND21)의 두 번째 입력단은 인버터(INV23)를 통해 반전된 하이(H) 레벨의 제어신호(/PWRDN)를 입력받는다. 낸드 게이트(NAND21)는 두 번째 입력단으로 하이(H) 레벨의 제어신호(/PWRDN)를 입력받으므로, 첫 번째 입력단으로 입력되는 신호의 레벨을 반전시키고, 반전된 레벨의 신호를 출력한다. 즉, 낸드 게이트(NAND21)는 반전된 N1노드의 전압을 출력하게 된다.
- [0113] 레벨 시프터(1004)의 동작을 설명하면, 레벨 시프터(1004)는 하이 레벨(H) 신호(A)를 입력받을 경우, 입력받은 하이(H) 레벨의 신호(A)는 인버터(INV21)를 통해 NMOS 트랜지스터(MN1)의 게이트로 입력되고, 인버터(INV21), 및 인버터(INV22)를 통해 NMOS 트랜지스터(MN2)의 게이트로 입력된다.
- [0114] 시스템이 노멀 모드이므로 레벨 시프터(1004)는 레벨 시프터(1004)의 PMOS 트랜지스터들(MP1, MP2)의 각 소스를 통해 제 2 동작전압(VDDOP)을 공급받는다. 레벨 시프터(1004)의 NMOS 트랜지스터(MN1)의 게이트는 인버터(INV21)에 의해 반전된 로우(L) 레벨 신호를 입력받고, 입력받은 로우(L)레벨 신호에 의해 NMOS 트랜지스터(MN2)는 턴 오프 된다. 또한 레벨 시프터의 NMOS 트랜지스터(MN2)의 게이트는 인버터(INV21)과 인버터(INV22)를 통해 하이(H) 레벨신호를 입력받고, 입력받은 하이(H) 레벨 신호에 의해 NMOS 트랜지스터(MN2)는 턴 온 된다.
- [0115] 레벨 시프터(1004)의 NMOS 트랜지스터(MN2)는 턴 온 되므로 N1노드의 전압은 로우(L) 레벨이 된다. N1노드의 전압이 로우(L) 레벨이므로 PMOS 트랜지스터(MP1)의 게이트는 로우(L) 레벨 신호를 입력받고, 입력받은 로우(L) 레벨 신호에 의해 PMOS 트랜지스터(MP1)은 턴 온 된다.
- [0116] 레벨 시프터(1004)의 NMOS 트랜지스터(MN1)는 턴 오프 되므로 N2노드의 전압은 하이(H) 레벨이 된다. N2노드의 전압이 하이(H) 레벨이므로 PMOS 트랜지스터(MP2)의 게이트는 하이(H) 레벨 신호를 입력받고, 입력받은 하이(H)

레벨 신호에 의해 PMOS 트랜지스터(MP2)는 턴 오프 된다.

- [0117] PMOS 트랜지스터(MP1,MP2)들은 각 소스를 통해 제 2 동작전압(VDDop)을 공급받고, 각 드레인은 대응하는 N1노드, N2노드에 연결되므로, 턴 온 되는 트랜지스터에 연결된 노드는 제 2 공급전압(VDDop)의 레벨 만듦의 하이(H) 레벨 전압이 된다.
- [0118] 따라서, PMOS 트랜지스터(MP1)는 턴 온 되고, N2노드의 전압은 하이(H) 레벨이 되고, PMOS 트랜지스터(MP2)는 턴 오프 되고, N1노드의 전압은 로우(L) 레벨이 된다. N1노드의 전압이 로우(L) 레벨이므로 낸드 게이트(NAND21)는 첫 번째 입력단으로 로우(L) 레벨의 신호를 입력받고, 두 번째 입력단으로 하이(H) 레벨의 제어신호(/PWRDN)신호를 입력받는다. 따라서, 낸드 게이트(NAND21)는 하이(H) 레벨 신호를 출력하게 된다. 레벨 시프터(1004)에서 출력되는 하이(H) 레벨 신호는 입력되는 신호(A)의 레벨을 레벨 시프터(1004)에 공급되는 제 2 동작 전압(VDDop)의 레벨로 변경시킨 신호이다.
- [0119] 결과적으로, 레벨 시프터(1004)는 하이(H) 레벨 신호(A)의 전압 레벨을 리텐션 입/출력 장치(120)에 공급되는 제 2 동작 전원(VDDop)의 하이(H) 레벨로 변환시키고, 변환시킨 하이(H) 레벨 신호를 래치(1009)로 출력한다.
- [0120] 레벨 시프터(1004)는 입력받은 신호(A)가 로우(L) 레벨일 경우, 대응하는 로우(L) 레벨 신호를 래치(1009)로 출력한다. 입력받은 신호(A)가 로우(L) 레벨일 경우 레벨 시프터(1004)의 동작은 상기 기술된, 입력받은 신호(A)가 하이(H) 레벨일 경우와 반대가 되므로 상세한 설명은 생략한다.
- [0121] 시스템이 노멀모드에서 슬립 모드로 전환할 경우, 전력 제어부(110)에서 생성된 제어신호(PWRDN)는 액티브(active)되므로 하이(H) 레벨 신호이다. 제 1 동작 전압(VDDint)은 시스템이 슬립 모드일 경우, 공급되지 않으나 제 2 동작 전압(VDDOP)은 리텐션 입/출력 장치(120)를 온 블럭인 외부 디바이스와 인터페이스를 위해 온 상태로 유지하기 위해 계속 공급된다. 따라서 레벨 시프터(1004)는 제 1 동작전압을 공급받지 않고 제 2 동작전압을 공급받는다. 제 1 동작전압을 공급받지 않으므로 레벨 시프터(1004)의 입력은 플로팅 상태가 된다. 그러나 NMOS 트랜지스터(MN3)의 게이트는 인버터(INV23)를 통해 반전된 로우(L) 레벨의 제어신호(/PWRDN)를 입력받으므로 턴 오프 되고, NMOS 트랜지스터(MN3)가 턴 오프 되므로 NMOS 트랜지스터들(MN1,MN2)의 소스는 접지(GND)와 오픈(open)상태가 된다. 또한, 낸드 게이트(NAND21)는 두 번째 입력단으로 로우(L) 레벨의 제어신호(/PWRDN)를 입력받으므로, 첫 번째 입력단으로 입력되는 값에 상관없이 항상 하이(H) 레벨의 신호를 출력하게 된다. 따라서 낸드 게이트(NAND21)의 출력은 첫 번째 입력단으로 입력되는 N1노드의 전압 레벨과 상관없이 항상 로우(L) 레벨의 신호를 유지하게 되므로, 플로팅 상태를 방지하고, 누설전류가 흐르는 것을 방지할 수 있다.
- [0122] 도 6은 도 3a에 도시된 래치의 회로도이다.
- [0123] 도 6을 참조하면, 본 발명의 바람직한 실시예에 따른 래치(1009)는 인버터들(INV31,INV32,INV33)을 각각 포함한다. 인버터들(INV31,INV33)은 전력 제어부(110)에서 생성된 제어신호(PWRDN) 의해 온/오프 제어된다.
- [0124] 시스템이 노멀 모드로 동작할 경우, 전력제어부(110)에서 생성된 제어신호(PWRDN)는 인액티브(inactive) 되므로 로우레벨(L) 신호이고, 로우(L) 레벨의 제어신호(PWRDN)에 의해 인버터(INV31)는 온 상태가 되고, 인버터(INV33)은 오프 상태가된다. 따라서 래치(1009)는 레벨 시프터(1004)에서 출력되는 신호(A)를 입력받고, 입력받은 신호(A)를 인버터들(INV31,INV32)을 통해 출력한다. 즉 입력신호(A)를 바이패스 한다.
- [0125] 시스템이 노멀모드에서 슬립 모드로 전환할 경우 전력제어부(110)에서 생성된 제어신호(PWRDN)는 액티브(active) 되므로 하이(H) 레벨 신호이고, 인버터(INV31)는 오프 상태가 되고, 인버터(INV33)는 온 상태가 된다. 따라서 래치(1009)는 레벨 시프터(1004)로부터 입력받은 신호(A)를 인버터들(INV32,INV33)을 통해 저장하게 된다.
- [0126] 도 7는 도 3a에 도시된 리텐션 입출력 장치를 이용한 칩 설계를 보여주기 위한 도면이다.
- [0127] 도 7를 참조하면, 본 발명의 바람직한 실시예에 따른 리텐션 입출력 장치를 이용한 칩(300)은 리텐션 입출력 장치들(120,410,420), 일반적인 입출력 장치들(430,440), 다수의 레벨 시프터들(4001~4006), 그리고 다수의 버퍼들(buf41~buf46)을 포함한다.
- [0128] 시스템이 노멀모드일 경우, 또는 슬립 모드일 경우 리텐션 입출력 장치의 동작은 상기, 도 3a 내지 도 6 을 참조하여 상세히 설명하였으므로 생략한다.
- [0129] 칩(300) 설계시, 리텐션 입출력 장치들(120,410,420), 또는 일반적인 입출력 장치들(430,440)을 사용할 수 있다. 입출력 장치들(120,410,420,430,440)은 전력제어부(110)에서 생성된 제어신호들

(PWRDN1, PWRDN2, PWRDN3, PWRDN4)을 각각 입력받는다. 입출력 장치들(120, 410, 420, 430, 440)의 동작전압이 서로 다른 경우, 입출력 장치들(120, 410, 420, 430, 440)에 공급되는 동작 전압이 각각 다르므로, 전력제어부(110)에서 생성된 제어신호(PWRDN1)를 입력받는 입출력 장치(120)에서 다른 입출력 장치(410)로 제어신호(PWRDN1)를 전송하는 경우, 입출력장치들(120, 410) 사이에 레벨 시프터(4001)를 포함할 수 있다. 입출력 장치들(410, 420, 430, 440)에 공급되는 서로 다른 레벨의 동작전압에 각각 대응하는 제어신호들을 각각 공급하는 경우, 서로 다른 전원레벨을 갖는 제어신호들(PWRDN, PWRDN2, PWRDN3, PWRDN4)을 생성하고, 생성된 제어신호들(PWRDN, PWRDN2, PWRDN3, PWRDN4)을 각각 독립적으로 대응하는 입출력 장치들(410, 420, 430, 440)에 제공할 수도 있다.

[0130] 리텐션 입출력 장치(120)와 리텐션 입출력 장치(410)는 서로 동작전압이 다른 입출력 장치들 사이에 전력제어부(110)에서 생성된 제어신호(PWRDN1)를 전송하는 경우이다. 칩(300)의 리텐션 입출력 장치(120)와 리텐션 입출력 장치(410)의 동작 전압이 서로 다를 경우, 전력 제어부(110)에서 생성된 제어신호(PWRDN1)는 레벨 시프터(4006)를 통해 리텐션 입출력 장치(120)에 공급되는 동작전압의 레벨로 변환되고, 변환된 레벨의 제어신호(PWRDN1)를 버퍼(buf46)를 통해 리텐션 입출력 장치(120)로 전송한다. 리텐션 입출력 장치(120)의 레벨시프터들(1001~1004), 그리고 래치들(1006~1009)은 레벨이 변환된 제어신호(PWRDN1)에 의해 제어된다.

[0131] 리텐션 입출력 장치(120)에 공급된 제어신호(PWRDN1)를 리텐션 입출력 장치(410)에 공급하기 위해서는 제어신호(PWRDN1)의 레벨을 리텐션 입출력장치(410)에 공급되는 동작전압의 레벨로 변환시켜야 한다. 따라서 칩(300)은 리텐션 입출력 장치(120)와 리텐션 입출력 장치(410) 사이에 레벨 시프터(4001)와 버퍼(buf41)를 포함하고, 리텐션 입출력 장치(120)에 제공된 제어신호(PWRDN1)를 레벨 시프터(4001)를 통해 입출력 장치(410)에 공급되는 전압 레벨로 변환 시킨다. 변환된 레벨의 제어신호(PWRDN1)는 버퍼(buf41)를 통해 리텐션 입출력 장치(410)로 전송된다. 리텐션 입/출력 장치(410)의 레벨 시프터들과 래치들(미 도시됨)은 제어신호들(PWRDN1)에 의해 제어된다.

[0132] 리텐션 입출력 장치들(410, 420, 430, 440)은 서로 동작전압이 다르고, 입출력 장치들(410, 420, 430, 440)에 공급되는 서로 다른 레벨의 동작전압에 각각 대응하는, 전력제어부(110)에서 생성된 제어신호들(PWRDN1, PWRDN2, PWRDN3, PWRDN4)을 공급받는 경우이다. 리텐션 입출력 장치(410)와 리텐션 입출력 장치(420)는 서로 동작 전압이 다르다. 리텐션 입출력 장치(410)는 리텐션 입출력 장치(120)에 공급되는 제어신호(PWRDN1)를 레벨시프터(4001)와 버퍼(buf41)를 통해 공급받는다.

[0133] 그러나, 리텐션 입출력 장치(420)는 전력 제어부(110)에서 생성된 제어신호(PWRDN2)를 레벨시프터(4002)와 버퍼(buf42)를 통해 공급받는다. 즉 전력제어부(110)는 리텐션 입출력 장치들(120, 420) 각각의 동작전압의 레벨에 대응하는 제어신호들(PWRDN1, PWRDN2)을 각각 생성하고, 생성된 제어신호들(PWRDN1, PWRDN2)을 대응하는 리텐션 입출력 장치들(120, 420)에 각각 전송한다. 리텐션 입출력 장치(410)는 리텐션 입출력 장치(120)에 공급되는 제어신호(PWRDN1)를 레벨시프터(4001)와 버퍼(buf41)를 통해 공급받고, 리텐션 입/출력 장치(420)는 전력 제어부(110)에서 생성된 제어신호(PWRDN2)를 레벨시프터(4002)와 버퍼(buf42)를 통해 직접 공급받게 되는 점에서 차이가 있다.

[0134] 리텐션 입출력 장치들(410, 420)의 각 레벨 시프터들과 래치들(미 도시됨)은 대응하는 제어신호들(PWRDN1, PWRDN2)에 의해 각각 제어된다. 리텐션 입출력 장치(420)와 일반적인 입출력 장치(430), 그리고 리텐션 입출력 장치(120)와 일반적인 입출력 장치(440)는, 입출력 장치들(420, 430, 120, 440)에 공급되는 서로 다른 레벨의 동작전압에 각각 대응하는, 전력제어부(110)에서 생성된 제어신호들(PWRDN2, PWRDN3, PWRDN4)을 각각의 레벨 시프터들과 버퍼들을 통해 직접 공급받는 경우이다. 일반적인 입출력 장치(430)와 일반적인 입출력 장치(440)는 도 7에 구체적으로 도시하지 않았지만 상기 기술된 리텐션 입출력장치(120), 및 리텐션 입출력 장치(410)와 같이 레벨 시프터와 버퍼를 통해 전력 제어부(110)에서 생성된 같은 제어신호를 입력받을 수도 있고, 리텐션 입출력 장치(410)와 리텐션 입출력 장치(420)와 같이 서로 다른 제어신호들을 각각 입력받을 수도 있다.

[0135] 시스템이 슬립모드로 동작할 경우, 노멀모드로 복귀하기 위한 웨이크업 신호를 온 블럭인 전력제어부(110)로 전송하기 위해서 일반적인 입출력 장치(440)가 사용된다.

[0136] 시스템이 슬립모드로 동작할 경우, 칩(300)의 대부분의 블럭은 전원이 공급되지 않고 오프 상태가 되나 소수의 입출력 장치는 시스템이 노멀 모드로 복귀하기 위한 웨이크업 신호를 전력제어부(110)로 전송하기 위해 실질적으로 노멀모드로 동작한다. 이러한 소수의 입출력 장치는 일반적인 입출력 장치(440)를 사용한다. 시스템이 슬립모드에서 노멀모드로 전환하는 경우, 노멀모드로 복귀하기 위한 웨이크업 신호를 생성하는 칩 외부의 온 상태인 블럭(미 도시됨)에서 노멀 모드로 복귀하기 위한 웨이크업 신호를 생성하고, 생성된 웨이크업 신호를 일반

적인 입출력 장치(440)를 통해 온 블럭인 전력제어부(110)로 전송한다. 입력받은 웨이크 업 신호에 의해 전력 제어부(110)는 칩(300)의 오프상태인 블럭들을 노멀모드로 복귀시킨다.

[0137] 그러나 리텐션 입출력 장치들((120,410,420)도 시스템이 슬립모드에서 노멀모드로 복귀하기 위해 칩 외부의 온 상태인 블럭(미 도시됨)에서 생성된 웨이크업 신호를 전력제어부(110)로 전송할 수 있다. 시스템이 슬립모드일 경우, 도 3a에 도시된 입출력 셀(122)의 버퍼(buf13)는 오프 상태가 되고, 칩 외부의 온 상태인 블럭(미 도시됨)에서 생성되는 신호는 도 3a에 도시된 입출력 패드(122)로 전송되고, 전송된 신호는 도 3a에 도시된 버퍼(buf14)를 통해 내부로 입력받는다. 예를 들어, 칩 외부의 온 상태인 블럭(미 도시됨)에서 노멀 모드로 복귀하기 위한 웨이크업 신호를 생성하고, 생성된 웨이크 업 신호를 도 3a에 도시된 리텐션 입출력 장치(120)의 입출력 패드(122)로 전송한다. 입출력 패드(122)로 입력된 웨이크업 신호는 도 3a에 도시된 버퍼(buf13)를 통해 온 블럭인 전력제어부(110)로 전송된다.

[0138] 일반적인 입출력 장치(430)는 ADC(Analog Digital Converter)와 같이 아날로그 신호를 입력받도록 만들어진 블럭이 사용하는 입출력 장치이다.

[0139] 결과적으로, 레지스터들(reg111,reg112,reg121,reg122)은 저장된 값들이 웨이크 업과 관련된 값이 아닐 경우, 전력제어부(110) 외부의 오프 영역에 포함시킬 수 있다. 또한, 리텐션 입출력 장치(120)는 항상 전원을 공급받아야하고, 입력의 플로팅 상태를 방지하기 위한 얼라이브 먹스를 포함하지 않아도 되므로 리텐션 입출력 장치(120) 외부의 오프 영역에 일반먹스(MUX21,MUX22)를 사용하여도 된다. 또한, 리텐션 입출력 장치(120)는, 시스템이 슬립 모드로 동작할 경우 레지스터(reg222)에 저장된 슬립 값(A1)을 리텐션 입출력 장치(120)의 래치(1009)에 저장하므로, 레지스터(reg222)가 오프 영역에 있더라도 시스템이 슬립 모드일 동안 슬립 값(A1)을 유지할 수 있다.

[0140] 따라서, 리텐션 입출력 장치(120)는 얼라이브 먹스를 포함하지 않고, 전력 제어부(110)는 레지스터들(reg111,reg112,reg121,reg122)을 포함하지 않으므로, 시스템이 슬립모드일 경우, 온 상태를 유지해야하는 회로의 사이즈는 줄어든다. 따라서 시스템이 슬립 모드일 경우, 소비되는 전력량, 및 누설전류는 줄어들게 된다.

[0141] 리텐션 입출력 장치(120)는 입출력 셀(122)에 래치들(1008,1009)을 추가하므로 사이즈가 증가하여 누설전류가 늘어나게 된다. 그러나, 이러한 래치들(1008,1009)을 포함하는 리텐션 입출력 장치(120)는 얼라이브 먹스를 포함할 때에 비해 증가 된 사이즈는 매우 작다.또한, 래치들(1008,1009)에 사용되는 트랜지스터들은 높은 문턱 전압을 갖고 리텐션 입/출력 장치에 공급되는 동작전압에 의해 구동된다. 리텐션 입/출력 장치에 공급되는 동작전압은 내부 전압보다 높은 전압이다. 트랜지스터는 문턱 전압이 높을수록 누설 전류가 작아지는 특성이 있다. 따라서, 내부 전압에 의해 구동되는 트랜지스터들보다, 리텐션 입/출력 장치의 동작전압에 의해 구동되는 래치들(1008,1009)에 사용되는 트랜지스터들은 문턱 전압이 높으므로 누설 전류가 작은 특성이 있다. 따라서, 리텐션 입출력 장치에서 래치들을 추가함에 따라 늘어나는 누설전류의 양은 아주 미비하다.

[0142] 예시적인 바람직한 실시예들을 이용하여 본 발명을 설명하였지만, 본 발명의 범위는 개시된 실시예들에 한정되지 않는다는 것이 잘 이해될 것이다. 오히려, 본 발명의 범위에는 다양한 변형 예들 및 그 유사한 구성들이 모두 포함될 수 있도록 하려는 것이다. 따라서, 청구범위는 그러한 변형 예들 및 그 유사한 구성들 모두를 포함하는 것으로 가능한 폭넓게 해석되어야 한다.

발명의 효과

[0143] 이상과 같은 본 발명에 의하면, 리텐션 입출력 장치를 포함하는 SOC는 슬립 모드일 경우 전원을 공급받는 회로의 사이즈를 줄일 수 있으므로 저전력을 구현할 수 있고, 회로의 누설전류를 줄일 수 있다.

도면의 간단한 설명

[0001] 도 1은 일반적인 입출력 장치에 사용되는 얼라이브 먹스의 회로도;

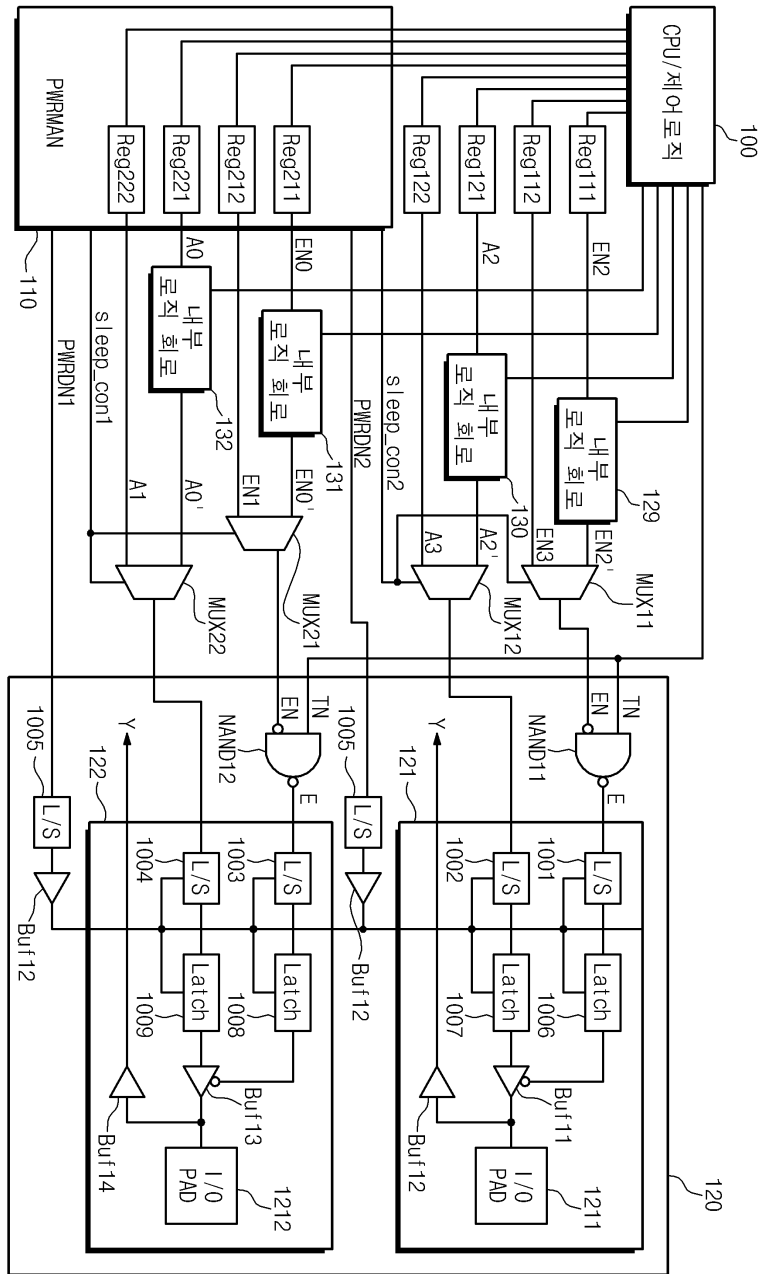
[0002] 도 2는 도 1에 도시된 엔드 게이트의 회로도;

[0003] 도 3a는 본 발명의 일 실시예에 따른 리텐션 입출력 장치 및 전력 제어부를 보여주는 블록도;

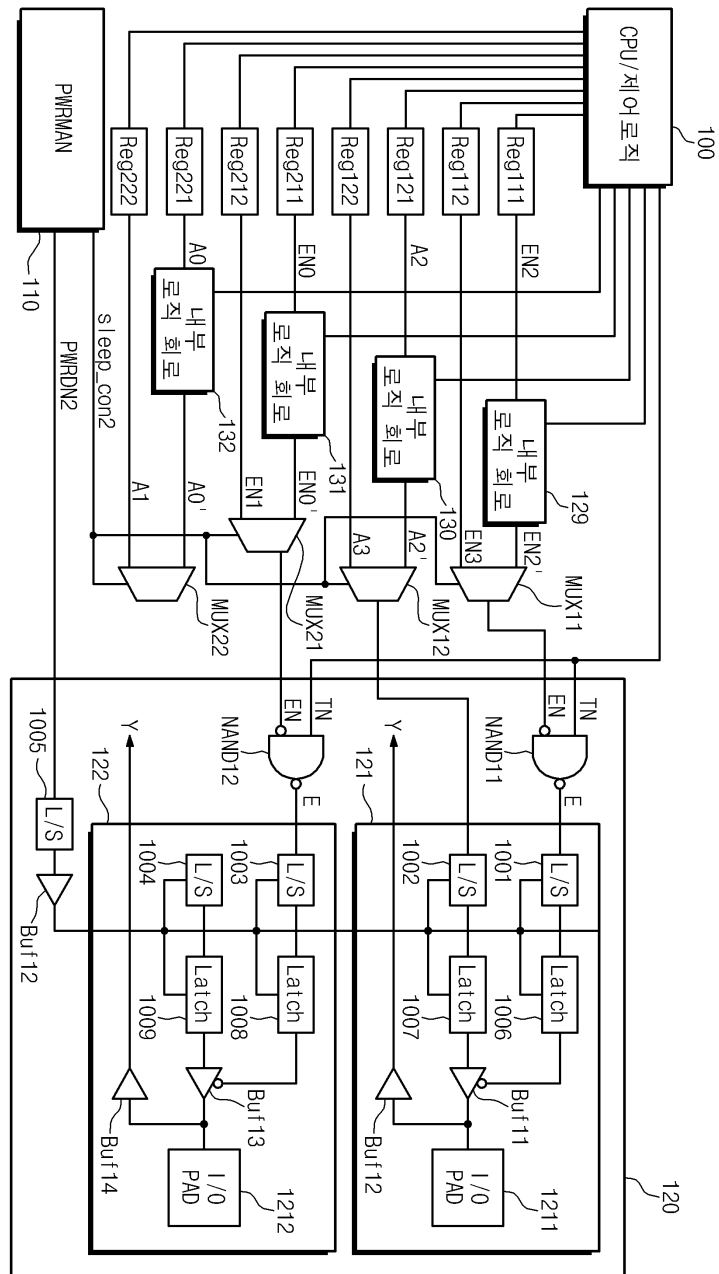
[0004] 도 3b는 본 발명의 다른 실시예에 따른 리텐션 입출력 장치 및 전력 제어부를 보여주는 블록도;

[0005] 도 3c는 본 발명의 또 다른 실시예에 따른 리텐션 입출력 장치 및 전력 제어부를 보여주는 블록도;

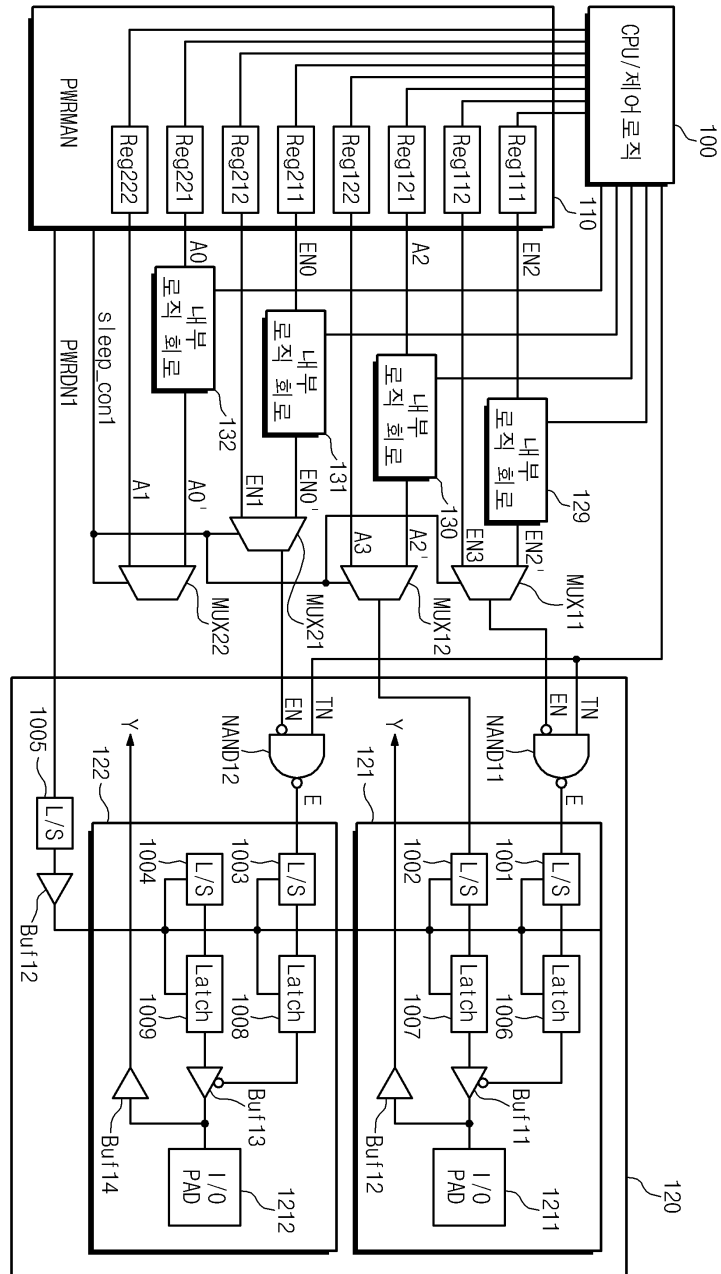
도면3a



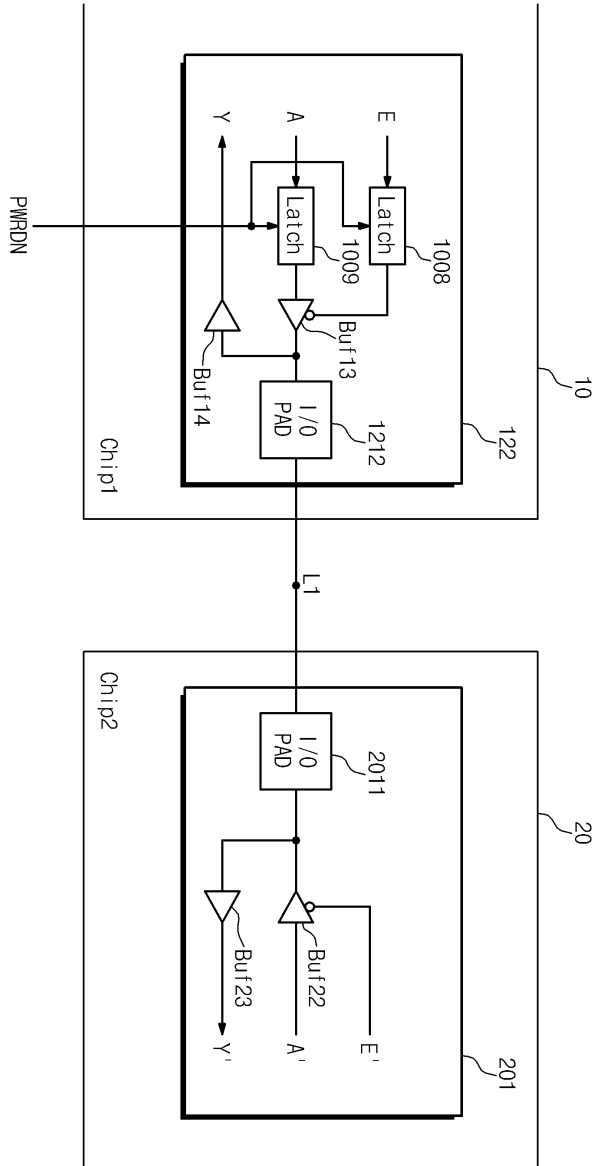
도면3b



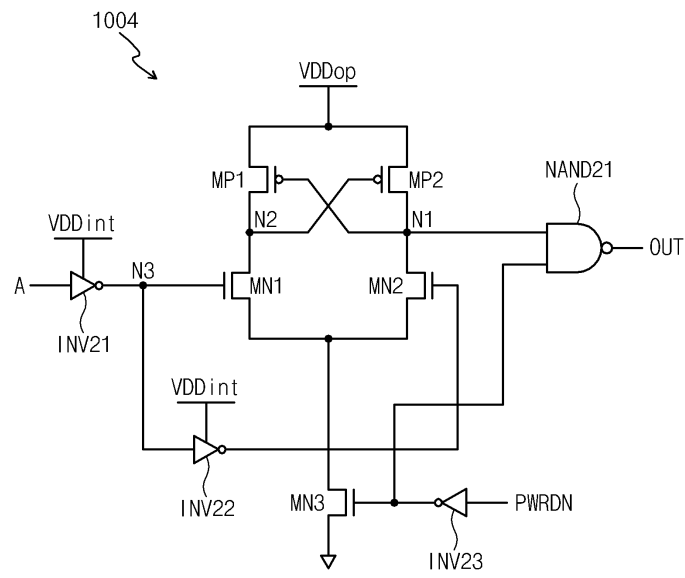
도면3c



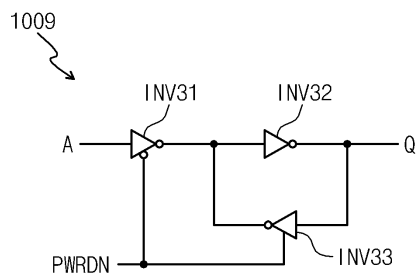
도면4



도면5



도면6



도면7

