

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6808460号  
(P6808460)

(45) 発行日 令和3年1月6日(2021.1.6)

(24) 登録日 令和2年12月11日(2020.12.11)

(51) Int. Cl.	F I
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 J
HO 1 L 21/768 (2006.01)	HO 1 L 21/316 M
HO 1 L 23/522 (2006.01)	HO 1 L 21/318 M
HO 1 L 21/316 (2006.01)	HO 1 L 23/12 5 O 1 P
HO 1 L 21/318 (2006.01)	

請求項の数 15 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2016-231339 (P2016-231339)  
 (22) 出願日 平成28年11月29日(2016.11.29)  
 (65) 公開番号 特開2018-88487 (P2018-88487A)  
 (43) 公開日 平成30年6月7日(2018.6.7)  
 審査請求日 令和1年11月15日(2019.11.15)

(73) 特許権者 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (74) 代理人 100094112  
 弁理士 岡部 譲  
 (74) 代理人 100101498  
 弁理士 越智 隆夫  
 (74) 代理人 100106183  
 弁理士 吉澤 弘司  
 (74) 代理人 100128668  
 弁理士 齋藤 正巳  
 (72) 発明者 大重 秀将  
 東京都大田区下丸子3丁目30番2号 キ  
 ヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

互いに対向する第一面及び第二面を有し、前記第一面と前記第二面とを結ぶ内側面により囲まれた貫通孔が設けられた半導体基板と、

前記半導体基板の前記第一面の側に形成された半導体素子と、

前記半導体基板の前記第一面の側に形成された配線層と、

前記半導体基板の前記貫通孔の中に配され、前記半導体基板を貫通して前記配線層に接続された貫通電極と、

前記半導体基板の前記内側面と前記貫通電極との間に配された絶縁部材と、を有し、

前記絶縁部材は、前記半導体基板の前記内側面と前記貫通電極との間に配された第一の絶縁膜と、前記第一の絶縁膜と前記貫通電極との間に配された第二の絶縁膜と、を含み、

前記絶縁部材が有するクラックが前記第一の絶縁膜にあり、前記クラックは前記第二の絶縁膜と前記内側面の間に位置し、

前記内側面は、前記貫通孔の深さ方向において凸部と凹部とが交互に繰り返された形状を有し、

前記第二の絶縁膜は前記第一の絶縁膜の側に、前記内側面の前記凸部に対応した凹部を有することを特徴とする半導体装置。

【請求項2】

前記クラックは、前記内側面の前記凸部と前記第二の絶縁膜の前記凹部との間に位置することを特徴とする請求項1記載の半導体装置。

## 【請求項 3】

前記第一の絶縁膜は前記第二の絶縁膜の側に、前記内側面の前記凹部に対応した凹部を有することを特徴とする請求項 2 記載の半導体装置。

## 【請求項 4】

前記絶縁部材が有する別のクラックが前記第二の絶縁膜にあり、前記別のクラックは、前記貫通電極と前記第一の絶縁膜の前記凹部との間に位置することを特徴とする請求項 3 記載の半導体装置。

## 【請求項 5】

前記第二の絶縁膜は前記第一の絶縁膜よりも厚いことを特徴とする請求項 4 記載の半導体装置。

10

## 【請求項 6】

前記内側面の前記凸部の位置と、前記第一の絶縁膜の前記第二の絶縁膜の側の前記凹部の位置とが、前記貫通孔の深さ方向において互いに異なっていることを特徴とする請求項 3 乃至 5 のいずれか 1 項に記載の半導体装置。

## 【請求項 7】

前記絶縁部材が有する別のクラックが前記第二の絶縁膜にあり、前記第一の絶縁膜の前記クラックの位置と、前記第二の絶縁膜の前記別のクラックの位置とが、前記貫通孔の深さ方向において互いに異なっていることを特徴とする請求項 6 記載の半導体装置。

## 【請求項 8】

前記第一の絶縁膜が、酸化シリコン、窒化シリコン及び酸窒化シリコンのうちのいずれかからなり、

20

前記第二の絶縁膜が、酸化シリコン、窒化シリコン及び酸窒化シリコンのうちのいずれかからなることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置。

## 【請求項 9】

前記半導体基板の前記第一面の側に設けられた支持基板をさらに有する請求項 1 乃至 8 のいずれか 1 項に記載の半導体装置。

## 【請求項 10】

前記半導体装置は固体撮像装置であることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の半導体装置。

## 【請求項 11】

30

半導体基板の第一面の側に半導体素子を形成する工程と、  
前記半導体基板の前記第一面の側に、層間絶縁層を介して配線層を形成する工程と、  
前記半導体基板の前記第一面に対向する第二面の側から前記半導体基板及び前記層間絶縁層を開口して、前記半導体基板及び前記層間絶縁層に、前記配線層に達する貫通孔を形成する工程と、

前記貫通孔の内側面に、第一の絶縁膜及び第二の絶縁膜を順に積層する工程と、

前記第一の絶縁膜及び前記第二の絶縁膜が積層された前記貫通孔の内部に導電材料を埋め込んで、前記導電材料からなる貫通電極を形成する工程とを有し、

前記第一の絶縁膜及び前記第二の絶縁膜を順に積層する工程が、前記第一の絶縁膜を形成した後、前記第二の絶縁膜を形成する前に、前記半導体基板を加熱する工程を含み、

40

前記半導体基板を加熱する工程における加熱速度が、前記第一の絶縁膜及び前記第二の絶縁膜の成膜時における加熱速度よりも大きいことを特徴とする半導体装置の製造方法。

## 【請求項 12】

前記半導体基板を加熱する工程における熱処理の温度が、前記第一の絶縁膜及び前記第二の絶縁膜の成膜温度よりも高いことを特徴とする請求項 11 記載の半導体装置の製造方法。

## 【請求項 13】

前記貫通孔を形成する工程が、

前記半導体基板を前記貫通孔が貫通するように前記半導体基板を開口する工程と、

前記第一の絶縁膜及び前記第二の絶縁膜を形成する工程の後に、前記半導体基板を貫

50

通した前記貫通孔が前記配線層に達するように前記層間絶縁層を開口する工程とを含むことを特徴とする請求項 1 1 又は 1 2 に記載の半導体装置の製造方法。

【請求項 1 4】

前記第一の絶縁膜及び前記第二の絶縁膜を形成する工程が、CVD法によりそれぞれ前記第一の絶縁膜及び前記第二の絶縁膜を形成することを特徴とする請求項 1 1乃至 1 3のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 5】

前記CVD法が、プラズマCVD法であることを特徴とする請求項 1 4 記載の半導体装置の製造方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、貫通電極を有する半導体装置及び製造方法に関する。

【背景技術】

【0002】

固体撮像装置等の半導体装置（半導体チップ）は、例えば、トランジスタ等の素子が形成された半導体基板と、該半導体基板の上に配された絶縁部材及びその中に配された配線部を含む構造とを備える。配線部は、ある素子を他の素子に接続する配線パターン、素子に電力を供給するための配線パターン等を含む。また、半導体装置は、該半導体装置を外部装置（他の半導体装置や回路基板等）に接続するための電極部をさらに備える。配線部の一部は、電極部に接続されうる。

20

【0003】

半導体装置を、例えばフリップチップ接続により外部装置に接続する場合には、 bumps と称される電極部が用いられる。このような電極部のなかには、半導体基板の裏面側（半導体基板の配線部に対して反対側）から配線部までにわたって形成されるものもある。このような電極部は、半導体基板（例えばシリコン基板）の内部を貫通するように形成されることから「貫通電極」とも称される。

【0004】

特許文献 1 には、貫通電極であるシリコン貫通ビア（Through Silicon Via、TSV）を加工するプロセスが記載されている。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2011 - 40457 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記貫通電極は、例えば次のようにして形成される。すなわち、まず、半導体基板の裏面側からエッチングを行って、半導体基板の一部と配線絶縁部材の一部とを除去して配線部の一部（外部装置に接続されるべき一部）が露出するようにビアホールを形成する。次いで、半導体基板の裏面及び前記ビアホールの内側面に絶縁膜を形成する。次いで、該ビアホールを導電部材で埋めることによって貫通電極が形成される。

40

【0007】

半導体基板の裏面側から貫通するように垂直にビアホールを形成する手法としては、いわゆるボッシュプロセスが挙げられる。ボッシュプロセスとは、基本的に、（1）等方的なエッチングステップ、（2）保護膜成膜ステップ、及び（3）ビア底の保護膜除去ステップの 3 ステップからなるサイクルを繰り返すことで少しずつ垂直方向にエッチング進めていくプロセスである。ボッシュプロセスで形成された貫通孔の内壁の形状的な特徴として、スキヤロップと呼ばれる凹凸が生じる。このスキヤロップ上に絶縁膜が被覆されることになるが、スキヤロップの凸部を起点として、前記絶縁膜の内部にクラック（割れ）が

50

発生するという問題がある。クラックは、絶縁膜の絶縁耐圧の低下を招く一因となる。

【0008】

特許文献1には、半導体基板に形成された穴の内壁に形成する絶縁膜として膜質の良い絶縁膜を得るために、マイクロ波励起プラズマCVD(Chemical Vapor Deposition)法を用いて酸化シリコン膜を形成することが開示されている。また、特許文献1には、シリコン酸化膜とシリコン窒化膜とからなる多層の絶縁膜を形成することが開示されている。しかしながら、多層の絶縁膜を形成したとしても、最後の絶縁膜を成膜した後にスキヤロップを起点としたクラックが発生した場合、クラックは多層の絶縁膜の内部に半導体基板側の最下面から貫通電極側の最上面にわたって連なって形成されることになる。その結果、絶縁膜の絶縁耐圧が低下し、短絡による歩留まり低下や長期的な信頼性が低下するという問題があった。

10

【0009】

本発明の目的は、貫通電極と半導体基板との間の絶縁部材の絶縁性能が長期的に維持され、歩留まり及び信頼性の高い半導体装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0010】

本発明の一観点によれば、互いに対向する第一面及び第二面を有し、前記第一面と前記第二面とを結ぶ内側面により囲まれた貫通孔が設けられた半導体基板と、前記半導体基板の前記第一面の側に形成された半導体素子と、前記半導体基板の前記第一面の側に形成された配線層と、前記半導体基板の前記貫通孔の中に配され、前記半導体基板を貫通して前記配線層に接続された貫通電極と、前記半導体基板の前記内側面と前記貫通電極との間に配された絶縁部材と、を有し、前記絶縁部材は、前記半導体基板の前記内側面と前記貫通電極との間に配された第一の絶縁膜と、前記第一の絶縁膜と前記貫通電極との間に配された第二の絶縁膜と、を含み、前記絶縁部材が有するクラックが前記第一の絶縁膜にあり、前記クラックは前記第二の絶縁膜と前記内側面の間に位置し、前記内側面は、前記貫通孔の深さ方向において凸部と凹部とが交互に繰り返された形状を有し、前記第二の絶縁膜は前記第一の絶縁膜の側に、前記内側面の前記凸部に対応した凹部を有することを特徴とする半導体装置が提供される。

20

【0012】

本発明のさらに他の観点によれば、半導体基板の第一面の側に半導体素子を形成する工程と、前記半導体基板の前記第一面の側に、層間絶縁層を介して配線層を形成する工程と、前記半導体基板の前記第一面に対向する第二面の側から前記半導体基板及び前記層間絶縁層を開口して、前記半導体基板及び前記層間絶縁層に、前記配線層に達する貫通孔を形成する工程と、前記貫通孔の内側面に、第一の絶縁膜及び第二の絶縁膜を順に積層する工程と、前記第一の絶縁膜及び前記第二の絶縁膜が積層された前記貫通孔の内部に導電材料を埋め込んで、前記導電材料からなる貫通電極を形成する工程とを有し、前記第一の絶縁膜及び前記第二の絶縁膜を順に積層する工程が、前記第一の絶縁膜を形成した後、前記第二の絶縁膜を形成する前に、前記半導体基板を加熱する工程を含み、前記半導体基板を加熱する工程における加熱速度が、前記第一の絶縁膜及び前記第二の絶縁膜の成膜時における加熱速度よりも大きいことを特徴とする半導体装置の製造方法が提供される。

30

40

【発明の効果】

【0013】

本発明によれば、貫通電極と半導体基板との間の絶縁部材の絶縁性能が長期的に維持され、歩留まり及び信頼性の高い半導体装置を得ることができる。

【図面の簡単な説明】

【0014】

【図1】本発明の第一実施形態による半導体装置の構造を示す概略断面図である。

【図2】本発明の第一実施形態による半導体装置の貫通電極及び絶縁部材の構造を拡大して示す概略断面図である。

【図3】本発明の第一実施形態による半導体装置の製造方法を示す工程断面図である。

50

【図4】本発明の第一実施形態による半導体装置の製造方法における貫通孔の内側面及びその周辺を拡大して示す概略断面図である。

【図5】本発明の第二実施形態による半導体装置の製造方法における貫通孔の内側面及びその周辺を拡大して示す概略断面図である。

【発明を実施するための形態】

【0015】

以下、添付図面を参照しながら本発明の好適な実施の形態について説明する。各図において、同一の部材又は同一の構成要素には同一の参照番号を付しており、以下の各実施形態において、重複する説明を省略する。

【0016】

[第一実施形態]

本発明の第一実施形態による半導体装置及びその製造方法について図1乃至図4を用いて説明する。

【0017】

まず、本実施形態による半導体装置の概略構造について図1を用いて説明する。図1は、本実施形態による半導体装置の構造を示す概略断面図である。

【0018】

図1に示すように、本実施形態による半導体装置は、半導体基板SUBと、半導体基板SUBの互いに対向する主面のうちの一方の主面である第一面の側に形成された半導体素子TRと、素子分離膜からなる素子分離部10とを備える。また、本実施形態による半導体装置は、層間絶縁層(層間絶縁膜)20と、配線層30と、半導体素子TRと配線層30とを接続するコンタクトプラグCPLとを備える。また、本実施形態による半導体装置は、半導体基板SUBにおける貫通孔60の内部に形成された貫通電極50と、貫通電極50と接続される電極部PADとを備える。また、本実施形態による半導体装置は、貫通電極50と半導体基板SUBとの間に、絶縁性を確保するために絶縁部材40を備える。

【0019】

半導体基板SUBは、例えばシリコンで構成されたシリコン基板等の半導体基板である。半導体基板SUBの第一面には、素子領域を画定する素子分離部10が形成されている。素子分離部10により半導体基板SUBの第一面に確定された素子領域には、トランジスタ等の半導体素子TRが配されている。

【0020】

層間絶縁層20は、半導体素子TRを含む半導体基板SUBの第一面全面に配されている。層間絶縁層20は、例えば酸化シリコン、窒化シリコン等の絶縁性の材料で構成される。

【0021】

配線層30は、層間絶縁層20の中に配されている。なお、図1では配線層30を単層で記載したが、配線層30は複数層であってもよく、その場合、各配線層間はビアで接続される。配線層30としては、例えば銅やアルミニウム等の金属で構成される。また、貫通電極50と接続するための配線層30の一部である電極部(電極パッド)PADが層間絶縁層20の中に配されている。配線層30が複数層ある場合、電極部PADは、配線層30のいずれかの層と同層、同一材料で形成することができる。コンタクトプラグCPLは、層間絶縁層20に形成されたコンタクトホールに埋め込まれた例えばタングステン等の金属で構成されている。コンタクトプラグCPLは、半導体素子TRと配線層30とを電氣的に接続する。また、ここでは不図示とするが、配線層30、電極部PAD及びコンタクトプラグCPLの金属が半導体基板SUB中に拡散しないように、それぞれに対してチタン、タンタル、それらの窒化物等で構成されたバリアメタルが更に用いられてもよい。

【0022】

貫通電極50は、TSVであり、貫通孔60の内部に形成されている。貫通電極50は、半導体基板SUBの互いに対向する主面のうちの他方の主面である第二面側から、半導

10

20

30

40

50

体基板SUBの第一面側に形成された電極部PADに向かって延在して、電極部PADに接続されている。すなわち、貫通電極50は、半導体基板SUBの第一面と第二面とを結ぶ側面に囲まれ、半導体基板SUBを貫通して電極部PADに接続されている。貫通電極50は、貫通孔60の内部に埋め込まれた金属等の導電部材により構成されている。貫通電極50が埋め込まれた貫通孔60は、半導体基板SUBの第二面から第一面に貫通し、層間絶縁層20において電極部PADに達するように形成されている。貫通電極50を構成する導電部材としては、銅やアルミニウム等を用いることができる。貫通電極50に対しては、金属が半導体基板SUB中に拡散しないように、チタン、タンタル、それらの窒化物等で構成されたバリアメタルが更に用いられてもよい。

#### 【0023】

貫通電極50と半導体基板SUBとの間には、絶縁部材40が配される。より具体的には、貫通孔60の内側面及び半導体基板SUBの第二面に、絶縁部材40が形成されている。貫通電極50は、内側面に絶縁部材40が形成された貫通孔60に埋め込まれた部分と、貫通孔60の周囲の半導体基板SUBの第二面の絶縁部材40上に形成された部分とを有している。絶縁部材40により、貫通電極50と半導体基板SUBとの間の絶縁性が確保されている。絶縁部材40は、後述するように、貫通孔60の内側面と貫通電極50との間に配された第一の絶縁膜41と、第一の絶縁膜41と貫通電極との間に配された第二の絶縁膜42とにより構成されている。なお、貫通孔60の内側面は、半導体基板SUBの第一面と第二面とを結ぶ側面である。絶縁部材40を構成する第一の絶縁膜41及び第二の絶縁膜42としては、それぞれ例えば酸化シリコン、窒化シリコン、酸窒化シリコン等からなる絶縁膜が用いられる。

#### 【0024】

次に、本実施形態による半導体装置の特徴である絶縁部材40について図2を用いて詳細に説明する。図2(a)は、本実施形態による半導体装置の貫通電極50及び絶縁部材40の構造を拡大して示す概略断面図である。図2(b)は、図2(a)における破線で囲まれた領域A1を拡大して示す概略断面図である。

#### 【0025】

図2(a)に示すように、本実施形態による半導体装置において、絶縁部材40は、半導体基板SUBの側から順に積層された第一の絶縁膜41及び第二の絶縁膜42により構成されている。第一の絶縁膜41及び第二の絶縁膜42は、貫通孔60の内側面及び半導体基板SUBの第二面において、半導体基板SUBの側から順に積層されている。こうして、絶縁部材40は、半導体基板SUBの第一面と第二面とを結ぶ側面である貫通孔60の内側面と貫通電極50との間に配された第一の絶縁膜41と、第一の絶縁膜41と貫通電極50との間に配された第二の絶縁膜42とを含んでいる。なお、ここでは絶縁膜が2層の場合について述べるが、3層以上の絶縁膜を積層して絶縁部材40を構成しても構わない。このように複数層の絶縁膜により構成される絶縁部材40が内側面に形成された貫通孔60内に、貫通電極50が埋め込まれている。

#### 【0026】

通常、貫通電極50を形成するためには、まず、半導体基板SUBに貫通孔60がエッチングにより形成される。貫通孔60のエッチングは、通常、いわゆるボッシュプロセスと呼ばれる方法で行われる。ボッシュプロセスとは、(1)等方的なエッチングステップ、(2)保護膜成膜ステップ、及び(3)保護膜除去ステップを1サイクルとして、各ステップを短時間ずつ高速に切り替え、このサイクルを繰り返すことで垂直にエッチングする手法である。等方的なエッチングステップでは、SF<sub>6</sub>等のガスを用い、主にラジカルを反応種としてエッチングが進行する。このステップは、長時間行うとサイドエッチングが大きくなってしまうため、短時間(数秒程度)で保護膜成膜ステップに切り替える。保護膜成膜ステップでは、プラズマ中でC<sub>4</sub>F<sub>8</sub>等のガスを分解することで、ピアホールの内側面及び内底面にCF重合膜を保護膜として堆積させる。このステップも数秒程度の短時間で次のステップに切り替える。保護膜除去ステップでは、ガス系としてSF<sub>6</sub>等のガスを用い、かつ基板が設置されているステージ側に高いバイアスを印加することで、異方

10

20

30

40

50

性をもったイオンを基板に入射させ、ビアホールの内底面の保護膜のみをエッチング除去する。このとき、ビアホールの内側面にはイオンがほとんど入射しない。このため、ビアホールの内側面の保護膜は除去されず、次のサイクルの等方的なエッチングステップにおいて、ビアホールの内側面は保護膜によりエッチングから保護され、ビアホールの内底面のみエッチングが進行する。このサイクルを繰り返すことで、半導体基板SUBの深さ方向に少しずつ垂直にエッチングを進めることができる。

**【0027】**

ボッシュプロセスの問題として、図2(b)に示すように、貫通孔60の内側面にいわゆるスキヤロップと呼ばれる凹凸形状が生じる。この凹凸面に対して絶縁部材40を形成した場合、プロセス中の半導体基板SUBの熱膨張収縮により、スキヤロップの凸部を起点として絶縁部材40の内部にクラック(割れ)が発生するという問題がある。

10

**【0028】**

仮に絶縁部材40が単一の膜で構成される場合、クラックが絶縁部材40の内部に半導体基板SUBの側の最下面から貫通電極50の側の最上面にわたって連なって形成されることになる。このように生じたクラックは、貫通電極50と半導体基板SUBとの間の絶縁耐圧を著しく低下させる要因となる。前述のボッシュプロセスにおいて等方的なエッチングステップの時間を短くすることで、スキヤロップの凹凸を小さくしてクラックの発生を低減させることは可能である。しかしながら、この場合、エッチングレートが遅くなり生産性が低下するという問題がある。

**【0029】**

20

本実施形態による半導体装置では、図2(b)に示すとおり、半導体基板SUB側から貫通電極50側に順に第一の絶縁膜41及び第二の絶縁膜42が形成されている。第一の絶縁膜41には、貫通孔60の内側面の凹凸形状に起因して、凹凸形状が生じる。第一の絶縁膜41を例えばCVD(化学気相成長法)で形成することで、貫通孔60内側面の凸部P1に対して、貫通孔60の深さ方向において、第一の絶縁膜41の第二の絶縁膜42の側の凹部P2が異なる高さに形成される。すなわち、貫通孔60の内側面の凸部P1の位置と、第一の絶縁膜41の凹部P2の位置とは、貫通孔60の深さ方向において互いに異なっている。第二の絶縁膜42は、図2(b)に示すとおり、第一の絶縁膜41の形状に倣って形成される。CVD法、特にプラズマCVD法により第一の絶縁膜41及び第二の絶縁膜42を形成することで、図2(b)に示すような凹凸形状をより確実に第一の絶縁膜41及び第二の絶縁膜42に生じさせることができる。

30

**【0030】**

ここで、上述のように形成される第一の絶縁膜41及び第二の絶縁膜42の内部におけるクラックの入り方について説明する。半導体基板SUBと第一の絶縁膜41との間の熱膨張係数の違いにより第一の絶縁膜41の内部にクラックが発生する場合、貫通孔60のスキヤロップの凸部P1を起点として図2(b)のC1の位置にクラックが発生する。第一の絶縁膜41と第二の絶縁膜42との間の熱膨張係数の違いにより第二の絶縁膜42の内部にクラックが発生する場合、第一の絶縁膜41の凹部P2を起点として図2(b)のC2の位置にクラックが発生する。なお、以下では、C1の位置に発生したクラックを「クラックC1」と称し、C2の位置に発生したクラックを「クラックC2」と称する。

40

**【0031】**

貫通孔60内側面の凸部P1と、第一の絶縁膜41の凹部P2とが上述のように互いに異なる高さに形成されているため、それぞれを起点として第一の絶縁膜41及び第二の絶縁膜42の内部に発生するクラックも互いに異なる高さに発生する。すなわち、第一の絶縁膜41内部のクラックC1の位置と、第二の絶縁膜42内部のクラックC2の位置とは、貫通孔60の深さ方向において互いに異なっている。

**【0032】**

つまり、本実施形態では、図2(b)に示すように、第一の絶縁膜41の内部に発生したクラックC1と第二の絶縁膜42の内部に発生したクラックC2とが繋がらずに不連続である。こうして、本実施形態では、絶縁部材40が有するクラックが第一の絶縁膜41

50

にあり、第一の絶縁膜41にあるクラックは、半導体基板SUBの第一面と第二面とを結ぶ側面である貫通孔60の内側面と第二の絶縁膜42との間に位置している。このため、本実施形態によれば、第一の絶縁膜41及び第二の絶縁膜42の内部に第一の絶縁膜41の半導体基板SUBの側の表面から第二の絶縁膜42の貫通電極50の側の表面にわたって連なって形成されるクラックを抑制することができる。よって、本実施形態によれば、貫通電極50と半導体基板SUBとの間の絶縁特性を高く維持することができる。

#### 【0033】

次に、本実施形態による半導体装置の製造方法について図3及び図4を用いて説明する。図3は、本実施形態による半導体装置の製造方法を示す工程断面図である。図4は、本実施形態による半導体装置の製造方法における貫通孔の内側面及びその周辺を拡大して示す概略断面図である。なお、半導体装置の製造には、公知の半導体製造プロセスが用いられればよい。また、ここでは説明を省略するが、各工程の間には、熱処理や洗浄処理等が必要に応じてなされうる。

10

#### 【0034】

まず、図3(a)の工程では、半導体基板SUBを準備し、半導体基板SUBの第一面側(表面側)にMOSトランジスタ等の半導体素子TRが形成される。半導体基板SUBには、STI(Shallow Trench Isolation)等により素子分離膜からなる素子分離部10が形成される。各半導体素子TRは、素子分離部10により確定される素子領域に形成され、素子分離部10によって隣接する半導体素子TRから電気的に分離されうる。

20

#### 【0035】

半導体素子TRが形成された半導体基板SUBの第一面上には、層間絶縁層20と、その中に配される配線層30及び電極部PAD、並びに配線層30と半導体素子TRを電気的に接続するためのコンタクトプラグCPL等の各導電部材が形成される。層間絶縁層20としては、酸化シリコン、窒化シリコン、酸窒化シリコン等からなる絶縁膜が用いられる。

#### 【0036】

層間絶縁層20及び各導電材料は、次のようにして形成することができる。すなわち、層間絶縁層20として、まず、例えば準常圧CVD法によりBPSG(Boron Phosphorus Silicon Glass)膜を形成する。層間絶縁層20の内部には、半導体素子TRと配線層30とを接続するために、タングステン等の導電材料が埋め込まれたコンタクトプラグCPLが形成される。配線層30及び電極部PADは、例えば、Al等の導電材料をスパッタリング法により成膜し、ドライエッチングにより導電材料をパターニングすることで形成される。配線層30及び電極部PADは、互いに電気的に接続されており、工程短縮のために同層で形成するのが好ましいが、別の層で形成してビアで接続しても構わない。なお、配線層30及び電極部PADは、ダマシンプロセス等によりCu等の導電材料で形成することもできる。こうして、半導体基板SUBの第一面側に、層間絶縁層20を介して配線層30及び電極部PADを形成する。配線層30及び電極部PADの上層には、さらに層間絶縁層を例えばプラズマCVD法による酸化シリコン膜で形成し、合わせて層間絶縁層20を形成する。

30

40

#### 【0037】

この後、図示はしないが、パッケージ技術の一つであるウェハレベル実装を行う場合等には、必要に応じて半導体基板SUBを薄化してもよい。半導体基板SUBを薄化する場合には、半導体基板SUBの第一面側に支持基板を貼り付け、半導体基板SUBの第二面側からバックグラインド処理を行って半導体基板SUBを薄化する。より具体的には、支持基板として例えば0.5mm厚の石英ガラス(不図示)を接着剤(不図示)により半導体基板SUBの第一面側に貼り合せ、その後、バックグラインド処理により半導体基板SUBを例えば0.2mm厚まで薄化する。

#### 【0038】

次いで、図3(b)の工程では、まず、半導体基板SUBの第二面側(裏面側)にフォ

50

トレジスト（不図示）をパターン形成する。次いで、半導体基板SUBの第二面側からドライエッチングを行って、貫通孔60を形成する。

【0039】

貫通孔60を形成すべき半導体基板SUBの領域では、前述のボッシュプロセスを用いて層間絶縁層20が露出するまで垂直に半導体基板SUBをエッチングする。半導体基板SUBのエッチング後、例えばドライエッチングによる異方性エッチングで層間絶縁層20をエッチングして、貫通孔60を、電極部PADに達するまで延伸形成する。層間絶縁層20を異方性エッチングするためのドライエッチングには、例えば、 $CF_4$ 、 $C_4F_8$ 、 $O_2$ 、Ar混合ガス系による容量結合型RIE（Reactive Ion Etching）等を用いることができる。こうして、半導体基板SUBの第二面の側から半導体基板SUB及び層間絶縁層20を順次開口して、半導体基板SUB及び層間絶縁層20に、電極部PADに達する貫通孔60を形成する。

10

【0040】

次いで、図3(c)の工程では、貫通孔60の内側面及び内底面（電極部PAD露出面）を含む半導体基板SUBの第二面の全面に、第一の絶縁膜41を形成する。第一の絶縁膜41としては、酸化シリコン、窒化シリコン、酸窒化シリコン等の絶縁性の材料からなる絶縁膜を用いることができる。より具体的には、第一の絶縁膜41として、例えば成膜温度200のプラズマCVD法により、酸化シリコンからなる絶縁膜を、半導体基板SUBの第二面上の膜厚で例えば0.5 $\mu m$ 形成する。

【0041】

次いで、図3(d)の工程では、第一の絶縁膜41の成膜後に第二の絶縁膜42を形成する。第二の絶縁膜42としては、第一の絶縁膜41と同様に、酸化シリコン、窒化シリコン、酸窒化シリコン等の絶縁性の材料からなる絶縁膜を用いることができる。より具体的には、第二の絶縁膜42として、例えば成膜温度160のプラズマCVD法により、酸化シリコンからなる絶縁膜を、半導体基板SUB第二面上の膜厚で例えば1 $\mu m$ 形成する。本実施形態による半導体装置の製造方法は、第二の絶縁膜42の成膜温度T2が第一の絶縁膜41の成膜温度T1よりも低いことを特徴としている。成膜温度に関する特徴の詳細については後述する。

20

【0042】

こうして、貫通孔60の内側面及び内底面を含む内面に、第一の絶縁膜41及び第二の絶縁膜42を順に積層して形成する。

30

【0043】

次いで、図3(e)の工程では、例えばエッチバック法により貫通孔60の内底面（電極部PADの露出面）のみが開口するよう、第二の絶縁膜42及び第一の絶縁膜41をドライエッチングにより順次除去する。第二の絶縁膜42及び第一の絶縁膜41のドライエッチングには、例えば、 $CF_4$ 、 $C_4F_8$ 、 $O_2$ 、Ar混合ガス系による容量結合型RIE等を用いることができる。

【0044】

なお、本実施形態では、電極部PADを露出するように貫通孔60を形成した後に第一の絶縁膜41及び第二の絶縁膜42を形成したが、これに限定されるものではない。次のようにして第一の絶縁膜41及び第二の絶縁膜42の形成後に貫通孔60の底部に電極部PADを露出させることもできる。すなわち、貫通孔60を形成する際、貫通孔60が半導体基板SUBを貫通するように半導体基板SUBを開口した後、層間絶縁層20を一部残した状態で層間絶縁層20のエッチングを停止する。つまり、電極部PADが貫通孔60底部に露出しない状態で、層間絶縁層20のエッチングを停止する。次いで、貫通孔60の内側面及び内底面を含む半導体基板SUBの第二面の全面に第一の絶縁膜41及び第二の絶縁膜42を順に積層して形成する。その後、貫通孔60の底部の第一の絶縁膜41及び第二の絶縁膜42と一緒に層間絶縁層20をエッチバックにより一括除去する。これにより、貫通孔60が電極部PADに達するように層間絶縁層20を開口して、貫通孔60の底部に電極部PADを露出する。

40

50

## 【 0 0 4 5 】

次いで、図 3 ( f ) の工程では、貫通孔 6 0 の内部に、貫通電極 5 0 を構成する導電材料として、例えば銅やアルミニウム等の金属を埋め込む。これにより、貫通孔 6 0 の内部に埋め込まれた金属からなる貫通電極 5 0 を形成する。貫通電極 5 0 を構成する金属は、例えば、貫通孔 6 0 の内側面及び内底面に銅からなるメタルシード層 ( 不図示 ) をスパッタリング法で形成した後に、電解メッキ法により銅を結晶成長させて埋め込むことができる。なお、埋め込まれた金属が半導体基板 S U B 中に拡散しないように、第二の絶縁膜 4 2 と貫通電極 5 0 との間に、チタン、タンタル、それらの窒化物等で構成されたバリアメタルが形成されてもよい。

## 【 0 0 4 6 】

図示はしないが、その後、公知の半導体製造プロセスにより、ソルダーレジスト塗布、はんだボール設置、ダイシング等の工程がなされ、半導体装置の製造が完了する。

## 【 0 0 4 7 】

ここで、図 4 を用いて、本実施形態による半導体装置の製造方法における工程毎の、貫通孔 6 0 の内側面に形成される絶縁膜のクラック発生状況について詳述する。

## 【 0 0 4 8 】

まず、図 4 ( a ) は、半導体基板 S U B の貫通孔 6 0 の内側面を覆うように第一の絶縁膜 4 1 を成膜温度  $T_1$  で形成した直後の貫通孔 6 0 を示す断面模式図である。図 4 ( a ) は、図 3 ( c ) における破線で囲まれた領域 A 1 を示している。図 4 ( a ) に示すように、スキヤロップの凸部 P 1 を起点としてクラック C 1 が第一の絶縁膜 4 1 の内部を横断するように発生する。第一の絶縁膜 4 1 は C V D 法により形成されるが、スキヤロップの形状に沿って膜が成長する結果、第一の絶縁膜 4 1 には、隣接するスキヤロップの凸部 P 1 の大体中間の高さに凹部 P 2 が生じる。つまり、スキヤロップの凸部 P 1 と第一の絶縁膜 4 1 表面の凹部 P 2 とは、貫通孔 6 0 の深さ方向で互いに異なる位置に形成される。第一の絶縁膜 4 1 の表面の凹凸は、C V D 法による成膜の特徴で、図 4 ( a ) に示すように凸部 P 3 は比較的なだらかなラウンド形状をしているのに対して、凹部 P 2 は鋭く落ち窪んだ形状になる。なお、本実施形態では、上述のように第一の絶縁膜 4 1 の成膜温度  $T_1$  は 2 0 0 とすることができる。第一の絶縁膜 4 1 の成膜温度  $T_1$  は、第二の絶縁膜 4 2 の成膜温度  $T_2$  よりも高く設定される。

## 【 0 0 4 9 】

次に、図 4 ( b ) は、第一の絶縁膜 4 1 の成膜後に成膜温度  $T_2$  で第二の絶縁膜 4 2 を形成した直後の貫通孔 6 0 を示す断面模式図である。図 4 ( b ) は、図 3 ( d ) における破線で囲まれた領域 A 2 を示している。図 4 ( b ) に示すように、第二の絶縁膜 4 2 について、貫通孔 6 0 の深さ方向の凹凸の位置関係は、第一の絶縁膜 4 1 の凹凸に倣う形では生じない。ただし、上述のように第一の絶縁膜 4 1 の凹部 P 2 は鋭く落ち窪んだ形状となるため、第一の絶縁膜 4 1 の凹部 P 2 を起点として、第二の絶縁膜 4 2 の凹部 P 4 に向けて第二の絶縁膜 4 2 の内部を横断するようにクラック C 2 が発生する。なお、本実施形態では、上述したように第二の絶縁膜 4 2 の成膜温度  $T_2$  は 1 6 0 とすることができる。第二の絶縁膜 4 2 の成膜温度  $T_2$  は、第一の絶縁膜 4 1 の成膜温度  $T_1$  よりも低く設定される。

## 【 0 0 5 0 】

一般的に、絶縁膜に生じるクラックは、プロセス中の加熱、冷却に伴う半導体基板と絶縁膜との間の熱膨張係数の違いに起因する。本実施形態のように、 $T_1 > T_2$  の関係で処理することで、第一の絶縁膜 4 1 の成膜時に比べて第二の絶縁膜 4 2 の成膜時のほうが半導体基板 S U B の熱変形量が小さくなる。熱変形量の大きい第一の絶縁膜 4 1 の成膜時には、第一の絶縁膜 4 1 の内部にクラックが生じる結果、第一の絶縁膜 4 1 の内部に残留する応力は緩和された状態となる。その後、第二の絶縁膜 4 2 が成膜されるが、第二の絶縁膜 4 2 の成膜時は、第一の絶縁膜 4 1 成膜時に比べて熱変形量が小さい。このため、第二の絶縁膜 4 2 の成膜時には、貫通孔 6 0 のスキヤロップ凸部を起点として第一の絶縁膜 4 1 に新たなクラックが発生することが抑制される。その結果、第一の絶縁膜 4 1 及び第二

10

20

30

40

50

の絶縁膜 4 2 の内部に第一の絶縁膜 4 1 の半導体基板 S U B の側の表面から第二の絶縁膜 4 2 の貫通電極 5 0 の側の表面にわたって連なって形成されるクラックの発生を抑制し、さらには防止することができる。第二の絶縁膜 4 2 の内部に発生したクラックは、第一の絶縁膜 4 1 の内部に発生したクラックとは不連続になっている。

#### 【 0 0 5 1 】

図 4 ( c ) は、貫通電極 5 0 の形成後の貫通孔 6 0 を示す断面模式図である。図 4 ( c ) は、図 3 ( f ) における破線で囲まれた領域 A 3 を示している。本実施形態による半導体装置の製造方法を用いることで、図 4 ( c ) に示すように、絶縁部材 4 0 の内部に絶縁部材 4 0 の最下面から最上面にわたって連なって形成されるクラックの発生を抑制又は防止しつつ、貫通電極 5 0 を形成することができる。すなわち、第一の絶縁膜 4 1 及び第二の絶縁膜 4 2 の内部に第一の絶縁膜 4 1 の半導体基板 S U B の側の表面から第二の絶縁膜 4 2 の貫通電極 5 0 の側の表面にわたって連なって形成されるクラックの発生を抑制又は防止しつつ、貫通電極 5 0 を形成できる。これにより、貫通電極 5 0 と半導体基板 S U B との間の絶縁特性や、貫通電極 5 0 を構成する導電部材の半導体基板 S U B への拡散防止性能も維持することができる。その結果、半導体装置の歩留まりを高く維持するとともに、長期に渡って信頼性を高く維持することが可能となる。

10

#### 【 0 0 5 2 】

以上のとおり、本実施形態によれば、絶縁部材 4 0 の内部に絶縁部材 4 0 の最下面から最上面にわたって連なって形成されるクラックの発生が抑制される。このため、本実施形態によれば、貫通電極 5 0 と半導体基板 S U B との間の絶縁部材 4 0 の絶縁性能が長期的に維持され、歩留まり及び信頼性の高い半導体装置を得ることができる。

20

#### 【 0 0 5 3 】

##### [ 第二実施形態 ]

本発明の第 2 実施形態による半導体装置及びその製造方法について図 5 を用いて説明する。図 5 は、本実施形態による半導体装置の製造方法における貫通孔の内側面及びその周辺を拡大して示す概略断面図である。なお、上記第一実施形態による半導体装置及びその製造方法と同一の構成要素については同一の符号を付し説明を省略し又は簡略にする。

#### 【 0 0 5 4 】

本実施形態による半導体装置の構造は、第一実施形態による半導体装置の構造と同様である。本実施形態が第一実施形態と異なる点は、半導体装置の製造方法において、第一の絶縁膜 4 1 の形成工程と第二の絶縁膜 4 2 の形成工程との間に半導体基板 S U B を加熱する熱処理工程を行うことである。換言すると、本実施形態では、第一の絶縁膜 4 1 及び第二の絶縁膜 4 2 を順に積層する工程が、第一の絶縁膜 4 1 を形成した後、第二の絶縁膜 4 2 を形成する前に、半導体基板 S U B を加熱する工程を含んでいる。よって、本実施形態による半導体装置の製造方法では、第一の絶縁膜 4 1 の形成工程までの工程、及び第二の絶縁膜 4 2 の形成工程以後の工程は、第一実施形態で述べた工程と同様の工程を用いればよい。半導体基板 S U B を加熱する熱処理は、第二の絶縁膜 4 2 を形成する前の第一の絶縁膜 4 1 を加熱するためのものである。また、この熱処理は、第一の絶縁膜 4 1 又は第二の絶縁膜 4 2 の成膜に用いる C V D 装置等の成膜装置で行ってもよいし、例えばランプアニール装置等の各種アニール装置を用いて行うこともできる。

30

40

#### 【 0 0 5 5 】

図 5 を用いて、本実施形態による半導体装置の製造方法における熱処理を含む工程毎の、貫通孔 6 0 の内側面に形成される絶縁膜のクラック発生状況について詳述する。本実施形態では、以下のように、半導体基板 S U B を加熱する工程における熱処理温度  $T_a$  を、第一の絶縁膜 4 1 の成膜温度  $T_1$  及び第二の絶縁膜 4 2 の成膜温度  $T_2$  よりも高く設定する。

#### 【 0 0 5 6 】

まず、図 5 ( a ) は、半導体基板 S U B の貫通孔 6 0 の内側面を覆うように第一の絶縁膜 4 1 を成膜温度  $T_1$  で形成した直後の貫通孔 6 0 を示す断面模式図である。図 5 ( a ) に示すように、第一実施形態と同様、スキヤロップの凸部 P 1 を起点としてクラック C 1

50

が第一の絶縁膜 4 1 の内部を横断するように発生し、第一の絶縁膜 4 1 表面には凹部 P 2 が生じる。本実施形態では、第一の絶縁膜 4 1 の成膜温度 T 1 は、160 とすることができる。

【0057】

次に、図 5 ( b ) は、第一の絶縁膜 4 1 形成後、第二の絶縁膜 4 2 の形成前に熱処理温度 T a で熱処理を行って第一の絶縁膜 4 1 を加熱した直後の貫通孔 6 0 を示す断面模式図である。本実施形態では、熱処理温度 T a は、200 とすることができる。このように T a > T 1 の関係で処理することで、第一の絶縁膜 4 1 の内部に意図的にクラック C 1 a を新たに誘発させることができる。これにより、第一の絶縁膜 4 1 の潜在するクラック発生個所を減らすとともに、第一の絶縁膜 4 1 の内部応力が緩和される効果を得ることができる。

10

【0058】

なお、半導体基板 S U B を加熱する熱処理時の半導体基板 S U B の加熱速度を、第一の絶縁膜 4 1 の成膜時及び後述の第二の絶縁膜 4 2 の成膜時における半導体基板 S U B の加熱速度よりも大きく設定することが好ましい。半導体基板 S U B を加熱する基板加熱速度が大きいほど半導体基板 S U B は急激に熱変形するため、第一の絶縁膜 4 1 にクラックを誘発して第一の絶縁膜 4 1 の内部に残留する応力を緩和する効果が大きくなる。

【0059】

図 5 ( c ) は、第一の絶縁膜 4 1 上に成膜温度 T 2 で第二の絶縁膜 4 2 を形成した直後の貫通孔 6 0 を示す断面模式図である。図 5 ( c ) に示すように、第一実施形態と同様、第一の絶縁膜 4 1 の凹部 P 2 を起点として、第二の絶縁膜 4 2 の凹部 P 4 に向けて第二の絶縁膜 4 2 の内部を横断するようにクラック C 2 が発生する。本実施形態では、第二の絶縁膜 4 2 の成膜温度 T 2 は、第一の絶縁膜 4 1 の成膜温度 T 1 と同等の 160 とすることができる。第一の絶縁膜 4 1 の成膜温度 T 1 と第二の絶縁膜 4 2 の成膜温度 T 2 とが同等であっても、本実施形態では、第一の絶縁膜 4 1 の形成後の熱処理温度 T a よりも第二の絶縁膜 4 2 の成膜温度 T 2 を低く設定する。T a > T 2 の関係で処理することにより、熱処理時に比べて第二の絶縁膜 4 2 の成膜時の熱変形量が小さいため、貫通孔 6 0 のスキヤロップの凸部 P 1 を起点として第一の絶縁膜 4 1 から新たに発生するクラックを抑制することが可能となる。その結果、第一の絶縁膜 4 1 及び第二の絶縁膜 4 2 の内部に第一の絶縁膜 4 1 の半導体基板 S U B の側の表面から第二の絶縁膜 4 2 の貫通電極 5 0 の側の表面にわたって連なって形成されるクラックの発生を抑制し、更には防止することができる。第二の絶縁膜 4 2 の内部に発生したクラックは、第一の絶縁膜 4 1 の内部に発生したクラックとは不連続になっている。

20

30

【0060】

また、本実施形態のように、第一の絶縁膜 4 1 の形成工程と第二の絶縁膜 4 2 の形成工程との間に熱処理を別途加えることで、第一の絶縁膜 4 1 の成膜温度 T 1 と第二の絶縁膜 4 2 の成膜温度 T 2 とを互いに等しく設定することが可能となる。このように成膜温度を互いに等しく設定することにより、第一の絶縁膜 4 1 と第二の絶縁膜 4 2 とを互いに同一の膜質で形成することができる。つまり、第一の絶縁膜 4 1 の熱膨張係数と第二の絶縁膜 4 2 の熱膨張係数とを互いに等しくすることができる。このため、第一の絶縁膜 4 1 と第二の絶縁膜 4 2 との間の熱膨張係数差によって発生する剥れやクラックを抑制することが可能となる。

40

【0061】

なお、本実施形態においても、第一の絶縁膜 4 1 の成膜温度 T 1 及び第二の絶縁膜 4 2 の成膜温度 T 2 は、第一実施形態と同様に成膜温度 T 1 が成膜温度 T 2 よりも高くなるように設定することができる。つまり、熱処理を行う本実施形態において、第一の絶縁膜 4 1 の成膜温度 T 1 及び第二の絶縁膜 4 2 の成膜温度 T 2 は、成膜温度 T 1 が成膜温度 T 2 以上になるように設定することができる。

【0062】

図 5 ( d ) は、貫通電極 5 0 の形成後の貫通孔 6 0 を示す断面模式図である。本実施形

50

態による半導体装置の製造方法を用いることによっても、図5(d)に示すように、絶縁部材40の内部に絶縁部材40の最下面から最上面にわたって連なって形成されるクラックの発生を抑制又は防止しつつ、貫通電極50を形成することができる。すなわち、第一の絶縁膜41及び第二の絶縁膜42の内部に第一の絶縁膜41の半導体基板SUBの側の表面から第二の絶縁膜42の貫通電極50の側の表面にわたって連なって形成されるクラックの発生を抑制又は防止しつつ、貫通電極50を形成できる。これにより、貫通電極50と半導体基板SUBとの間の絶縁特性や、貫通電極50を構成する導電部材の半導体基板SUBへの拡散防止性能も維持することができる。その結果、半導体装置の歩留まりを高く維持するとともに、長期に渡って信頼性を高く維持することが可能となる。

#### 【0063】

以上のとおり、本実施形態によれば、絶縁部材40の内部に絶縁部材40の最下面から最上面にわたって連なって形成されるクラックの発生が抑制される。このため、本実施形態によれば、貫通電極50と半導体基板SUBとの間の絶縁部材40の絶縁性能が長期的に維持され、歩留まり及び信頼性の高い半導体装置を得ることができる。

#### 【0064】

なお、本実施形態においても、第一実施形態で説明したように、第一の絶縁膜41及び第二の絶縁膜42の形成後に貫通孔60の底部に電極部PADを露出させることもできる。

#### 【0065】

##### [変形実施形態]

本発明は、上記実施形態に限らず、種々の変形が可能である。

例えば、上記実施形態では、絶縁部材40を構成する絶縁膜として第一の絶縁膜41及び第二の絶縁膜42の2層を形成する場合を例に説明したが、これに限定されるものではない。絶縁部材40を構成する絶縁膜として、2層のみならず3層以上の複数層の絶縁膜を形成してもよい。また、複数層の絶縁膜は、互いに同種の絶縁材料からなる絶縁膜であってもよいし、互いに異種の絶縁材料からなる絶縁膜であってもよい。

#### 【0066】

また、上記実施形態では、ボッシュプロセスにより貫通孔60を形成する場合を例に説明したが、これに限定されるものではない。ボッシュプロセス以外のエッチングプロセスその他の加工プロセスであっても、貫通孔60の形成に用いることができる。ボッシュプロセス以外の加工プロセスであっても、貫通孔60の内側面に凹凸を生じさせるものであれば、上記と同様の効果を得ることができる。

#### 【0067】

以上では本発明のいくつかの好適な例を示したが、本発明はこれらの例に限られるものではなく、本発明の趣旨を逸脱しない範囲で、その一部が変更され又は調整されうる。

#### 【0068】

また、本明細書中の各用語は、本発明を説明する目的で用いられたものに過ぎず、その均等物をも含み得、本発明は、その用語の厳密な意味に限定されるものでない。

#### 【符号の説明】

#### 【0069】

- SUB：半導体基板
- TR：半導体素子
- CP L：コンタクトプラグ
- 10：素子分離部
- 20：層間絶縁層
- 30：配線層
- PAD：電極部
- 40：絶縁部材
- 41：第一の絶縁膜
- 42：第二の絶縁膜

10

20

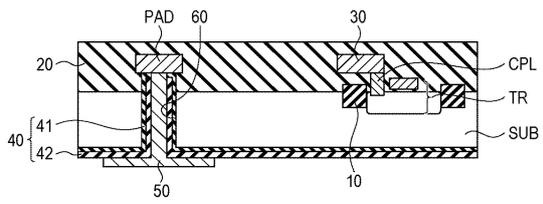
30

40

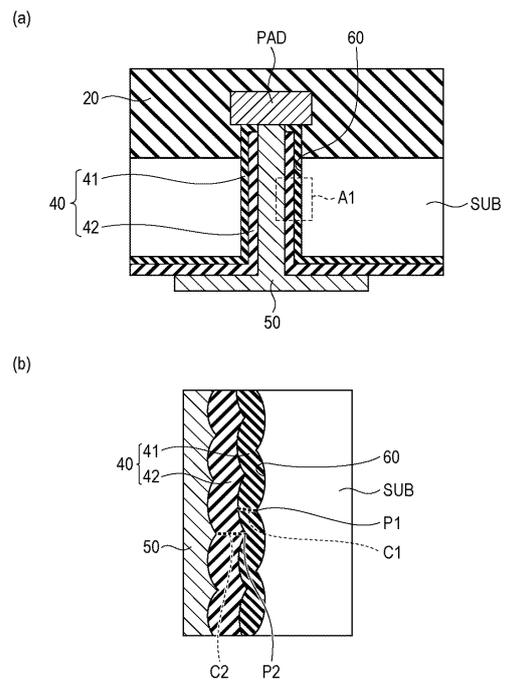
50

50 : 貫通電極  
60 : 貫通孔

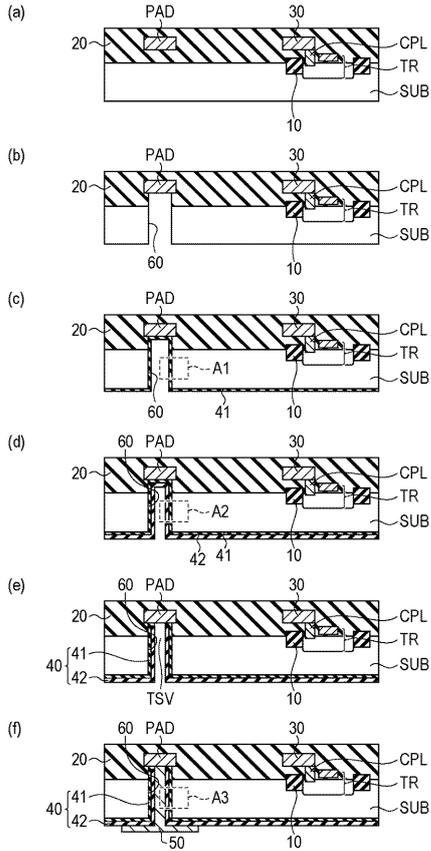
【 図 1 】



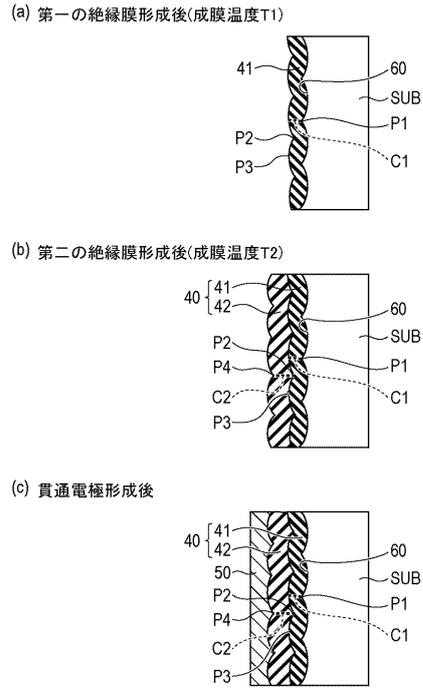
【 図 2 】



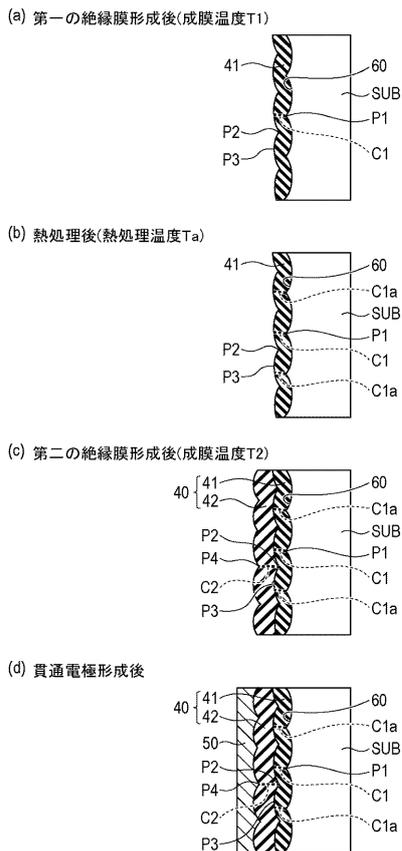
【図3】



【図4】



【図5】



---

フロントページの続き

(51)Int.Cl. F I

H 0 1 L 23/12 (2006.01)

審査官 佐藤 靖史

(56)参考文献 特開2010-161215(JP,A)  
米国特許出願公開第2016/0148858(US,A1)  
米国特許第05851603(US,A)  
特開平02-022845(JP,A)  
米国特許出願公開第2003/0073297(US,A1)  
米国特許出願公開第2006/0290001(US,A1)  
米国特許出願公開第2013/0323883(US,A1)  
特開2001-250954(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 2 0 5  
H 0 1 L 2 1 / 3 1 6  
H 0 1 L 2 1 / 3 1 8  
H 0 1 L 2 1 / 7 6 8  
H 0 1 L 2 3 / 1 2  
H 0 1 L 2 3 / 5 2 2