



(12)发明专利

(10)授权公告号 CN 105719599 B

(45)授权公告日 2018.06.29

(21)申请号 201610244561.5

G09G 3/3266(2016.01)

(22)申请日 2016.04.18

G11C 19/28(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 105719599 A

(56)对比文件

- CN 101527129 A, 2009.09.09,
- CN 102903323 A, 2013.01.30,
- CN 104299590 A, 2015.01.21,
- CN 104978922 A, 2015.10.14,
- US 2014/0119493 A1, 2014.05.01,
- US 2001/0017609 A1, 2001.08.30,

(43)申请公布日 2016.06.29

(73)专利权人 京东方科技集团股份有限公司
 地址 100015 北京市朝阳区酒仙桥路10号
 专利权人 鄂尔多斯市源盛光电有限责任公司

审查员 张婕

(72)发明人 王博

(74)专利代理机构 北京鼎佳达知识产权代理事
 务所(普通合伙) 11348

代理人 王伟锋 刘铁生

(51)Int.Cl.

G09G 3/3225(2016.01)

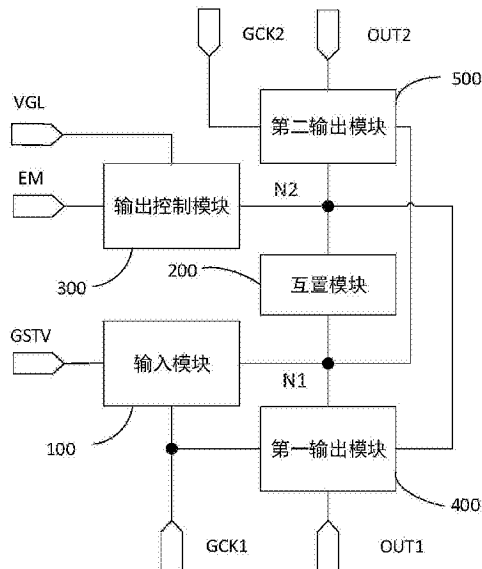
权利要求书2页 说明书8页 附图6页

(54)发明名称

移位寄存器电路单元、栅极驱动电路和显示装置

(57)摘要

本发明公开了一种移位寄存器单元、栅极驱动电路和显示装置。单元包括：输入模块用于在第一时钟信号为第一电平时将输入端所接信号接入第一节点；互置模块用于在第一节点处为第一电平时将第二节点处置为第二电平，在第二节点处为第一电平时将第一节点处置为第二电平；输出控制模块用于在控制端所接信号控制下将第二节点处置为第二电平；第一输出模块用于在第一节点处为第一电平时将第一时钟信号接入第一输出端，在第二节点处为第一电平时将第一输出端处置为第二电平；第二输出模块用于在第一节点处为第一电平时将第二时钟信号接入第二输出端，在第二节点处为第一电平时将第二输出端处置为第二电平。本发明可缩小布局空间以及降低制作成本。



1. 一种移位寄存器单元,其特征在于,包括输入端、控制端、第一输出端和第二输出端,还包括:

分别连接所述输入端和第一节点的输入模块,用于在第一时钟信号为第一电平时将所述输入端所连接的信号接入至所述第一节点;

分别连接所述第一节点和第二节点的互置模块,用于在所述第一节点处为第一电平时将所述第二节点处置为第二电平,在所述第二节点处为第一电平时将所述第一节点处置为第二电平;

分别连接所述控制端和所述第二节点的输出控制模块,用于在所述控制端所连接的信号的控制下将所述第二节点处置为第二电平;

分别连接所述第一节点、所述第二节点和所述第一输出端的第一输出模块,用于在所述第一节点处为第一电平时将第一时钟信号接入至所述第一输出端,在第二节点处为第一电平时将所述第一输出端处置为第二电平;

分别连接所述第一节点、所述第二节点和所述第二输出端的第二输出模块,用于在所述第一节点处为第一电平时将第二时钟信号接入至所述第二输出端,在第二节点处为第一电平时将所述第二输出端处置为第二电平;

其中,所述第一时钟信号与第二时钟信号分别为正相时钟信号与反相时钟信号中的一个。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,所述输入模块包括第一晶体管;

所述第一晶体管的栅极连接所述第一时钟信号,源极和漏极中的一个连接所述输入端,另一个连接所述第一节点。

3. 根据权利要求1所述的移位寄存器单元,其特征在于,所述互置模块包括第二晶体管和第三晶体管,其中:

所述第二晶体管的栅极连接所述第一节点,源极和漏极中的一个连接第二电平电压线,另一个连接所述第二节点;

所述第三晶体管的栅极连接所述第二节点,源极和漏极中的一个连接第二电平电压线,另一个连接所述第一节点。

4. 根据权利要求1所述的移位寄存器单元,其特征在于,所述输出控制模块包括第四晶体管;

所述第四晶体管的栅极连接所述控制端,源极和漏极中的一个连接所述第二节点,另一个连接第一电平电压线。

5. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第一输出模块包括第五晶体管和第六晶体管,其中:

所述第五晶体管的栅极连接所述第一节点,源极和漏极中的一个连接所述第一输出端,另一个连接所述第一时钟信号;

所述第六晶体管的栅极连接所述第二节点,源极和漏极中的一个连接第二电平电压线,另一个连接所述第一输出端。

6. 根据权利要求5所述的移位寄存器单元,其特征在于,所述第一输出模块还包括第一电容和第二电容,其中:

所述第一电容的第一端连接所述第一节点,第二端连接所述第一输出端;

所述第二电容的第一端连接所述第二节点,第二端连接第二电平电压线。

7. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第二输出模块包括第七晶体管 and 第八晶体管,其中:

所述第七晶体管的栅极连接所述第一节点,源极和漏极中的一个连接所述第二输出端,另一个连接所述第二时钟信号;

所述第八晶体管的栅极连接所述第二节点,源极和漏极中的一个连接第二电平电压线,另一个连接所述第二输出端。

8. 根据权利要求7所述的移位寄存器单元,其特征在于,所述第二输出模块还包括第三电容和第四电容,其中:

所述第三电容的第一端连接所述第一节点,第二端连接所述第二输出端;

所述第四电容的第一端连接所述第二节点,第二端连接第二电平电压线。

9. 一种栅极驱动电路,其特征在于,包括多级如权利要求1至8中任一项所述的移位寄存器单元;

除第一级之外,任一级移位寄存器单元的输入端连接上一级移位寄存器单元的第一输出端;除第一级之外,任一级移位寄存器单元的第一时钟信号与上一级移位寄存器单元的第一时钟信号分别为正相时钟信号与反相时钟信号中的一个。

10. 一种显示装置,其特征在于,包括如权利要求9所述的栅极驱动电路。

移位寄存器电路单元、栅极驱动电路和显示装置

技术领域

[0001] 本发明涉及显示技术领域,具体涉及一种移位寄存器单元、栅极驱动电路和显示装置。

背景技术

[0002] 有源矩阵有机发光二极管(Active-Matrix Organic Light Emitting Diode, AMOLED)作为有机发光显示(Organic Light-Emitting Display, OLED)中的一种应用,具有高亮度、宽视角、响应速度快、低功耗等优点,已广泛地被应用于高性能显示领域中。现有技术中,大部分OLED产品采用栅极驱动电路为每一行的像素电路的提供栅极驱动信号,且每一行的每一种栅极驱动信号均各自通过一个移位寄存器单元生成。由此,虽然能够提供所需要的多路栅极驱动信号,但是栅极驱动电路内部电路存在着电路结构和信号走线的冗余,造成布局空间不必要地扩大以及制作成本的增加。

发明内容

[0003] 针对现有技术中的缺陷,本发明提供了一种移位寄存器单元、栅极驱动电路和显示装置,以解决现有技术中驱动电路内部电路存在着电路结构和信号走线的冗余,造成布局空间不必要地扩大以及制作成本的增加的技术问题。

[0004] 第一方面,本发明提供了一种移位寄存器单元,包括输入端、控制端、第一输出端和第二输出端,还包括:

[0005] 分别连接所述输入端和第一节点的输入模块,用于在第一时钟信号为第一电平时将所述输入端所连接的信号接入至所述第一节点;

[0006] 分别连接所述第一节点和第二节点的互置模块,用于在所述第一节点处为第一电平时将所述第二节点处置为第二电平,在所述第二节点处为第一电平时将所述第一节点处置为第二电平;

[0007] 分别连接所述控制端和所述第二节点的输出控制模块,用于在所述控制端所连接的信号的控制下将所述第二节点处置为第二电平;

[0008] 分别连接所述第一节点、所述第二节点和所述第一输出端的第一输出模块,用于在所述第一节点处为第一电平时将第一时钟信号接入至所述第一输出端,在第二节点处为第一电平时将所述第一输出端处置为第二电平;

[0009] 分别连接所述第一节点、所述第二节点和所述第二输出端的第二输出模块,用于在所述第一节点处为第一电平时将第二时钟信号接入至所述第二输出端,在第二节点处为第一电平时将所述第二输出端处置为第二电平;

[0010] 其中,所述第一时钟信号与第二时钟信号分别为正相时钟信号与反相时钟信号中的一个。

[0011] 可选地,所述输入模块包括第一晶体管;

[0012] 所述第一晶体管的栅极连接所述第一时钟信号,源极和漏极中的一个连接所述输

入端,另一个连接所述第一节点。

[0013] 可选地,所述互置模块包括第二晶体管和第三晶体管,其中:

[0014] 所述第二晶体管的栅极连接所述第一节点,源极和漏极中的一个连接第二电平电压线,另一个连接所述第二节点;

[0015] 所述第三晶体管的栅极连接所述第二节点,源极和漏极中的一个连接第二电平电压线,另一个连接所述第一节点。

[0016] 可选地,所述输出控制模块包括第四晶体管;

[0017] 所述第四晶体管的栅极连接所述控制端,源极和漏极中的一个连接所述第二节点,另一个连接第一电平电压线。

[0018] 可选地,所述第一输出模块包括第五晶体管和第六晶体管,其中:

[0019] 所述第五晶体管的栅极连接所述第一节点,源极和漏极中的一个连接所述第一输出端,另一个连接所述第一时钟信号;

[0020] 所述第六晶体管的栅极连接所述第二节点,源极和漏极中的一个连接第二电平电压线,另一个连接所述第一输出端。

[0021] 可选地,所述第一输出模块还包括第一电容和第二电容,其中:

[0022] 所述第一电容的第一端连接所述第一节点,第二端连接所述第一输出端;

[0023] 所述第二电容的第一端连接所述第二节点,第二端连接第二电平电压线。

[0024] 可选地,所述第二输出模块包括第七晶体管和第八晶体管,其中:

[0025] 所述第七晶体管的栅极连接所述第一节点,源极和漏极中的一个连接所述第二输出端,另一个连接所述第二时钟信号;

[0026] 所述第八晶体管的栅极连接所述第二节点,源极和漏极中的一个连接第二电平电压线,另一个连接所述第二输出端。

[0027] 可选地,所述第二输出模块还包括第三电容和第四电容,其中:

[0028] 所述第三电容的第一端连接所述第一节点,第二端连接所述第二输出端;

[0029] 所述第四电容的第一端连接所述第二节点,第二端连接第二电平电压线。

[0030] 第二方面,本发明还提供了一种栅极驱动电路,包括多级上文所述的移位寄存器单元;

[0031] 除第一级之外,任一级移位寄存器单元的输入端连接上一级移位寄存器单元的第一输出端;除第一级之外,任一级移位寄存器单元的第一时钟信号与上一级移位寄存器单元的第一时钟信号分别为正相时钟信号与反相时钟信号中的一个。

[0032] 第三方面,本发明还提供了一种显示装置,包括上文所述的栅极驱动电路

[0033] 由上述技术方案可知,本发明提出的移位寄存器单元基于输入模块、互置模块和输出控制模块,将输入端和控制端所接信号转换为第一节点处和第二节点处的一对开关信号(两个节点处不同时为第一电平)。从而,第一输出模块与第二输出模块可以在这一对开关信号的控制下分别利用第一时钟信号和第二时钟信号在第一输出端和第二输出端处形成输出信号。由此,本发明可以在一个移位寄存器单元中实现两个栅极驱动信号的输出,相比于采用两个移位寄存器单元分别输出的方式可以简化电路结构,有利于布局空间的缩小和制作成本的降低。

附图说明

[0034] 通过参考附图会更加清楚的理解本发明的特征和优点,附图是示意性的而不应该理解为对本发明进行任何限制,在附图中:

[0035] 图1是本发明实施例提供的一种移位寄存器单元结构框图;

[0036] 图2是图1所示的一种移位寄存器单元的部分电路结构图;

[0037] 图3是图2所示的一种移位寄存器单元的电路时序图;

[0038] 图4是图1所示的一种移位寄存器单元的电路仿真时序图;

[0039] 图5是本发明实施例提供的一种栅极驱动电路的结构框图;

[0040] 图6是本发明实施例提供的一种栅极驱动电路中控制端信号的时序图。

具体实施方式

[0041] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明的一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动的前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0042] 图1是本发明实施例提供的一种移位寄存器单元结构框图,参见图1,该移位寄存器单元,其特征在于,包括输入端GSTV、控制端EM、第一输出端OUT1和第二输出端OUT2,还包括:

[0043] 分别连接所述输入端GSTV和第一节点N1的输入模块100,用于在第一时钟信号GCK1为第一电平时将所述输入端GSTV所连接的信号接入至所述第一节点N1;

[0044] 分别连接所述第一节点N1和第二节点N2的互置模块200,用于在所述第一节点N1处为第一电平时将所述第二节点N2处置为第二电平,在所述第二节点N2处为第一电平时将所述第一节点N1处置为第二电平;

[0045] 分别连接所述控制端EM和所述第二节点N2的输出控制模块300,用于在所述控制端EM所连接的信号的控制下将所述第二节点N2处置为第二电平;

[0046] 分别连接所述第一节点N1、所述第二节点N2和所述第一输出端OUT1的第一输出模块400,用于在所述第一节点N1处为第一电平时将第一时钟信号GCK1接入至所述第一输出端OUT1,在所述第二节点N2处为第一电平时将所述第一输出端OUT1处置为第二电平;

[0047] 分别连接所述第一节点N1、所述第二节点N2和所述第二输出端OUT2的第二输出模块500,用于在所述第一节点N1处为第一电平时将第二时钟信号GCK2接入至所述第二输出端OUT2,在所述第二节点N2处为第一电平时将所述第二输出端OUT2处置为第二电平;

[0048] 其中,所述第一时钟信号GCK1与第二时钟信号GCK2分别为正相时钟信号与反相时钟信号中的一个。

[0049] 应理解的是,本文中所述的“第一电平”以及“第二电平”分别是高电平与低电平中的一个,且第一电平为高电平时第二电平为低电平,第一电平为低电平时第二电平为高电平。上述高电平与低电平是指相对于彼此而言较高和较低的两个预设电位,本领域技术人员可以根据所选用的器件及所采用的电路结构进行设置,本发明对此不做限制。

[0050] 应理解的是,本文中所述的“正相时钟信号”以及“反相时钟信号”都是一对互为反

相信号的时钟信号,正相时钟信号为高电平时反相时钟信号为低电平,正相时钟信号为低电平时反相时钟信号为高电平。本领域技术人员可以根据所选用的器件及所采用的电路结构进行设置,本发明对此不做限制。

[0051] 为了更清楚地说明上述各模块的结构与功能,以第一电平为低电平、第二电平为高电平为例,下面对该移位寄存器单元的工作原理作一简述,参见图1:

[0052] 第一阶段,第一时钟信号GCK1为低电平、第二时钟信号GCK2为高电平,且控制端EM所接信号刚由低电平转为高电平,输入端GSTV所接信号刚由高电平转为低电平。此时,由于控制端EM所接信号为高电平,因此输出控制模块300不对第二节点N2产生作用;而在第一时钟信号GCK1的低电平作用下,输入模块100将第一节点N1处置为低电平;在第一节点N1处的低电平作用下,一方面互置模块200将第二节点N2处置为高电平,另一方面第一输出模块400将向第一输出端OUT1输出第一时钟信号GCK1,第二输出模块500将向第二输出端OUT2输出第二时钟信号GCK2;

[0053] 第二阶段,第一时钟信号GCK1为高电平、第二时钟信号GCK2为低电平,输入端GSTV所接信号为高电平。此时,由于控制端EM所接信号为高电平,因此输出控制模块300不对第二节点N2产生作用;在第一时钟信号GCK1的高电平作用下,输入模块100不对第一节点N1产生作用;而由于第一输出模块400存储了第一时钟信号GCK1在前一阶段的电位,第二输出模块500存储了第二时钟信号GCK2在前一阶段的电位,因此,第一输出端OUT1依然输出第一时钟信号GCK1,第二输出端OUT2依然输出第二时钟信号GCK2;

[0054] 第三阶段,第一时钟信号GCK1为低电平、第二时钟信号GCK2为高电平,且控制端EM所接信号为低电平。此时,由于输入端GSTV所接信号为高电平,因此输入模块100不对第一节点N1产生作用;而在控制端EM所接信号为低电平的作用下,输出控制模块300将第二节点N2处置为低电平;在第二节点N2的低电平作用下,一方面互置模块200将第一节点N1处置为高电平,另一方面第一输出模块400将向第一输出端OUT1输出高电平,第二输出模块500将向第二输出端OUT2输出高电平。

[0055] 可以理解的是,上述各模块均可以通过包括电控开关元件的电路来实现,其中的电控开关元件可以是任意一种由电信号控制实现两电路节点间电压变化的电子器件。

[0056] 可以看出,本发明实施例能基于输入模块100、互置模块200和输出控制模块300,将输入端GSTV和控制端EM所接信号转换为第一节点N1处和第二节点N2处的一对开关信号(两个节点处不同时为第一电平)。从而,第一输出模块400与第二输出模块500可以在这一对开关信号的控制下分别利用第一时钟信号GCK1和第二时钟信号GCK2在第一输出端OUT1和第二输出端OUT2处形成输出信号。由此,本发明实施例可以在一个移位寄存器单元中实现两个栅极驱动信号的输出,相比于采用两个移位寄存器单元分别输出的方式可以简化电路结构,有利于布局空间的缩小和制作成本的降低。

[0057] 作为一种具体的示例,图2示出了本发明实施例提供的一种移位寄存器单元的电路结构示意图。如图2所示:

[0058] 作为一种输入模块内部结构的具体示例,本发明实施例中的输出模块内设有第一晶体管T1。其中:

[0059] 第一晶体管T1的栅极连接第一时钟信号GCK1,源极和漏极中的一个连接所述输入端GSTV,另一个连接所述第一节点N1。

[0060] 需要说明的是,本发明实施例中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其他特性相同的器件,在采用的晶体管的源极、漏极具有对称结构时,源极与漏极可以不作特别区分。作为一种示例,本发明实施例中每个晶体管栅极连接低电平时该晶体管开启,且不区分每个晶体管的源极与漏极。本领域技术人员可以根据相应的功能在具体应用电路中确定每个晶体管的源极与漏极,在此不再赘述。

[0061] 可理解的是,本发明实施例中由于晶体管采用低电平开启,因此第一电平为低电平,可来源于第一电平电压线VGL;第二电平为高电平,可来源于第二电平电压线VGH。由此,在第一时钟信号GCK1和输入端GSTV所接信号均为低电平时,第一晶体管T1开启,以形成由第一电平电压线VGL流向第一节点N1的电流,实现输入模块100将第一节点N1处置为低电平的功能。

[0062] 作为一种互置模块内部结构的具体示例,本发明实施例中互置模块200内设有第二晶体管T2和第三晶体管T3,其中:

[0063] 所述第二晶体管T2的栅极连接所述第一节点N1,源极和漏极中的一个连接第二电平电压线VGH,另一个连接所述第二节点N2

[0064] 所述第三晶体管T3的栅极连接所述第二节点N2,源极和漏极中的一个连接第二电平电压线VGH,另一个连接所述第一节点N1。

[0065] 由此,可以在第一节点N1为低电平时,第二晶体管T2开启,以形成由第二电平电压线VGH流向第二节点N2的电流,实现互置模块200将第二节点N2处置为高电平的功能;可以在第二节点N2为低电平时,第三晶体管T3开启,以形成由第二电平电压线VGH流向第一节点N1的电流,实现互置模块200将第一节点N1处置为高电平的功能。

[0066] 作为一种输出控制模块内部结构的具体示例,本发明实施例中输出控制模块300内设有第四晶体管T4。该第四晶体管T4的栅极连接所述控制端EM,源极和漏极中的一个连接所述第二节点N2,另一个连接第一电平电压线VGL。

[0067] 由此,在控制端EM所接信号为低电平时,第四晶体管T4开启,以形成由第一电平电压线VGL流向第一节点N1的电流,实现输出控制模块300将第一节点N1处置为低电平的功能。

[0068] 作为一种第一输出模块内部结构的具体示例,本发明实施例中第一输出模块400内设有第五晶体管T5和第六晶体管T6。该第五晶体管T5的栅极连接所述第一节点N1,源极和漏极中的一个连接所述第一输出端OUT1,另一个连接所述第一时钟信号GCK1;

[0069] 所述第六晶体管T6的栅极连接所述第二节点N2,源极和漏极中的一个连接第二电平电压线VGH,另一个连接所述第一输出端OUT1。

[0070] 由此,在第一节点N1为低电平时,第五晶体管T5开启,以使第一时钟信号GCK1接入至第一输出端OUT1;在第二电平为低电平时,第六晶体管T6开启,以形成由第二电平电压线VGH流向第一输出端OUT1的电流,实现第一输出模块400将第一输出端OUT1处置为高电平的功能。

[0071] 作为另一种第一输出模块内部结构的具体示例,本发明实施例中第一输出模块400内设有第五晶体管T5、第六晶体管T6、第一电容C1和第二电容C2;

[0072] 该第五晶体管T5的栅极连接所述第一节点N1,源极和漏极中的一个连接所述第一输出端OUT1,另一个连接所述第一时钟信号GCK1;

[0073] 所述第一电容C1的第一端连接所述第一节点N1,第二端连接所述第一输出端OUT1;

[0074] 所述第六晶体管T6的栅极连接所述第二节点N2,源极和漏极中的一个连接第二电平电压线VGH,另一个连接所述第一输出端OUT1;

[0075] 所述第二电容C2的第一端连接所述第二节点N2,第二端连接第二电平电压线VGH。

[0076] 作为一种第二输出模块内部结构的具体示例,本发明实施例中第二输出模块500内设有第七晶体管T7和第八晶体管T8。

[0077] 该第七晶体管T7的栅极连接所述第一节点N1,源极和漏极中的一个连接所述第二输出端OUT2,另一个连接所述第二时钟信号GCK2;

[0078] 所述第八晶体管T8的栅极连接所述第二节点N2,源极和漏极中的一个连接第二电平电压线VGH,另一个连接所述第二输出端OUT2。

[0079] 由此,在第一节点N1处为低电平时,第七晶体管T7开启,以使第二时钟信号GCK1接入至第二输出端OUT2;在第二电平为低电平时,第八晶体管T8开启,以形成由第二电平电压线VGH流向第二输出端OUT2的电流,实现第二输出模块500将第二输出端OUT2处置为高电平的功能。

[0080] 作为另一种第二输出模块500内部结构的具体示例,本发明实施例中第二输出模块500内设有第七晶体管T7、第八晶体管T8、第三电容C3和第四电容C4。

[0081] 该第七晶体管T7的栅极连接所述第一节点N1,源极和漏极中的一个连接所述第二输出端OUT2,另一个连接所述第二时钟信号GCK2;

[0082] 所述第三电容C3的第一端连接所述第一节点N1,第二端连接所述第二输出端OUT2;

[0083] 所述第八晶体管T8的栅极连接所述第二节点N2,源极和漏极中的一个连接第二电平电压线VGH,另一个连接所述第二输出端OUT2。

[0084] 所述第四电容C4的第一端连接所述第二节点N2,第二端连接第二电平电压线VGH。

[0085] 图3是图2所示的一种移位寄存器单元的电路时序图。如图3所示,本发明实施例提供的一种移位寄存器单元的工作过程,包括:

[0086] 第I阶段:控制端EM所接信号为高电位,第四晶体管T4处于关闭状态,因此输出控制模块300不对第二节点N2产生作用;此时的第一时钟信号GCK1为低电平,第一晶体管T1开启,第一节点N1处电位由输入模块100所接低电平的写入被置为低电平,一方面,第二晶体管T2开启,第二节点N2处电位由于第二电平电压线VGH所接高电平电压的写入被置为高电平,第六晶体管T6和第八晶体管T8处于关闭状态;另一方面,第五晶体管T5和第七晶体管T7开启,第一时钟信号GCK1通过第五晶体管T5将第一输出端OUT1输出的信号保持为低电平;第二时钟信号GCK2通过第七晶体管T7将第二输出端OUT2输出的信号保持为高电平;另外,第一电容C1和第三电容C3的两极之间具有电压差对第一电容C1和第三电容C3充电。

[0087] 第II阶段:第一时钟信号GCK1和控制端EM所接信号为均高电平,第一晶体管T1和第四晶体管T4均处于关闭状态,因此输出控制模块300不对第二节点N2产生作用,输入模块100不对第一节点N1产生作用;但由于在第I阶段第一电容C1和第三电容C3已经充电,会使第一节点N1保持为低电位状态,第五晶体管T5和第七晶体管T7开启,第一输出端OUT1仍然输出第一时钟信号GCK1,第二输出端OUT2仍然输出第二时钟信号GCK2;

[0088] 第III阶段:第一时钟信号GCK1为低电位,输入端GSTV所接GSTV信号为高电位,第一晶体管T1开启,第一节点N1处电位由于GSTV信号的写入被置为高电平,第六晶体管T6和第八晶体管T8处于关闭状态;控制端EM所接信号为低电位,第四晶体管T4开启,第二节点N2处电位由于第一电平电压线VGL所接低电平电压的写入被置为低电平,第六晶体管T6和第八晶体管T8开启,第一输出端OUT1和第二输出端OUT2均输出第二电平电压线VGH所接高电平。

[0089] 本发明实施例还提供了图4所示的电路仿真时序图。如图4所示,可以看出,图4中各信号的波形图与图3中各信号的波形图一致,从而说明本发明实施例提供的一种移位寄存器单元能够按照预期的时序正常工作,达到预期的技术效果。

[0090] 本发明实施例提供的一种移位寄存器单元电路采用8个晶体管以及4个电容即可实现。

[0091] 其中第五晶体管T5、第六晶体管T6、第七晶体管T7与第八晶体管T8作为输出晶体管从第一输出端OUT1与第二输出端OUT2输出信号。也就是说,本发明实施例可以在一个移位寄存器单元电路输出两个栅极驱动信号。与采用两个移位寄存器单元分别输出的方式相比较,本发明实施例可以简化电路结构,有利于缩小布局空间和降低制作成本。另外,第一输出端EM输入的信号又可以作为后一级的输入,从而实现两个栅极驱动信号相关联,保证输出信号的可靠性。

[0092] 图5是本发明实施例提供的一种栅极驱动电路的结构框图。如图5所示,该栅极驱动电路包括多级如上文所述的任一项移位寄存器单元(输入端记为GSTV₁、…、GSTV_{n-1}、GSTV_n、…;第一输出端记为OUT₁、OUT₂、…、OUT_{n-1}、OUT_n、OUT_{n+1}、…)。除第一级之外,任一级移位寄存器单元的输入端GSTV_n连接上一级移位寄存器单元的第一输出端OUT_{n-1};而且为了保证多级移位寄存器单元之间时序一致,除第一级之外,任一级移位寄存器单元的第一时钟信号与上一级移位寄存器单元的第一时钟信号分别为正相时钟信号与反相时钟信号中的一个(即相邻两级移位寄存器单元中,第一时钟信号与第二时钟信号的设置方式是相反的)。其中,n为大于1的正整数。

[0093] 根据图3所示出的移位寄存器单元的工作时序,可以理解的是,每一级移位寄存器单元的控制端EM都需要连接在第I阶段和第II阶段为高电平的信号;然而,为每一级移位寄存器单元的控制端EM都配置一如图3所示的信号需要占据大量的电路布局空间。由此,为了节省控制端EM所接信号的布线空间,作为一种各级移位寄存器单元的控制端EM所接信号的具体示例,图6是本发明实施例提供的一种栅极驱动电路中EM信号的时序图。参见图6:

[0094] 本发明实施例中,为一个栅极驱动电路设置第一控制信号EM1、第二控制信号EM2、第三控制信号EM3和第四控制信号EM4。可以看出,EM1至EM4为相位依次滞后四分之一周期的周期信号,每个周期内高电平和低电平的时间各占一半。

[0095] 从而,对于任一正整数n,第4n级的移位寄存器单元的控制端EM连接第一控制信号EM1、第4n+1级的移位寄存器单元的控制端EM连接第二控制信号EM2、第4n+2级的移位寄存器单元的控制端EM连接第三控制信号EM3、第4n+3级的移位寄存器单元的控制端EM连接第三控制信号EM4。

[0096] 可以理解的是,在输入端GSTV保持为低电平的期间,控制端EM处电平的高低变化并不会影响输出端处的电平;所以,在不影响其他移位寄存器单元的正常工作的情况下,可

以将控制端EM所接信号设置为周期信号,通过高电平错开的EM1至EM4为每一级移位寄存器单元提供所需要的控制端EM输入,从而通过四条或四条以上的控制信号线来实现所有移位寄存器单元的如图3所示的输入输出时序。

[0097] 基于同样的发明构思,本发明实施例提供一种包括上述任意一种栅极驱动电路的显示装置。

[0098] 该显示装置可以为:显示面板、手机、平板电脑、电视机、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。该显示装置由于包括上述任意一种栅极驱动电路,因而可以解决同样的技术问题,并取得相同的技术效果,在此不再一一赘述。

[0099] 本发明的说明书中,说明了大量具体细节。然而,能够理解,本发明的实施例可以在没有这些具体细节的情况下实践。在一些实例中,并未详细示出公知的方法、结构和技术,以便不模糊对本说明书的理解。

[0100] 类似地,应当理解,为了精简本发明公开并帮助理解各个发明方面中的一个或多个,在上面对本发明的示例性实施例的描述中,本发明的各个特征有时被一起分组到单个实施例、图、或者对其的描述中。然而,并不应将该公开的方法解释呈反映如下意图:即所要求保护的本发明要求比在每个权利要求中所明确记载的特征更多的特征。更确切地说,如权利要求书所反映的那样,发明方面在于少于前面公开的单个实施例的所有特征。因此,遵循具体实施方式的权利要求书由此明确地并入该具体实施方式,其中每个权利要求本身都作为本发明的单独实施例。

[0101] 在本发明的描述中需要说明的是,术语“上”、“下”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限定。除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应作广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0102] 还需要说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限定的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0103] 以上实施例仅用以说明本发明的技术方案,而非对其限定;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围。

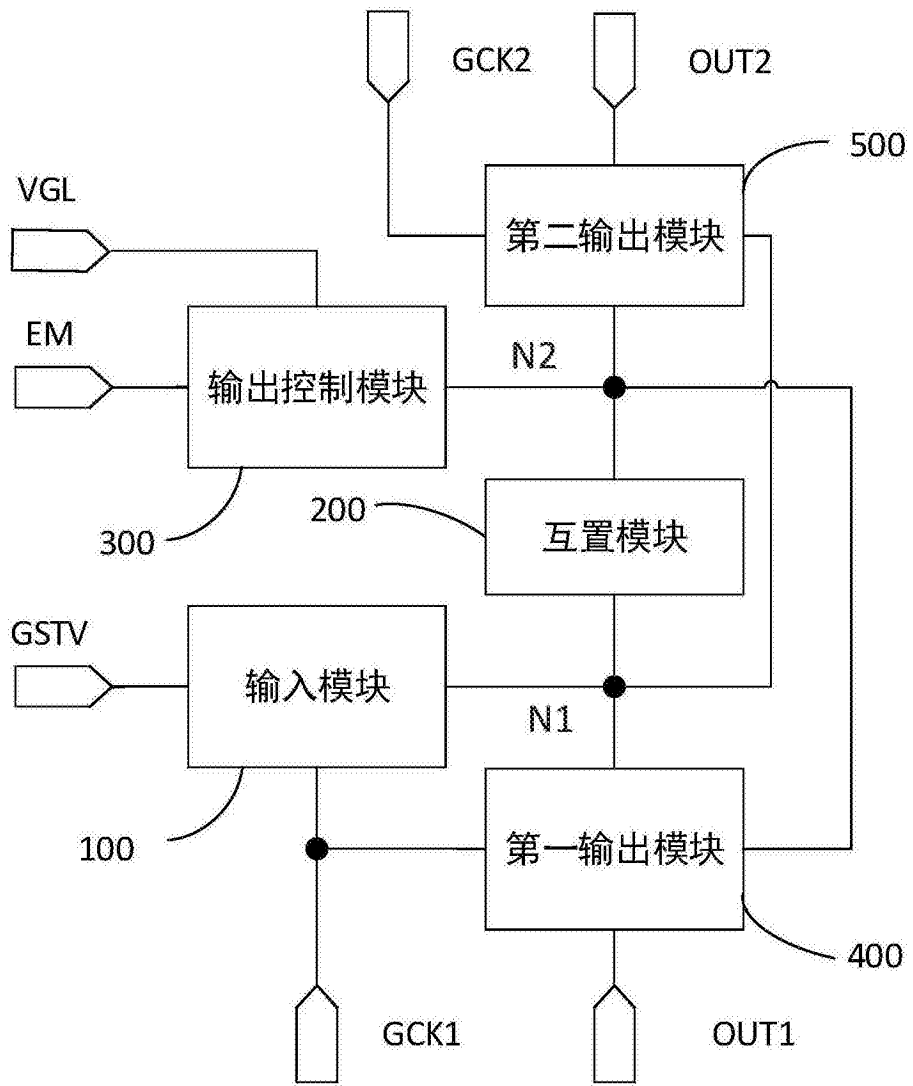


图1

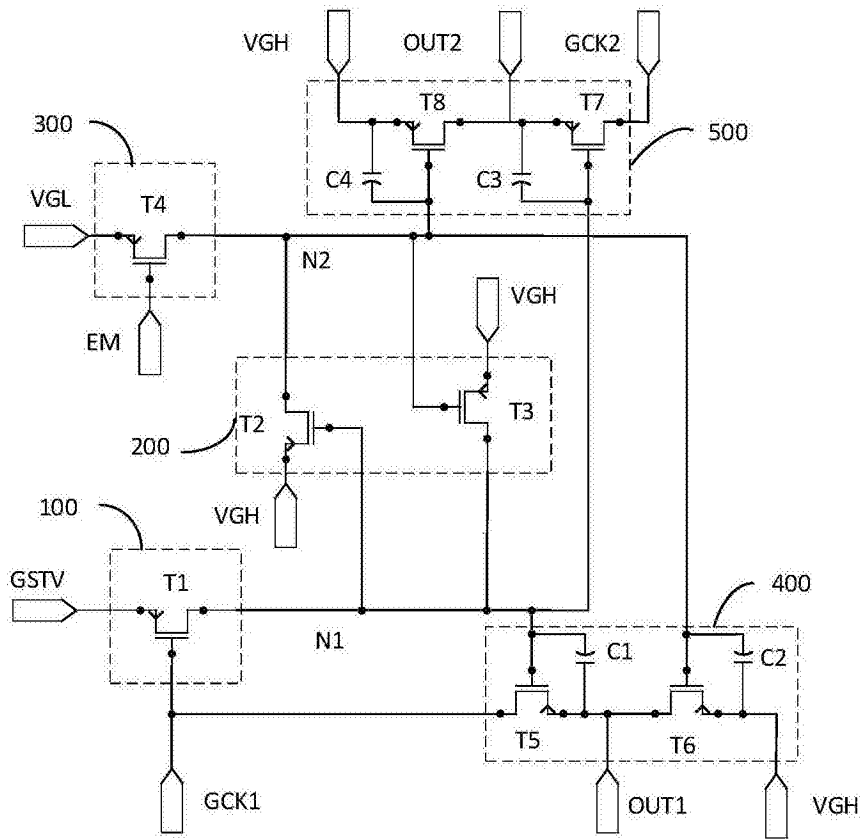


图2

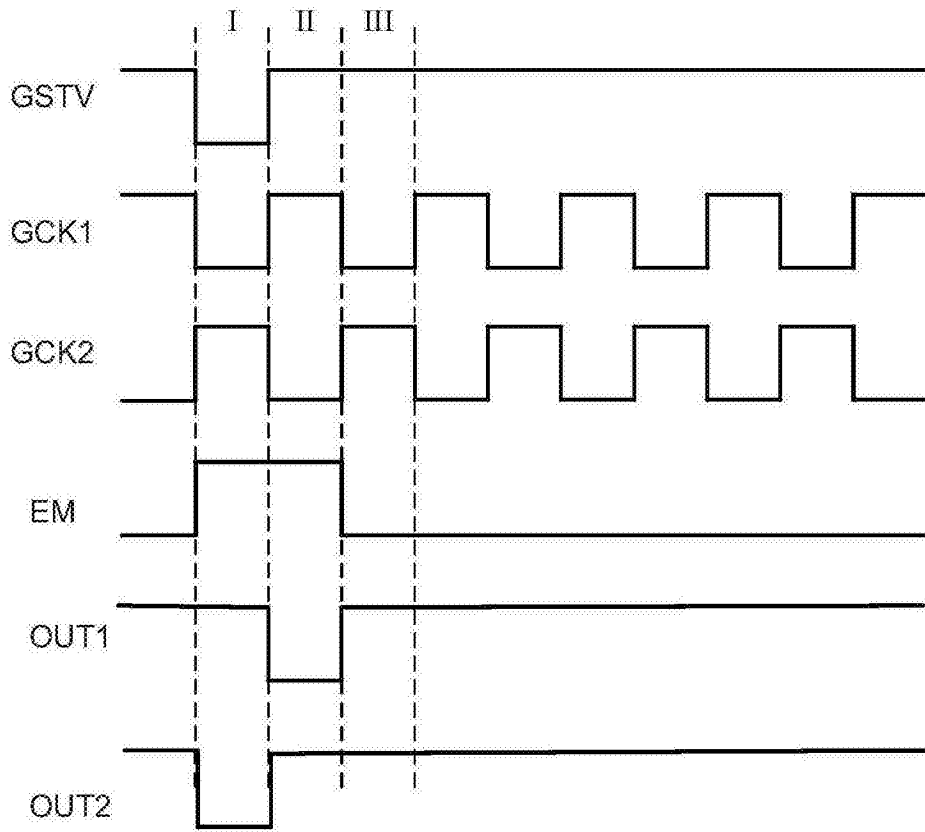


图3

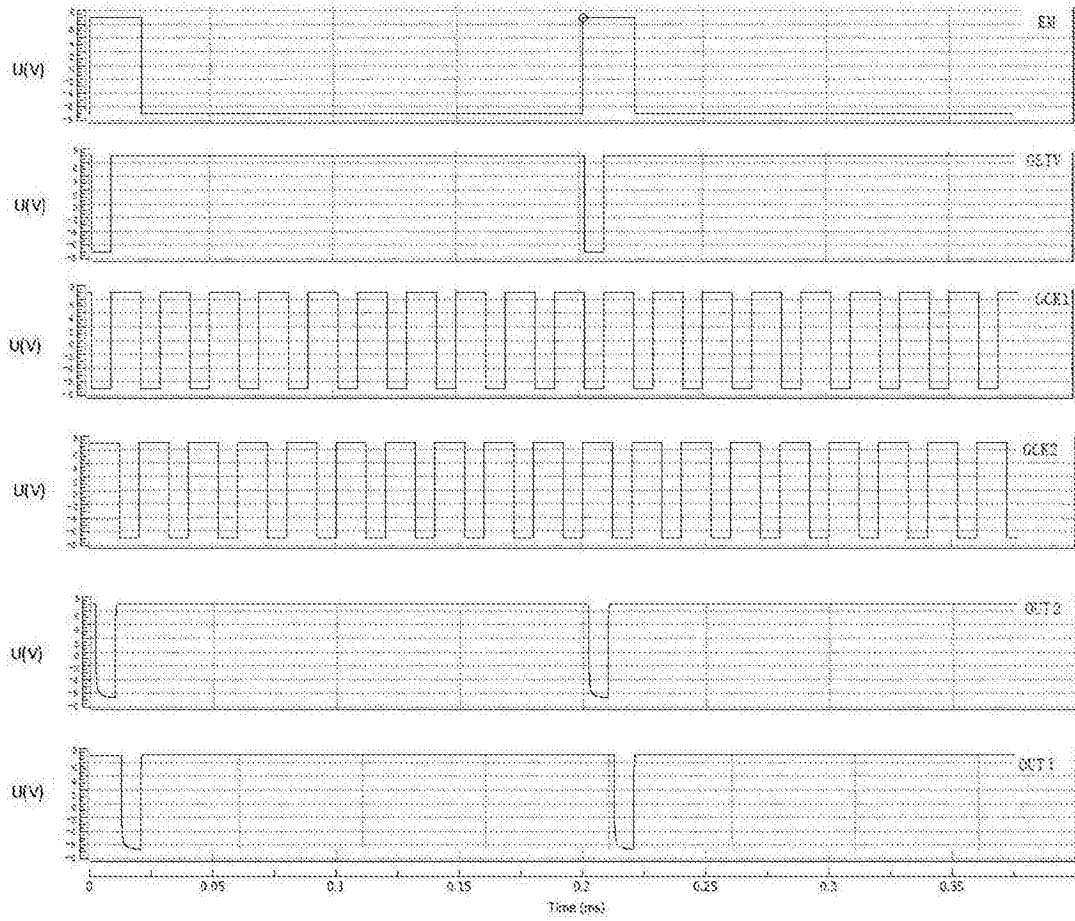


图4

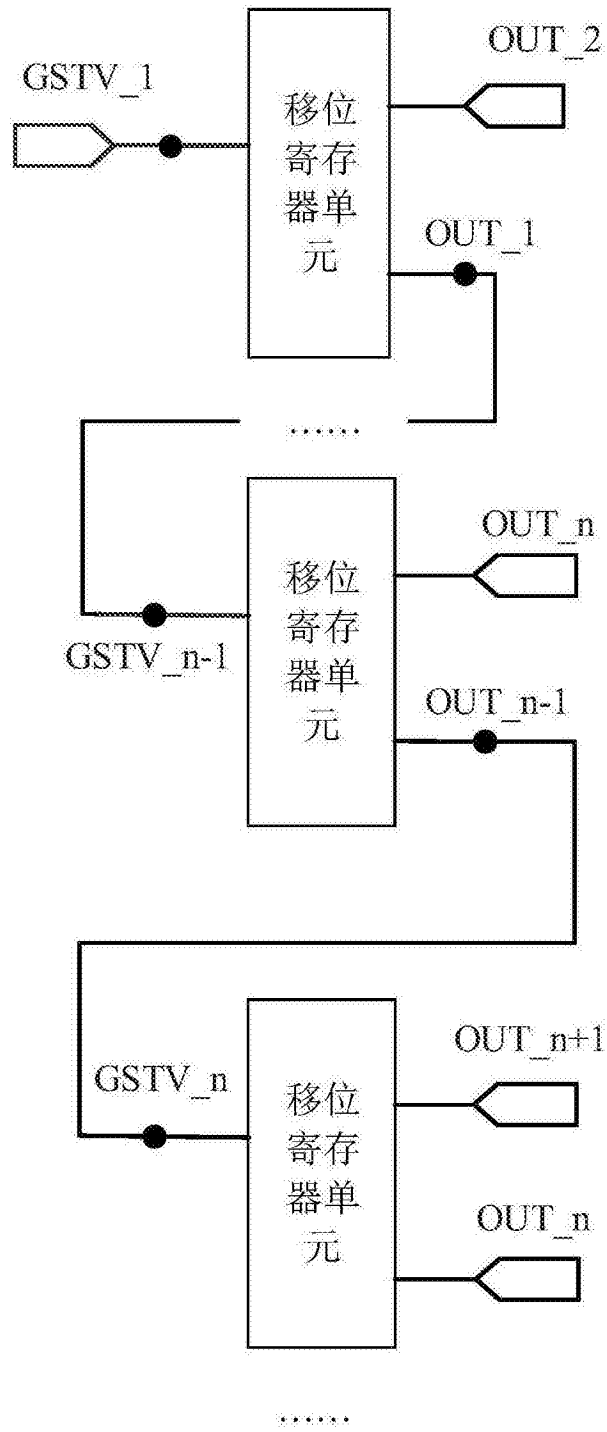


图5

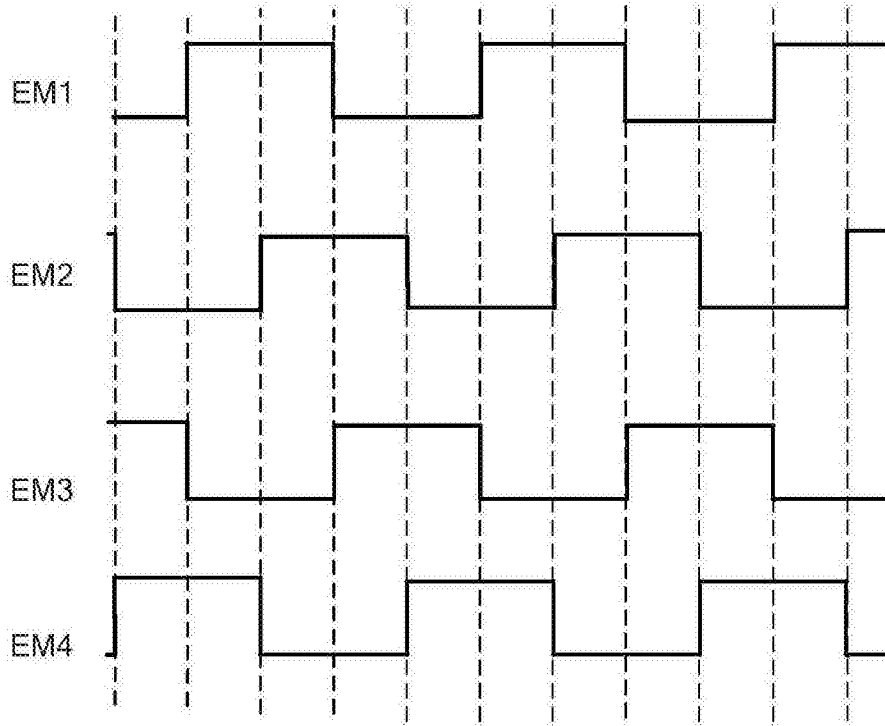


图6