

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 02.12.97.

30 Priorité : 02.05.97 JP 11472797.

43 Date de mise à la disposition du public de la demande : 06.11.98 Bulletin 98/45.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Ce dernier n'a pas été établi à la date de publication de la demande.*

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : MITSUBISHI DENKI KABUSHIKI
KAISHA KABUSHIKI KAISHA — JP.

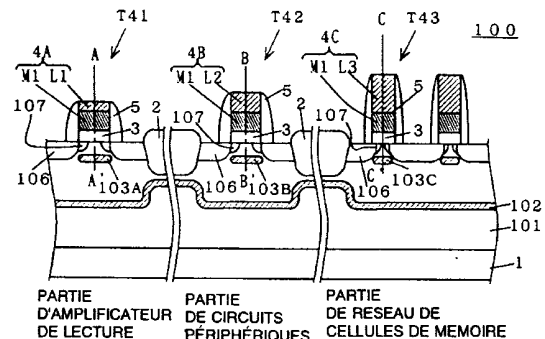
72 Inventeur(s) : UENO SHUICHI, OKUMURA
YOSHINORI, MAEDA SHIGENOBU et MAEGAWA SHI-
GETO.

73 Titulaire(s) :

74 Mandataire(s) : CABINET PLASSERAUD.

54 DISPOSITIF A SEMICONDUCTEURS AYANT UNE STRUCTURE DE GRILLE DU TYPE SILICIUM POLYCRISTALLIN/SILICIURE ET PROCEDE DE FABRICATION.

57 Dans un dispositif conforme à l'invention, des transistors (T41, T42, T43) formés sur un même substrat qui doivent avoir des caractéristiques mutuellement différentes, ont des électrodes de grille (4A, 4B et 4C) qui comprennent respectivement une couche de silicium polycristallin (M1) et une couche de siliciure de tungstène (L1, L2, L3) superposées dans cet ordre sur une pellicule d'oxyde de grille (3). Le rapport entre l'épaisseur de la couche de silicium polycristallin et l'épaisseur de la pellicule de siliciure de tungstène est fixée en fonction des caractéristiques désirées pour chaque transistor et il modifie l'épaisseur effective de l'isolant de grille en modifiant la distribution d'impuretés dans la couche de silicium polycristallin.



DISPOSITIF A SEMICONDUCTEURS AYANT UNE STRUCTURE DE
GRILLE DU TYPE SILICIUM POLYCRISTALLIN/SILICIURE
ET PROCEDE DE FABRICATION

La présente invention concerne un dispositif à semiconducteurs
5 et un procédé de fabrication de celui-ci, et elle concerne plus particulièrement un dispositif à semiconducteurs dans lequel plusieurs types de transistors sont formés dans une seule puce, ainsi qu'un procédé de fabrication d'un tel dispositif à semiconducteurs.

On décrira les quatre exemples classiques suivants, à titre de
10 dispositif à semiconducteurs dans lequel plusieurs types de transistors (par exemple des transistors ayant des spécifications imposées mutuellement différentes) sont formés dans une seule puce.

Premier exemple classique

Structure d'ensemble d'une mémoire vive dynamique

15 On décrira tout d'abord, à titre de premier exemple classique, une structure d'une mémoire vive dynamique (ou DRAM) 600 dans laquelle plusieurs types de transistors sont formés, ainsi qu'un procédé de fabrication de celle-ci. La structure de la mémoire DRAM 600 (c'est-à-dire la structure de cellule) est représentée sur la figure 76.

20 La mémoire DRAM 600 comprend non seulement une partie de réseau de cellules de mémoire 601 pour enregistrer des données, mais également une partie de circuits périphériques (c'est-à-dire un tampon d'adresse 602, un décodeur X 603, un décodeur Y 604, une partie d'horloge de ligne/colonne 605, une partie de transmission d'entrée/sortie 606, une
25 partie de régénération 607), une partie d'amplificateur de lecture 608, etc.

Bien que toutes ces parties soient formées par des transistors, les caractéristiques exigées pour ces parties sont mutuellement différentes. Par exemple, la partie de réseau de cellules de mémoire 601 ne

tolère qu'un faible courant de fuite, afin d'éviter une disparition de données à cause d'un courant de fuite. D'autre part, un niveau de courant élevé est exigé dans la partie de circuits périphériques, de façon à permettre des opérations à vitesse élevée. En outre, pour distinguer un niveau haut d'un niveau bas, la partie d'amplificateur de lecture 608 doit fonctionner à une tension qui est par exemple la moitié de celle du niveau haut. Dans ce but, un transistor qui est utilisé pour la partie d'amplificateur de lecture 608 doit fonctionner à une tension basse. En résumé, plusieurs types de transistors qui ont des caractéristiques mutuellement différentes sont nécessaires dans la mémoire DRAM qui est fabriquée sous la forme d'une seule puce.

Si l'on compare par exemple des valeurs de seuil, on note qu'une valeur de seuil pour un transistor de la partie de réseau de cellules de mémoire est d'environ 1 V et qu'une valeur de seuil pour des transistors des parties de circuits périphériques est d'environ 0,8 V, tandis qu'une valeur de seuil pour le transistor de la partie d'amplificateur de lecture doit être réduite à une valeur aussi faible que 0,4 V.

Structures des transistors respectifs

Une technique classique pour former dans une seule puce ces transistors qui ont des caractéristiques mutuellement différentes, consiste à changer un profil d'impureté d'une couche dopée de canal conformément à un transistor. Dans ce qui suit, on décrira un exemple dans lequel une concentration d'impureté d'une couche dopée de canal est changée conformément à un transistor.

La figure 77 montre (en une vue partielle) un exemple d'une structure d'une mémoire DRAM qui est fabriquée par un procédé de fabrication classique. La figure montre des coupes de transistors MOS à canal N, T1 à T3, qui sont utilisés pour la partie d'amplificateur de lecture, la partie de circuits périphériques et la partie de réseau de cellules de mémoire.

Sur la figure 77, les transistors MOS à canal N T1 à T3 sont formés à l'intérieur d'une couche de caisson de type P 101 qui est formée sur le même substrat semiconducteur 1 (de type P). La couche de caisson 101 fait l'objet d'une séparation entre éléments par une couche de coupure de canal 102 et une couche LOCOS 2 (couche d'oxydation locale

de silicium), de manière que les transistors MOS à canal N T1 à T3 soient formés dans des régions qui sont créées par séparation entre éléments.

Le transistor MOS à canal N T1 de la partie d'amplificateur de lecture comprend une paire de régions de source/drain 106 qui sont formées à l'intérieur de la couche de caisson 101, indépendamment l'une de l'autre, mais parallèlement l'une à l'autre, et une paire de couches de drain faiblement dopées (que l'on appelle ci-après "couches LDD") 107, formées de façon adjacente à des parties de bords en regard des couches de source/drain 106.

La pellicule d'oxyde de grille 3 est formée sur les couches LDD 107, et une électrode de grille 4 est formée sur la pellicule d'oxyde de grille 3. Une pellicule d'oxyde de paroi latérale 5 est formée sur une surface latérale de la pellicule d'oxyde de grille 3 et de l'électrode de grille 4. Une couche dopée de canal 103 est formée à l'intérieur de la couche de caisson 101, sous l'électrode de grille 4.

Le transistor MOS à canal N T2 de la partie de circuits périphériques comprend une paire de couches de source/drain 106 qui sont formées à l'intérieur de la couche de caisson 101, indépendamment l'une de l'autre, mais parallèlement l'une à l'autre, et une paire de couches LDD 107.

La pellicule d'oxyde de grille 3 est formée sur les couches LDD 107 et une électrode de grille 4 est formée sur la pellicule d'oxyde de grille 3. La pellicule d'oxyde de paroi latérale 5 est formée sur une surface latérale de la pellicule d'oxyde de grille 3 et de l'électrode de grille 4. Une couche dopée de canal 104 est formée à l'intérieur de la couche de caisson 101, sous l'électrode de grille 4.

Le transistor MOS à canal N T3 de la partie de réseau de cellules de mémoire comprend une paire de couches de source/drain 106 formées à l'intérieur de la couche de caisson 101, indépendamment l'une de l'autre, mais parallèlement l'une à l'autre, et une paire de couches LDD 107.

Une pellicule d'oxyde de grille 3 est formée sur les couches de source/drain 106 et sur les couches LDD 107, et une électrode de grille 4 est formée sur la pellicule d'oxyde de grille 3. La pellicule d'oxyde de paroi latérale 5 est formée sur une surface latérale de la pellicule d'oxyde

de grille 3 et de l'électrode de grille 4. Une couche dopée de canal 105 est formée à l'intérieur de la couche de caisson 101, sous l'électrode de grille 4. La partie de réseau de cellules de mémoire a une structure de réseau de grilles dans laquelle des grilles adjacentes se partagent une même couche de source/drain 106. De telles structures sont disposées en succession.

Le Tableau 1 indique des valeurs numériques concernant les structures des transistors MOS à canal N T1 à T3.

TABLEAU 1

	Partie d'amplificateur de lecture (T1)	Partie de circuits périphériques (T2)	Partie de réseau de cellules de mémoire (T3)
Epaisseur de pellicule d'oxyde de champ	400 nm	400 nm	400 nm
Epaisseur de pellicule d'oxyde de grille	10 nm	10 nm	10 nm
Epaisseur de pellicule d'électrode de grille	200 nm	200 nm	200 nm
Concentration en impureté de grille	$5 \times 10^{20} \text{ cm}^{-3}$	$5 \times 10^{20} \text{ cm}^{-3}$	$5 \times 10^{20} \text{ cm}^{-3}$
Paroi latérale	100 nm	100 nm	100 nm
Caisson	B 700 keV $1 \times 10^{13} \text{ cm}^{-2}$	B 700 keV $1 \times 10^{13} \text{ cm}^{-2}$	B 700 keV $1 \times 10^{13} \text{ cm}^{-2}$
Couche de coupure de canal	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$
Couche dopée de canal	B 50 keV $1 \times 10^{12} \text{ cm}^{-2}$	B 50 keV $3 \times 10^{12} \text{ cm}^{-2}$	B 50 keV $5 \times 10^{12} \text{ cm}^{-2}$
Couche LDD	As 30 keV $1 \times 10^{13} \text{ cm}^{-2}$	As 30 keV $1 \times 10^{13} \text{ cm}^{-2}$	As 30 keV $1 \times 10^{13} \text{ cm}^{-2}$
Couche de source/drain	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$
Traitement thermique	850°C 60 min		

Dans le Tableau 1, les doses d'impureté pour former les couches dopées de canal des transistors MOS à canal N T1, T2 et T3 sont respectivement de $1 \times 10^{12} \text{ cm}^{-2}$, $3 \times 10^{12} \text{ cm}^{-2}$ et $5 \times 10^{12} \text{ cm}^{-2}$. On plante du bore (B) à titre d'impureté pour chacune des couches, avec une

5 énergie d'implantation de 50 keV.

La figure 78 montre des profils d'impureté des transistors MOS à canal N T1, T2 et T3 formant la partie d'amplificateur de lecture, la partie de circuits périphériques et la partie de réseau de cellules de mémoire, qui sont tous représentés sur la figure 77, ces profils correspondant respectivement à des coupes selon la ligne A-A', la ligne B-B' et la ligne C-C'.

10

Sur la figure 78, une position (en profondeur) dans une direction de coupe est représentée sur un axe horizontal et une concentration en impureté est représentée sur un axe vertical. En partant du côté gauche sur l'axe horizontal on trouve, dans cet ordre, l'électrode de grille (couche de silicium polycristallin), la pellicule d'oxyde de grille (couche de SiO_2) et la couche de caisson (couche de silicium massif).

15

Comme représenté dans le Tableau 1, la concentration en impureté dans l'électrode de grille reste uniformément à la même valeur pour tous les transistors, et par conséquent la ligne A-A', la ligne B-B' et la ligne C-C' sont placées l'une sur l'autre et représentées sous la forme de lignes droites en superposition. D'autre part, dans la couche de caisson, comme décrit précédemment, la dose de canal est plus faible pour un transistor qui exige une valeur de seuil inférieure (c'est-à-dire $T1 < T2 < T3$), et par conséquent la concentration en impureté est faible à une interface entre la pellicule d'oxyde et le matériau massif. Une position de pic de chaque profil est approximativement la même qu'une position à laquelle chaque couche dopée de canal est formée.

20

25

Procédé de fabrication des transistors respectifs

On va maintenant décrire, en se référant aux figures 79 à 84, un procédé de fabrication des transistors MOS à canal N T1, T2 et T3 de la partie d'amplificateur de lecture, de la partie de circuits périphériques et de la partie de réseau de cellules de mémoire, qui sont représentés sur la figure 77.

30

A une étape qui est représentée sur la figure 79, on forme la couche LOCOS 2 (c'est-à-dire la pellicule d'oxyde de champ) avec une

35

épaisseur qui est par exemple de 400 nm, par un procédé LOCOS, sur une surface du substrat semiconducteur 1 du type P. A la suite de ceci, on implante par exemple des ions de bore avec une énergie de 700 keV et une dose de $1 \times 10^{13} \text{ cm}^{-2}$, pour former ainsi une région de caisson de type P 101 à l'intérieur du substrat semiconducteur 1. Bien que l'on forme également une région de caisson de type N dans le substrat semiconducteur 1, pour former des transistors MOS à canal P, ceci n'est pas représenté et la description sera omise. Ensuite, on implante par exemple des ions de bore avec une énergie de 130 keV et une dose de $5 \times 10^{12} \text{ cm}^{-2}$, pour former ainsi la couche de coupure de canal 102 à l'intérieur du substrat semiconducteur 1. La couche de coupure de canal 102 est formée avec une forme qui, conjointement à la couche LOCOS 2, crée les régions avec séparation entre éléments.

Ensuite, à une étape qui est représentée sur la figure 80, on forme à une position prédéterminée à l'intérieur de la région de caisson 101 la couche dopée de canal 103 qui a la plus faible concentration en impureté, correspondant au transistor T1 de la partie d'amplificateur de lecture. A ce stade, on forme également la couche dopée de canal 103 dans des régions qui se trouvent à l'intérieur des transistors T2 et T3 de la partie de circuits périphériques et de la partie de réseau de cellules de mémoire. On forme la couche dopée de canal 103 par implantation d'ions de bore, par exemple, avec une énergie de 50 keV et une dose de $1 \times 10^{12} \text{ cm}^{-2}$.

Ensuite, à l'étape qui est représentée sur la figure 81, on forme un masque de matière de réserve R201 sur la partie d'amplificateur de lecture. On implante en outre une impureté de manière sélective dans la couche dopée de canal 103 de la partie de circuits périphériques et de la partie de réseau de cellules de mémoire, pour former ainsi la couche dopée de canal 104 qui a une concentration en impureté correspondant au transistor T2 de la partie de circuits périphériques. A ce stade, on forme également la couche dopée de canal 104 dans une région qui se trouve à l'intérieur du transistor T3 de la partie de réseau de cellules de mémoire. On forme la couche dopée de canal 104 en implantant des ions de bore, par exemple, avec une énergie de 50 keV et une dose de $2 \times 10^{12} \text{ cm}^{-2}$.

Ensuite, à une étape qui est représentée sur la figure 82, on

forme un masque de matière de réserve R202 sur la partie d'amplificateur de lecture et la partie de circuits périphériques, et on implante en outre une impureté de manière sélective dans la couche dopée de canal 104 de la partie de réseau de cellules de mémoire, pour former ainsi la couche
5 dopée de canal 105 qui a une concentration en impureté correspondant au transistor T3 de la partie de réseau de cellules de mémoire. On forme la couche dopée de canal 105 en implantant des ions de bore, par exemple, avec une énergie de 50 keV et une dose de $2 \times 10^{12} \text{ cm}^{-2}$.

Ensuite, à une étape qui est représentée sur la figure 83, après
10 avoir formé sur une surface principale du substrat semiconducteur 1, par un procédé d'oxydation thermique, une pellicule d'oxyde 31 qui deviendra la pellicule d'oxyde de grille 3, on forme par exemple une couche de silicium polycristallin dopé 41, à titre de matériau d'électrode de grille sur la pellicule d'oxyde 31, par un procédé de dépôt chimique en phase vapeur,
15 ou CVD. La pellicule d'oxyde 31 a une épaisseur d'environ 10 nm, tandis que la couche de silicium polycristallin dopé 41 a une épaisseur d'environ 200 nm. On utilise du phosphore (P) à titre d'impureté. La concentration de l'impureté est d'environ $5 \times 10^{20} \text{ cm}^{-3}$.

Ensuite, à une étape qui est représenté sur la figure 84, on
20 forme un masque de matière de réserve R203 sur la couche de silicium polycristallin dopé 41. En définissant un motif, on forme l'électrode de grille 4 et la pellicule d'oxyde de grille 3.

A la suite de ceci, après avoir formé les couches LDD 107 dans la partie d'amplificateur de lecture, la partie de circuits périphériques et
25 la partie de réseau de cellules de mémoire, par implantation ionique, on forme la pellicule d'oxyde de paroi latérale 5 sur une surface latérale de la pellicule d'oxyde de grille 3 et de l'électrode de grille 4, en lui donnant une épaisseur d'environ 100 nm. En utilisant à titre de masque la pellicule d'oxyde de paroi latérale 5, et en procédant par implantation ionique,
30 on forme les couches de source/drain 106. De cette manière, on obtient la structure de la mémoire DRAM qui est représentée sur la figure 77.

On obtient les couches LDD en injectant par exemple des ions d'arsenic (As), avec une énergie de 30 keV et une dose de $1 \times 10^{13} \text{ cm}^{-2}$.
35 D'autre part, on obtient les couches de source/drain 106 en injectant par

exemple des ions d'arsenic, avec une énergie de 50 keV et une dose de $1 \times 10^{15} \text{ cm}^{-2}$, et en effectuant ensuite un recuit à 850°C pendant 60 minutes.

5 Bien que ceci soit suivi par la formation d'un condensateur, d'une pellicule d'isolation inter-couche, d'une couche d'interconnexion et autres, pour former la mémoire DRAM, ces étapes ne seront pas décrites et elles ne sont pas représentées dans les dessins.

Problèmes affectant la mémoire DRAM classique

10 Comme décrit ci-dessus, dans la mémoire DRAM classique, pour former des transistors qui ont des caractéristiques mutuellement différentes et qui sont utilisés dans la partie d'amplificateur de lecture, la partie de circuits périphériques et la partie de réseau de cellules de mémoire et autres, dans une seule puce, on change la concentration en impureté de la couche dopée de canal en correspondance avec chaque transistor, et on ajuste la valeur de seuil.

15 Cependant, plus la concentration en impureté de la couche dopée de canal est élevée, plus la valeur de seuil devient grande. Simultanément, du fait que la concentration en impureté est élevée dans une partie de jonction entre une couche de diffusion et le substrat, un courant de fuite provenant de la couche de diffusion (c'est-à-dire la fuite de couche de diffusion) augmente. En d'autres termes, il existe une relation de compromis entre la valeur de seuil et la fuite de couche de diffusion, et par conséquent un courant de fuite est automatiquement déterminé une fois que la valeur de seuil est déterminée. Ainsi, la relation de compromis entre les deux impose une restriction à la conception du circuit.

Second exemple classique

Structure d'ensemble d'une mémoire flash

30 A titre de second exemple classique, on décrira une structure d'une mémoire flash 700 dans laquelle plusieurs types de transistors sont formés, ainsi qu'un procédé de fabrication de cette mémoire.

35 La figure 85 montre une structure de la mémoire flash 700 (structure de cellule). De façon générale, une mémoire flash diffère d'une mémoire DRAM par l'utilisation d'une tension élevée, telle que 10 V, pour l'écriture et l'effacement. Dans ce but, un circuit de pompe de charge 710 est incorporé à titre de circuit élévateur dans la mémoire flash 700 qui

est représentée sur la figure 85.

La mémoire flash 700 comprend non seulement une partie de réseau de cellules de mémoire 701 pour enregistrer des données, mais également une partie supportant une tension élevée, telle qu'un décodeur X 703 et un décodeur Y 704, qui est utilisée après l'élévation de tension, une partie de circuits périphériques (c'est-à-dire un tampon d'adresse 702, une partie d'horloge de ligne/colonne 705, une partie de transmission d'entrée/sortie 706, une partie de registre de données 707, une partie d'amplificateur de lecture 708, une partie de commande de fonctionnement 709) et autres. Bien que toutes ces parties soient formées par des transistors, du fait de différences entre des tensions utilisées, il est nécessaire d'employer plusieurs types de transistors qui ont des caractéristiques mutuellement différentes.

Par exemple, un transistor dans la partie de réseau de cellules de mémoire 701 exige une épaisseur de pellicule d'oxyde qui est par exemple d'environ 10 nm pour garantir la fiabilité d'une pellicule d'oxyde tunnel. Cependant, un courant de valeur élevée est exigé dans la partie de circuits périphériques, dans le but d'avoir un fonctionnement rapide, et par conséquent une épaisseur de pellicule d'oxyde est souvent fixée à une valeur inférieure à celle de la partie de réseau de cellules de mémoire 701. De plus, dans la partie supportant une tension élevée, il est nécessaire d'avoir un transistor qui supporte une tension de 10 V. Il est donc nécessaire d'utiliser une pellicule d'oxyde épaisse qui a par exemple une épaisseur s'élevant jusqu'à 25 nm. En résumé, plusieurs types de transistors qui ont des épaisseurs de pellicule d'oxyde mutuellement différentes sont nécessaires dans la mémoire flash qui se présente sous la forme d'une seule puce.

Structures des transistors respectifs

Dans ce qui suit, on décrit un exemple dans lequel une épaisseur de pellicule d'oxyde est changée conformément à un transistor. La figure 86 montre, en une vue partielle, un exemple d'une structure d'une mémoire flash qui est fabriquée par un procédé de fabrication classique. On voit des coupes de transistors MOS à canal N T11 à T13 qui sont utilisés pour la partie supportant une tension élevée, la partie de circuits périphériques et la partie de réseau de cellules de mémoire.

Sur la figure 86, les transistors MOS à canal N T11 à T13 sont formés à l'intérieur d'une couche de caisson de type P 121 qui est formée sur le même substrat semiconducteur 21 (de type P). La couche de caisson 121 fait l'objet d'une séparation entre éléments au moyen d'une couche de coupure de canal 122 qui est formée à l'intérieur de la couche de caisson 121, et d'une couche LOCOS 22, d'une manière telle que les transistors MOS à canal N T11 à T13 soient formés dans des régions qui sont créées par la séparation entre éléments.

Le transistor MOS à canal N T11 de la partie supportant une tension élevée comprend une paire de couches de source/drain 126 qui sont formées à l'intérieur de la couche de caisson 121, indépendamment l'une de l'autre, mais parallèlement l'une à l'autre, et une paire de couches LDD 127 qui sont formées dans des positions adjacentes à des parties de bord en regard des couches de source/drain 126.

Une pellicule d'oxyde de grille 26 est formée sur les couches LDD 127 et une électrode de grille 29 est formée sur la pellicule d'oxyde de grille 26. Une pellicule d'oxyde de paroi latérale 30 est formée sur la surface latérale de la pellicule d'oxyde de grille 26 et de l'électrode de grille 29. Une couche dopée de canal 123 est formée à l'intérieur de la couche de caisson 121, sous l'électrode de grille 29.

Le transistor MOS à canal N T12 de la partie de circuits périphériques comprend une paire de couches de source/drain 126 qui sont formées à l'intérieur de la couche de caisson 121, indépendamment l'une de l'autre, mais parallèlement l'une à l'autre, et une paire de couches LDD 127.

Une pellicule d'oxyde de grille 25 est formée sur les couches LDD 127, et une électrode de grille 29 est formée sur la pellicule d'oxyde de grille 25. Une pellicule d'oxyde de paroi latérale 30 est formée sur une surface latérale de la pellicule d'oxyde de grille 25 et de l'électrode de grille 29. Une couche dopée de canal 124 est formée à l'intérieur de la couche de caisson 121, sous l'électrode de grille 29.

Le transistor MOS à canal N T13 de la partie de réseau de cellules de mémoire comprend une paire de couches de source/drain 126 qui sont formées à l'intérieur de la couche de caisson 121, indépendamment l'une de l'autre, mais parallèlement l'une à l'autre. Une pellicule

d'oxyde tunnel 23 est formée sur des parties de bord des couches de source/drain 126. Une électrode de grille flottante 27, une pellicule d'isolation inter-couche 24 et une électrode de grille de commande 28 sont formées dans cet ordre sur la pellicule d'oxyde tunnel 23.

5 La pellicule d'oxyde de paroi latérale 30 est formée sur une surface latérale de la pellicule d'oxyde tunnel 23, de l'électrode de grille flottante 27, de la pellicule d'isolation inter-couche 24 et de l'électrode de grille de commande 28.

10 Une couche dopée de canal 125 est formée à l'intérieur de la couche de caisson 121, sous l'électrode flottante 27. La partie de réseau de cellules de mémoire a une structure de réseau de grilles dans laquelle des grilles adjacentes se partagent une même couche de source/drain 126. De telles structures sont disposées en succession.

15 Une caractéristique de la mémoire flash qui est représentée sur la figure 86 consiste en ce que l'épaisseur de la pellicule d'oxyde de grille 26 du transistor MOS à canal N T11 de la partie supportant une tension élevée est la plus grande, suivie par l'épaisseur de la pellicule d'oxyde tunnel 23 du transistor MOS à canal N T13 de la partie de réseau de cellules de mémoire, et par l'épaisseur de la pellicule d'oxyde de grille
20 25 du transistor MOS à canal N T12 de la partie de circuits périphériques, dans cet ordre.

25 La figure 87 montre les épaisseurs des pellicules d'oxyde de grille respectives. Sur la figure 87, les transistors MOS à canal N de la partie supportant une tension élevée, de la partie de circuits périphériques et de la partie de réseau de cellules de mémoire sont représentés dans cet ordre le long de l'axe horizontal, à partir du côté gauche.

 Le Tableau 2 montre des valeurs numériques concernant les structures des transistors MOS à canal N T11 à T13.

TABLEAU 2

	Partie supportant une tension élevée (T11)	Partie de circuits périphériques (T12)	Partie de réseau de cellules de mémoire (T13)
Epaisseur de pellicule d'oxyde de champ	400 nm	400 nm	400 nm
Epaisseur de pellicule d'oxyde de grille	25 nm	8 nm	10 nm
Epaisseur de pellicule d'électrode de grille flottante	-----	-----	100 nm
Concentration en impureté de grille flottante	-----	-----	$1 \times 10^{20} \text{ cm}^{-3}$
Epaisseur de pellicule d'isolation inter-couche	-----	-----	TEOS/Si ₃ N ₄ /TEOS = 10/10/10 nm
Epaisseur de pellicule d'électrode de grille de commande	200 nm	200 nm	200 nm
Concentration en impureté de grille de commande	$5 \times 10^{20} \text{ cm}^{-3}$	$5 \times 10^{20} \text{ cm}^{-3}$	$5 \times 10^{20} \text{ cm}^{-3}$
Paroi latérale	200 nm	200 nm	200 nm
Caisson	B 700 keV $1 \times 10^{13} \text{ cm}^{-2}$	B 700 keV $1 \times 10^{13} \text{ cm}^{-2}$	B 700 keV $1 \times 10^{13} \text{ cm}^{-2}$
Couche de coupure de canal	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$
Couche dopée de canal	B 50 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 50 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 50 keV $5 \times 10^{12} \text{ cm}^{-2}$
Couche LDD	As 30 keV $1 \times 10^{13} \text{ cm}^{-2}$	As 30 keV $1 \times 10^{13} \text{ cm}^{-2}$	-----
Couche de source/drain	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$
Traitement thermique	850°C 60 min		

Dans le Tableau 2, les épaisseurs des pellicules d'oxyde de grille des transistors MOS à canal N T11, T12 et 13 sont respectivement de 25 nm, 8 nm et 10 nm.

Procédé de fabrication des transistors respectifs

5 On va maintenant donner une description d'un procédé de fabrication des transistors MOS à canal N T11, T12 et T13 de la partie supportant une tension élevée, de la partie de circuits périphériques et de la partie de réseau de cellules de mémoire qui sont représentés sur la figure 86, en se référant aux figures 88 à 101.

10 Premièrement, à une étape qui est représentée sur la figure 88, on forme la couche LOCOS (c'est-à-dire une pellicule d'oxyde de champ) 22 en lui donnant par exemple une épaisseur de 400 nm, par un procédé LOCOS, sur une surface du substrat semiconducteur 21 du type P. A la suite de ceci, on implante par exemple des ions de bore avec une énergie
15 de 700 keV et une dose de $1 \times 10^{13} \text{ cm}^{-2}$, pour former ainsi une région de caisson de type P 121 à l'intérieur du substrat semiconducteur 21. Bien que l'on forme également une région de caisson de type N dans le substrat semiconducteur 21, afin de former des transistors MOS à canal P, ceci n'est pas représenté et la description sera omise. Ensuite, on im-
20 plante par exemple des ions de bore avec une énergie de 130 keV et une dose de $5 \times 10^{12} \text{ cm}^{-2}$, pour former ainsi la couche de coupure de canal 122 à l'intérieur du substrat semiconducteur 21. On forme la couche de coupure de canal 122 en lui donnant une forme qui, en association avec la couche LOCOS 22, crée les régions avec séparation entre éléments.

25 On forme ensuite une couche dopée de canal 120 dans des positions prédéterminées de la partie supportant une tension élevée, de la partie de circuits périphériques et de la partie de réseau de cellules de mémoire, à l'intérieur de la région de caisson 121. On forme la couche dopée de canal 120 en implantant par exemple des ions de bore avec
30 une énergie de 50 keV et une dose de $1 \times 10^{12} \text{ cm}^{-2}$.

Ensuite, à une étape qui est représentée sur la figure 89, après avoir formé une pellicule d'oxyde 231 qui deviendra la pellicule d'oxyde tunnel 23, sur une surface principale du substrat semiconducteur 21, par un procédé d'oxydation thermique, on forme par exemple une couche de
35 silicium polycristallin dopé 271, à titre de matériau d'électrode de grille,

sur la pellicule d'oxyde 231, par un procédé CVD. La pellicule d'oxyde 231 a une épaisseur d'environ 10 nm, tandis que la couche de silicium polycristallin dopé 271 a une épaisseur d'environ 100 nm. On utilise du phosphore (P) à titre d'impureté. La concentration de l'impureté est d'environ $1 \times 10^{20} \text{ cm}^{-3}$.

5 Ensuite, à une étape qui est représentée sur la figure 90, on forme sélectivement un masque de matière de réserve R221 sur la couche de silicium polycristallin dopé 271, à l'intérieur de la partie de réseau de cellules de mémoire. Dans ce cas, on forme le masque de matière de réserve R221 dans la direction de la largeur de grille de la partie de réseau de cellules de mémoire. On enlève par une attaque anisotrope une partie de la couche de silicium polycristallin dopé 271 qui n'est pas recouverte par le masque de matière de réserve R221. La figure 91 montre cette condition.

15 La figure 91 est une vue en plan qui représente la structure de la figure 90 vue par le côté de la surface supérieure (c'est-à-dire le côté sur lequel est formé le masque de matière de réserve R221). A l'intérieur de la partie de réseau de cellules de mémoire, le masque de matière de réserve R221 est réalisé sous la forme d'îlots rectangulaires qui sont disposés régulièrement. On forme le masque de matière de réserve R221 de façon à recouvrir une couche active AL qui a une configuration semblable à un îlot rectangulaire, et une couche LOCOS LL autour de celle-ci. Du fait que le masque de matière de réserve R221 n'est pas formé à l'intérieur de la partie supportant une tension élevée et de la partie de circuits périphériques, la couche active AL est à nu. Bien que le masque de matière de réserve R221 soit partiellement omis sur la figure 91, de façon que la couche active AL et la couche LOCOS LL soient visibles, c'est uniquement pour la clarté de la représentation de la structure située sous le masque de matière de réserve R221 et simplement pour la commodité de l'illustration.

30 Ensuite, après avoir enlevé le masque de matière de réserve R221, à une étape qui est représentée sur la figure 92, on forme par un procédé CVD sur la couche de silicium polycristallin dopé 271 une pellicule d'isolation 241, qui deviendra la pellicule d'isolation inter-couche 24 qui isole la grille flottante vis-à-vis de la grille de commande. Cette pellicule

35

a une structure dans laquelle une pellicule de TEOS (tétraéthylorthosilicate), une pellicule de nitrure (Si_3N_4), et une pellicule TEOS, ayant chacune une épaisseur de 10 nm, sont superposées dans cet ordre. La pellicule d'isolation inter-couche 24 est appelée dans certains cas une "pellicule ONO".

5 La pellicule d'isolation 241 est également formée sur la partie supportant une tension élevée et sur la partie de circuits périphériques.

Ensuite, à une étape qui est représentée sur la figure 93, on forme un masque de matière de réserve R222 sur la pellicule d'isolation 241 de la partie de réseau de cellules de mémoire, et on enlève la pellicule d'isolation 241 dans toutes les autres régions. Dans ce cas, dans les autres régions, on enlève également la pellicule d'oxyde 231. La figure 94 montre cette condition.

La figure 94 est une vue en plan représentant la structure de la figure 93 vue par le côté de la surface supérieure (c'est-à-dire le côté sur lequel est formé le masque de matière de réserve R222). On forme le masque de matière de réserve R222 de façon à recouvrir entièrement la partie de réseau de cellules de mémoire. Cependant, la couche active AL est à nu à l'intérieur de la partie supportant une tension élevée et de la partie de circuits périphériques, du fait que le masque de matière de réserve R222 n'est pas formé.

Ensuite, après avoir enlevé le masque de matière de réserve R222, à une étape qui est représentée sur la figure 95, on forme sur la totalité de la surface principale du substrat semiconducteur 21, par un procédé d'oxydation thermique, une pellicule d'oxyde 261 qui deviendra la pellicule d'oxyde de grille 26. A ce stade, du fait que la pellicule d'isolation 241 sur la partie de réseau de cellules de mémoire comprend la pellicule de nitrure, la pellicule d'isolation 241 n'est pas oxydée et l'épaisseur de la pellicule d'isolation 241 est maintenue. L'épaisseur de la pellicule d'oxyde 261 est d'environ 17 nm.

Ensuite, à une étape qui est représentée sur la figure 96, on recouvre par un masque de matière de réserve R223 des régions autres que la partie de circuits périphériques, et on enlève la pellicule d'oxyde 261 sur la partie de circuits périphériques, par attaque par voie humide. La figure 97 montre cette condition.

La figure 97 est une vue en plan représentant la structure de la

figure 96 vue par le côté de la surface supérieure (c'est-à-dire le côté sur lequel est formé le masque de matière de réserve R223). Le masque de matière de réserve R223 est formé de façon à recouvrir entièrement la partie de réseau de cellules de mémoire et la partie supportant une tension élevée. Cependant, dans la partie de circuits périphériques, du fait que le masque de matière de réserve R223 n'est pas formé, la couche active AL est à nu.

Ensuite, après avoir enlevé le masque de matière de réserve R223, à une étape qui est représentée sur la figure 98, on forme par un procédé d'oxydation thermique une pellicule d'oxyde 251 qui deviendra la pellicule d'oxyde de grille 25. A ce stade, du fait que la pellicule d'isolation 241 sur la partie de réseau de cellules de mémoire comprend la pellicule de nitrure, la pellicule d'isolation 241 n'est pas oxydée et l'épaisseur de la pellicule d'isolation 241 est maintenue. Cependant, dans la partie supportant une tension élevée, la pellicule d'oxyde 261 se développe et son épaisseur augmente. L'épaisseur de la pellicule d'oxyde 251 est d'environ 8 nm. La pellicule d'oxyde 261 se développe jusqu'à environ 25 nm.

Ensuite, à une étape qui est représentée sur la figure 99, on forme une couche de silicium polycristallin dopé 291, à titre de matériau d'électrode de grille, sur la totalité de la surface principale du substrat semiconducteur 21, par un procédé CVD. L'épaisseur de la couche de silicium polycristallin dopé 291 est d'environ 200 nm. On utilise du phosphore (P) à titre d'impureté. La concentration de l'impureté est d'environ $5 \times 10^{20} \text{ cm}^{-3}$.

Ensuite, à une étape qui est représentée sur la figure 100, on forme un masque de matière de réserve R224 sur la couche de silicium polycristallin dopé 291, et on forme un motif dans celui-ci. La figure 101 montre cette condition.

La figure 101 est une vue en plan représentant la structure de la figure 100 vue par le côté de la surface supérieure (c'est-à-dire le côté sur lequel est formé le masque de matière de réserve R224). Le masque de matière de réserve R224 est formé de façon à être perpendiculaire à la couche active AL qui a une configuration rectangulaire.

Sous l'effet de la formation d'un motif, la pellicule d'oxyde de

grille 26 et l'électrode de grille 29 sont formées dans la partie supportant une tension élevée, la pellicule d'oxyde de grille 25 et l'électrode de grille 29 sont formées dans la partie de circuits périphériques, et la pellicule d'oxyde tunnel 23, l'électrode de grille flottante 27 et l'électrode de grille de commande 28 sont formées dans la partie de réseau de cellules de mémoire.

A la suite de ceci, après avoir formé les couches LDD 127 par implantation d'ions dans la partie supportant une tension élevée et dans la partie de circuits périphériques, on forme la pellicule d'oxyde de paroi latérale 30, d'environ 100 nm d'épaisseur, sur une surface latérale d'une pellicule d'oxyde de grille 26 et de l'électrode de grille 29, sur une surface latérale de la pellicule d'oxyde de grille 25 et de l'électrode de grille 29, et sur une surface latérale de la pellicule d'oxyde tunnel 23, de l'électrode de grille flottante 27, de la pellicule d'isolation inter-couche 24 et de l'électrode de grille de commande 28. En utilisant à titre de masque la pellicule d'oxyde de paroi latérale 30, et en procédant par implantation ionique, on forme les couches de source/drain 126. De cette manière, on obtient la structure de la mémoire flash qui est représentée sur la figure 86.

On forme les couches LDD 127 en implantant par exemple des ions d'arsenic, avec une énergie de 30 keV et une dose de $1 \times 10^{13} \text{ cm}^{-2}$. D'autre part, on forme les couches de source/drain 126 en injectant par exemple des ions d'arsenic, avec une énergie de 50 keV et une dose de $5 \times 10^{15} \text{ cm}^{-2}$, et en effectuant ensuite un recuit à 850°C pendant 60 minutes.

Bien que ceci soit suivi par la formation d'un condensateur, d'une pellicule d'isolation inter-couche, d'une couche d'interconnexion et autres, pour former la mémoire flash, ceci ne sera pas décrit et n'est pas représenté dans les dessins.

Problèmes concernant la mémoire flash classique

Comme décrit ci-dessus, comme dans la mémoire DRAM classique, il existe dans la mémoire flash classique une relation de compromis entre une valeur de seuil et une fuite de couche de diffusion. La relation de compromis impose une restriction à la conception du circuit.

En outre, du fait qu'il est nécessaire de former plusieurs types

de transistors qui ont des épaisseurs de pellicule d'oxyde mutuellement différentes, dans la mémoire flash qui se présente sous la forme d'une seule puce, il est nécessaire dans certains cas de former les pellicules d'oxyde en plusieurs étapes. Par exemple, dans la partie supportant une tension élevée, à l'étape d'enlèvement du masque de matière de réserve R223 (voir la figure 96), la pellicule d'oxyde 261 se développe davantage pendant la formation de la pellicule d'oxyde 251 (voir la figure 98). Ainsi, la pellicule d'oxyde 261 est formée en deux étapes. Ceci conduit à une possibilité plus élevée de permettre l'entrée d'une impureté ou autres, ce qui dégrade à son tour la fiabilité de la pellicule d'oxyde de grille 26 ou amoindrit la maîtrise de l'épaisseur de pellicule. Ceci conduit en outre à un problème qui consiste dans la perte de la fiabilité du transistor MOS à canal N T11 de la partie supportant une tension élevée, etc.

Troisième exemple classique

15 Structure d'ensemble d'une mémoire DRAM comprenant un circuit logique

A titre de troisième exemple classique, on va décrire une structure d'une mémoire DRAM 800 qui comprend un circuit logique (que l'on appelle ci-après "Circuit Logique en Mémoire DRAM"), et un procédé de fabrication de cette structure.

20 Le Circuit Logique en Mémoire DRAM 800 est un dispositif qui fonctionne avec d'excellentes performances et qui a seulement un faible coût, du fait qu'un circuit logique est formé à l'intérieur de la même puce, de façon que la mémoire DRAM et le circuit logique, qui étaient formés jusqu'à présent sous la forme de puces séparées, soient combinés ensemble.

30 Comme représenté sur la figure 102, le Circuit Logique en Mémoire DRAM 800 est divisé grossièrement en une partie logique et une partie de mémoire DRAM. Une exigence pour la partie logique consiste dans le fonctionnement à une vitesse élevée, c'est-à-dire que cette partie doit avoir une possibilité d'attaque élevée et une faible capacité. D'autre part, comme décrit précédemment, la partie de mémoire DRAM comprend une partie de réseau de cellules de mémoire dans laquelle un faible courant de fuite est exigé, une partie d'amplificateur de lecture dans laquelle un fonctionnement à une tension basse est exigé, etc. Ainsi, plusieurs

35

types de transistors qui ont des caractéristiques mutuellement différentes sont nécessaires dans le Circuit Logique en Mémoire DRAM 800 qui est réalisé sous la forme d'une seule puce.

Structures des transistors respectifs

5 Une technique classique pour former dans une seule puce des transistors qui ont des caractéristiques mutuellement différentes consiste à changer un profil d'impureté d'une couche dopée de canal ou une épaisseur de pellicule d'oxyde, en correspondance avec un transistor. Dans ce qui suit, en ce qui concerne la partie de mémoire DRAM, on dé-
10 crira un exemple dans lequel une concentration d'impureté d'une couche dopée de canal est changée en correspondance avec un transistor, tandis qu'en ce qui concerne la partie logique on décrira un exemple dans lequel une épaisseur de pellicule d'oxyde est changée en correspon-
dance avec un transistor.

15 La figure 103 montre (en vue partielle) un exemple d'une structure d'un Circuit Logique en Mémoire DRAM qui est fabriquée par un procédé de fabrication classique. La figure montre des coupes de transistors MOS à canal N T21 à T23 qui sont utilisés pour la partie logique et pour la partie d'amplificateur de lecture et la partie de réseau de cel-
20 lules de mémoire de la partie de mémoire DRAM.

Sur la figure 103, les transistors MOS à canal N T21 à T23 sont formés à l'intérieur d'une couche de caisson de type P 151 qui est formée sur le même substrat semiconducteur 51 (du type P). La couche de caisson 151 fait l'objet d'une séparation entre éléments par une couche de
25 coupure de canal 152 qui est formée à l'intérieur de la couche de caisson 151, et par une couche LOCOS 52, de manière que les transistors MOS à canal N T21 à T23 soient formés dans des régions qui sont créées par séparation entre éléments.

Le transistor MOS à canal N T21 de la partie logique comprend
30 une paire de couches de source/drain 156 qui sont formées à l'intérieur de la couche de caisson 151, indépendamment l'une de l'autre, mais parallèlement l'une à l'autre, et une paire de couches LDD 157 qui sont formées dans des positions adjacentes à des parties de bord en regard des couches de source/drain 156.

35 Une pellicule d'oxyde de grille 54 est formée sur les couches

LDD 157, et une électrode de grille 55 est formée sur la pellicule d'oxyde de grille 54. Une pellicule d'oxyde de paroi latérale 56 est formée sur la surface latérale de la pellicule d'oxyde de grille 54 et de l'électrode de grille 55. Une couche dopée de canal 155 est formée à l'intérieur de la
5 couche de caisson 151, sous l'électrode de grille 55.

Le transistor MOS à canal N T22 de la partie d'amplificateur de lecture comprend une paire de couches de source/drain 156 qui sont formées à l'intérieur de la couche de caisson 151, indépendamment l'une de l'autre, mais parallèlement l'une à l'autre, et une paire de couches LDD
10 157.

Une pellicule d'oxyde de grille 53 est formée sur les couches LDD 157, et une électrode de grille 55 est formée sur la pellicule d'oxyde de grille 53. La pellicule d'oxyde de paroi latérale 56 est formée sur une surface latérale de la pellicule d'oxyde de grille 53 et de l'électrode de
15 grille 55. Une couche dopée de canal 154 est formée à l'intérieur de la couche de caisson 151, sous l'électrode de grille 55.

Le transistor MOS à canal N T23 de la partie de réseau de cellules de mémoire comprend une paire de couches de source/drain 156 qui sont formées à l'intérieur de la couche de caisson 151, indépendamment l'une de l'autre, mais parallèlement l'une à l'autre, et une paire de
20 couches LDD 157.

La pellicule d'oxyde de grille 53 est formée sur les couches de source/drain 156 et les couches LDD 157, et la pellicule de grille 55 est formée sur la pellicule d'oxyde de grille 53. La pellicule d'oxyde de paroi
25 latérale 56 est formée sur une surface latérale de la pellicule d'oxyde de grille 53 et de l'électrode de grille 55. Une couche dopée de canal 153 est formée à l'intérieur de la couche de caisson 151, sous l'électrode de grille 55. La partie de réseau de cellules de mémoire a une structure de réseau de grilles dans laquelle des grilles adjacentes se partagent une
30 seule couche de source/drain 156. De telles structures sont disposées en succession.

Le Tableau 3 montre des valeurs numériques concernant les structures des transistors MOS à canal N T21 à T23.

TABLEAU 3

	Partie logique (T21)	Partie d'amplificateur de lecture (T22)	Partie de réseau de cellules de mémoire (T23)
Epaisseur de pellicule d'oxyde de champ	400 nm	400 nm	400 nm
Epaisseur de pellicule d'oxyde de grille	6 nm	10 nm	10 nm
Epaisseur de pellicule d'électrode de grille	200 nm	200 nm	200 nm
Concentration en impureté de grille	$5 \times 10^{20} \text{ cm}^{-3}$	$5 \times 10^{20} \text{ cm}^{-3}$	$5 \times 10^{20} \text{ cm}^{-3}$
Paroi latérale	100 nm	100 nm	100 nm
Caisson	B 700 keV $1 \times 10^{15} \text{ cm}^{-2}$	B 700 keV $1 \times 10^{15} \text{ cm}^{-2}$	B 700 keV $1 \times 10^{15} \text{ cm}^{-2}$
Couche de coupure de canal	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$
Couche dopée de canal	B 50 keV $1 \times 10^{13} \text{ cm}^{-2}$	B 50 keV $1 \times 10^{12} \text{ cm}^{-2}$	B 50 keV $5 \times 10^{12} \text{ cm}^{-2}$
Couche LDD	As 30 keV $1 \times 10^{13} \text{ cm}^{-2}$	As 30 keV $1 \times 10^{13} \text{ cm}^{-2}$	As 30 keV $1 \times 10^{13} \text{ cm}^{-2}$
Couche de source/drain	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$
Traitement thermique	850°C 30 min		

Dans le Tableau 3, les doses d'impureté pour former les couches dopées de canal des transistors MOS à canal N T21, T22 et T23 sont respectivement de $1 \times 10^{13} \text{ cm}^{-2}$, $1 \times 10^{12} \text{ cm}^{-2}$ et $5 \times 10^{12} \text{ cm}^{-2}$. On implante du bore (B) à titre d'impureté pour toutes les couches, avec une

5 énergie d'implantation de 50 keV.

En outre, les épaisseurs des pellicules d'oxyde de grille des transistors MOS à canal N T21, T22 et T23 sont respectivement de 6 nm, 10 nm et 10 nm.

La figure 104 montre des profils d'impureté des transistors MOS à canal N T21, T22 et T23 de la partie logique, de la partie d'amplificateur de lecture et de la partie de réseau de cellules de mémoire, qui sont tous représentés sur la figure 103, ces profils correspondant respectivement à des coupes selon la ligne A-A', la ligne B-B' et la ligne C-C'.

10

Sur la figure 104, une position (en profondeur) dans une direction de coupe est représentée sur un axe horizontal et une concentration en impureté est représentée sur un axe vertical. On trouve l'électrode de grille (couche de silicium polycristallin), la pellicule d'oxyde de grille (couche de SiO_2) et la couche de caisson (couche de silicium massif), dans cet ordre, le long de l'axe horizontal, en partant du côté gauche.

15

Comme indiqué dans le Tableau 3, la concentration en impureté dans l'électrode de grille conserve uniformément la même valeur parmi tous les transistors, et par conséquent la ligne A-A', la ligne B-B' et la ligne C-C' se trouvent l'une au-dessus de l'autre et sont représentées sous la forme de lignes droites en superposition (elles sont représentées par deux lignes dans le dessin pour distinguer la ligne A-A'). D'autre part, dans la couche de caisson, la dose de canal est plus faible pour un transistor dans la partie d'amplificateur de lecture, qui exige une faible valeur de seuil, et par conséquent la concentration en impureté est faible à une interface entre la pellicule d'oxyde et la partie massive. Une position de pic de chaque profil est approximativement la même qu'une position à laquelle est formée chaque couche dopée de canal.

20

25

30

La figure 105 montre des épaisseurs des pellicules d'oxyde de grille respectives. Sur la figure 105, les transistors MOS à canal N de la partie logique, de la partie d'amplificateur de lecture et de la partie de réseau de cellules de mémoire sont représentés dans cet ordre, le long

35

de l'axe horizontal, en partant du côté gauche. Comme représenté sur la figure 105, pour améliorer la possibilité d'attaque en courant, la partie logique a une épaisseur de pellicule d'oxyde plus faible que celles de la partie d'amplificateur de lecture et de la partie de réseau de cellules de mémoire de la partie de mémoire DRAM.

Procédé de fabrication des transistors respectifs

On présentera dans ce qui suit une description d'un procédé de fabrication des transistors MOS à canal N T21, T22 et T23 de la partie logique, de la partie d'amplificateur de lecture et de la partie de réseau de cellules de mémoire de la partie de mémoire DRAM qui sont représentés sur la figure 103, en se référant aux figures 106 à 114.

Premièrement, à une étape qui est représentée sur la figure 106, on forme la couche LOCOS (c'est-à-dire une pellicule d'oxyde de champ) 52 de façon à lui donner par exemple une épaisseur de 400 nm, par un procédé LOCOS, sur une surface du substrat semiconducteur 51 du type P. A la suite de ceci, on implante par exemple des ions de bore avec une énergie de 700 keV et une dose de $1 \times 10^{13} \text{ cm}^{-2}$, pour former ainsi une région de caisson de type P 151 à l'intérieur du substrat semiconducteur 51. Bien que l'on forme également une région de caisson de type N dans le substrat semiconducteur 51, de façon à former des transistors MOS à canal P, ceci n'est pas représenté et la description sera omise. Ensuite, on implante par exemple des ions de bore avec une énergie de 130 keV et une dose de $5 \times 10^{12} \text{ cm}^{-2}$, pour former ainsi la couche de coupure de canal 152 à l'intérieur du substrat semiconducteur 51. On fabrique la couche de coupure de canal 152 avec une forme qui, en association avec la couche LOCOS 52, crée les régions présentant une séparation entre éléments.

Ensuite, à une étape qui est représentée sur la figure 107, à une position prédéterminée à l'intérieur de la région de caisson 151, on forme la couche dopée de canal 154 qui a la plus faible concentration en impureté, en correspondance avec le transistor T22 de la partie d'amplificateur de lecture. A ce stade, on forme également la couche dopée de canal 154 dans des régions se trouvant à l'intérieur des transistors T21 et T23 de la partie logique et de la partie de réseau de cellules de mémoire. On forme la couche dopée de canal 154 en implantant par exem-

ple des ions de bore, avec une énergie de 50 keV et une dose de $1 \times 10^{12} \text{ cm}^{-2}$.

5 Ensuite, à une étape qui est représentée sur la figure 108, on forme un masque de matière de réserve R251 sur la partie d'amplificateur de lecture. On plante en outre une impureté d'une manière sélective dans la couche dopée de canal 154 de la partie logique et de la partie de réseau de cellules de mémoire, pour former ainsi la couche dopée de canal 153 qui a une concentration en impureté en correspondance avec le transistor T23 de la partie de réseau de cellules de mémoire. A ce stade, 10 on forme également la couche dopée de canal 153 dans une région qui se trouve à l'intérieur du transistor T21 de la partie logique. On forme la couche dopée de canal 153 en implantant par exemple des ions de bore, avec une énergie de 50 keV et une dose de $4 \times 10^{12} \text{ cm}^{-2}$.

15 Ensuite, à une étape qui est représentée sur la figure 109, on forme un masque de matière de réserve R252 sur la partie d'amplificateur de lecture et la partie de réseau de cellules de mémoire. On plante en outre une impureté d'une manière sélective dans la couche dopée de canal 153 de la partie logique, pour former ainsi la couche dopée de canal 155 qui a une concentration en impureté en correspondance avec le transistor T21 de la partie logique. On forme la couche dopée de canal 155 20 en implantant par exemple des ions de bore, avec une énergie de 50 keV et une dose de $5 \times 10^{12} \text{ cm}^{-2}$.

25 Ensuite, à une étape qui est représentée sur la figure 110, on forme sur la surface principale du substrat semiconducteur 51, par un procédé d'oxydation thermique, une pellicule d'oxyde 531 qui deviendra la pellicule d'oxyde de grille 53. L'épaisseur de la pellicule d'oxyde 531 est d'environ 4 nm.

30 Ensuite, à une étape qui est représentée sur la figure 111, on recouvre avec un masque de matière de réserve R253 l'épaisseur de pellicule d'oxyde 531 de la partie d'amplificateur de lecture et de la partie de réseau de cellules de mémoire, et on enlève sélectivement l'épaisseur de pellicule d'oxyde 531 qui se trouve seulement sur la partie logique.

35 Ensuite, après avoir enlevé le masque de matière de réserve R253, à une étape qui est représentée sur la figure 112, on forme sur la surface principale du substrat semiconducteur 51, par un procédé d'oxy-

dation thermique, une pellicule d'oxyde 541 qui deviendra la pellicule d'oxyde de grille 54. A ce stade, la pellicule d'isolation 531 sur la partie d'amplificateur de lecture et la partie de réseau de cellules de mémoire se développe et son épaisseur de pellicule augmente. L'épaisseur de la pellicule d'oxyde 541 est d'environ 6 nm. La pellicule d'oxyde 531 se développe jusqu'à environ 10 nm.

Ensuite, à une étape qui est représentée sur la figure 113, on forme une couche de silicium polycristallin dopé 551, à titre de matériau d'électrode de grille, sur la pellicule d'oxyde 531 et la pellicule d'oxyde 541, par un procédé CVD. L'épaisseur de la couche de silicium polycristallin dopé 551 est d'environ 200 nm. On utilise du phosphore (P) à titre d'impureté. La concentration de l'impureté est d'environ $1 \times 10^{20} \text{ cm}^{-3}$.

Ensuite à une étape qui est représentée sur la figure 114, on forme un masque de matière de réserve R254 sur la couche de silicium polycristallin dopé 551, et on définit un motif avec ce masque. Par l'opération de définition de motif, l'électrode de grille 54 et l'électrode de grille 55 sont formées dans la partie logique, tandis que la pellicule d'oxyde de grille 53 et l'électrode de grille 55 sont formées dans la partie d'amplificateur de lecture et dans la partie de réseau de cellules de mémoire.

A la suite de ceci, après avoir formé les couches LDD 157 par implantation d'ions dans la partie logique, la partie d'amplificateur de lecture et la partie de réseau de cellules de mémoire, on forme la pellicule d'oxyde de paroi latérale 56, d'environ 100 nm d'épaisseur, sur une surface latérale de la pellicule d'oxyde de grille 54 et de l'électrode de grille 55, à l'intérieur de la partie logique, et sur une surface latérale de la pellicule d'oxyde de grille 53 et de l'électrode de grille 55 à l'intérieur de la partie d'amplificateur de lecture et de la partie de réseau de cellules de mémoire. En utilisant à titre de masque la pellicule d'oxyde de paroi latérale 56, on forme les couches de source/drain 156, par implantation ionique. De cette manière, on obtient la structure du Circuit Logique en Mémoire DRAM qui est représentée sur la figure 103.

On forme les couches LDD 157 en implantant par exemple des ions d'arsenic (As), avec une énergie de 30 keV et une dose de $1 \times 10^{13} \text{ cm}^{-2}$. D'autre part, on obtient les couches de source/drain 156 en injectant par exemple des ions d'arsenic, avec une énergie de 50 keV et une

dose de $5 \times 10^{15} \text{ cm}^{-2}$, et on effectue ensuite une opération de recuit à 850°C pendant 30 minutes.

Bien que ceci soit suivi par la formation d'un condensateur, d'une pellicule d'isolation inter-couche, d'une couche d'interconnexion et autres, pour former le Circuit Logique en Mémoire DRAM, ces opérations
5 ne seront pas décrites et elles ne sont pas représentées dans les dessins.

Problèmes affectant le Circuit Logique en Mémoire DRAM classique

Comme décrit ci-dessus, dans le Circuit Logique en Mémoire
10 DRAM classique, pour former à l'intérieur d'une seule puce des transistors qui sont utilisés dans la partie logique, la partie d'amplificateur de lecture et la partie de réseau de cellules de mémoire, et qui ont des caractéristiques mutuellement différentes, on change la concentration en impureté de la couche dopée de canal en correspondance avec chaque
15 transistor, et on ajuste une valeur de seuil.

Cependant, lorsque la concentration en impureté de la couche dopée de canal devient plus élevée, la valeur de seuil augmente. En même temps, une fuite de couche de diffusion augmente, du fait que la concentration en impureté devient élevée par exemple dans une partie de
20 jonction entre une couche de diffusion et le substrat. En d'autres termes, la valeur de seuil et la fuite de couche de diffusion sont dans une relation mutuelle de compromis, et par conséquent un courant de fuite est automatiquement déterminé une fois que l'on a déterminé la valeur de seuil. Ainsi, la relation de compromis entre les deux impose une restriction à la
25 conception du circuit.

En outre, dans le but d'améliorer les possibilités d'attaque en courant, la partie logique a une épaisseur de pellicule d'oxyde inférieure à celles des autres parties. Dans ce but, il est nécessaire de former plusieurs types de transistors qui ont des épaisseurs de pellicule d'oxyde
30 différentes les unes des autres, à l'intérieur de la mémoire DRAM qui se présente sous la forme d'une seule puce, et il est nécessaire dans certains cas de former les pellicules d'oxyde en plusieurs étapes. Par exemple, dans la partie d'amplificateur de lecture et la partie de réseau de cellules de mémoire, à l'étape d'enlèvement du masque de matière de
35 réserve R253 (voir la figure 111), la pellicule d'isolation 531 se déve-

loppe davantage au cours de la formation de la pellicule d'oxyde 541 (voir la figure 112). Ainsi, la pellicule d'oxyde 531 est formée en deux étapes. Ceci conduit à une plus grande possibilité de permettre l'entrée d'une impureté ou autre, ce qui dégrade à son tour la fiabilité de la pellicule d'oxyde de grille 53 ou amoindrit la maîtrise de l'épaisseur de pellicule. Ceci conduit en outre à un problème qui consiste en une perte de la fiabilité des transistors MOS à canal N T22 et T23 de la partie d'amplificateur de lecture et de la partie de réseau de cellules de mémoire, etc.

Quatrième exemple classique

10 Structure d'ensemble d'une mémoire flash comprenant un circuit logique

A titre de quatrième exemple classique, on va décrire une structure d'une mémoire flash 900 qui comprend un circuit logique (que l'on appelle ci-après "Circuit Logique en Mémoire Flash"), ainsi qu'un procédé de fabrication de cette structure.

15 L'un des objectifs en recherche et développement qui retient l'attention au fur et à mesure de l'augmentation de la densité d'implantation de transistors, consiste dans le développement d'un micro-ordinateur en une seule puce, dans lequel un micro-ordinateur est fabriqué à l'intérieur d'une seule puce, tandis qu'un autre objectif de recherche et développement qui suscite une grande attention est l'obtention d'une plus grande capacité. En particulier, un élément dans lequel une mémoire flash et un microprocesseur sont formés à l'intérieur d'une seule puce, est appelé un élément logique intégré avec une mémoire flash, comme celui qui a été divulgué dans le document 1995 IDEM SHORT COURSE PROGRAM, "EMBEDDED FLASH MEMORY APPLICATIONS, TECHNOLOGY AND DESIGN", CLINTON KUO, MOTOROLA, et autres.

20 La figure 115 montre un exemple. Comme représenté sur la figure 115, le Circuit Logique en Mémoire Flash 900 est divisé grossièrement en une partie logique et une partie de mémoire flash. Une exigence pour la partie logique consiste en un fonctionnement à vitesse élevée, c'est-à-dire une possibilité d'attaque élevée et une faible capacité.

25 La partie de mémoire flash comprend une partie supportant une tension élevée, dans laquelle une tension élevée est appliquée, une partie de réseau de cellules de mémoire dans laquelle une pellicule d'oxyde

35

tunnel doit être très fiable, et autres. Ainsi, un ensemble de types de transistors qui ont des caractéristiques mutuellement différentes sont nécessaires dans le Circuit Logique en Mémoire Flash qui est formé en une seule puce.

5 Structures des transistors respectifs

Une technique classique pour former dans une seule puce des transistors qui ont des caractéristiques mutuellement différentes consiste à changer une épaisseur de pellicule d'oxyde en correspondance avec un transistor, ou si nécessaire, à changer un profil d'impureté d'une couche
10 dopée de canal. Dans ce qui suit, on décrira un exemple dans lequel une épaisseur de pellicule d'oxyde est changée en correspondance avec un transistor, tout en changeant une concentration d'impureté d'une couche dopée de canal.

La figure 116 montre (en une vue partielle) un exemple d'une
15 structure d'un Circuit Logique en Mémoire Flash qui est fabriquée par un procédé de fabrication classique. La figure montre des coupes de transistors MOS à canal N T31 à T33 qui sont utilisés pour la partie logique et pour la partie supportant une tension élevée et la partie de réseau de cellules de mémoire de la partie de mémoire flash.

20 Sur la figure 116, les transistors MOS à canal N T31 à T33 sont formés à l'intérieur d'une couche de caisson de type P 171 qui est formée sur le même substrat semiconducteur 71 (du type P). La couche de caisson 171 fait l'objet d'une séparation entre éléments par une couche de coupure de canal 172 qui est formée à l'intérieur de la couche de caisson
25 171, et par une couche LOCOS 72, d'une manière telle que les transistors MOS à canal N T31 à T33 soient formés dans des régions qui sont créées par la séparation entre éléments.

Le transistor MOS à canal N T31 de la partie logique comprend une paire de couches de source/drain 176 qui sont formées à l'intérieur
30 de la région de caisson 171, indépendamment l'une de l'autre, mais parallèlement l'une à l'autre, et une paire de couches LDD 177 qui sont formées dans des positions adjacentes à des parties de bord en regard des couches de source/drain 176.

Une pellicule d'oxyde de grille 76 est formée sur les couches
35 LDD 177, et une électrode de grille 79 est formée sur la pellicule d'oxyde

de grille 76. Une pellicule d'oxyde de paroi latérale 80 est formée sur une surface latérale de la pellicule d'oxyde de grille 76 et de l'électrode de grille 79. Une couche dopée de canal 175 est formée à l'intérieur de la couche de caisson 171, sous l'électrode de grille 79.

5 Le transistor MOS à canal N T32 de la partie supportant une tension élevée dans la partie de mémoire flash, comprend une paire de couches de source/drain 176 qui sont formées à l'intérieur de la couche de caisson 171, indépendamment l'une de l'autre, mais parallèlement l'une à l'autre, et une paire de couches LDD 177.

10 Une pellicule d'oxyde de grille 75 est formée sur les couches LDD 177, et une électrode de grille 79 est formée sur la pellicule d'oxyde de grille 75. La pellicule d'oxyde de paroi latérale 80 est formée sur une surface latérale de la pellicule d'oxyde de grille 75 et de l'électrode de grille 79. Une couche dopée de canal 173 est formée à l'intérieur de la
15 couche de caisson 171, sous l'électrode de grille 79.

Le transistor MOS à canal N T33 de la partie de réseau de cellules de mémoire de la partie de mémoire flash comprend une paire de couches de source/drain 176 qui sont formées à l'intérieur de la couche de caisson 171, indépendamment l'une de l'autre, mais parallèlement l'une à l'autre. Une pellicule d'oxyde tunnel 73 est formée sur des parties
20 de bord des couches de source/drain 176. Une électrode de grille flottante 77, une pellicule d'isolation inter-couche 74 et une électrode de grille de commande 78 sont formées dans cet ordre sur la pellicule d'oxyde tunnel 73.

25 La pellicule d'oxyde de paroi latérale 80 est formée sur une surface latérale de la pellicule d'oxyde tunnel 73, de l'électrode de grille flottante 77, de la pellicule d'isolation inter-couche 74 et de l'électrode de grille de commande 78.

Une région dopée de canal 175 est formée à l'intérieur de la
30 couche de caisson 171, sous l'électrode flottante 77. La partie de réseau de cellules de mémoire a une structure de réseau de grilles dans laquelle des grilles adjacentes se partagent une seule couche de source/drain 176. De telles structures sont disposées en succession.

35 Une caractéristique de la mémoire flash qui est représentée sur la figure 116 consiste en ce que l'épaisseur de la pellicule d'oxyde de

grille 75 du transistor MOS à canal N T32 de la partie supportant une tension élevée est la plus grande, et elle est suivie par l'épaisseur de la pellicule d'oxyde tunnel 73 du transistor MOS à canal N T33 de la partie de réseau de cellules de mémoire, et par l'épaisseur de la pellicule d'oxyde de grille 76 du transistor MOS à canal N T31 de la partie logique, dans cet ordre, et en ce que la concentration en impureté de la couche dopée de canal 173 du transistor MOS à canal N T32, de la partie supportant une tension élevée, est inférieure à celles des autres couches dopées de canal.

10 Le Tableau 4 montre des valeurs numériques concernant les structures des transistors MOS à canal N T31 à T33.

TABLEAU 4

	Partie logique (T31)	Partie supportant une tension élevée (T32)	Partie de réseau de cellules de mémoire (T33)
Epaisseur de pellicule d'oxyde de champ	400 nm	400 nm	400 nm
Epaisseur de pellicule d'oxyde de grille	6 nm	25 nm	10 nm
Epaisseur de pellicule d'électrode de grille flottante	-----	-----	100 nm
Concentration en impureté de grille flottante	-----	-----	$1 \times 10^{20} \text{ cm}^{-3}$
Epaisseur de pellicule d'isolation inter-couche	-----	-----	TEOS/Si ₃ N ₄ /TEOS = 10/10/10 nm
Epaisseur de pellicule d'élec- trode de grille de commande	200 nm	200 nm	200 nm
Concentration en impureté de grille de commande	$5 \times 10^{20} \text{ cm}^{-3}$	$5 \times 10^{20} \text{ cm}^{-3}$	$5 \times 10^{20} \text{ cm}^{-3}$
Paroi latérale	100 nm	100 nm	100 nm
Caisson	B 700 keV $1 \times 10^{15} \text{ cm}^{-2}$	B 700 keV $1 \times 10^{15} \text{ cm}^{-2}$	B 700 keV $1 \times 10^{15} \text{ cm}^{-2}$
Couche de coupure de canal	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$
Couche dopée de canal	B 50 keV $1 \times 10^{13} \text{ cm}^{-2}$	B 50 keV $1 \times 10^{12} \text{ cm}^{-2}$	B 50 keV $1 \times 10^{13} \text{ cm}^{-2}$
Couche LDD	As 30 keV $1 \times 10^{13} \text{ cm}^{-2}$	As 30 keV $1 \times 10^{13} \text{ cm}^{-2}$	-----
Couche de source/drain	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$
Traitement thermique	850°C 30 min		

Dans le Tableau 4, les épaisseurs des pellicules d'oxyde de grille des transistors MOS à canal N T31, T32 et T3 sont respectivement de 6 nm, 25 nm et 10 nm.

En outre, une dose d'impureté pour former la couche dopée de canal 173 du transistor MOS à canal N T32 est de $1 \times 10^{12} \text{ cm}^{-2}$, tandis qu'une dose d'impureté pour former la couche dopée de canal 173 des transistors MOS à canal N T31 et T33 est de $1 \times 10^{13} \text{ cm}^{-2}$. Du bore (B) est implanté à titre d'impureté pour toutes les couches, avec une énergie d'implantation de 50 keV.

La figure 117 montre des profils d'impureté pour les transistors MOS à canal N T31, T32 et T33 qui forment la partie d'amplificateur de lecture, la partie de circuits périphériques et de la partie de réseau de cellules de mémoire, tous représentés sur la figure 116, ces profils correspondant respectivement à des coupes selon la ligne A-A', la ligne B-B' et la ligne C-C'.

Sur la figure 117, une position (en profondeur) dans une direction de coupe est représentée sur un axe horizontal et une concentration en impureté est représentée sur un axe vertical. On trouve l'électrode de grille (couche de silicium polycristallin), la pellicule d'oxyde de grille (couche de SiO_2) et la couche de caisson (couche de silicium massif), dans cet ordre, le long de l'axe horizontal, en partant du côté gauche.

Comme représenté dans le Tableau 4, la concentration en impureté dans l'électrode de grille se maintient uniformément à la même valeur parmi tous les transistors, et par conséquent la ligne A-A', la ligne B-B' et la ligne C-C' se trouvent l'une au-dessus de l'autre et sont représentées sous la forme de lignes droites en superposition (représentées par trois lignes sur le dessin pour distinguer les lignes respectives). D'autre part, dans la couche de caisson, la dose de canal est plus faible pour un transistor de la partie supportant une tension élevée, qui exige une faible valeur de seuil, et par conséquent la concentration en impureté est faible à une interface entre la pellicule d'oxyde et la partie massive. Une position de pic de chaque profil est approximativement la même qu'une position à laquelle est formée chaque couche dopée de canal.

La figure 118 montre des épaisseurs des pellicules d'oxyde de grille respectives. Sur la figure 118, les transistors MOS à canal N de la

partie logique, de la partie supportant une tension élevée et de la partie de réseau de cellules de mémoire sont représentés dans cet ordre, le long de l'axe horizontal, à partir du côté gauche. Comme représenté sur la figure 118, la pellicule d'oxyde de la partie supportant une tension élevée de la partie de mémoire flash est la plus épaisse, tandis que la pellicule d'oxyde de la partie logique est la plus mince, dans le but d'améliorer la possibilité d'attaque en courant.

Procédé de fabrication des transistors respectifs

En se référant aux figures 119 à 132, on présentera dans ce qui suit une description d'un procédé de fabrication des transistors MOS à canal N T31 à T33 de la partie logique, et de la partie supportant une tension élevée et de la partie de réseau de cellules de mémoire de la partie de mémoire flash, qui sont représentés sur la figure 116

Premièrement, à une étape qui est représentée sur la figure 119, on forme la couche LOCOS (c'est-à-dire une pellicule d'oxyde de champ) 72 de façon à lui donner par exemple une épaisseur de 400 nm, par un procédé LOCOS, sur une surface du substrat semiconducteur 71 du type P. A la suite de ceci, on implante par exemple des ions de bore avec une énergie de 700 keV et une dose de $1 \times 10^{13} \text{ cm}^{-2}$, pour former ainsi une région de caisson de type P 171 à l'intérieur du substrat semiconducteur 71. Bien que l'on forme également une région de caisson de type N dans le substrat semiconducteur 71 dans le but de former des transistors MOS à canal P, ceci n'est pas représenté et la description sera omise. Ensuite, on implante par exemple des ions de bore avec une énergie de 130 keV et une dose de $5 \times 10^{12} \text{ cm}^{-2}$, pour former ainsi la couche de coupure de canal 172 à l'intérieur du substrat semiconducteur 71. On fabrique la couche de coupure de canal 172 avec une forme qui, conjointement à la couche LOCOS 72, crée les régions présentant une séparation entre éléments.

Ensuite, on forme la région dopée de canal 173 qui a la plus faible concentration en impureté, à l'intérieur de la région de caisson 171 du transistor T32 de la partie supportant une tension élevée. On forme la couche dopée de canal 173 en implantation par exemple des ions de bore, avec une énergie de 50 keV et une dose de $1 \times 10^{12} \text{ cm}^{-2}$.

Ensuite, on implante une impureté dans la région de caisson

171 des transistors T31 et T33 de la partie logique et de la partie de réseau de cellules de mémoire, pour former ainsi la couche dopée de canal 175 qui a une concentration en impureté en correspondance avec les transistors T31 et T33 de la partie logique et de la partie de réseau de
5 cellules de mémoire. On forme la couche dopée de canal 175 en implantant par exemple des ions de bore avec une énergie de 50 keV et une dose de $1 \times 10^{13} \text{ cm}^{-2}$.

Ensuite à une étape qui est représentée sur la figure 120, après avoir formé sur la surface principale du substrat semiconducteur 71, par
10 un procédé d'oxydation thermique, une pellicule d'oxyde 731 qui deviendra la pellicule d'oxyde tunnel 73, on forme par exemple une couche de silicium polycristallin dopé 771, à titre de matériau d'électrode de grille, sur la pellicule d'oxyde 731, par un procédé CVD. La pellicule d'oxyde 731 a une épaisseur d'environ 10 nm, tandis que la couche de silicium polycristallin dopé 771 a une épaisseur d'environ 100 nm. On utilise du
15 phosphore (P) à titre d'impureté. La concentration de l'impureté est d'environ $1 \times 10^{20} \text{ cm}^{-3}$.

Ensuite, à une étape qui est représentée sur la figure 121, on forme sélectivement un masque de matière de réserve R261 sur la couche de silicium polycristallin dopé 771, à l'intérieur de la partie de réseau de cellules de mémoire. Dans ce cas, on forme le masque de matière de réserve R261 dans la direction de la largeur de grille de la partie de réseau de cellules de mémoire. On enlève par attaque anisotrope une partie de la couche de silicium polycristallin dopé 771 qui n'est pas recouverte par le masque de matière de réserve R261. La figure 122 montre
20 cette condition.

La figure 122 est une vue en plan représentant la structure de la figure 121 vue par le côté de la surface supérieure (c'est-à-dire le côté sur lequel le masque de matière de réserve R261 est formé). A l'intérieur
30 de la partie de réseau de cellules de mémoire, le masque de matière de réserve R261 est réalisé sous la forme d'îlots rectangulaires qui sont disposés régulièrement. On forme le masque de matière de réserve 261 de façon à recouvrir une couche active AL qui a une configuration semblable à un îlot rectangulaire, et une couche LOCOS LL autour de cette couche active. A l'intérieur de la partie supportant une tension élevée et de la
35

partie logique, la couche active AL est à nu du fait que le masque de matière de réserve R261 n'est pas formé. Bien que le masque de matière de réserve R261 soit partiellement omis sur la figure 122, de façon que la couche active AL et la couche LOCOS LL soient visibles, c'est uniquement pour la clarté de la représentation de la structure située sous le masque de matière de réserve R261 et simplement pour la commodité de l'illustration.

Ensuite, après avoir enlevé le masque de matière de réserve R261, à une étape qui est représentée sur la figure 123, on forme par un procédé CVD sur la couche de silicium polycristallin dopé 771 une pellicule d'isolation 741, qui deviendra la pellicule d'isolation inter-couche 74 qui isole la grille flottante vis-à-vis de la grille de commande. Cette pellicule a une structure dans laquelle une pellicule de TEOS (tétraéthylorthosilicate), une pellicule de nitrure (Si_3N_4) et une pellicule de TEOS ayant chacune une épaisseur de 10 nm sont superposées dans cet ordre. La pellicule d'isolation inter-couche 74 est appelée dans certains cas "pellicule ONO". La pellicule d'isolation 741 est également formée sur la partie supportant une tension élevée et sur la partie logique.

Ensuite, à une étape qui est représentée sur la figure 124, on forme un masque de matière de réserve R262 sur la pellicule d'isolation 741 de la partie de réseau de cellules de mémoire, et on enlève la pellicule d'isolation 741 dans toutes les autres régions. Dans ce cas, dans les autres régions, on enlève également la pellicule d'oxyde 731. La figure 125 montre cette condition.

La figure 125 est une vue en plan représentant la structure de la figure 124 vue par le côté de la surface supérieure (c'est-à-dire le côté sur lequel le masque de matière de réserve R262 est formé). On forme le masque de matière de réserve R262 de manière à recouvrir entièrement la partie de réseau de cellules de mémoire. Cependant, à l'intérieur de la partie supportant une tension élevée et de la partie logique, la couche active AL est à nu, du fait que le masque de matière de réserve R262 n'est pas formé.

Ensuite, après avoir enlevé le masque de matière de réserve R262, à une étape qui est représentée sur la figure 126, on forme sur la

totalité de la surface principale du substrat semiconducteur 71, par un procédé d'oxydation thermique, une pellicule d'oxyde 751 qui deviendra la pellicule d'oxyde de grille 75. A ce stade, du fait que la pellicule d'isolation 741 sur la partie de réseau de cellules de mémoire comprend la pellicule de nitrure, la pellicule d'isolation 741 n'est pas oxydée et l'épaisseur de la pellicule d'isolation 741 ne change pas. L'épaisseur de la pellicule d'oxyde 751 est d'environ 19 nm.

Ensuite, à une étape qui est représentée sur la figure 127, on recouvre avec un masque de matière de réserve R263 des régions autres que la partie logique, et on enlève la pellicule d'oxyde 751 sur la partie logique, par attaque par voie humide. La figure 128 montre cette condition.

La figure 128 est une vue en plan représentant la structure de la figure 127 vue par le côté de la surface supérieure (c'est-à-dire le côté sur lequel le masque de matière de réserve R263 est formé). On forme le masque de matière de réserve R263 de façon à recouvrir entièrement la partie de réseau de cellules de mémoire et la partie supportant une tension élevée. Cependant, à l'intérieur de la partie logique, la couche active AL est à nu, du fait que le masque de matière de réserve R263 n'est pas formé.

Ensuite, après avoir enlevé le masque de matière de réserve R263, à une étape qui est représentée sur la figure 129, on forme par un procédé d'oxydation thermique, une pellicule d'oxyde 761 qui deviendra la pellicule d'oxyde de grille 76. A ce stade, du fait que la pellicule d'isolation 741 sur la partie de réseau de cellules de mémoire comprend la pellicule de nitrure, la pellicule d'isolation 741 n'est pas oxydée et l'épaisseur de la pellicule d'isolation 741 n'est pas changée. Cependant, à l'intérieur de la partie supportant une tension élevée, la pellicule d'oxyde 751 se développe et son épaisseur augmente. L'épaisseur de la pellicule d'oxyde 761 est d'environ 6 nm. La pellicule d'oxyde 751 se développe jusqu'à environ 25 nm.

Ensuite, à une étape qui est représentée sur la figure 130, on forme une couche de silicium polycristallin dopé 791, à titre de matériau d'électrode de grille, sur la totalité de la surface principale du substrat semiconducteur 71, par un procédé CVD. L'épaisseur de la couche de

silicium polycristallin dopé 791 est d'environ 200 nm. On utilise du phosphore (P) à titre d'impureté. La concentration de l'impureté est d'environ $5 \times 10^{20} \text{ cm}^{-3}$.

5 Ensuite à une étape qui est représentée sur la figure 131, on forme un masque de matière de réserve R264 sur la couche de silicium polycristallin dopé 791, et on définit un motif avec ce masque. La figure 132 montre cette condition.

10 La figure 132 est une vue en plan représentant la structure de la figure 131 vue par le côté de la surface supérieure (c'est-à-dire le côté sur lequel le masque de matière de réserve R264 est formé). Le masque de matière de réserve R264 est formé de façon à être perpendiculaire à la couche active AL qui a une configuration rectangulaire.

15 L'opération de définition de motif forme la pellicule d'oxyde de grille 76 et l'électrode de grille 79 à l'intérieur de la partie logique, elle forme la pellicule d'oxyde de grille 76 et l'électrode de grille 79 à l'intérieur de la partie supportant une tension élevée, et elle forme la pellicule d'oxyde tunnel 73, l'électrode de grille flottante 77 et l'électrode de grille de commande 78 à l'intérieur de la partie de réseau de cellules de mémoire.

20 A la suite de ceci, après avoir formé les couches LDD 177 par implantation d'ions dans la partie logique et dans la partie supportant une tension élevée, on forme la pellicule d'oxyde de paroi latérale 80 d'une épaisseur d'environ 100 nm sur une surface latérale de la pellicule d'oxyde de grille 76 et de l'électrode de grille 79, sur une surface latérale de la pellicule d'oxyde de grille 76 et de l'électrode de grille 79 et sur une surface latérale de la pellicule d'oxyde tunnel 73, de l'électrode de grille flottante 77, de la pellicule d'isolation inter-couche 74 et de l'électrode de grille de commande 78. En utilisant à titre de masque la pellicule d'oxyde de paroi latérale 80, et en procédant par implantation ionique on forme
30 les couches de source/drain 176. De cette manière, on obtient la structure de la mémoire flash qui est représentée sur la figure 116.

35 Les couches LDD 177 sont obtenues en implantant par exemple des ions d'arsenic avec une énergie de 30 keV et une dose de $1 \times 10^{13} \text{ cm}^{-2}$. D'autre part, les couches de source/drain 176 sont obtenues en injectant par exemple des ions d'arsenic, avec une énergie de 50 keV et

une dose de $5 \times 10^{15} \text{ cm}^{-2}$, et en effectuant ensuite une opération de recuit à 850°C pendant 30 minutes.

Bien que ceci soit suivi par la formation d'un condensateur, d'une pellicule d'isolation inter-couche, d'une couche d'interconnexion et autres, pour former le Circuit Logique en Mémoire Flash, ceci ne sera pas décrit et n'est pas représenté dans les dessins.

Problèmes concernant le Circuit Logique en Mémoire Flash classique

Comme décrit ci-dessus, dans le Circuit Logique en Mémoire Flash classique, pour former dans une seule puce des transistors qui sont utilisés dans la partie logique, la partie supportant une tension élevée et la partie de réseau de cellules de mémoire, et qui ont des caractéristiques mutuellement différentes, on change la concentration en impureté de la couche dopée de canal conformément à chaque transistor, et on ajuste une valeur de seuil.

Cependant, lorsque la concentration en impureté de la couche dopée de canal devient plus élevée, la valeur de seuil augmente. En même temps, une fuite de couche de diffusion augmente du fait que la concentration en impureté devient élevée par exemple dans une partie de jonction entre une couche de diffusion et le substrat. En d'autres termes, la valeur de seuil et la fuite de couche de diffusion sont dans une relation mutuelle de compromis, et par conséquent un courant de fuite est automatiquement déterminé une fois que la valeur de seuil est déterminée. Il en résulte que la relation de compromis entre les deux impose une restriction à la conception du circuit.

En outre, dans la partie logique, dans le but de parvenir à une possibilité d'attaque élevée, il est nécessaire de former une pellicule d'oxyde de grille plus mince que celles des autres parties. Dans ce but, il est nécessaire de former un ensemble de types de transistors qui ont des épaisseurs de pellicule d'oxyde mutuellement différentes, dans la mémoire flash qui se présente sous la forme d'une seule puce, et il est nécessaire dans certains cas de former les pellicules d'oxyde en plusieurs étapes. Par exemple, dans la partie supportant une tension élevée, à l'étape d'enlèvement du masque de matière de réserve R263 (voir la figure 127), la pellicule d'isolation 751 se développe davantage au cours

de la formation de la pellicule d'oxyde 761 (voir la figure 129). Ainsi, la pellicule d'oxyde 751 est formée en deux étapes. Ceci conduit à une possibilité plus élevée de laisser entrer une impureté ou autre, ce qui à son tour dégrade la fiabilité de la pellicule d'oxyde de grille 75 ou amoindrit la maîtrise de l'épaisseur de pellicule. Ceci conduit en outre à un problème qui consiste dans la perte de la fiabilité du transistor MOS à canal N T32 de la partie supportant une tension élevée, etc.

Comme décrit ci-dessus, dans un dispositif à semiconducteurs dans lequel plusieurs types de transistors sont formés dans une seule puce, les valeurs de seuil ont été ajustées jusqu'à présent en changeant les concentrations en impureté des couches dopées de canal conformément aux transistors. Cependant, du fait qu'il y a une relation de compromis entre une valeur de seuil et une fuite de couche de diffusion, un courant de fuite est automatiquement déterminé une fois que la valeur de seuil est déterminée. Par conséquent, la relation de compromis entre les deux impose une restriction à la conception du circuit. De plus, il est nécessaire de former les pellicules d'oxyde de grille en plusieurs étapes. Ceci conduit à une possibilité plus élevée de permettre l'entrée d'une impureté ou autres, ce qui à son tour dégrade la fiabilité des pellicules d'oxyde de grille ou amoindrit la maîtrise de l'épaisseur de pellicule. Ceci conduit en outre à un problème qui consiste dans la dégradation de la fiabilité des transistors.

Un premier aspect de la présente invention porte sur un dispositif à semiconducteurs comprenant au moins un transistor sur un substrat semiconducteur, dans lequel au moins transistor comprend : une couche de semiconducteur d'un premier type de conductivité qui est formée dans une surface du substrat semiconducteur; une couche dopée de canal du premier type de conductivité qui est formée sélectivement dans la couche de semiconducteur; et une électrode de commande qui est formée dans une position faisant face à la couche dopée de canal, au dessus de la couche de semiconducteur, l'électrode de commande ayant une structure du type silicium polycristallin/siliciure, dans laquelle une couche de siliciure de tungstène est formée sur une couche de silicium polycristallin, et la couche de silicium polycristallin contient une impureté d'un second type de conductivité, l'impureté ayant une distribution

qui présente une concentration relativement élevée du côté de la couche de siliciure de tungstène, mais une concentration relativement faible du côté opposé.

Dans le dispositif à semiconducteurs conforme au premier aspect de la présente invention, l'électrode de commande a une structure du type silicium polycristallin/siliciure dans laquelle la couche de siliciure de tungstène est formée sur la couche de silicium polycristallin, la couche de silicium polycristallin contient l'impureté du second type de conductivité, et l'impureté a une distribution qui présente une concentration relativement élevée du côté de la couche de siliciure de tungstène, mais une concentration relativement faible du côté opposé. Par conséquent, lorsque le dispositif fonctionne, dans une partie dans laquelle la concentration en impureté est relativement faible, une couche de désertion est créée à l'intérieur de la couche de silicium polycristallin, et cette couche de désertion détermine l'épaisseur effective de la pellicule d'oxyde de grille, conformément à une étendue dans laquelle la couche de désertion est créée. Par conséquent, lorsque plusieurs types de transistors qui ont des caractéristiques mutuellement différentes (ayant par exemple des spécifications imposées mutuellement différentes) sont nécessaires, en changeant la distribution de la concentration en impureté, il est possible de changer l'épaisseur effective de la pellicule d'oxyde de grille et de fixer une valeur de seuil. Ceci élimine la nécessité de changer la concentration en impureté de la couche dopée de canal conformément aux caractéristiques des transistors, ce qui était nécessaire jusqu'à présent, et par conséquent il est possible de fixer la concentration à un niveau qui minimise un courant de fuite à partir d'une couche de diffusion (c'est-à-dire la fuite de couche de diffusion). Par exemple, si la concentration en impureté est fixée de façon que la fuite de couche de diffusion soit minimale et si une valeur de seuil est fixée au moyen du rapport d'épaisseur entre la couche de siliciure de tungstène et la couche de silicium polycristallin, on arrive à s'affranchir de la relation de compromis entre la valeur de seuil et la fuite de couche de diffusion, et une restriction imposée à la conception de circuits est éliminée. En outre, du fait qu'il est possible de changer l'épaisseur effective de la pellicule d'oxyde de grille, il n'est pas nécessaire de former avec des épaisseurs mutuellement diffé-

rentes les pellicules d'oxyde de grille de transistors qui ont des tensions de claquage mutuellement différentes.

Selon un second aspect de la présente invention, dans le dispositif à semiconducteurs du premier aspect, les transistors comprennent
5 au moins deux types de transistors, et dans la structure du type silicium polycristallin/siliciure, le rapport entre l'épaisseur de la couche de siliciure de tungstène et l'épaisseur de la couche de silicium polycristallin est différent entre au moins deux types de transistors.

Dans le dispositif à semiconducteurs conforme au second aspect
10 de la présente invention, du fait qu'au moins deux types de transistors sont formés de manière que le rapport entre l'épaisseur de la couche de siliciure de tungstène et l'épaisseur de la couche de silicium polycristallin soit différent entre au moins deux types de transistors, il est possible de faire en sorte que les concentrations en impureté dans les couches de silicium polycristallin soient mutuellement différentes. Ainsi, dans
15 le transistor dans lequel le rapport entre l'épaisseur de la couche de siliciure de tungstène et l'épaisseur de la couche de silicium polycristallin est élevé, la concentration en impureté présente une distribution qui change de façon plus abrupte que dans les autres transistors. Il en résulte qu'une couche de désertion est créée dans une plus grande étendue à l'intérieur de la couche de silicium polycristallin lorsque le dispositif fonctionne, et l'épaisseur effective de la pellicule d'oxyde de grille devient plus grande. Par conséquent, si la présente invention est appliquée
20 à un transistor qui exige la pellicule d'oxyde de grille la plus épaisse, il est possible de réduire l'épaisseur réelle de la pellicule d'oxyde de grille de façon à la rendre mince. De plus, en changeant le rapport entre l'épaisseur de la couche de siliciure de tungstène et l'épaisseur de la couche de silicium polycristallin, il est possible de changer l'épaisseur effective de la pellicule d'oxyde de grille, et par conséquent il n'est pas
25 nécessaire de former un certain nombre de types de pellicules d'oxyde de grille qui ont des épaisseurs mutuellement différentes.

Selon un troisième aspect de la présente invention, dans le dispositif à semiconducteurs du second aspect, au moins deux types de transistors comprennent des transistors d'un premier type à un troisième
35 type, et le transistor du premier type comprend : une paire de premières

régions de semiconducteur du second type de conductivité formées sélectivement et indépendamment dans la couche de semiconducteur du transistor du premier type; et une première pellicule d'oxyde de grille formée sur la couche de semiconducteur du transistor du premier type

5 entre la paire de premières régions de semiconducteur, la couche dopée de canal du transistor du premier type est formée entre la paire de premières régions de semiconducteur, l'électrode de commande du transistor du premier type comprend: une première couche de silicium polycristallin qui est formée sur la première pellicule d'oxyde de grille; et une première

10 couche de siliciure de tungstène qui est formée sur la première couche de silicium polycristallin, le transistor du second type comprend : une paire de secondes régions de semiconducteur du second type de conductivité formées sélectivement et indépendamment dans la couche de semiconducteur du transistor du second type; et une seconde pellicule

15 d'oxyde de grille formée sur la couche de semiconducteur du transistor du second type, entre la paire de secondes régions de semiconducteur, la couche dopée de canal du transistor du second type est formée entre la paire de secondes régions de semiconducteur, l'électrode de commande du transistor du second type comprend : une seconde couche de

20 silicium polycristallin qui est formée sur la seconde pellicule d'oxyde de grille; et une seconde couche de siliciure de tungstène qui est formée sur la seconde couche de silicium polycristallin, le transistor du troisième type comprend : une paire de troisièmes régions de semiconducteur du second type de conductivité formées sélectivement et indépendamment

25 dans la couche de semiconducteur du transistor du troisième type; et une troisième pellicule d'oxyde de grille formée sur la couche de semiconducteur du transistor du troisième type, entre la paire de troisièmes régions de semiconducteur; la couche dopée de canal du transistor du troisième type est formée entre la paire de troisièmes régions de semiconducteur, l'électrode de commande du transistor du troisième type comprend : une troisième couche de silicium polycristallin qui est formée sur

30 la troisième pellicule d'oxyde de grille; et une troisième couche de siliciure de tungstène qui est formée sur la troisième couche de silicium polycristallin, les rapports entre les épaisseurs des première à troisième couches de siliciure de tungstène et les épaisseurs des première à troi-

35

sième couches de silicium polycristallin sont mutuellement différents, les première à troisième pellicules d'oxyde de grille ont la même épaisseur, et les couches dopées de canal des transistors des premier à troisième types ont la même concentration en impureté.

5 Dans le dispositif à semiconducteurs conforme au troisième aspect de la présente invention, les rapports entre les épaisseurs des première à troisième couches de siliciure de tungstène et les épaisseurs des première à troisième couches de silicium polycristallin sont mutuellement
10 différents, les première à troisième pellicules d'oxyde de grille ont la même épaisseur, et les couches dopées de canal des transistors des premier à troisième types ont la même concentration en impureté. Par conséquent, dans une mémoire DRAM, par exemple, si le transistor du premier type est utilisé dans un circuit amplificateur de lecture, le transistor du second type est utilisé dans un circuit périphérique et le transistor du troisième type est utilisé dans un réseau de cellules de mémoire,
15 en changeant les rapports entre les épaisseurs des première à troisième couches de siliciure de tungstène et les épaisseurs des première à troisième couches de silicium polycristallin, respectivement, il est possible de changer l'épaisseur effective de la pellicule d'oxyde de grille et de fixer une valeur de seuil. Ceci supprime la nécessité de changer la concentration en impureté de la couche dopée de canal conformément à des caractéristiques des transistors, ce qui était nécessaire jusqu'à présent, et par conséquent il est possible de fixer la concentration à un niveau qui minimise un courant de fuite à partir d'une couche de diffusion
20 (c'est-à-dire une fuite de couche de diffusion). Par conséquent, en fixant la concentration en impureté de façon que la fuite de couche de diffusion soit minimale et en fixant une valeur de seuil au moyen des rapports entre les épaisseurs des première à troisième couches de siliciure de tungstène et celles des première à troisième couches de silicium polycristallin, on parvient à s'affranchir de la relation de compromis entre la valeur de seuil et la fuite de couche de diffusion, et une restriction imposée à la conception de circuits est éliminée. En outre, le fait de changer chaque rapport d'épaisseur entre chaque couche de siliciure de tungstène et chaque couche de silicium polycristallin a moins d'influence sur les autres structures que dans le cas où on change la concentration en impu-
25
30
35

reté de la couche dopée de canal qui est formée à l'intérieur du substrat
semiconducteur. Plus précisément, une implantation ionique dans un
substrat semiconducteur, en particulier une implantation avec une dose
élevée, est une cause de dégradation de la qualité de cristal du substrat
5 semiconducteur. Cependant, du fait que dans la présente invention on
traite l'électrode de commande qui se trouve dans la position la plus ex-
térieure, un tel problème ne se manifeste pas.

Selon un quatrième aspect de la présente invention, dans le
dispositif à semiconducteurs du second aspect, au moins deux types de
10 transistors comprennent des transistors d'un premier type à un troisième
type, le transistor du premier type comprend : une paire de premières ré-
gions de semiconducteur du second type de conductivité formées sélecti-
vement et indépendamment dans la couche de semiconducteur du tran-
sistor du premier type; et une première pellicule d'oxyde de grille formée
15 sur la couche de semiconducteur du transistor du premier type, entre la
paire de premières régions de semiconducteur, la couche dopée de canal
du transistor du premier type est formée entre la paire de premières ré-
gions de semiconducteur, l'électrode de commande du transistor du pre-
mier type comprend : une première couche de silicium polycristallin qui
20 est formée sur la première pellicule d'oxyde de grille; et une première
couche de siliciure de tungstène qui est formée sur la première couche
de silicium polycristallin, le transistor du second type comprend : une
paire de secondes régions de semiconducteur du second type de con-
ductivité qui sont formées sélectivement et indépendamment dans la cou-
25 che de semiconducteur du transistor du second type; et une seconde pel-
licule d'oxyde de grille formée sur la couche de semiconducteur du tran-
sistor du second type, entre la paire de secondes régions de semicon-
ducteur, la couche dopée de canal du transistor du second type est for-
mée entre la paire de secondes régions de semiconducteur, l'électrode
30 de commande du transistor du second type comprend : une seconde cou-
che de silicium polycristallin qui est formée sur la seconde pellicule
d'oxyde de grille; et une seconde couche de siliciure de tungstène qui est
formée sur la seconde couche de silicium polycristallin, le transistor du
troisième type comprend : une paire de troisièmes régions de semicon-
35 ducteur du second type de conductivité formées sélectivement et indé-

pendamment dans la couche de semiconducteur du transistor du troisième type; une troisième pellicule d'oxyde de grille formée sur la couche de semiconducteur du transistor du troisième type, entre la paire de troisièmes régions de semiconducteur; et une électrode de grille flottante qui est formée sur la troisième pellicule d'oxyde de grille; et une pellicule d'isolation inter-couche qui est formée sur l'électrode de grille flottante, la couche dopée de canal est formée entre la paire de troisièmes régions de semiconducteur, l'électrode de commande du transistor du troisième type comprend : une troisième couche de silicium polycristallin qui est formée sur la pellicule d'isolation inter-couche; et une troisième couche de siliciure de tungstène qui est formée sur la troisième couche de silicium polycristallin, le rapport entre l'épaisseur de la première couche de siliciure de tungstène et l'épaisseur de la première couche de silicium polycristallin est supérieur aux rapports entre les épaisseurs d'autres couches de siliciure de tungstène et les épaisseurs d'autres couches de silicium polycristallin, les première et seconde pellicules d'oxyde de grille ont la même épaisseur, qui est une première épaisseur, tandis que la troisième pellicule d'oxyde de grille a une seconde épaisseur qui est supérieure à la première épaisseur, et les couches dopées de canal des transistors des premier à troisième types ont la même concentration en impureté.

Dans le dispositif à semiconducteurs conforme au quatrième aspect de la présente invention, le rapport entre l'épaisseur de la première couche de siliciure de tungstène et l'épaisseur de la première couche de silicium polycristallin est supérieur aux rapports entre les épaisseurs d'autres couches de siliciure de tungstène et les épaisseurs d'autres couches de silicium polycristallin, les première et seconde pellicules d'oxyde de grille ont la même épaisseur, qui est une première épaisseur, tandis que la troisième pellicule d'oxyde de grille a une seconde épaisseur qui est supérieure à la première épaisseur et les couches dopées de canal des transistors des premier à troisième types ont la même concentration en impureté. Par conséquent, si le transistor du premier type est utilisé dans un circuit qui doit avoir une tension de claquage élevée, le transistor du second type est utilisé dans un circuit périphérique et le transistor du troisième type est utilisé dans un réseau de cellules de mémoire dans

une mémoire flash, par exemple, il n'est pas nécessaire de former avec des épaisseurs mutuellement différentes les pellicules d'oxyde de grille des transistors qui ont des tensions de claquage mutuellement différentes. En outre, dans un Circuit Logique en Mémoire Flash, le transistor du premier type peut être utilisé dans un circuit qui doit avoir une tension de claquage élevée, le transistor du second type peut être utilisé dans un circuit logique et le transistor du troisième type peut être utilisé dans un réseau de cellules de mémoire. De plus, du fait qu'il est possible de fixer une valeur de seuil en changeant l'épaisseur effective de la pellicule d'oxyde de grille, il n'est pas nécessaire de changer la concentration en impureté de la couche dopée de canal conformément à des caractéristiques des transistors, comme il était nécessaire jusqu'à présent, ce qui fait qu'il est possible de fixer la concentration à un niveau qui minimise un courant de fuite à partir d'une couche de diffusion, c'est-à-dire une fuite de couche de diffusion. Par conséquent, en fixant les concentrations en impureté des couches dopées de canal de façon que la fuite de couche de diffusion soit minimale, et en ajustant une caractéristique de tension de claquage et une valeur de seuil au moyen des rapports entre les épaisseurs des couches de siliciure de tungstène et des couches de silicium polycristallin, il est possible de s'affranchir de la relation de compromis entre la valeur de seuil et la fuite de couche de diffusion, et une restriction imposée à la conception de circuits est éliminée. De plus, même lorsqu'on doit former des pellicules d'oxyde de grille ayant des épaisseurs mutuellement différentes, en changeant les épaisseurs effectives des pellicules d'oxyde de grille, il est possible de réduire le nombre des types des pellicules d'oxyde de grille. Ceci simplifie des étapes de fabrication de pellicules d'oxyde de grille et permet d'obtenir des pellicules d'oxyde de grille qui ont une excellente fiabilité et qui offrent une excellente maîtrise des épaisseurs de pellicules.

Selon un cinquième aspect de la présente invention, dans le dispositif à semiconducteurs du second aspect, au moins deux types de transistors comprennent des transistors d'un premier type à un troisième type, le transistor du premier type comprend : une paire de premières régions de semiconducteur du second type de conductivité formées sélectivement et indépendamment dans la couche de semiconducteur du tran-

sistor du premier type; et une première pellicule d'oxyde de grille formée sur la couche de semiconducteur du transistor du premier type, entre la paire de premières régions de semiconducteur, la couche dopée de canal du transistor du premier type est formée entre la paire de premières ré-

5 gions de semiconducteur, l'électrode de commande du transistor du premier type comprend : une première couche de silicium polycristallin qui est formée sur la première pellicule d'oxyde de grille; et une première couche de siliciure de tungstène qui est formée sur la première couche de silicium polycristallin, le transistor du second type comprend : une

10 paire de secondes régions de semiconducteur du second type de conductivité formées sélectivement et indépendamment dans la couche de semiconducteur du transistor du second type; et une seconde pellicule d'oxyde de grille formée sur la couche de semiconducteur du transistor du second type, entre la paire de secondes régions de semiconducteur,

15 la couche dopée de canal du transistor du second type est formée entre la paire de secondes régions de semiconducteur, l'électrode de commande du transistor du second type comprend : une seconde couche de silicium polycristallin qui est formée sur la seconde pellicule d'oxyde de grille; et une seconde couche de siliciure de tungstène qui est formée sur

20 la seconde couche de silicium polycristallin, le transistor du troisième type comprend : une paire de troisièmes régions de semiconducteur du second type de conductivité formées sélectivement et indépendamment dans la couche de semiconducteur du transistor du troisième type; une troisième pellicule d'oxyde de grille formée sur la couche de semicon-

25 ducteur du transistor du troisième type, entre la paire de troisièmes régions de semiconducteur; et la couche dopée de canal est formée entre la paire de troisièmes régions de semiconducteur, l'électrode de commande du transistor du troisième type comprend : une troisième couche de silicium polycristallin qui est formée sur la troisième pellicule d'oxyde

30 de grille; et une troisième couche de siliciure de tungstène qui est formée sur la troisième couche de silicium polycristallin, le rapport entre l'épaisseur de la troisième couche de siliciure de tungstène et l'épaisseur de la troisième couche de silicium polycristallin est supérieur aux rapports entre les épaisseurs d'autres couches de siliciure de tungstène et les

35 épaisseurs d'autres couches de silicium polycristallin, les première à troi-

sième pellicules d'oxyde de grille ont la même épaisseur, et les couches dopées de canal des transistors des premier et troisième types ont la même concentration en impureté.

Dans le dispositif à semiconducteurs conforme au cinquième aspect de la présente invention, le rapport entre l'épaisseur de la troisième couche de siliciure de tungstène et l'épaisseur de la troisième couche de silicium polycristallin est supérieur aux rapports entre les épaisseurs d'autres couches de siliciure de tungstène et les épaisseurs d'autres couches de silicium polycristallin, les première à troisième pellicules d'oxyde de grille ont la même épaisseur, et les couches dopées de canal des transistors des premier à troisième types ont la même concentration en impureté. Par conséquent, dans un Circuit Logique en Mémoire DRAM, par exemple, si le transistor du premier type est utilisé dans un circuit logique, le transistor du second type est utilisé dans un circuit amplificateur de lecture et le transistor du troisième type est utilisé dans un réseau de cellules de mémoire, dans le réseau de cellules de mémoire dans lequel le rapport entre l'épaisseur de la couche de siliciure de tungstène et l'épaisseur de la couche de silicium polycristallin est le plus élevé, une couche de désertion est formée dans une grande étendue à l'intérieur de l'électrode de commande, ce qui fait que l'épaisseur effective de la pellicule d'oxyde devient plus grande et la valeur de seuil devient plus élevée. Par conséquent, en fixant les concentrations en impureté des couches dopées de canal des transistors des premier à troisième types de façon que la fuite de couche de diffusion soit minimale, et en fixant une valeur de seuil au moyen des rapports entre les épaisseurs des couches de siliciure de tungstène et des couches de silicium polycristallin, on peut s'affranchir de la relation de compromis entre la valeur de seuil et la fuite de couche de diffusion, et une restriction imposée à la conception de circuits est éliminée.

Un sixième aspect de la présente invention porte sur un dispositif à semiconducteurs qui comprend au moins un transistor sur un substrat semiconducteur, dans lequel au moins un transistor comprend : une région active qui est définie par une pellicule d'oxyde de champ qui est formée sélectivement sur une surface principale du substrat semiconducteur; une pellicule d'oxyde qui est formée sur la région active; et une

électrode de commande qui est formée sur la pellicule d'oxyde, l'électrode de commande comprenant une couche de silicium polycristallin dans laquelle une impureté du même type de conductivité qu'une couche de source/drain est implantée, l'électrode de commande comprend une
5 couche de siliciure de tungstène qui est formée sélectivement sur la couche de silicium polycristallin qui est sur une partie de bord de la région active, et l'impureté a une distribution qui présente une concentration relativement élevée du côté de la couche de siliciure de tungstène, mais une concentration relativement faible du côté opposé.

10 Le dispositif à semiconducteurs conforme au sixième aspect de la présente invention comprend la couche de siliciure de tungstène qui est formée sélectivement sur la couche de silicium polycristallin qui se trouve sur la partie de bord de la région active, et l'impureté dans la couche de silicium polycristallin qui se trouve sur la partie de bord de la ré-
15 gion active a une distribution qui présente une concentration relativement élevée du côté de la couche de siliciure de tungstène, mais une concentration relativement faible du côté opposé. Par conséquent, lorsque le dispositif fonctionne, conformément à une partie dans laquelle la concentration en impureté est relativement faible, une couche de désertion est créée dans la couche de silicium polycristallin, et cette couche de désertion détermine l'épaisseur effective de la pellicule d'oxyde de grille, conformément à une étendue dans laquelle la couche de désertion est créée. Par conséquent, lorsque le dispositif fonctionne, une couche de désertion est créée dans une plus grande étendue à l'intérieur de la cou-
20 che de silicium polycristallin qui se trouve sur la partie de bord de la région active, et l'épaisseur effective de la pellicule d'oxyde de grille devient plus grande, ce qui fait que la valeur de seuil devient partiellement élevée. Si on utilise un substrat du type silicium sur isolant (SOI) pour le substrat semiconducteur, ceci résout le problème qui consiste en ce que
25 la valeur de seuil devient faible à cause de la structure de la partie de bord.

Selon un septième aspect de la présente invention, le dispositif à semiconducteurs du sixième aspect comprend en outre une couche de siliciure de métal, autre que la couche de siliciure de tungstène, qui est
35 formée sur la couche de siliciure de tungstène et la région active.

Dans le dispositif à semiconducteurs conforme au septième aspect de la présente invention, il est possible de réduire encore davantage la valeur de résistance de l'électrode de commande et d'améliorer davantage la vitesse de fonctionnement. Du fait que la couche de siliciure de métal, autre que la couche de siliciure de tungstène, n'absorbe pas des impuretés, la concentration en impureté dans la couche de silicium polycristallin qui se trouve sur la partie centrale de la région active ne diminue pas.

Un huitième aspect de la présente invention porte sur un procédé de fabrication d'un dispositif à semiconducteur qui comprend au moins un transistor sur un substrat semiconducteur, le procédé comprenant les étapes suivantes : (a) on forme une couche de semiconducteur d'un premier type de conductivité à une position dans une surface du substrat semiconducteur à laquelle le ou les transistors, doivent être formés; (b) on forme sélectivement une couche dopée de canal du premier type de conductivité, par implantation ionique, dans la couche de semiconducteur du ou des transistors, et (c) on forme une électrode de commande à une position qui fait face à la couche dopée de canal, au-dessus de la couche de semiconducteur du ou des transistors, l'étape (c) comprenant une étape de formation de l'électrode de commande du ou des transistors, de façon qu'elle comporte une structure du type silicium polycristallin/siliciure, dans laquelle une couche de siliciure de tungstène est formée sur une couche de silicium polycristallin dans laquelle une impureté d'un second type de conductivité est implantée.

Conformément au procédé de fabrication d'un dispositif à semiconducteurs du huitième aspect de la présente invention, du fait qu'un processus de chauffage est effectué après ces étapes, une impureté contenant dans la couche de silicium polycristallin est absorbée par la couche de siliciure de tungstène, ce qui fait que l'impureté dans la couche de silicium polycristallin a une distribution qui présente une concentration relativement élevée du côté de la couche de siliciure de tungstène, mais une concentration relativement faible du côté opposé. Par conséquent, le procédé de fabrication d'un dispositif à semiconducteurs du huitième aspect de la présente invention est approprié pour fabriquer

le dispositif à semiconducteurs conforme au premier aspect.

Selon un neuvième aspect de la présente invention, dans le procédé de fabrication d'un dispositif à semiconducteurs du huitième aspect de la présente invention, le ou les transistors comprennent des transistors d'un premier type à un troisième type, l'étape (c) comprend les étapes suivantes : on forme une pellicule d'oxyde sur les couches de semiconducteur des transistors des premier à troisième types; on forme une première couche de silicium polycristallin sur la pellicule d'oxyde, la première couche de silicium polycristallin ayant une première épaisseur; on implante une impureté du second type de conductivité dans la première couche de silicium polycristallin, pour former ainsi une seconde couche de silicium polycristallin; on masque la seconde couche de silicium polycristallin à une position à laquelle le transistor du premier type est formé, et on enlève une partie de la seconde couche de silicium polycristallin qui n'est pas masquée, jusqu'à ce qu'elle ait une seconde épaisseur, pour former ainsi une troisième couche de silicium polycristallin; on masque les seconde et troisième couches de silicium polycristallin à des positions auxquelles les transistors des premier et second types sont formés, et on enlève une partie de la troisième couche de silicium polycristallin qui n'est pas masquée, jusqu'à ce qu'elle ait une troisième épaisseur, pour former ainsi une quatrième couche de silicium polycristallin; on forme une couche de siliciure de tungstène qui a une épaisseur prédéterminée, sur les seconde à quatrième couches de silicium polycristallin; et on enlève sélectivement la couche de siliciure de tungstène, les seconde à quatrième couches de silicium polycristallin et la pellicule d'oxyde, par une opération de définition de motif, pour former ainsi la première pellicule d'oxyde de grille et l'électrode de commande ayant une structure du type silicium polycristallin/siliciure du transistor du premier type, sur la couche de semiconducteur du transistor du premier type, la seconde pellicule d'oxyde de grille et l'électrode de commande ayant une structure du type silicium polycristallin/siliciure du transistor du second type, sur la couche de semiconducteur du transistor du second type, et la troisième pellicule d'oxyde de grille et l'électrode de commande ayant une structure du type silicium polycristallin/siliciure du transistor du troisième type, sur la couche de semiconducteur du transistor du troisième type.

Le procédé de fabrication d'un dispositif à semiconducteurs du neuvième aspect de la présente invention est approprié pour fabriquer le dispositif à semiconducteurs conforme au troisième aspect, dans lequel les épaisseurs des couches de siliciure de tungstène sont constantes et les épaisseurs des couches de silicium polycristallin sont changées.

Selon un dixième aspect de la présente invention, dans le procédé de fabrication d'un dispositif à semiconducteurs du huitième aspect de la présente invention, le ou les transistors comprennent des transistors d'un premier type à un troisième type, l'étape (c) comprend les étapes suivantes : on forme une première pellicule d'oxyde qui a une première épaisseur sur les couches de semiconducteur des transistors des premier à troisième types; on forme sélectivement une première couche de silicium polycristallin sur la première pellicule d'oxyde sur la couche de semiconducteur du transistor du troisième type, une impureté du second type de conductivité étant distribuée uniformément dans la première couche de silicium polycristallin; on forme sélectivement une pellicule d'isolation sur la première couche de silicium polycristallin et on enlève la première pellicule d'oxyde à des positions auxquelles les transistors des premier et second types sont formés; on forme une seconde pellicule d'oxyde sur les couches de semiconducteur des transistors des premier et second types, la seconde pellicule d'oxyde ayant une seconde épaisseur qui est inférieure à la première épaisseur; on forme une seconde couche de silicium polycristallin qui a une troisième épaisseur sur la seconde pellicule d'oxyde et la pellicule d'isolation; on implante une impureté du second type de conductivité dans la seconde couche de silicium polycristallin, pour former ainsi une troisième couche de silicium polycristallin; on masque la troisième couche de silicium polycristallin à des positions auxquelles les transistors des second et troisième types sont formés, et on enlève la partie de la troisième couche de silicium polycristallin qui n'est pas masquée, jusqu'à ce qu'elle ait une quatrième épaisseur, pour former ainsi une quatrième couche de silicium polycristallin; on forme une couche de siliciure de tungstène qui a une épaisseur prédéterminée sur les première et quatrième couches de silicium polycristallin; on enlève sélectivement la couche de siliciure de tungstène, les troisième et quatrième couches de silicium polycristallin, les première et

seconde pellicules d'oxyde et la pellicule d'isolation, par une opération de définition de motif, pour former ainsi la première pellicule d'oxyde de grille et l'électrode de commande ayant une structure du type silicium polycristallin/siliciure du transistor du premier type, sur la couche de semiconducteur du transistor du premier type, la seconde pellicule d'oxyde de grille et l'électrode de commande ayant une structure du type silicium polycristallin/siliciure du transistor du second type, sur la couche de semiconducteur du transistor du second type, et la troisième pellicule d'oxyde de grille, une électrode de grille flottante, une pellicule d'isolation inter-couche et l'électrode de commande, ayant une structure du type silicium polycristallin/siliciure du transistor du troisième type, sur la couche de semiconducteur du transistor du troisième type.

Selon le dixième aspect de la présente invention, il est possible d'obtenir un procédé qui est approprié pour fabriquer le dispositif à semiconducteurs conforme au quatrième aspect, dans lequel l'épaisseur de la couche de siliciure de tungstène est constante et les épaisseurs des couches de silicium polycristallin sont changées.

Selon un onzième aspect de la présente invention, dans le procédé de fabrication d'un dispositif à semiconducteurs du huitième aspect de la présente invention, le ou les transistors comprennent des transistors d'un premier type à un troisième type, l'étape (b) comprend une étape de formation de la couche dopée de canal des transistors des premier à troisième types de façon qu'elle ait la même concentration en impureté, et l'étape (c) comprend les étapes suivantes : on forme une pellicule d'oxyde sur les couches de semiconducteur des transistors des premier à troisième types; on forme une première couche de silicium polycristallin sur la pellicule d'oxyde, la première couche de silicium polycristallin ayant une première épaisseur; on implante une impureté du second type de conductivité dans la première couche de silicium polycristallin, pour former ainsi une seconde couche de silicium polycristallin; on masque la seconde couche de silicium polycristallin à des positions auxquelles les transistors des premier et second types sont formés, et on enlève la partie de la seconde couche de silicium polycristallin qui n'est pas masquée, jusqu'à ce qu'elle ait une seconde épaisseur, pour former ainsi une troisième couche de silicium polycristallin; on forme une couche de siliciure

de tungstène qui a une épaisseur prédéterminée, sur les secondes et troisième couches de silicium polycristallin; on enlève sélectivement la couche de siliciure de tungstène, les seconde et troisième couches de silicium polycristallin, et la pellicule d'oxyde, par une opération de définition de motif, pour former ainsi la première pellicule d'oxyde de grille et l'électrode de commande ayant une structure du type silicium polycristallin/siliciure du transistor du premier type, sur la couche de semiconducteur du transistor du premier type, la seconde pellicule d'oxyde de grille et l'électrode de commande ayant une structure du type silicium polycristallin/siliciure du transistor du second type, sur la couche de semiconducteur du transistor du second type, et la troisième pellicule d'oxyde de grille et l'électrode de commande ayant une structure du type silicium polycristallin/siliciure du transistor du troisième type, sur la couche de semiconducteur du transistor du troisième type.

15 Selon le onzième aspect de la présente invention, il est possible d'obtenir un procédé qui est approprié pour la fabrication du dispositif à semiconducteurs conforme au cinquième aspect, dans lequel l'épaisseur de la couche de siliciure de tungstène est constante et les épaisseurs des couches de silicium polycristallin sont changées.

20 Un but de la présente invention est donc de procurer un dispositif à semiconducteurs et un procédé de fabrication de celui-ci dans lesquels une relation de compromis entre une valeur de seuil et une fuite de couche de diffusion est éliminée, et il n'est pas nécessaire de former une pellicule d'oxyde de grille à un ensemble d'étapes.

25 D'autres caractéristiques et avantages de l'invention seront mieux compris à la lecture de la description qui va suivre de modes de réalisation, donnés à titre d'exemples non limitatifs. La suite de la description se réfère aux dessins annexés, dans lesquels :

30 La figure 1 est un schéma destiné à montrer la fonction d'une couche de siliciure de tungstène pour une électrode de grille;

La figure 2 est une représentation graphique montrant une distribution d'une impureté dans l'électrode de grille et le siliciure de tungstène;

35 La figure 3 et 4 sont des représentations destinées à montrer la fonction de la couche de siliciure de tungstène de l'électrode de grille;

La figure 5 est une coupe montrant une structure conforme à un premier mode de réalisation préféré de la présente invention;

La figure 6 est une représentation graphique destinée à montrer une distribution d'impureté conforme au premier mode de réalisation
5 préféré de la présente invention;

La figure 7 est une représentation graphique destinée à montrer l'épaisseur d'une pellicule d'oxyde de grille dans le premier mode de réalisation préféré de la présente invention;

Les figures 8 et 9 sont des coupes destinées à montrer la
10 structure conforme au premier mode de réalisation préféré de la présente invention;

Les figures 10 à 16 sont des schémas montrant des étapes de fabrication conformes au premier mode de réalisation préféré de la présente invention;

La figure 17 est une coupe montrant une structure conforme à un second mode de réalisation préféré de la présente invention;

La figure 18 est une représentation graphique destinée à montrer une distribution d'impureté conforme au second mode de réalisation préféré de la présente invention;

La figure 19 est une représentation graphique destinée à montrer l'épaisseur d'une pellicule d'oxyde de grille dans le second mode de réalisation préféré de la présente invention;

Les figures 20 et 21 sont des schémas montrant la structure conforme au premier mode de réalisation préféré de la présente invention;

Les figures 22 à 35 sont des schémas montrant des étapes de fabrication conformes au second mode de réalisation préféré de la présente invention;

La figure 36 est une coupe montrant une structure conforme à un troisième mode de réalisation préféré de la présente invention;

La figure 37 est une représentation graphique destinée à montrer une distribution d'impureté conforme au troisième mode de réalisation préféré de la présente invention;

La figure 38 est une représentation graphique destinée à montrer l'épaisseur d'une pellicule d'oxyde de grille dans le troisième mode
35

de réalisation préféré de la présente invention;

Les figures 39 et 40 sont des schémas montrant la structure conforme au troisième mode de réalisation préféré de la présente invention;

5 Les figures 41 à 47 sont des schémas montrant des étapes de fabrication conformes au troisième mode de réalisation préféré de la présente invention;

La figure 48 est une coupe montrant une structure conforme à un quatrième mode de réalisation préféré de la présente invention;

10 La figure 49 est une représentation graphique destinée à montrer une distribution d'impureté conforme au quatrième mode de réalisation préféré de la présente invention;

La figure 50 est une représentation graphique destinée à montrer l'épaisseur d'une pellicule d'oxyde de grille dans le quatrième mode de réalisation préféré de la présente invention;

15 Les figures 51 et 52 sont des schémas montrant la structure conforme au quatrième mode de réalisation préféré de la présente invention;

20 Les figures 53 à 66 sont des schémas montrant des étapes de fabrication conformes au quatrième mode de réalisation préféré de la présente invention;

La figure 67 est un schéma de circuit destiné à montrer un cinquième mode de réalisation préféré de la présente invention;

25 La figure 68 est un schéma montrant une structure conforme au cinquième mode de réalisation préféré de la présente invention;

La figure 69 est une vue en perspective d'un transistor MOS, montrant le cinquième mode de réalisation préféré de la présente invention;

30 Les figures 70 à 72 sont des schémas montrant des étapes de fabrication conformes à une première modification du cinquième mode de réalisation préféré de la présente invention;

La figure 73 est un schéma montrant une structure conforme à une seconde modification du cinquième mode de réalisation préféré de la présente invention;

35 La figure 74 est un schéma montrant un exemple d'une applica-

tion de la seconde modification du cinquième mode de réalisation préféré de la présente invention;

La figure 75 est un schéma montrant une structure conforme à une troisième modification du cinquième mode de réalisation préféré de la présente invention;

La figure 76 est un schéma destiné à montrer une structure d'ensemble d'une mémoire DRAM classique;

La figure 77 est une coupe destinée à montrer une structure de la mémoire DRAM classique;

La figure 78 est une représentation graphique destinée à montrer une concentration en impureté dans la mémoire DRAM classique;

Les figures 79 à 84 sont des schémas montrant des étapes de fabrication de la mémoire DRAM classique;

La figure 85 est un schéma destiné à montrer une structure d'ensemble d'une mémoire flash classique;

La figure 86 est une coupe destinée à montrer une structure de la mémoire flash classique;

La figure 87 est une représentation graphique destinée à montrer l'épaisseur d'une pellicule d'oxyde de grille dans la mémoire flash classique;

Les figures 88 à 101 sont des schémas montrant des étapes de fabrication de la mémoire flash classique;

La figure 102 est un schéma destiné à montrer une structure d'ensemble d'un Circuit Logique en Mémoire DRAM classique;

La figure 103 est une coupe destinée à montrer une structure du Circuit Logique en Mémoire DRAM classique;

La figure 104 est une représentation graphique destinée à montrer une distribution d'impureté dans le Circuit Logique en Mémoire DRAM classique;

La figure 105 est une représentation graphique destinée à montrer l'épaisseur d'une pellicule d'oxyde de grille dans le Circuit Logique en Mémoire DRAM classique;

Les figures 106 à 114 sont des schémas montrant des étapes de fabrication du Circuit Logique en Mémoire DRAM classique;

La figure 115 est un schéma destiné à montrer une structure

d'ensemble d'un Circuit Logique en Mémoire Flash classique;

La figure 116 est une coupe destinée à montrer une structure du Circuit Logique en Mémoire Flash classique;

La figure 117 est une représentation graphique destinée à
5 montrer une distribution d'impureté dans le Circuit Logique en Mémoire Flash classique;

La figure 118 est une représentation graphique destinée à montrer l'épaisseur d'une pellicule d'oxyde de grille dans le Circuit Logique en Mémoire Flash classique; et

10 Les figures 119 à 132 sont des schémas montrant des étapes de fabrication du Circuit Logique en Mémoire Flash classique.

De façon générale, une électrode de grille (en silicium polycristallin) faisant partie d'un transistor MOS est dopée avec une impureté de type N ou une impureté de type P. Ceci vise à réduire la résistance
15 d'une grille au moyen du dopage avec l'impureté. En outre, l'utilisation d'une impureté de type N ou d'une impureté de type P dépend du type d'une couche de caisson. Ainsi, lorsqu'une électrode de grille de type P est sélectionnée pour un caisson de type N ou une électrode de grille de type N est sélectionnée pour un caisson de type P, il est possible de réduire
20 une tension de seuil à une valeur faible.

En outre, lorsqu'on utilise du silicium polycristallin à titre de matériau d'électrodes de grille, si une valeur de résistance du silicium polycristallin occasionne un problème, dans certains cas, on forme une couche de siliciure de métal sur une couche de silicium polycristallin, de
25 façon à obtenir une structure du type silicium polycristallin/siliciure, et la résistance des électrodes de grille devient ainsi faible. D'autre part, on sait que lorsqu'on utilise du siliciure de tungstène (WSi_2) à titre de siliciure de métal, le siliciure de tungstène absorbe une impureté contenue dans une couche de silicium polycristallin, pendant le chauffage, ce qui a
30 pour effet de réduire la concentration en impureté dans le silicium polycristallin.

La figure 1 montre une structure d'un transistor MOS M1 qui comprend une électrode de grille ayant une structure du type silicium polycristallin/siliciure. Sur la figure 2, une électrode de grille G1 comprend
35 une couche de silicium polycristallin P1 et une couche de siliciure

de tungstène (que l'on appelle ci-après "couche de WSi") S1, qui sont empilées dans l'ordre sur une pellicule d'oxyde de grille Z1.

La figure 2 montre un profil d'impureté du transistor MOS M1 et un profil de WSi. Sur la figure 2, la concentration en impureté de l'électrode de grille G1 du transistor MOS M1, considérée le long de la ligne A-A' sur la figure 1, s'élève avec la forme d'une courbe à partir d'une interface entre la pellicule d'oxyde de grille (SiO_2) Z1 et la couche de silicium polycristallin P1, elle atteint un maximum au voisinage d'une interface entre la couche de silicium polycristallin P1 et la couche de WSi S1, et elle reste approximativement constante à l'intérieur de la couche de WSi S1.

D'autre part, la concentration en WSi de l'électrode de grille G1, considérée le long de la ligne A-A', reste presque constamment à une valeur élevée (qui est supérieure à la concentration en impureté) à l'intérieur de la couche de WSi S1, elle diminue très fortement au voisinage de l'interface entre la couche de silicium polycristallin P1 et la couche de WSi S1, et elle reste de façon presque constante à une valeur faible (qui est inférieure à la concentration en impureté) à l'intérieur de la couche de silicium polycristallin P1.

Sur la figure 2, la concentration en WSi et la concentration en impureté sont portées le long d'un axe horizontal, et une distance (c'est-à-dire une profondeur) dans la direction de la ligne A-A' est portée le long d'un axe vertical. Sur la figure 2, l'interface Si-SiO₂ est une surface de jonction entre la couche de caisson W1 et la pellicule d'oxyde de grille Z1, tandis que l'interface SiO₂-Si polycristallin est une surface de jonction entre la pellicule d'oxyde de grille Z1 et la couche de silicium polycristallin Z1.

Comme décrit précédemment, du fait qu'une couche de WSi absorbe des impuretés qui sont contenues dans une couche de silicium polycristallin, les impuretés qui sont contenues dans la couche de silicium polycristallin P1 sont présentes dans une situation dans laquelle leur position est décalée en direction de la couche de WSi S1, ce qui fait que la concentration en impureté dans la couche de silicium polycristallin P1 est diminuée. On sait en outre que si la concentration en impureté devient trop faible dans la couche de silicium polycristallin, une couche de dé-

sertion est créée à l'intérieur de la couche de silicium polycristallin pendant le fonctionnement d'un transistor. Par conséquent, en ce qui concerne une électrode de grille ayant une structure du type silicium polycristallin/siliciure, il existe un problème qui consiste dans la création
5 d'une couche de désertion à l'intérieur de l'électrode de grille.

Dans ces conditions, plus le rapport d'occupation de la couche de WSi dans la couche de silicium polycristallin est grand, en d'autres termes, plus la couche de WSi est épaisse, plus il y a d'impuretés absorbées et plus une étendue dans laquelle une couche de désertion est
10 créée à l'intérieur de la couche de silicium polycristallin devient grande. On décrira, en se référant aux figures 3 et 4, un changement dans le profil d'impureté qui est dû à une différence dans l'épaisseur de la couche de WSi.

La figure 3 montre une condition d'une couche de désertion
15 DP1 qui est créée à l'intérieur d'une couche de silicium polycristallin P2 dans un transistor MOS M2, dans lequel une couche de WSi est mince par rapport à la couche de silicium polycristallin, et un profil d'impureté d'une électrode de grille G2 selon la ligne A-A'.

La figure 4 montre une condition d'une couche de désertion
20 DP2 qui est créée à l'intérieur d'une couche de silicium polycristallin P3 dans un transistor MOS M3 dans lequel une couche WSi est épaisse par rapport à la couche de silicium polycristallin, et un profil d'impureté d'une électrode de grille G3, selon la ligne A-A'.

La comparaison des figures 3 et 4 montre que plus la couche
25 de WSi est épaisseur par rapport à la couche de silicium polycristallin, plus les impuretés dans la couche de silicium polycristallin sont décalées vers la couche de WSi, ce qui fait que la concentration en impureté dans la couche de silicium polycristallin devient faible, et la couche de désertion DP2 dans l'électrode de grille G3 est créée dans une étendue plus
30 grande que celle de la couche de désertion DP1 dans l'électrode de grille G2.

Si une couche de désertion est créée, une chute de tension se produit à l'intérieur de la couche de désertion, et par conséquent une tension qui est effectivement appliquée à un élément devient inférieure à
35 une tension appliquée. Ainsi, l'épaisseur effective d'une pellicule d'oxyde

devient grande. Ceci occasionne à son tour des problèmes tels qu'une valeur de seuil accrue et une réduction d'un courant de drain.

La présente invention réduit une résistance d'un conducteur au moyen d'une électrode de grille ayant une structure du type silicium polycristallin/siliciure, et elle utilise de manière positive un phénomène qui
5 consiste en ce qu'une couche de désertion est créée dans l'électrode de grille, pour former ainsi plusieurs types de transistors dans une seule puce.

Dans ce qui suit, on décrira des modes de réalisation préférés
10 de la présente invention en relation avec des exemples d'une mémoire DRAM, d'une mémoire flash, d'un circuit logique dans une mémoire DRAM et d'un circuit logique dans une mémoire flash.

Premier mode de réalisation préféré

1-1. Structure du dispositif

La figure 5 montre une structure partielle d'une mémoire DRAM
15 100 dans laquelle plusieurs types de transistors sont formés, à titre de premier mode de réalisation préféré de la présente invention. De façon générale, une mémoire DRAM comprend non seulement une partie de réseau de cellules de mémoire pour enregistrer des données, mais également
20 une partie d'amplificateur de lecture et une partie de circuits périphériques (par exemple un tampon d'adresse, un décodeur X, un décodeur Y, un circuit d'horloge de ligne/colonne, un circuit de chemin d'entrée/sortie, un circuit de régénération, etc.).

Toutes ces parties sont formées par des transistors, et des caractéristiques différentes sont exigées pour les transistors respectifs. Par
25 exemple, en ce qui concerne des valeurs de seuil, alors qu'une valeur de seuil pour un transistor de la partie de réseau de cellules de mémoire est d'environ 1 V et une valeur de seuil pour des transistors des parties de circuits périphériques est d'environ 0,8 V, une valeur de seuil pour le
30 transistor de la partie d'amplificateur de lecture doit être réduite à une valeur aussi faible que 0,4 V.

La figure 5 montre des coupes de transistors MOS à canal N T41 à T43 qui sont utilisés pour la partie d'amplificateur de lecture, la
35 partie de circuits périphériques et la partie de réseau de cellules de mémoire.

Sur la figure 5, les transistors MOS à canal N T41 à T43 sont formés à l'intérieur d'une couche de caisson de type P 101 qui est formée sur le même substrat semiconducteur 1 (du type P). La couche de caisson 101 fait l'objet d'une séparation entre éléments par une couche de coupure de canal 102 et une couche 2 formée par oxydation locale de silicium, ou couche LOCOS, de manière que les transistors MOS à canal N T41 à T43 soient formés dans des régions qui sont créées par séparation entre éléments.

Le transistor MOS à canal N T41 de la partie d'amplificateur de lecture comprend une paire de couches de source/drain 106 qui sont formées à l'intérieur de la couche de caisson 101, indépendamment l'une de l'autre mais parallèlement l'une à l'autre, et une paire de couches de drain faiblement dopé (que l'on appelle ci-après "couches LDD") 107, formées dans des positions adjacentes à des parties de bord en regard des couches de source/drain 106.

La pellicule d'oxyde de grille 3 est formée sur les couches LDD 107, et une électrode de grille 4A est formée sur la pellicule d'oxyde de grille 3. Une pellicule d'oxyde de paroi latérale 5 est formée sur une surface latérale de la pellicule d'oxyde de grille 3 et de l'électrode de grille 4A. Une couche dopée de canal 103A est formée à l'intérieur de la couche de caisson 101, sous l'électrode de grille 4A.

L'électrode de grille 4A comprend une couche de silicium polycristallin M1 et une couche de siliciure de tungstène (que l'on appelle ci-après "couche de WSi") L1, qui sont empilées dans cet ordre sur la pellicule d'oxyde de grille 3.

Le transistor MOS à canal N T42 de la partie de circuit périphérique comprend une paire de couches de source/drain 106 qui sont formées à l'intérieur de la couche de caisson 101, indépendamment l'une de l'autre mais parallèlement l'une à l'autre, et une paire de couches LDD 107.

La pellicule d'oxyde de grille 3 est formée sur les couches LDD 107, et une électrode de grille 4B est formée sur la pellicule d'oxyde de grille 3. La pellicule d'oxyde de paroi latérale 5 est formée sur une surface latérale de la pellicule d'oxyde de grille 3 et de l'électrode de grille 4B. Une couche dopée de canal 103B est formée à l'intérieur de la

couche de caisson 101, sous l'électrode de grille 4B.

L'électrode de grille 4B comprend la couche de silicium polycristallin M1 et une couche de WSi L2 qui sont empilées dans cet ordre sur la pellicule d'oxyde de grille 3.

5 Le transistor MOS à canal N T43 de la partie de réseau de cellules de mémoire comprend une paire de couches de source/drain 106 qui sont formées à l'intérieur de la couche de caisson 101, indépendamment l'une de l'autre mais parallèlement l'une à l'autre, et une paire de couches LDD 107.

10 Une pellicule d'oxyde de grille 3 est formée sur les couches de source/drain 106 et les couches LDD 107, et une électrode de grille 4C est formée sur la pellicule d'oxyde de grille 3. La pellicule d'oxyde de paroi latérale 5 est formée sur une surface latérale de la pellicule d'oxyde de grille 3 et de l'électrode de grille 4C. Une couche dopée de canal 103C est formée à l'intérieur de la couche de caisson 101, sous l'électrode de grille 4C. La partie de réseau de cellules de mémoire a une structure de réseau de grilles dans laquelle des grilles adjacentes se partagent une même couche de source/drain 106. De telles structures sont disposées en succession.

20 L'électrode de grille 4C comprend la couche de silicium polycristallin M1 et une couche de SWi L3 qui sont empilées dans cet ordre sur la pellicule d'oxyde de grille 3.

Le Tableau 5 montre des valeurs numériques concernant les structures des transistors MOS à canal N T41 à T43.

TABEAU 5

	Partie d'amplificateur de lecture (T41)	Partie de circuits périphériques (T42)	Partie de réseau de cellules de mémoire (T43)
Epaisseur de pellicule d'oxyde de champ	400 nm	400 nm	400 nm
Epaisseur de pellicule d'oxyde de grille	10 nm	10 nm	10 nm
Epaisseur de pellicule d'électrode de grille	Si Poly	100 nm	100 nm
	WSi	100 nm	200 nm
Paroi latérale	100 nm	100 nm	100 nm
Caisson	B 700 keV 1 x 10 ¹³ cm ⁻²	B 700 keV 1 x 10 ¹³ cm ⁻²	B 700 keV 1 x 10 ¹³ cm ⁻²
Couche de coupure de canal	B 130 keV 5 x 10 ¹² cm ⁻²	B 130 keV 5 x 10 ¹² cm ⁻²	B 130 keV 5 x 10 ¹² cm ⁻²
Couche dopée de canal	B 50 keV 1 x 10 ¹² cm ⁻²	B 50 keV 1 x 10 ¹² cm ⁻²	B 50 keV 1 x 10 ¹² cm ⁻²
Couche LDD	As 30 keV 1 x 10 ¹³ cm ⁻²	As 30 keV 1 x 10 ¹³ cm ⁻²	As 30 keV 1 x 10 ¹³ cm ⁻²
Couche de source/drain	As 50 keV 5 x 10 ¹⁵ cm ⁻²	As 50 keV 5 x 10 ¹⁵ cm ⁻²	As 50 keV 5 x 10 ¹⁵ cm ⁻²
Implantation de grille	P 30 keV 5 x 10 ¹⁵ cm ⁻²	P 30 keV 5 x 10 ¹⁵ cm ⁻²	P 30 keV 5 x 10 ¹⁵ cm ⁻²
Traitement thermique	850°C 60 min		

Dans le Tableau 5, la dose d'impureté pour former les couches dopées de canal des transistors MOS à canal N T41, T42 et T43 est uniformément de $5 \times 10^{15} \text{ cm}^{-2}$. Du phosphore (P) est implanté à titre d'impureté pour chacune des couches avec une énergie d'implantation de 30 keV.

La couche de silicium polycristallin M1 des électrodes de grille 4A à 4C dans les transistors MOS à canal N T41 à T43 a une épaisseur de 100 nm, tandis que les épaisseurs des couches de WSi L1, L2 et L3 sont respectivement de 50 nm, 100 nm et 200 nm.

La figure 6 montre des profils d'impureté des transistors MOS à canal N T41, T42 et T43 formant la partie d'amplificateur de lecture, la partie de circuits périphériques et la partie de réseau de cellules de mémoire, qui sont tous représentés sur la figure 6, ces profils correspondant respectivement à des coupes selon la ligne A-A', la ligne B-B' et la ligne C-C'.

Sur la figure 6, une position (c'est-à-dire la profondeur) dans une direction de coupe est portée sur un axe horizontal et une concentration en impureté est portée sur un axe vertical. La couche de silicium polycristallin, la pellicule d'oxyde de grille (couche de SiO_2) et la couche de caisson (couche de silicium massif) figurent dans cet ordre le long de l'axe horizontal à partir du côté gauche. Les couches de SWi des électrodes de grille sont omises sur la figure 6.

Comme indiqué dans le Tableau 5, parmi les électrodes de grille 4A à 4C des transistors MOS à canal N T41 à 43, bien que la couche de silicium polycristallin ait la même épaisseur, les couches de WSi sont progressivement plus épaisses dans l'ordre croissant des valeurs de seuil qui sont prévues dans les électrodes de grille.

Comme décrit précédemment, plus le rapport entre l'épaisseur de la couche de WSi et celle de la couche de silicium polycristallin est élevé, plus il y a d'impuretés absorbées dans la couche de WSi à partir de la couche de silicium polycristallin, ce qui fait que les impuretés qui sont présentes dans la couche de silicium polycristallin sont décalées vers les couches de WSi, et par conséquent la concentration en impureté à l'intérieur de la couche de silicium polycristallin est non uniforme de façon correspondante.

Ainsi, comme représenté sur la figure 6, le profil d'impureté à l'intérieur des électrodes de grille est le plus plat dans le transistor T41 de la partie d'amplificateur de lecture, comme indiqué par la ligne A-A', et il est plus abrupt dans le transistor T42 de la partie de circuits périphériques et dans le transistor T43 de la partie de réseau de cellules de mémoire, dans cet ordre, comme indiqué par la ligne B-B' et la ligne C-C'.

En d'autres termes, la concentration en impureté à l'intérieur des électrodes de grille est davantage décalée et la concentration en impureté au voisinage de la pellicule d'oxyde de grille est ainsi d'autant plus faible que la couche de WSi est plus épaisse. Par conséquent, dans l'électrode de grille de la partie de réseau de cellules de mémoire dans laquelle la concentration en impureté au voisinage de la pellicule d'oxyde de grille est la plus faible, la couche de désertion est la plus grande et l'épaisseur effective de la pellicule d'oxyde est la plus élevée, et la valeur de seuil est la plus élevée.

Du fait que les doses d'impureté sont les mêmes entre les couches dopées de canal 103A à 103C des transistors MOS à canal N T41 à T43, la ligne A-A', la ligne B-B' et la ligne C-C' sont superposées.

La figure 7 montre des épaisseurs réelles et des épaisseurs effectives de pellicules d'oxyde de grille respectives. La figure 7 montre les transistors MOS à canal N de la partie d'amplificateur de lecture, de la partie de circuits périphériques et de la partie de réseau de cellules de mémoire, dans cet ordre, à partir du côté gauche sur l'axe horizontal. Comme la figure 7 le montre clairement, les épaisseurs effectives des pellicules d'oxyde de grille respectives sont progressivement plus élevées dans l'ordre allant de la partie d'amplificateur de lecture à la partie de réseau de cellules de mémoire en passant par la partie de circuits périphériques.

Lorsque l'épaisseur effective de la pellicule d'oxyde de grille dans la partie d'amplificateur de lecture, la partie de circuits périphériques et la partie de réseau de cellules de mémoire doit être changée de la manière qui est représentée sur la figure 7, on peut utiliser une structure telle que celle qui est décrite dans ce qui suit.

1-1-1. Première modification de la structure du dispositif

La figure 8 montre une structure partielle d'une mémoire DRAM

100A dans laquelle plusieurs types de transistors sont formés. Sur la figure 8, les parties qui sont identiques à celle de la mémoire DRAM 100 qui est représentée sur la figure 1 sont désignées par des symboles identiques, et on ne présentera pas une description redondante.

5 La figure 8 montre des coupes de transistors MOS à canal N T44, T45 et T46 qui sont respectivement utilisés dans la partie d'amplificateur de lecture, la partie de circuits périphériques et la partie de réseau de cellules de mémoire.

10 Sur la figure 8, les transistors MOS à canal N T44, T45 et T46 comprennent respectivement des électrodes de grille 4D, 4E et 4F. L'électrode de grille 4D comprend une couche de silicium polycristallin M2 et une couche de WSi L4 qui sont empilées dans cet ordre sur la pellicule d'oxyde de grille 3. L'électrode de grille 4E comprend une couche de silicium polycristallin M3 et la couche de WSi L4 qui sont empilées
15 dans cet ordre sur la pellicule d'oxyde de grille 3. L'électrode de grille 4F comprend une couche de silicium polycristallin M4 et la couche WSi L4 qui sont empilées dans cet ordre sur la pellicule d'oxyde de grille 3.

20 La couche de WSi L4 des électrodes de grille 4D à 4F des transistors MOS à canal N T44 à T46 a une épaisseur de 100 nm, tandis que les épaisseurs des couches de silicium polycristallin M2, M3 et M4 sont respectivement de 200 nm, 100 nm et 50 nm.

25 Ainsi, dans les électrodes de grille 4D à 4F des transistors MOS à canal N T44 à T46, bien que la couche de WSi ait la même épaisseur, du fait que les couches de silicium polycristallin sont progressivement plus minces dans l'ordre de valeurs de seuil croissantes qui sont prévues dans les électrodes de grille, plus le rapport d'épaisseur entre la couche de WSi et les couches de silicium polycristallin est grand, plus il y a
30 d'impuretés absorbées dans la couche de WSi à partir des couches de silicium polycristallin, ce qui fait que les impuretés qui existent dans les couches de silicium polycristallin sont décalées vers la couche de WSi, et par conséquent la concentration en impureté à l'intérieur des couches de silicium polycristallin est non uniforme de façon correspondante.

35 Ainsi, plus la couche de silicium polycristallin est mince, plus la concentration en impureté à l'intérieur des électrodes de grille est fortement décalée, et la concentration en impureté au voisinage de la pellicule

d'oxyde de grille est faible de façon correspondante, ce qui fait que dans l'électrode de grille de la partie de réseau de cellules de mémoire, la couche de désertion est la plus grande et l'épaisseur effective de la pellicule d'oxyde est la plus élevée, et la valeur de seuil est la plus élevée.

5 1-1-2. Seconde modification de la structure du dispositif

La figure 9 montre une structure partielle d'une mémoire DRAM 100B dans laquelle plusieurs types de transistors sont formés. Sur la figure 9, des parties qui sont identiques à celles de la mémoire DRAM 100 qui est représentée sur la figure 5 sont désignées par des symboles
10 identiques, et on ne présentera pas une description redondante.

La figure 9 montre des coupes de transistors MOS à canal N T47, T48 et T49 qui sont respectivement utilisés dans la partie d'amplificateur de lecture, la partie de circuits périphériques et la partie de réseau de cellules de mémoire.

15 Sur la figure 9, les transistors MOS à canal N T47, T48 et T49 comprennent respectivement des électrodes de grille 4G, 4H et 4I. L'électrode de grille 4G comprend une couche de silicium polycristallin M5 et une couche de WSi L5 qui sont empilées dans cet ordre sur la pellicule d'oxyde de grille 3. L'électrode de grille 4H comprend une couche
20 de silicium polycristallin M6 et une couche de WSi L6 qui sont empilées dans cet ordre sur la pellicule d'oxyde de grille 3. L'électrode de grille 4I comprend une couche de silicium polycristallin M7 et une couche de WSi L7 qui sont empilées dans cet ordre sur la pellicule d'oxyde de grille 3.

Les épaisseurs des couches de silicium polycristallin M5, M6 et
25 M7 des électrodes de grille 4G, 4H et 4I des transistors MOS à canal N T47, T48 et T49 sont respectivement de 200 nm, 150 nm et 100 nm, tandis que les épaisseurs des couches de WSi L5, L6 et L7 sont respectivement de 100 nm, 150 nm et 200 nm. L'épaisseur totale des électrodes de grille 4G à 4I est dans tous les cas de 300 nm.

30 Ainsi, dans les électrodes de grille 4G à 4I des transistors MOS à canal N T47 à T49, bien que les couches de silicium polycristallin aient des épaisseurs mutuellement différentes, de même que les couches de WSi, les rapports des couches de WSi respectives, vis-à-vis des couches de silicium polycristallin respectives, sont fixés de façon à être progres-
35 sivement supérieurs, dans l'ordre de valeurs de seuil croissantes qui sont

prévues dans les électrodes de grille.

Comme décrit précédemment, plus le rapport entre les épaisseurs des couches de WSi et les épaisseurs des couches de silicium polycristallin est élevé, plus il y a d'impuretés absorbées dans les couches de WSi à partir des couches de silicium polycristallin, ce qui fait que les impuretés qui existent à l'intérieur des couches de silicium polycristallin sont décalées vers les couches de WSi, et il en résulte que la concentration en impureté à l'intérieur des couches de silicium polycristallin est non uniforme, de façon correspondante.

Ainsi, plus le rapport entre l'épaisseur de la couche de WSi et l'épaisseur de la couche de silicium polycristallin est grand, plus la concentration en impureté à l'intérieur des électrodes de grille est fortement décalée, et la concentration en impureté au voisinage de la pellicule d'oxyde de grille est inférieure de façon correspondante, ce qui fait que dans l'électrode de grille de la partie de réseau de cellules de mémoire, la couche de désertion est la plus grande et l'épaisseur effective de la pellicule d'oxyde est la plus élevée, et la valeur de seuil est la plus élevée.

1-2. Procédé de fabrication

A titre de description concernant un procédé de fabrication conforme au premier mode de réalisation préféré de la présente invention, on va maintenant présenter, en se référant aux figures 10 à 16, une description d'un procédé de fabrication des transistors MOS à canal N T44 à T46 de la mémoire DRAM 100A, qui a été décrite en relation avec la figure 8, parmi les mémoires DRAM 100, 100A et 100B décrites ci-dessus.

Premièrement, à une étape qui est représentée sur la figure 10, on forme une couche LOCOS (c'est-à-dire une pellicule d'oxyde de champ) 2 avec une épaisseur qui est par exemple de 400 nm, par un procédé LOCOS, sur une surface du substrat semiconducteur 1 de type P. A la suite de ceci, on implante par exemple des ions de bore, avec une énergie de 700 keV et une dose de $1 \times 10^{13} \text{ cm}^{-2}$, pour former ainsi une région de caisson de type P 101 à l'intérieur du substrat semiconducteur 1. Bien qu'une région de caisson de type N soit formée dans le substrat semiconducteur 1 dans le but de former des transistors MOS à canal P,

ceci n'est pas représenté et la description sera omise. Ensuite, on implante par exemple des ions de bore avec une énergie de 130 keV et une dose de $5 \times 10^{12} \text{ cm}^{-2}$, pour former ainsi la couche de coupure de canal 102 à l'intérieur du substrat semiconducteur 1. La couche de coupure de canal 102 est formée avec une forme qui, en association avec la couche LOCOS 2, crée les régions faisant l'objet d'une séparation entre éléments.

Ensuite, on forme en une position prédéterminée à l'intérieur de la région de caisson 101 une couche dopée de canal 100 qui deviendra les couches dopées de canal 103A à 103C. A ce stade, on forme également la couche dopée de canal 100 dans des régions à l'intérieur des transistors T45 et T46 de la partie de circuits périphériques et de la partie de réseau de cellules de mémoire. On forme la couche dopée de canal 100 en implantant par exemple des ions de bore, avec une énergie de 50 keV et une dose de $1 \times 10^{12} \text{ cm}^{-2}$.

Ensuite, à une étape qui est représentée sur la figure 11, après avoir formé une pellicule d'oxyde 31 qui deviendra la pellicule d'oxyde de grille 3 sur une surface principale du substrat semiconducteur 1, par un procédé d'oxydation thermique, on forme sur la pellicule d'oxyde 31, par un procédé de dépôt chimique en phase vapeur (ou CVD) une couche de silicium polycristallin (non dopé) 42. La pellicule d'oxyde 31 a une épaisseur d'environ 10 nm, tandis que la couche de silicium polycristallin 42 a une épaisseur d'environ 200 nm, qui est la même que celle du transistor MOS à canal N T44 de la partie d'amplificateur de lecture.

Ensuite, à une étape qui est représentée sur la figure 12, on implante des ions d'impureté dans la couche de silicium polycristallin 42, par implantation ionique, de façon à former une couche de silicium polycristallin dopé 421. On forme la couche de silicium polycristallin dopé 421 en implantant par exemple des ions de phosphore avec une énergie de 30 keV et une dose de $1 \times 10^{15} \text{ cm}^{-2}$.

Ensuite, à une étape qui est représentée sur la figure 13, on forme un masque de matière de réserve R204 sur la partie d'amplificateur de lecture dans laquelle la couche de silicium polycristallin est la plus épaisse. On effectue une attaque sélective de réduction d'épaisseur de la couche de silicium polycristallin dopé 421, dans la partie de circuits péri-

phériques et la partie de réseau de cellules de mémoire, pour former ainsi une couche de silicium polycristallin dopé 422 qui a une épaisseur (100 nm) qui est en accord avec le transistor MOS à canal N T45 de la partie de circuits périphériques.

5 Ensuite après avoir enlevé le masque de matière de réserve R204, à une étape qui est représentée sur la figure 14, on forme un masque de matière de réserve R205 sur la partie d'amplificateur de lecture et la partie de circuits périphériques, et on effectue une attaque sélective de réduction d'épaisseur de la couche de silicium polycristallin dopé 422
10 dans la partie de réseau de cellules de mémoire, pour former ainsi une couche de silicium polycristallin dopé 423 qui a une épaisseur (100 nm) qui est en accord avec le transistor MOS à canal N T46 de la partie de réseau de cellules de mémoire.

 Ensuite, à une étape qui est représentée sur la figure 15, on
15 forme une couche de WSi 430 sur les couches de silicium polycristallin dopé 421 à 423. On utilise par exemple un procédé de pulvérisation cathodique à titre de procédé de formation de la couche de SWi 430, et on forme la couche de WSi 430 en lui donnant une épaisseur d'environ 100 nm.

20 Ensuite, à une étape qui est représentée sur la figure 16, on forme un masque de matière de réserve R206 sur la couche de WSi 430, et on forme les électrodes de grille 4D à 4F et la pellicule d'oxyde de grille 3, par une opération de définition de motif.

 Ensuite, après avoir formé les couches LDD 107 dans la partie
25 d'amplificateur de lecture, la partie de circuits périphériques et la partie de réseau de cellules de mémoire, par implantation ionique, on forme la pellicule d'oxyde de paroi latérale 5 sur une surface latérale de la pellicule d'oxyde de grille 3 et des électrodes de grille 4D à 4F, en lui donnant une épaisseur d'environ 100 nm. On forme les couches de
30 source/drain 106 en utilisant à titre de masque la pellicule d'oxyde de paroi latérale 5, et en procédant par implantation ionique. De cette manière, on obtient la structure de la mémoire DRAM 100A qui est représentée sur la figure 8.

 On obtient les couches LDD 107 en injectant par exemple des
35 ions d'arsenic (As), avec une énergie de 30 keV et une dose de 1×10^{13}

cm⁻². D'autre part, les couches de source/drain 106 sont obtenues en injectant par exemple des ions d'arsenic, avec une énergie de 50 keV et une dose de 5×10^{15} cm⁻², et en effectuant ensuite un recuit à 850°C pendant 60 minutes.

5 Bien que ceci soit suivi par la formation d'un condensateur, d'une pellicule d'isolation inter-couche, d'une couche d'interconnexion et autres, pour former la mémoire DRAM, ces opérations ne seront pas décrites et elles ne sont pas représentées dans les dessins.

10 En outre, dans la mémoire DRAM 100 qui est représentée sur la figure 5, du fait que la couche de silicium polycristallin a une épaisseur inchangée parmi les électrodes de grille respectives, il est nécessaire d'effectuer l'opération de changement des épaisseurs de la couche de WSi. Cependant, le nombre des étapes est le même que pour la mémoire DRAM 100A décrite ci-dessus. La mémoire DRAM 100B qui est représentée sur la figure 9 exige un nombre accru d'étapes, du fait que les
15 couches de silicium polycristallin ont des épaisseurs mutuellement différentes parmi les électrodes de grille respectives, et il en est de même pour les couches de WSi.

1-3. Fonction et effet caractéristiques

20 Comme décrit ci-dessus, les mémoires DRAM 100, 100A et 100B conformes au premier mode de réalisation préféré de la présente invention ont chacune une structure de type silicium polycristallin/siliciure qui est formée par une couche de silicium polycristallin et une couche de WSi, dans laquelle le rapport entre l'épaisseur de la couche de WSi et
25 l'épaisseur de la couche de silicium polycristallin est changé parmi plusieurs types de transistors ayant des caractéristiques mutuellement différentes (ayant par exemple des spécifications imposées mutuellement différentes), de façon à changer les épaisseurs effectives des pellicules d'oxyde de grille respectives et à fixer des valeurs de seuil. Ceci élimine
30 la nécessité de changer les concentrations en impureté des couches dopées de canal conformément aux caractéristiques des transistors, et par conséquent il est possible de fixer les concentrations à des valeurs avec lesquelles on peut réduire le plus possible un courant de fuite (c'est-à-dire une fuite de couche de diffusion) provenant d'une couche de diffusion.
35

Par conséquent, en fixant les concentrations en impureté des couches dopées de canal à des valeurs avec lesquelles une fuite de couche de diffusion est aussi faible que possible, tout en fixant des valeurs de seuil au moyen des concentrations en impureté des électrodes de grille, il est possible de s'affranchir de la relation de compromis entre les valeurs de seuil et la fuite de couche de diffusion, et donc d'éliminer une restriction imposée à la conception de circuits.

.Le fait de changer le rapport entre l'épaisseur de chaque couche de WSi et l'épaisseur de chaque couche de silicium polycristallin a moins d'influence sur les autres structures que de changer les concentrations en impureté des couches dopées de canal qui sont formées à l'intérieur du substrat semiconducteur. En effet, lorsque des ions doivent être implantés dans le substrat semiconducteur, en particulier lorsqu'on effectue une implantation avec une dose élevée, ceci occasionne une détérioration du cristal du substrat semiconducteur. Cependant, dans la présente invention, du fait que les épaisseurs des couches de silicium polycristallin et de WSi sont changées en ce qui concerne les électrodes de grille qui se trouvent dans la couche la plus extérieure, ce problème ne se manifeste pas.

Bien que la description précédente ait indiqué que les concentrations en impureté des couches dopées de canal 103A à 103C étaient les mêmes, il n'est pas obligatoire que les concentrations en impureté soient mutuellement identiques. Par exemple, lorsqu'il n'est pas possible d'ajuster suffisamment les valeurs de seuil seulement par le changement du rapport entre l'épaisseur de chaque couche de WSi et l'épaisseur de chaque couche de silicium polycristallin dans chaque électrode de grille, on peut ajuster les valeurs de seuil en changeant les concentrations en impureté des couches dopées de canal 103A à 103C. Du fait que ceci est un processus auxiliaire, l'augmentation des concentrations en impureté est faible. Ceci n'augmente pas considérablement la fuite de couche de diffusion et ne permet également pas à l'implantation ionique d'occasionner une détérioration du cristal du substrat semiconducteur.

En outre, du fait que chacune des électrodes de grille a une structure du type silicium polycristallin/siliciure comprenant une couche de silicium polycristallin et une couche de WSi, il est possible de réduire

les valeurs de résistance des électrodes de grille. Si on utilise également une structure du type silicium polycristallin/siliciure pour un conducteur de connexion de grille, lorsqu'un courant qui est dû à la charge des électrodes de grille circule dans le conducteur de connexion de grille, par exemple, la diminution du courant qui est due à une chute de tension ou un phénomène similaire est réduite. De plus, la faible résistance permet un fonctionnement à une vitesse élevée.

1-4. Modifications

Dans ce qui précède, on a décrit le procédé de fabrication de la mémoire DRAM 100A conforme au premier mode de réalisation préféré décrit, décrite en relation avec les figures 10 à 16, en considérant un exemple dans lequel la couche de silicium polycristallin dopé 421 est formée par implantation d'ions d'impureté dans la couche de silicium polycristallin 42 (voir la figure 12).

Cependant, la couche de silicium polycristallin dopé peut être formée par un dopage au moment de la formation, dans lequel un gaz d'apport de matière pour le dépôt de silicium polycristallin et un gaz qui contient une impureté telle que du phosphore sont utilisés ensemble pendant la formation de la couche de silicium polycristallin par un procédé CVD.

Dans la couche de silicium polycristallin dopé qui est formée de cette manière, une concentration en impureté est uniforme, et la diffusion des impuretés dues au chauffage est restreinte. Ceci est également vrai avec d'autres modes de réalisation préférés que l'on décrira dans ce qui suit.

Bien que dans ce qui précède, on ait décrit pour le premier mode de réalisation préféré de la présente invention, la structure dans laquelle divers types de transistors sont formés sur un substrat monocristallin, il est possible d'obtenir une fonction et un effet similaires dans le cas où divers types de transistors sont formés sur un substrat du type silicium sur isolant, ou SOI.

Second mode de réalisation préféré

2-1. Structure du dispositif

La figure 17 montre une structure partielle d'une mémoire flash 200 dans laquelle plusieurs types de transistors sont formés, à titre de

second mode de réalisation préféré de la présente invention. De façon générale, une mémoire flash diffère d'une mémoire DRAM par l'utilisation d'une tension élevée, telle que 10 V, pour l'écriture et l'effacement. Dans ce but, une mémoire flash comprend non seulement une partie de réseau de cellules de mémoire pour enregistrer des données, mais également une partie supportant une tension élevée, telle qu'un décodeur X et un décodeur Y, qui est utilisée après élévation de tension, une partie de circuits périphériques (c'est-à-dire un tampon d'adresse, une partie d'horloge de ligne/colonne, une partie de transmission d'entrée/sortie, une partie de registre de données, une partie d'amplificateur de lecture, une partie de commande de fonctionnement), et autres. Bien que toutes ces parties soient formées par des transistors, du fait de différences entre des tensions utilisées, on a besoin de plusieurs types de transistors qui ont des caractéristiques mutuellement différentes.

La figure 17 montre des coupes de transistors MOS à canal N T51 à T53 qui sont utilisés pour la partie supportant une tension élevée, la partie de circuits périphériques et la partie de réseau de cellules de mémoire.

Sur la figure 17, les transistors MOS à canal N T51 à T53 sont formés à l'intérieur d'une couche de caisson de type P 121, qui est formée sur le même substrat semiconducteur 21 (du type P). La couche de caisson 121 fait l'objet d'une séparation entre éléments par une couche de coupure de canal 122 et une couche LOCOS 22, manière que les transistors MOS à canal N T51 à T53 soient formés dans des régions qui sont créées par séparation entre éléments.

Le transistor MOS à canal N T51 de la partie supportant une tension élevée comprend une paire de couches de source/drain 126 qui sont formées à l'intérieur de la couche de caisson 121, indépendamment l'une de l'autre mais parallèlement l'une à l'autre, et une paire de couches LDD 127 qui sont formées dans des positions adjacentes à des parties de bord en regard des couches de source/drain 126.

La pellicule d'oxyde de grille 25A est formée sur les couches LDD 127, et une électrode de grille 29A est formée sur la pellicule d'oxyde de grille 25A. Une pellicule d'oxyde de paroi latérale 30 est formée sur une surface latérale de la pellicule d'oxyde de grille 25A et de

l'électrode de grille 29A. Une couche dopée de canal 123 est formée à l'intérieur de la couche de caisson 121, sous l'électrode de grille 29A.

L'électrode de grille 29A comprend une couche de silicium polycristallin M11 et une couche de WSi L11 qui sont empilées dans cet ordre
5 sur la pellicule d'oxyde de grille 25A.

Le transistor MOS à canal N T52 de la partie de circuits périphériques comprend une paire de couches de source/drain 126 qui sont formées à l'intérieur de la couche de caisson 121, indépendamment l'une de l'autre mais parallèlement l'une à l'autre, et une paire de couches LDD
10 127.

La pellicule d'oxyde de grille 25A est formée sur les couches LDD 127, et une électrode de grille 29B est formée sur la pellicule d'oxyde de grille 25A. La pellicule d'oxyde de paroi latérale 30 est formée sur une surface latérale de la pellicule d'oxyde de grille 25A et de l'électrode de grille 29B. Une couche dopée de canal 124 est formée à l'intérieur de la couche de caisson 121, sous l'électrode de grille 29B.
15

L'électrode de grille 29B comprend la couche de silicium polycristallin M11 et une couche de WSi L12 qui sont empilées dans cet ordre sur la pellicule d'oxyde de grille 25A.

Le transistor MOS à canal N T53 de la partie de réseau de cellules de mémoire comprend une paire de couches de source/drain 126 qui sont formées à l'intérieur de la couche de caisson 121, indépendamment l'une de l'autre, mais parallèlement l'une à l'autre. Une pellicule d'oxyde tunnel 23 est formée sur des parties de bord des couches de source/drain 126. Une électrode de grille flottante 27, une pellicule d'isolation inter-couche (encore appelée pellicule ONO) 24 et une électrode de grille de commande 29C sont formées dans cet ordre sur la pellicule d'oxyde tunnel 23.
20
25

En outre, la pellicule d'oxyde de paroi latérale 30 est formée sur une surface latérale de la pellicule d'oxyde tunnel 23, de l'électrode de grille flottante 27, de la pellicule d'isolation inter-couche 24 et de l'électrode de grille de commande 29C.
30

L'électrode de grille de commande 29C comprend une couche de silicium polycristallin M11 et une couche de WSi L13 qui sont empilées dans cet ordre sur la pellicule d'isolation inter-couche 24.
35

De plus, une couche dopée de canal 125 est formée à l'intérieur de la couche de caisson 121, sous l'électrode de grille flottante 27. La partie de réseau de cellules de mémoire a une structure de réseau de grilles dans laquelle des grilles adjacentes se partagent une même couche de source/drain 126. De telles structures sont disposées en succession.

Le Tableau 6 montre des valeurs numériques concernant les structures des transistors MOS à canal N T51 à T53.

TABEAU 6

	Partie supportant une tension élevée (T51)	Partie de circuits périphériques (T52)	Partie de réseau de cellules de mémoire (T53)
Epaisseur de pellicule d'oxyde de champ	400 nm	400 nm	400 nm
Epaisseur de pellicule d'oxyde de grille	8 nm	8 nm	10 nm
Epaisseur de pellicule d'électrode de grille flottante	-----	-----	100 nm
Concentration en impureté de grille flottante	-----	-----	$1 \times 10^{20} \text{ cm}^{-3}$
Epaisseur de pellicule d'isolation inter-couche	-----	-----	TEOS/Si ₃ N ₄ /TEOS = 10/10/10 nm
Epaisseur de pellicule d'électrode de grille	Si Poly	100 nm	100 nm
	WSi	50 nm	50 nm
Paroi latérale	200 nm	200 nm	200 nm
Caisson	B 700 keV $1 \times 10^{13} \text{ cm}^{-2}$	B 700 keV $1 \times 10^{13} \text{ cm}^{-2}$	B 700 keV $1 \times 10^{13} \text{ cm}^{-2}$
Couche de coupure de canal	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$
Couche dopée de canal	B 50 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 50 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 50 keV $5 \times 10^{12} \text{ cm}^{-2}$
Couche LDD	As 30 keV $1 \times 10^{13} \text{ cm}^{-2}$	As 30 keV $1 \times 10^{13} \text{ cm}^{-2}$	-----
Couche de source/drain	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$
Implantation de grille	P 30 keV $5 \times 10^{15} \text{ cm}^{-2}$	P 30 keV $5 \times 10^{15} \text{ cm}^{-2}$	P 30 keV $5 \times 10^{15} \text{ cm}^{-2}$
Traitement thermique	850°C 60 min		

Dans le Tableau 6, la mémoire flash 200 est caractérisée par le fait que la couche de WSi L11 de l'électrode de grille 29A du transistor MOS à canal N T51 est la plus épaisse, et la couche de WSi L12 de l'électrode de grille 29B du transistor à canal N T52 de la partie de circuits périphériques et la couche de WSi L13 de l'électrode de grille 29C du transistor MOS à canal N T53 de la partie de réseau de cellules de mémoire ont la même épaisseur.

La figure 18 montre des profils d'impureté des transistors MOS à canal N T51, T52 et T53 formant la partie supportant une tension élevée, la partie de circuits périphériques et la partie de réseau de cellules de mémoire, qui sont tous représentés sur la figure 17, ces profils correspondant respectivement à des coupes selon la ligne A-A', la ligne B-B' et la ligne C-C'.

Sur la figure 18, chaque position (c'est-à-dire la profondeur) dans une direction de coupe est représentée sur un axe horizontal et une concentration en impureté est représentée sur un axe vertical. L'ordre dans lequel la structure du transistor MOS à canal N T53 de la partie de réseau de cellules de mémoire est fabriquée est illustré dans une partie supérieure de la figure 18, tandis que l'ordre dans lequel les autres structures sont fabriquées est illustré sur l'axe horizontal.

La partie supérieure de la figure 18 montre la couche de silicium polycristallin de l'électrode de grille de commande, la pellicule d'isolation inter-couche (pellicule ONO), l'électrode de grille flottante (couche de silicium polycristallin), la pellicule d'oxyde tunnel (couche de SiO_2) et la couche de caisson (couche de silicium massif), dans cet ordre, à partir du côté gauche. La couche de WSi de l'électrode de grille de commande est omise.

Comme décrit précédemment, plus le rapport entre l'épaisseur de la couche de WSi et celle de la couche de silicium polycristallin est élevé, plus il y a d'impuretés absorbées dans la couche de WSi à partir de la couche de silicium polycristallin, ce qui fait que les impuretés qui existent à l'intérieur de la couche de silicium polycristallin sont décalées vers la couche de WSi, et par conséquent la concentration en impureté dans la couche de silicium polycristallin est non uniforme, de façon correspondante.

Ainsi, comme représenté sur la figure 18, en ce qui concerne les profils d'impureté à l'intérieur des électrodes de grille, le transistor T51 de la partie supportant une tension élevée, dans lequel le rapport entre l'épaisseur de la couche de SWi et l'épaisseur de la couche de silicium polycristallin est le plus grand, présente un profil qui change de la façon la plus abrupte, comme indiqué par la ligne A-A', mais les profils changent modérément, comme indiqué par la ligne B-B' et la ligne C-C', dans le transistor T52 de la partie de circuits périphériques et dans le transistor T53 de la partie de réseau de cellules de mémoire, dans lesquels le rapport entre l'épaisseur de la couche de WSi et l'épaisseur de la couche de silicium polycristallin reste le même.

Plus la couche de WSi est épaisse, plus la concentration en impureté à l'intérieur des électrodes de grille est fortement décalée, et la concentration en impureté au voisinage de la pellicule d'oxyde de grille est inférieure de façon correspondante. Par conséquent, dans l'électrode de grille de la partie supportant une tension élevée, dans laquelle la concentration en impureté au voisinage de la pellicule d'oxyde de grille est la plus faible, la couche de désertion est la plus grande, et l'épaisseur effective de la pellicule d'oxyde de grille est la plus élevée, et la valeur de seuil est la plus élevée.

La figure 19 montre des épaisseurs réelles et des épaisseurs effectives des pellicules d'oxyde de grille respectives. La figure 19 montre les transistors MOS à canal N de la partie supportant une tension élevée, de la partie de circuits périphériques et de la partie de réseau de cellules de mémoire, dans cet ordre, à partir du côté gauche, sur l'axe horizontal. Dans la partie de réseau de cellules de mémoire, la pellicule d'oxyde tunnel est considérée comme la pellicule d'oxyde de grille. Comme le montre clairement la figure 19, parmi les épaisseurs effectives des pellicules d'oxyde de grille respectives, l'épaisseur effective est particulièrement grande dans la partie supportant une tension élevée.

En outre, comme représenté sur la figure 18, du fait que la dose d'impureté est la même parmi les couches dopées de canal 103A à 103C des transistors MOS à canal N T51 à T53, la ligne A-A', la ligne B-B' et la ligne C-C' sont superposées.

De plus, du fait que l'électrode de grille flottante du transistor

MOS à canal N T53 de la partie de réseau de cellules de mémoire est formée par un procédé CVD, le profil d'impureté est constante.

Pour garantir que l'épaisseur effective de la pellicule d'oxyde de grille soit la plus élevée dans la partie supportant une tension élevée, comme représenté sur la figure 19, on peut utiliser les structures suivantes.

2-1-1. Première modification de la structure du dispositif

La figure 20 montre une structure partielle d'une mémoire flash 200A dans laquelle plusieurs types de transistors sont formés. Sur la figure 20, les parties qui sont identiques à celles de la mémoire flash 200 qui est représentée sur la figure 17 sont désignées par des symboles identiques, et on ne présentera pas une description redondante.

La figure 20 montre des coupes des transistors MOS à canal N T54, T55 et T56 qui sont respectivement utilisés dans la partie supportant une tension élevée, la partie de circuits périphériques et la partie de réseau de cellules de mémoire.

Sur la figure 20, les transistors MOS à canal N T54, T55 et T56 comprennent respectivement des électrodes de grilles 29D, 29E et 29F. L'électrode de grille 29D comprend une couche de silicium polycristallin M12 et une couche de WSi L14 qui sont empilées dans cet ordre sur la pellicule d'oxyde de grille 25A. L'électrode de grille 29E comprend une couche de silicium polycristallin M13 et la couche de WSi L14 qui sont empilées dans cet ordre sur la pellicule d'oxyde de grille 25A. L'électrode de grille 29F comprend une couche de silicium polycristallin M14 et la couche de WSi L14 qui sont empilées dans cet ordre sur la pellicule d'isolation inter-couche 24.

L'épaisseur de la couche de WSi L14 des électrodes de grille 29D à 29F des transistors MOS à canal N T54 à T56 est de 100 nm, l'épaisseur de la couche de silicium polycristallin M12 est de 50 nm et les épaisseurs des couches de silicium polycristallin M13 et M14 sont de 200 nm.

Ainsi, bien que la couche de WSi ait une épaisseur inchangée dans les électrodes de grille 29D à 29F des transistors MOS à canal N T54 à T56, la couche de silicium polycristallin est formée de façon à être mince dans l'électrode de grille 29D du transistor MOS à canal N T54 de

la partie supportant une tension élevée, qui doit avoir une valeur de seuil élevée, et par conséquent le rapport entre l'épaisseur de la couche de WSi et l'épaisseur de la couche de silicium polycristallin est le plus élevé, ce qui fait que davantage d'impuretés sont absorbées dans la couche de WSi à partir de la couche de silicium polycristallin, les impuretés présentes dans la couche de silicium polycristallin sont décalées vers la couche de WSi et la concentration en impureté à l'intérieur de la couche de silicium polycristallin est de ce fait non uniforme.

Par conséquent, la concentration en impureté de l'électrode de grille 29D pour laquelle la couche de silicium polycristallin est la plus mince devient la plus faible au voisinage de la pellicule d'oxyde de grille, ce qui fait que dans l'électrode de grille de la partie supportant une tension élevée, la couche de désertion est la plus grande et l'épaisseur effective de la pellicule d'oxyde est la plus élevée, et la valeur de seuil est la plus élevée.

2-1-2. Seconde modification de la structure du dispositif

La figure 21 montre une structure partielle d'une mémoire flash 200B dans laquelle plusieurs types de transistors sont formés. Sur la figure 21, les parties qui sont identiques à celles de la mémoire flash 200 qui est représentée sur la figure 17 sont désignées par des symboles identiques, et on ne présentera pas une description redondante.

La figure 21 montre des coupes de transistors MOS à canal N T57, T58 et T59 qui sont respectivement utilisés dans la partie supportant une tension élevée, la partie de circuits périphériques et la partie de réseau de cellules de mémoire.

Sur la figure 21, les transistors MOS à canal N T57, T58 et T59 comprennent respectivement des électrodes de grille 29G, 29H et 29I. L'électrode de grille 29G comprend une couche de silicium polycristallin M15 et une couche de WSi L15 qui sont empilées dans cet ordre sur la pellicule d'oxyde de grille 25A. L'électrode de grille 29H comprend une couche de silicium polycristallin M16 et une couche de WSi L16 qui sont empilées dans cet ordre sur la pellicule d'oxyde de grille 25A. L'électrode de grille 29I comprend une couche de silicium polycristallin M17 et une couche de WSi L17 qui sont empilées dans cet ordre sur la pellicule d'isolation inter-couche 24.

Les épaisseurs des couches de silicium polycristallin M15, M16 et M17 sur les électrodes de grille 29G, 29H et 29I des transistors MOS à canal N T57, T58 et T59 sont respectivement de 100 nm, 200 nm et 200 nm, tandis que les épaisseurs des couches de WSi L15, L16 et L17 sont
5 respectivement de 200 nm, 100 nm et 100 nm, et les épaisseurs des électrodes 29G à 29I sont uniformément de 300 nm.

Ainsi, bien que les couches de silicium polycristallin aient des épaisseurs mutuellement différentes, de même que les couches de WSi, entre les électrodes de grille 29G à 29I des transistors MOS à canal N
10 T57 à T59, la couche de silicium polycristallin est formée de façon à être la plus mince dans l'électrode de grille 29G du transistor MOS à canal N T57 de la partie supportant une tension élevée, qui doit avoir une valeur de seuil élevée, et par conséquent le rapport entre l'épaisseur de la couche de WSi et l'épaisseur de la couche de silicium polycristallin est le
15 plus élevé, ce qui fait que davantage d'impuretés sont absorbées dans la couche de WSi à partir de la couche de silicium polycristallin, les impuretés qui sont présentes à l'intérieur de la couche de silicium polycristallin sont décalées vers la couche de WSi et la concentration en impureté à l'intérieur de la couche de silicium polycristallin est donc non uniforme.

Ainsi, la concentration en impureté de l'électrode de grille 29G
20 pour laquelle la couche de silicium polycristallin est la plus mince devient la plus faible au voisinage de la pellicule d'oxyde de grille, ce qui fait que dans l'électrode de grille de la partie supportant une tension élevée, la couche de désertion est la plus grande et l'épaisseur effective de la pellicule d'oxyde est la plus élevée, et la valeur de seuil est la plus élevée.
25

2-2. Procédé de fabrication

En se référant aux figures 22 à 35, on présentera dans ce qui suit une description d'un procédé de fabrication des transistors MOS à canal N T55, T56 et T57 de la partie supportant une tension élevée, de la
30 partie de circuits périphériques et de la partie de réseau de cellules de mémoire, qui sont tous représentés sur la figure 20.

Premièrement, à une étape qui est représentée sur la figure 22, on forme une couche LOCOS (c'est-à-dire une pellicule d'oxyde de champ) 22, par exemple avec une épaisseur de 400 nm, par un procédé
35 LOCOS, sur une surface du substrat semiconducteur 21 du type P. A la

suite de ceci, on implante par exemple des ions de bore avec une énergie de 700 keV et une dose de $1 \times 10^{13} \text{ cm}^{-2}$, pour former ainsi une région de caisson de type P 121 à l'intérieur du substrat semiconducteur 21. Bien qu'une région de caisson de type N soit également formée dans le

5 substrat semiconducteur 21 pour former des transistors MOS à canal P, ceci n'est pas représenté, et la description sera omise. Ensuite, on implante par exemple des ions de bore avec une énergie de 130 keV et une dose de $5 \times 10^{12} \text{ cm}^{-2}$, pour former ainsi la couche de coupure de canal 122 à l'intérieur du substrat semiconducteur 21. On forme la couche de

10 coupure de canal 122 en lui donnant une forme qui, en association avec la couche LOCOS 22, crée les régions présentant une séparation entre éléments.

Ensuite, on forme une couche dopée de canal 120 à une position prédéterminée dans la partie supportant une tension élevée, la partie

15 de circuits périphériques et la partie de réseau de cellules de mémoire, à l'intérieur de la région de caisson 121. On forme la couche dopée de canal 120 en implantant par exemple des ions de bore, avec une énergie de 50 keV et une dose de $5 \times 10^{12} \text{ cm}^{-2}$.

Ensuite, à une étape qui est représentée sur la figure 23, après

20 avoir formé une pellicule d'oxyde 231 qui deviendra la pellicule d'oxyde tunnel 23 sur une surface principale du substrat semiconducteur 21, par un procédé d'oxydation thermique, on forme par exemple une couche de silicium polycristallin dopé 271, à titre de matériau d'électrode de grille, sur la pellicule d'oxyde 231, par un procédé CVD. La pellicule d'oxyde

25 231 a une épaisseur d'environ 10 nm, tandis que la couche de silicium polycristallin dopé 271 a une épaisseur d'environ 100 nm. On utilise du phosphore (P) à titre d'impureté. La concentration de l'impureté est d'environ $1 \times 10^{20} \text{ cm}^{-3}$.

Ensuite, à une étape qui est représentée sur la figure 24, on

30 forme sélectivement un masque de matière de réserve R221 sur la couche de silicium polycristallin dopé 271, dans la partie de réseau de cellules de mémoire. Dans ce cas, on forme le masque de matière de réserve R221 dans la direction de largeur de grille de la partie de réseau de cellules de mémoire. On enlève par attaque anisotrope une partie de

35 la couche de silicium polycristallin dopé 271 qui n'est pas recouverte par

le masque de matière de réserve R221. La figure 25 montre cette condition.

La figure 25 est une vue en plan représentant la structure de la figure 24 vue par le côté de la surface supérieure (c'est-à-dire le côté sur lequel le masque de matière de réserve R221 est formé). Dans la partie de réseau de cellules de mémoire, le masque de matière de réserve R221 est formé sous la forme d'îlots rectangulaires qui sont disposés régulièrement. Le masque de matière de réserve R221 est formé de façon à recouvrir une couche active AL qui a une configuration semblable à un îlot rectangulaire, et une couche LOCOS LL autour de la couche active. Dans la partie supportant une tension élevée et dans la partie de circuits périphériques, du fait que le masque de matière de réserve n'est pas formé, la couche active AL est à nu. Bien que le masque de matière de réserve R221 soit partiellement omis sur la figure 25, de manière que la couche active AL et la couche LOCO LL soient visibles, ceci est fait seulement pour la clarté de l'illustration de la structure se trouvant au-dessous du masque de matière de réserve R221, et simplement pour la commodité de l'illustration.

Ensuite, après avoir enlevé le masque de matière de réserve R221, à une étape qui est représentée sur la figure 26, on forme sur la couche de silicium polycristallin dopé 271, par un procédé CVD, une pellicule d'isolation 241, qui deviendra la pellicule d'isolation inter-couche 24 qui isole la grille flottante vis-à-vis de la grille de commande. La pellicule d'isolation inter-couche 24 est appelée dans certains cas "pellicule ONO"). La pellicule d'isolation 241 est formée sur la partie supportant une tension élevée, ainsi que sur la partie de circuits périphériques. Cette pellicule a une structure dans laquelle une pellicule de TEOS (tétraéthylorthosilicate), une pellicule de nitrure (Si_3N_4) et une pellicule de TEOS, ayant chacune une épaisseur de 10 nm, sont empilées dans cet ordre.

Ensuite, à une étape qui est représentée sur la figure 27, on forme un masque de matière de réserve R222 sur la pellicule d'isolation 241 de la partie de réseau de cellules de mémoire, et on enlève la pellicule d'isolation 241 dans toutes les autres régions. Dans ce cas, dans les autres régions, on enlève également la pellicule d'oxyde 231. La figure

28 montre cette condition.

La figure 28 est une vue en plan représentant la structure de la figure 27 vue par le côté de la surface supérieure (c'est-à-dire le côté sur lequel le masque de matière de réserve R222 est formé). Le masque de matière de réserve R222 est formé de façon à recouvrir entièrement la partie de réseau de cellules de mémoire. Cependant, dans la partie supportant une tension élevée et dans la partie de circuits périphériques, du fait que le masque de matière de réserve R222 n'est pas formé, la couche active AL est à nu.

10 Ensuite, après avoir enlevé le masque de matière de réserve R222, à une étape qui est représentée sur la figure 29, on forme sur la totalité de la surface principale du substrat semiconducteur 21, par un procédé d'oxydation thermique, une pellicule d'oxyde 251A qui deviendra la pellicule d'oxyde de grille 25A. A ce stade, du fait que la pellicule d'isolation 241 sur la partie de réseau de cellules de mémoire comprend la pellicule de nitrure, la pellicule d'isolation 241 n'est pas oxydée et l'épaisseur de la pellicule d'isolation 241 est maintenue. L'épaisseur de la pellicule d'oxyde 251A est d'environ 8 nm.

20 Ensuite, à une étape qui est représentée sur la figure 30, on forme une couche de silicium polycristallin (non dopé) 280 sur la totalité d'une surface principale du substrat semiconducteur 21, à titre de matériau d'électrode de grille, par un procédé CVD. La couche de silicium polycristallin 280 a une épaisseur d'environ 200 nm.

25 Ensuite, à une étape qui est représentée sur la figure 31, on implante des ions d'impureté dans la couche de silicium polycristallin 280, pour former ainsi une couche de silicium polycristallin dopé 281. A ce stade, la couche de silicium polycristallin dopé 281 est également formée dans la partie de circuits périphériques et dans la partie de réseau de cellules de mémoire. On forme la couche de silicium polycristallin dopé 281 en implantant par exemple des ions de phosphore, avec une énergie de 30 keV et une dose de $5 \times 10^{15} \text{ cm}^{-2}$.

30 A la suite de ceci, à une étape qui est représentée sur la figure 32, on forme un masque de matière de réserve R225 sur la partie de circuits périphériques et la partie de réseau de cellules de mémoire, et on effectue une opération d'attaque sélective pour réduire l'épaisseur de la

35

couche une couche de silicium polycristallin dopé 281 de la partie supportant une tension élevée, grâce à quoi on obtient une couche de silicium polycristallin dopé 282 qui a une épaisseur (50 nm) qui est conforme à celle du transistor MOS à canal N T54 de la partie supportant une tension élevée.

5 Ensuite, à une étape qui est représentée sur la figure 33, après avoir enlevé le masque de matière de réserve R225, on forme une couche de WSi 290 sur les couches de silicium polycristallin dopé 281 et 282. A titre de procédé de formation de la couche de WSi 290, on utilise
10 par exemple un procédé de pulvérisation cathodique, et on forme la couche de WSi 290 en lui donnant une épaisseur d'environ 100 nm.

Ensuite, à une étape qui est représentée sur la figure 34, on forme un masque de matière de réserve R227 sur la couche de WSi 290, et on définit un motif avec ce masque. La figure 35 montre cette condi-
15 tion.

La figure 35 est une vue en plan représentant la structure de la figure 34 vue par le côté de la surface supérieure (c'est-à-dire le côté sur lequel le masque de matière de réserve R227 est formé). Le masque de matière de réserve R227 est formé de façon à être perpendiculaire à la
20 couche active AL qui a une configuration rectangulaire.

Sous l'effet de l'opération de définition de motif, la pellicule d'oxyde de grille 25A et l'électrode de grille 29D sont formées dans la partie supportant une tension élevée, la pellicule d'oxyde de grille 25A et l'électrode de grille 29E sont formées dans la partie de circuits périphériques, et la pellicule d'oxyde tunnel 23, l'électrode de grille flottante 27, la
25 pellicule d'isolation inter-couche 24 et l'électrode de grille de commande 29F sont formées dans la partie de réseau de cellules de mémoire.

A la suite de ceci, après avoir formé les couches LDD 127 par implantation d'ions dans la partie supportant une tension élevée et la
30 partie de circuits périphériques, on forme la pellicule d'oxyde de paroi latérale 30, d'environ 100 nm d'épaisseur, sur une surface latérale de la pellicule d'oxyde de grille 25A et de l'électrode de grille 29D, sur une surface latérale de la pellicule d'oxyde de grille 25A et de l'électrode de grille 29E, et sur une surface latérale de la pellicule d'oxyde tunnel 23,
35 de l'électrode de grille flottante 27, de la pellicule d'isolation inter-couche

24 et de l'électrode de grille de commande 29F. En utilisant à titre de masque la pellicule d'oxyde de paroi latérale 30, on forme les couches de source/drain 126, par implantation ionique. On obtient de cette manière la structure de la mémoire flash qui est représentée sur la figure 20.

5 Ensuite, on obtient les couches LDD 127 en implantant par exemple des ions d'arsenic, avec une énergie de 30 keV et une dose de $1 \times 10^{13} \text{ cm}^{-2}$. D'autre part, on obtient les couches de source/drain 126 en injectant par exemple des ions d'arsenic, avec une énergie de 50 keV et une dose de $5 \times 10^{15} \text{ cm}^{-2}$, et en effectuant ensuite un recuit à 850°C pendant 60 minutes.

10 Bien que ceci soit suivi par la formation d'un condensateur, d'une pellicule d'isolation inter-couche, d'une couche d'interconnexion et autres, pour former la mémoire flash, on ne décrira pas ces opérations et elle ne sont pas représentées dans les dessins.

15 2-3. Fonction et effet caractéristiques

 Comme décrit ci-dessus, les mémoires flash 200, 200A et 200B conformes au second mode de réalisation préféré de la présente invention ont chacune une structure du type silicium polycristallin/siliciure qui est formée par la couche de silicium polycristallin et les couches de WSi, dans laquelle le rapport entre l'épaisseur de la couche de WSi et l'épaisseur de la couche de silicium polycristallin est changé parmi les différents types de transistors ayant des caractéristiques mutuellement différentes (ayant par exemple des spécifications imposées mutuellement différentes), de façon à changer les épaisseurs effectives des pellicules d'oxyde respectives. Il n'est donc pas nécessaire de former avec des épaisseurs mutuellement différentes les pellicules d'oxyde de grille qui ont des tensions de claquage mutuellement différentes.

20 En outre, du fait qu'il est possible de fixer les valeurs de seuil en changeant les épaisseurs effectives des pellicules d'oxyde de grille, il n'est pas nécessaire de changer les concentrations en impureté des couches dopées de canal conformément aux caractéristiques des transistors, et par conséquent il est donc possible de fixer les concentrations à des valeurs auxquelles un courant de fuite (c'est-à-dire une fuite de couche de diffusion) provenant d'une couche de diffusion peut être réduit à la plus faible valeur possible.

35

Ainsi, en fixant les concentrations en impureté des couches dopées de canal à des valeurs avec lesquelles une fuite de couche de diffusion est aussi faible que possible, tout en ajustant les caractéristiques de tension de claquage et les valeurs de seuil au moyen des concentrations en impureté des électrodes de grille, il est possible de satisfaire les exigences concernant les tensions de claquage, de s'affranchir de la relation de compromis entre les valeurs de seuil et la fuite de couche de diffusion, et donc d'éliminer une restriction imposée à la conception de circuits.

En outre, dans le cas de la formation de pellicules d'oxyde de grille ayant également des épaisseurs mutuellement différentes, en changeant les épaisseurs effectives des pellicules d'oxyde de grille, il est possible de réduire les types des pellicules d'oxyde de grille. Ceci permet de simplifier les étapes de fabrication des pellicules d'oxyde de grille, et d'obtenir des pellicules d'oxyde de grille qui sont excellentes en ce qui concerne la fiabilité et la maîtrise de l'épaisseur de pellicule.

Ainsi, dans la structure qui est représentée sur les figures 17, 20 et 21, du fait que les épaisseurs des pellicules d'oxyde de grille des transistors de la partie supportant une tension élevée et de la partie de circuits périphériques sont mutuellement identiques, il y a deux types de pellicules d'oxyde de grille. En outre, en ce qui concerne les étapes de formation des pellicules d'oxyde, il y a seulement l'étape de formation de la pellicule d'oxyde 231 (voir la figure 23) et l'étape de formation de la pellicule d'oxyde 215A (voir la figure 29). Du fait que les pellicules d'oxyde sont formées en effectuant une oxydation thermique une seule fois à chaque étape, contrairement au procédé de fabrication classique décrit en relation avec les figures 88 à 101, il n'est pas nécessaire de former une pellicule d'oxyde en plus d'une phase, et il n'y a pas de risque qu'une impureté puisse être mélangée, ou que la maîtrise de l'épaisseur de pellicule puisse se dégrader.

De plus, du fait que les électrodes de grille ont une structure du type silicium polycristallin/siliciure, comprenant les couches de silicium polycristallin et de WSi, il est possible de réduire les valeurs de résistance des électrodes de grille. Si on utilise une structure silicium polycristallin/siliciure également pour un conducteur de connexion de grille,

lorsqu'un courant dû à la charge des électrodes de grille circule par exemple dans le conducteur de connexion de grille, une diminution du courant due à une chute de tension ou un phénomène similaire est réduite. De plus, la faible résistance permet un fonctionnement à une vitesse élevée.

5 Bien que dans ce qui précède, on ait décrit pour le second mode de réalisation préféré de la présente invention la structure dans laquelle divers types de transistors sont formés sur un substrat monocristallin, il est possible d'obtenir une fonction et un effet similaires dans
10 le cas où divers types de transistors sont formés sur un substrat SOI (silicium sur isolant).

Troisième mode de réalisation préféré

3-1. Structure du dispositif

La figure 36 montre une structure partielle d'une mémoire DRAM qui comprend un circuit logique (que l'on appelle ci-après "Circuit Logique en Mémoire DRAM") 300, à titre de troisième mode de réalisation préféré de la présente invention.

Un Circuit Logique en Mémoire DRAM est un dispositif qui fonctionne avec des performances élevées et qui a seulement un faible coût, du fait qu'un circuit logique est formé dans la même puce, ce qui fait que
20 la mémoire DRAM et le circuit logique, qui étaient formés précédemment sous la forme de puces séparées, sont combinés ensemble.

De façon générale, un Circuit Logique en Mémoire DRAM se divise grossièrement en une partie logique et une partie de mémoire DRAM. Une exigence de la partie logique est un fonctionnement à une vitesse élevée, c'est-à-dire une possibilité d'attaque élevée et une faible capacité. D'autre part, comme décrit précédemment en relation avec le premier mode de réalisation préféré, la partie de mémoire DRAM comprend une partie de réseau de cellules de mémoire dans laquelle un faible courant de fuite est exigé, une partie d'amplificateur de lecture dans laquelle un fonctionnement à tension faible est exigé, etc. Ainsi, plusieurs types de transistors qui ont des caractéristiques mutuellement différentes sont nécessaires dans un circuit logique en mémoire DRAM qui est formé sous la forme d'une seule puce.

35 La figure 36 montre des coupes de transistors MOS à canal N

T61 à T63 qui sont utilisés pour la partie logique, la partie d'amplificateur de lecture et la partie de réseau de cellules de mémoire.

5 Sur la figure 36, les transistors MOS à canal N T61 à T63 sont formés à l'intérieur de la couche de caisson de type P 151 qui est formée sur le même substrat semiconducteur 51 (du type P). La couche de caisson 151 fait l'objet d'une séparation entre éléments par une couche de coupure de canal 152 qui est formée à l'intérieur de la couche de caisson 151, et une couche LOCOS 52, de manière que les transistors MOS à canal N T61 à T63 soient formés dans des régions qui sont créées par séparation entre éléments.

10 Le transistor MOS à canal N T61 de la partie logique comprend une paire de couches de source/drain 156 qui sont formées dans la couche de caisson 151, indépendamment l'une de l'autre mais parallèlement l'une à l'autre, et une paire de couches LDD 157 qui sont formées de façon adjacente à des parties de bord en regard des couches de source/drain 156.

15 Une pellicule d'oxyde de grille 53 est formée sur les couches LDD 157, et une électrode de grille 55A est formée sur la pellicule d'oxyde de grille 53. Une pellicule d'oxyde de paroi latérale 56 est formée sur une surface latérale de la pellicule d'oxyde de grille 53 et de l'électrode de grille 55A. Une couche dopée de canal 155A est formée à l'intérieur de la couche de caisson 151, sous l'électrode de grille 55A.

20 Le transistor MOS à canal N T62 de la partie d'amplificateur de lecture comprend une paire de couches de source/drain 156 qui sont formées à l'intérieur de la couche de caisson 151, indépendamment l'une de l'autre mais parallèlement l'une à l'autre, et une paire de couches LDD 157.

25 La pellicule d'oxyde de grille 53 est formée sur les couches LDD 157, et une électrode de grille 55A est formée sur la pellicule d'oxyde de grille 53. La pellicule d'oxyde de paroi latérale 56 est formée sur une surface latérale de la pellicule d'oxyde de grille 53 et de l'électrode de grille 55A. Une couche dopée de canal 154 est formée à l'intérieur de la couche de caisson 151, sous l'électrode de grille 55A.

30 L'électrode de grille 55A comprend une couche de silicium polycristallin M21 et une couche de WSi L21 qui sont empilées sur la pellicule

d'oxyde de grille 53.

Le transistor MOS à canal N T63 de la partie de réseau de cellules de mémoire comprend une paire de couches de source/drain 156 qui sont formées à l'intérieur de la couche de caisson 151, indépendamment l'une de l'autre, mais parallèlement l'une à l'autre, et une paire de couches LDD 157.

La pellicule d'oxyde de grille 53 est formée sur les couches LDD 157, et une électrode de grille 55B est formée sur la pellicule d'oxyde de grille 53. La pellicule d'oxyde de paroi latérale 56 est formée sur une surface latérale de la pellicule d'oxyde de grille 53 et de l'électrode de grille 55A. Une couche dopée de canal 154 est formée à l'intérieur de la couche de caisson 151, sous l'électrode de grille 55A.

L'électrode de grille 55A comprend une couche de silicium polycristallin M21 et une couche de WSi L21 qui sont empilées sur la pellicule d'oxyde de grille 53.

Le transistor MOS à canal N T63 de la partie de réseau de cellules de mémoire comprend une paire de couches de source/drain 156 qui sont formées à l'intérieur de la couche de caisson 151, indépendamment l'une de l'autre mais parallèlement l'une à l'autre, et une paire de couches LDD 157.

La pellicule d'oxyde de grille 53 est formée sur les couches de source/drain 156 et les couches LDD 157, et l'électrode de grille 55B est formée sur la pellicule d'oxyde de grille 53. La pellicule d'oxyde de paroi latérale 56 est formée sur une surface latérale de la pellicule d'oxyde de grille 53 et de l'électrode de grille 55B. Une couche dopée de canal 155A est formée à l'intérieur de la couche de caisson 151, sous l'électrode de grille 55B. La partie de réseau de cellules de mémoire comporte une structure de réseau de grilles, dans laquelle des grilles adjacentes se partagent une même couche de source/drain 156. De telles structures sont disposées en succession.

L'électrode de grille 55B comprend la couche de silicium polycristallin M21 et une couche de WSi L22 qui sont empilées sur la pellicule d'oxyde de grille 53.

Le Tableau 7 montre des valeurs numériques concernant les structures des transistors MOS à canal N T61 à T63.

TABLEAU 7

	Partie logique (T61)	Partie d'amplificateur de lecture (T62)	Partie de réseau de cellules de mémoire (T63)
Epaisseur de pellicule d'oxyde de champ	400 nm	400 nm	400 nm
Epaisseur de pellicule d'oxyde de grille	6 nm	6 nm	6 nm
Epaisseur de pellicule d'électrode de grille	Si Poly	200 nm	50 nm
	WSi	100 nm	100 nm
Paroi latérale	100 nm	100 nm	100 nm
Caisson	B 700 keV $1 \times 10^{15} \text{ cm}^{-2}$	B 700 keV $1 \times 10^{15} \text{ cm}^{-2}$	B 700 keV $1 \times 10^{15} \text{ cm}^{-2}$
Couche de coupure de canal	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$
Couche dopée de canal	B 50 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 50 keV $1 \times 10^{12} \text{ cm}^{-2}$	B 50 keV $5 \times 10^{12} \text{ cm}^{-2}$
Couche LDD	As 30 keV $1 \times 10^{13} \text{ cm}^{-2}$	As 30 keV $1 \times 10^{13} \text{ cm}^{-2}$	As 30 keV $1 \times 10^{13} \text{ cm}^{-2}$
Couche de source/drain	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$
Implantation de grille	P 30 keV $5 \times 10^{15} \text{ cm}^{-2}$	P 30 keV $5 \times 10^{15} \text{ cm}^{-2}$	P 30 keV $5 \times 10^{15} \text{ cm}^{-2}$
Traitement thermique	850°C 30 min		

Dans le Tableau 7, les doses d'impureté pour former les couches dopées de canal des transistors MOS à canal N T61, T62 et T63 sont respectivement de $5 \times 10^{12} \text{ cm}^{-2}$, $1 \times 10^{12} \text{ cm}^{-2}$ et $5 \times 10^{12} \text{ cm}^{-2}$. Du bore (B) est implanté à titre d'impureté pour chacune des couches, avec
5 une énergie d'implantation de 50 keV.

En outre, les épaisseurs des pellicules d'oxyde de grille des transistors MOS à canal N T61 à T63 sont de 6 nm.

D'autre part, la dose d'impureté pour former les électrodes de grille des transistors MOS à canal N T61, T62 et T63 est uniformément de
10 $5 \times 10^{15} \text{ cm}^{-2}$. Du phosphore (P) est implanté à titre d'impureté pour chacune des couches, avec une énergie d'implantation de 30 keV.

La figure 37 montre des profils d'impureté des transistors MOS à canal N T61, T62 et T63 de la partie logique, de la partie d'amplificateur de lecture et de la partie de réseau de cellules de mémoire, qui sont
15 tous représentés sur la figure 36, ces profils correspondant respectivement à des coupes selon la ligne A-A', la ligne B-B' et la ligne C-C'.

Sur la figure 37, une position (c'est-à-dire la profondeur) dans une direction de coupe est représentée sur un axe horizontal et une concentration en impureté est représentée sur un axe vertical. L'électrode de grille (couche de silicium polycristallin), la pellicule d'oxyde de grille (couche de SiO_2) et la couche de caisson (couche de silicium massif) sont représentées dans cet ordre sur l'axe horizontal, à partir du côté gauche. Les couches de WSi des électrodes de grille sont omises.
20

Comme représenté dans le Tableau 7, parmi les électrodes de grille 55A et 55B des transistors MOS à canal N T61 à T63, bien que la couche de silicium polycristallin ait la même épaisseur, le rapport de l'épaisseur de la couche de WSi est différent en ce qui concerne la couche de silicium polycristallin entre les électrodes de grille 55A et 55B. Ainsi, alors que le rapport entre l'épaisseur de la couche de WSi et l'épaisseur de la couche de silicium polycristallin dans l'électrode de grille 55A des transistors MOS à canal N T61 et 62 est de 2:1, le rapport
30 entre l'épaisseur de la couche de WSi et l'épaisseur de la couche de silicium polycristallin dans l'électrode de grille 55B du transistor MOS à canal N T63 est de 1:2.

35 Comme décrit précédemment, plus le rapport entre l'épaisseur

des couches de WSi et l'épaisseur de la couche de silicium polycristallin est élevé, plus il y a d'impuretés absorbées dans les couches de WSi à partir de la couche de silicium polycristallin, ce qui fait que les impuretés qui sont présentes dans la couche de silicium polycristallin sont décalées vers les couches de WSi, et par conséquent la concentration en impureté dans la couche de silicium polycristallin est non uniforme de façon correspondante.

Ainsi, comme représenté sur la figure 37, en ce qui concerne les profils d'impureté dans les électrodes de grille, bien que le profil des transistors T61 et T62 de la partie logique et de la partie d'amplificateur de lecteur soit relativement plat, comme indiqué par la ligne A-A' et la ligne B-B', le profil change de façon abrupte, comme indiqué par la ligne C-C', dans le transistor T63 de la partie de réseau de cellules de mémoire.

Par conséquent, la concentration en impureté au voisinage de la pellicule d'oxyde de grille est de façon correspondante la plus faible dans la partie de réseau de cellules de mémoire, ce qui fait que dans l'électrode de grille de la partie de réseau de cellules de mémoire la couche de désertion est la plus grande et l'épaisseur effective de la pellicule d'oxyde est la plus élevée, et la valeur de seuil est la plus élevée.

Du fait que la concentration en impureté de la couche dopée de canal à l'intérieur de la couche de caisson est fixée de façon à rester inchangée entre les transistors MOS à canal N T61 et T63, la ligne A-A' et la ligne B-B' sont superposées.

La figure 38 montre les épaisseurs réelles et les épaisseurs effectives des pellicules d'oxyde de grille respectives. Sur la figure 38, les transistors MOS à canal N de la partie logique, de la partie d'amplificateur de lecture et de la partie de réseau de cellules de mémoire sont représentés dans cet ordre sur l'axe horizontal, à partir du côté gauche. Comme représenté sur la figure 38, bien que les épaisseurs réelles des transistors soient les mêmes, en ce qui concerne les épaisseurs effectives des transistors, l'épaisseur effective est particulièrement élevée dans la partie de réseau de cellules de mémoire.

On peut utiliser les structures suivantes pour garantir que l'épaisseur effective de la pellicule d'oxyde de grille soit la plus élevée

dans la partie de réseau de cellules de mémoire, comme représenté sur la figure 38.

3-1-1. Première modification de la structure du dispositif

5 La figure 39 montre une structure partielle d'un Circuit Logique en Mémoire DRAM 300A, dans lequel plusieurs types de transistors sont formés. Sur la figure 39, des parties qui sont identiques à celles du Circuit Logique en Mémoire DRAM 300 qui est représenté sur la figure 36 sont indiquées par des symboles identiques, et on ne présentera pas une description redondante.

10 La figure 39 montre des coupes de transistors MOS à canal N T64, T65 et T66 qui sont respectivement utilisés dans la partie logique, la partie d'amplificateur de lecture et la partie de réseau de mémoire.

15 Sur la figure 39, les transistors MOS à canal N T64 et T65 comprennent une électrode de grille 55C, tandis que le transistor MOS à canal N T66 comprend une électrode de grille 55D. L'électrode de grille 55C comprend une couche de silicium polycristallin M22 et une couche de WSi L23 qui sont superposées dans cet ordre sur la pellicule d'oxyde de grille 3. L'électrode de grille 55D comprend une couche de silicium polycristallin M23 et la couche de WSi L23 qui sont superposées dans cet ordre sur la pellicule d'oxyde de grille 3.

20 L'épaisseur de la couche de WSi L23 des électrodes de grille 55C et 55D des transistors MOS à canal N T64 à T66 est de 100 nm, et les épaisseurs des couches de silicium polycristallin M22 et M23 sont respectivement de 200 nm et 50 nm.

25 Ainsi, bien que la couche de WSi ait une épaisseur inchangée dans les électrodes de grille 55C et 55D des transistors MOS à canal N T64 à T66, les couches de silicium polycristallin de la partie de réseau de cellules de mémoire qui doit avoir une valeur de seuil élevée sont formées de façon à être minces, et par conséquent le rapport entre l'épaisseur de la couche de WSi et les épaisseurs des couches de silicium polycristallin est élevé, ce qui fait que davantage d'impuretés sont absorbées dans la couche de WSi à partir des couches de silicium polycristallin, les impuretés qui sont présentes dans les couches de silicium polycristallin sont décalées vers la couche de WSi et la concentration en impureté à

30

35

l'intérieur des couches de silicium polycristallin est ainsi non uniforme.

Par conséquent, la concentration en impureté de l'électrode de grille 55D pour laquelle la couche de silicium polycristallin est la plus mince devient la plus faible au voisinage de la pellicule d'oxyde de grille, ce qui fait que dans l'électrode de grille de la partie de réseau de cellules de mémoire, la couche de désertion est la plus grande et l'épaisseur de la pellicule d'oxyde est la plus élevée, et la valeur de seuil est la plus élevée.

3-1-2. Seconde modification de la structure du dispositif

La figure 40 montre une structure partielle d'un Circuit Logique en Mémoire DRAM 300B dans lequel plusieurs types de transistors sont formés. Sur la figure 40, des parties qui sont identiques à celles du Circuit Logique en Mémoire DRAM 300 qui est représenté sur la figure 36 sont désignées par des symboles identiques, et on ne présentera pas une description redondante.

La figure 40 montre des coupes de transistors MOS à canal N T67, T68 et T69 qui sont respectivement utilisés dans la partie logique, la partie d'amplificateur de lecture et la partie de réseau de cellules de mémoire.

Sur la figure 40, les transistors MOS à canal N T67 et T68 comprennent une électrode de grille 55E, tandis que le transistor MOS à canal N T69 comprend une électrode de grille 55F. L'électrode de grille 55E comprend une couche de silicium polycristallin M24 et une couche de WSi L24 qui sont empilées dans cet ordre sur la pellicule d'oxyde de grille 3. L'électrode de grille 55F comprend une couche de silicium polycristallin M25 et une couche de WSi L25 qui sont empilées dans cet ordre sur la pellicule d'oxyde de grille 3.

Les épaisseurs des couches de WSi L24 et L25 des électrodes de grille 55E et 55F dans les transistors MOS à canal N T67 à T69 sont respectivement de 100 nm et de 200 nm. Les épaisseurs des couches de silicium polycristallin M24 et M25 sont respectivement de 200 nm et de 100 nm. Les épaisseurs des électrodes de grille 55E et 55F entières ont la même valeur de 300 nm.

Ainsi, bien que les couches de silicium polycristallin aient des épaisseurs mutuellement différentes, de même que les couches de WSi,

entre les électrodes de grille 55E et 55F des transistors MOS à canal N T67 à T69, le rapport entre l'épaisseur de la couche de WSi et l'épaisseur de la couche de silicium polycristallin est élevé dans la partie de réseau de cellules de mémoire qui doit avoir une valeur de seuil élevée, ce qui fait que davantage d'impuretés sont absorbées dans la couche de WSi à partir de la couche de silicium polycristallin, les impuretés qui sont présentes dans la couche de silicium polycristallin sont décalées vers la couche de WSi, et la concentration en impureté dans la couche de silicium polycristallin est de façon correspondante non uniforme.

Ainsi, la concentration en impureté de l'électrode de grille 55F devient la plus faible au voisinage de la pellicule d'oxyde de grille, ce qui fait que dans l'électrode de grille de la partie de réseau de cellules de mémoire, la couche de désertion est la plus grande et l'épaisseur effective de la pellicule d'oxyde est la plus élevée, et la valeur de seuil est la plus élevée.

3-2. Procédé de fabrication

On présentera dans ce qui suit, en se référant aux figures 41 à 47, une description d'un procédé de fabrication des transistors MOS à canal N T64 à T66 du Circuit Logique en Mémoire DRAM 300A qui a été décrit en relation avec la figure 39, parmi les Circuits Logiques en Mémoire DRAM 300, 300A et 300B décrits ci-dessus.

Premièrement, à une étape qui est représentée sur la figure 41, on forme une couche LOCOS (c'est-à-dire une pellicule d'oxyde de champ) 52, en lui donnant par exemple une épaisseur de 400 nm, par un procédé LOCOS, sur une surface du substrat semiconducteur 51 du type P. A la suite de ceci, on implante par exemple des ions de bore avec une énergie de 700 keV et une dose de $1 \times 10^{13} \text{ cm}^{-2}$, pour former ainsi une région de caisson de type P 151 à l'intérieur du substrat semiconducteur 51. Bien que qu'une région de caisson de type N soit également formée dans le substrat semiconducteur 51, pour former des transistors MOS à canal P, ceci n'est pas représenté et la description sera omise. Ensuite, on implante par exemple des ions de bore avec une énergie de 130 keV et une dose de $5 \times 10^{12} \text{ cm}^{-2}$, pour former ainsi la couche de coupure de canal 152 à l'intérieur du substrat semiconducteur 51. On forme la couche de coupure de canal 152 en lui donnant une forme qui, conjointement

à la couche LOCOS 52, crée les régions présentant une séparation entre éléments.

5 Ensuite, on forme dans la région de caisson 151 du transistor T62 de la partie d'amplificateur de lecture la couche dopée de canal 150 qui a la plus faible concentration en impureté. A ce stade, on forme également la couche dopée de canal 150 dans les transistors T61 et T63 de la partie logique et de la partie de réseau de cellules de mémoire. On forme la couche dopée de canal 150 en implantant par exemple des ions de bore avec une énergie de 50 keV et une dose de $1 \times 10^{12} \text{ cm}^{-2}$.

10 Ensuite, à une étape qui est représentée sur la figure 42, on forme un masque de matière de réserve R251 sur la partie d'amplificateur de lecture. On plante en plus une impureté d'une manière sélective dans la couche dopée de canal 150 de la partie logique et de la partie de réseau de cellules de mémoire, pour former ainsi la couche dopée de canal 150A qui a une concentration en impureté en accord avec les transistors T64 et T66 de la partie logique et de la partie de réseau de cellules de mémoire. On forme la couche dopée de canal 150A en implantant par exemple des ions de bore, avec une énergie de 50 keV et une dose de $4 \times 10^{12} \text{ cm}^{-2}$.

20 Ensuite, à une étape qui est représentée sur la figure 43, après avoir formé par un procédé d'oxydation thermique une pellicule d'oxyde 531 qui deviendra la pellicule d'oxyde de grille 53, sur la surface principale du substrat semiconducteur 51, on forme une couche de silicium polycristallin (non dopé) 550 sur la pellicule d'oxyde 531, à titre de matériau d'électrode de grille, par un procédé CVD. La pellicule d'oxyde 531 a une épaisseur d'environ 6 nm, tandis que la couche de silicium polycristallin 550 a une épaisseur d'environ 200 nm.

25 Ensuite, à une étape qui est représentée sur la figure 44, on plante des ions d'impureté dans la couche de silicium polycristallin 550, pour former ainsi une couche de silicium polycristallin dopé 551. On forme la couche de silicium polycristallin dopé 551 en implantant par exemple des ions de phosphore, avec une énergie de 30 keV et une dose de $5 \times 10^{15} \text{ cm}^{-2}$.

35 Ensuite, à une étape qui est représentée sur la figure 45, on forme un masque de matière de réserve R255 sur la partie logique et la

partie d'amplificateur de lecture, et on effectue une attaque sélective de réduction d'épaisseur sur la couche de silicium polycristallin dopé 551 de la partie de réseau de cellules de mémoire, pour former ainsi une couche de silicium polycristallin dopé 552 qui a une épaisseur (50 nm) qui est en accord avec le transistor MOS à canal N T66 de la partie de réseau de cellules de mémoire.

5 Ensuite, après avoir enlevé le masque de matière de réserve R255, à une étape qui est représentée sur la figure 46, on forme une couche de WSi 560 sur les couches de silicium polycristallin dopé 551 et 10 552. A titre de procédé de formation de la couche de WSi 560, on utilise par exemple un procédé de pulvérisation cathodique, et on forme la couche de WSi en lui donnant une épaisseur d'environ 100 nm.

15 Ensuite, à une étape qui est représentée sur la figure 47, on forme un masque de matière de réserve R256 sur la couche de WSi 560, et on définit un motif avec le masque, de façon à former les électrodes de grille 55C et 55D et la pellicule d'oxyde de grille 53.

A la suite de ceci, après avoir formé les couches LDD 157 par implantation d'ions dans la partie logique, la partie d'amplificateur de lecture et la partie de réseau de cellules de mémoire, on forme la pellicule d'oxyde de paroi latérale 56, d'environ 100 nm d'épaisseur, sur une surface latérale de la pellicule d'oxyde de grille 53 et des électrodes de grille 55C, 55D. En utilisant à titre de masque la pellicule d'oxyde de paroi latérale 56, et en procédant par implantation ionique, on forme les couches de source/drain 156. De cette manière, on obtient la structure du Circuit Logique en Mémoire DRAM 300A qui est représentée sur la figure 20 25 39.

On notera que les couches LDD 157 sont obtenues en implantant par exemple des ions d'arsenic (As), avec une énergie de 30 keV et une dose de $1 \times 10^{13} \text{ cm}^{-2}$. D'autre part, les couches de source/drain 156 30 sont obtenues en injectant par exemple des ions d'arsenic, avec une énergie de 50 keV et une dose de $5 \times 10^{15} \text{ cm}^{-2}$, et en effectuant ensuite un recuit à 850°C pendant 30 minutes.

Bien que ceci soit suivi par la formation d'un condensateur, d'une pellicule d'isolation inter-couche, d'une couche d'interconnexion et 35 autres, pour former le Circuit Logique en Mémoire DRAM, on ne décrira

pas ces opérations et elles ne sont pas représentées dans les dessins.

3-3. Fonction et effet caractéristiques

Comme décrit ci-dessus, chacun des Circuits Logiques en Mémoire DRAM 300, 300A et 300B conforme au troisième mode de réalisation préféré de la présente invention a une structure du type silicium polycristallin/siliciure qui comprend la couche de silicium polycristallin et les couches de WSi, dans laquelle le rapport entre l'épaisseur de la couche de WSi et l'épaisseur de la couche de silicium polycristallin est changé parmi les différents types de transistors ayant des caractéristiques mutuellement différentes (ayant par exemple des spécifications imposées mutuellement différentes), de façon à changer les épaisseurs effectives des pellicules d'oxyde de grille respectives, et à fixer la valeur de seuil.

Ainsi, dans la partie de réseau de cellules de mémoire dans laquelle l'épaisseur de la couche de WSi est grande par rapport à l'épaisseur de la couche de silicium polycristallin, une couche de désertion est créée dans une grande étendue à l'intérieur de l'électrode de grille, ce qui fait que l'épaisseur de la pellicule d'oxyde devient effectivement grande et la valeur de seuil est élevée.

En outre, dans la partie d'amplificateur de lecture, en permettant d'avoir une plus faible concentration en impureté dans la couche dopée de canal, il est possible de réduire à la valeur la plus faible possible un courant de fuite (c'est-à-dire une fuite de couche de diffusion) provenant d'une couche de diffusion.

Ainsi, en fixant les concentrations en impureté des couches dopées de canal à des valeurs auxquelles une fuite de couche de diffusion est la plus faible possible, tout en fixant les valeurs de seuil au moyen du rapport entre l'épaisseur de la couche de WSi et l'épaisseur de la couche de silicium polycristallin dans les électrodes de grille, il est possible de s'affranchir de la relation de compromis entre les valeurs de seuil et la fuite de couche de diffusion, et donc d'éliminer une restriction imposée à la conception de circuits.

Bien que dans ce qui précède, on ait décrit pour le troisième mode de réalisation préféré de la présente invention la structure dans laquelle divers types de transistors sont formés sur un substrat monocristallin, il est possible d'obtenir une fonction et un effet similaires dans

le cas où divers types de transistors sont formés sur un substrat SOI (silicium sur isolant).

De plus, du fait que les électrodes de grille ont une structure du type silicium polycristallin/siliciure qui comprend des couches de silicium polycristallin et de WSi, il est possible de réduire les valeurs de résistance des électrodes de grille. Si on utilise également une structure du type silicium polycristallin/siliciure pour un conducteur de connexion de grille, lorsqu'un courant qui est dû à la charge des électrodes de grille circule par exemple dans le conducteur de connexion de grille, une diminution du courant qui est due à une chute de tension ou un phénomène similaire est réduite. De plus, la faible résistance permet un fonctionnement à une vitesse élevée.

Quatrième mode de réalisation préféré

4-1. Structure du dispositif

La figure 48 montre une structure partielle d'une mémoire flash qui comprend un circuit logique (que l'on appelle ci-après "Circuit Logique en Mémoire Flash") 400, à titre de quatrième mode de réalisation préféré de la présente invention.

De façon générale, un Circuit Logique en Mémoire Flash est divisé grossièrement en une partie logique et une partie de mémoire flash. La partie logique exige un fonctionnement à une vitesse élevée, c'est-à-dire une possibilité d'attaque élevée et une faible capacité.

D'autre part, la partie de mémoire flash comprend une partie supportant une tension élevée, dans laquelle une tension élevée est appliquée, une partie de réseau de cellules dans laquelle une pellicule d'oxyde tunnel doit avoir une fiabilité élevée, et autres. Ainsi, plusieurs types de transistors qui ont des caractéristiques mutuellement différentes sont nécessaires dans un Circuit Logique en Mémoire Flash qui est formé sur une seule puce.

La figure 48 montre des coupes de transistors MOS à canal N T71 à T73 qui sont utilisés pour la partie logique, la partie supportant une tension élevée et la partie de réseau de cellules de mémoire.

Sur la figure 48, les transistors MOS à canal N T71 à T73 sont formés à l'intérieur d'une couche de caisson de type P 171 qui est formée sur le même substrat semiconducteur 71 (du type P). La couche de cais-

son 171 fait l'objet d'une séparation entre éléments par une couche de coupeure de canal 172 qui est formée à l'intérieur de la couche de caisson 171 et par une couche LOCOS 72, de manière que les transistors MOS à canal N T71 à T73 soient formés dans des régions qui sont créées par
5 séparation entre éléments.

Le transistor MOS à canal N T71 de la partie logique comprend une paire de couches de source/drain 176 qui sont formées à l'intérieur de la couche de caisson 171, indépendamment l'une de l'autre mais parallèlement l'une à l'autre, et une paire de couches LDD 177 qui sont
10 formées de façon adjacente à des parties de bord en regard des couches de source/drain 176.

Une pellicule d'oxyde de grille 76 est formée sur les couches LDD 177, et une électrode de grille 79A est formée sur la pellicule d'oxyde de grille 76. Une pellicule d'oxyde de paroi latérale 80 est formée
15 sur une surface latérale de la pellicule d'oxyde de grille 76 et de l'électrode de grille 79A. Une couche dopée de canal 173 est formée à l'intérieur de la couche de caisson 171, sous l'électrode de grille 79A.

L'électrode de grille 79A comprend une couche de silicium polycristallin M31 et une couche de WSi L31 qui sont empilées dans cet ordre
20 sur la pellicule d'oxyde de grille 76.

Le transistor MOS à canal N T72 de la partie supportant une tension élevée dans la partie de mémoire flash, comprend une paire de couches de source/drain 76 qui sont formées à l'intérieur de la couche de caisson 171, indépendamment l'une de l'autre mais parallèlement l'une à
25 l'autre, et une paire de couches LDD 177.

Une pellicule d'oxyde de grille 76 est formée sur les couches LDD 177, et une électrode de grille 79B est formée sur la pellicule d'oxyde de grille 76. La pellicule d'oxyde de paroi latérale 80 est formée
30 sur une surface latérale de la pellicule d'oxyde de grille 76 et de l'électrode de grille 79B. Une couche dopée de canal 173 est formée à l'intérieur de la couche de caisson 171, sous l'électrode de grille 79B.

L'électrode de grille 79B comprend la couche de silicium polycristallin M31 et une couche de WSi L32 qui sont empilées dans cet ordre
sur la pellicule d'oxyde de grille 76.

35 Le transistor MOS à canal N T73 de la partie de réseau de cel-

lules de mémoire de la partie de mémoire flash comprend une paire de couches de source/drain 176 qui sont formées à l'intérieur de la couche de caisson 171, indépendamment l'une de l'autre mais parallèlement l'une à l'autre. Une pellicule d'oxyde tunnel 73 est formée sur des parties
5 de bord des couches de source/drain 176. Une électrode de grille flottante 77, une pellicule d'isolation inter-couche 74 et une électrode de grille de commande 79A sont formées dans cet ordre sur la pellicule d'oxyde tunnel 73.

La pellicule d'oxyde de paroi latérale 80 est formée sur une
10 surface latérale de la pellicule d'oxyde tunnel 73, de l'électrode de grille flottante 77, de la pellicule d'isolation inter-couche 74 et de l'électrode de grille de commande 79A. Du fait que l'électrode de grille de commande 79A a la même structure que l'électrode de grille 79A, l'électrode de grille de commande 79A sera traitée comme l'électrode de grille 79A dans ce
15 qui suit.

Une couche dopée de canal 173 est formée à l'intérieur de la couche de caisson 171 sous l'électrode de grille flottante 77.

La partie de réseau de cellules de mémoire a une structure de réseau de grilles dans laquelle des grilles adjacentes se partagent une
20 même couche de source/drain 176. De telles structures sont disposées en succession.

Le Tableau 8 montre des valeurs numériques concernant les structures des transistors MOS à canal N T71 à T73.

TABLEAU 8

	Partie logique (T71)	Partie supportant une tension élevée (T72)	Partie de réseau de cellules de mémoire (T73)
Epaisseur de pellicule d'oxyde de champ	400 nm	400 nm	400 nm
Epaisseur de pellicule d'oxyde de grille flottante	5 nm	5 nm	10 nm
Epaisseur de pellicule d'électrode de grille flottante	-----	-----	100 nm
Concentration en impureté de grille flottante	-----	-----	$1 \times 10^{20} \text{ cm}^{-3}$
Epaisseur de pellicule d'isolation inter-couche	-----	-----	TEOS/Si ₃ N ₄ /TEOS = 10/10/10 nm
Epaisseur de pellicule d'électrode de grille	200 nm	50 nm	200 nm
Paroi latérale	100 nm	100 nm	100 nm
	100 nm	100 nm	100 nm
Caisson	B 700 keV $1 \times 10^{15} \text{ cm}^{-2}$	B 700 keV $1 \times 10^{15} \text{ cm}^{-2}$	B 700 keV $1 \times 10^{15} \text{ cm}^{-2}$
Couche de coupure de canal	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$	B 130 keV $5 \times 10^{12} \text{ cm}^{-2}$
Couche dopée de canal	B 50 keV $1 \times 10^{12} \text{ cm}^{-2}$	B 50 keV $1 \times 10^{12} \text{ cm}^{-2}$	B 50 keV $1 \times 10^{12} \text{ cm}^{-2}$
Couche LDD	P 30 keV $1 \times 10^{13} \text{ cm}^{-2}$	P 30 keV $1 \times 10^{13} \text{ cm}^{-2}$	-----
Couche de source/drain	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$	As 50 keV $5 \times 10^{15} \text{ cm}^{-2}$
Implantation de grille	P 30 keV $5 \times 10^{15} \text{ cm}^{-2}$	P 30 keV $5 \times 10^{15} \text{ cm}^{-2}$	P 30 keV $5 \times 10^{15} \text{ cm}^{-2}$
Traitement thermique	850°C 30 min		

Dans le Tableau 8, les épaisseurs des pellicules d'oxyde de grille des transistors MOS à canal N T71, T72 et T73 sont respectivement de 5 nm, 5 nm et 10 nm.

En outre, une dose d'impureté pour former les couches dopées de canal des transistors MOS à canal N T71, T72 et T73 est de 1×10^{12} cm⁻². Du bore (B) est implanté à titre d'impureté pour chacune des couches, avec une énergie d'implantation de 50keV.

En outre, une dose d'impureté pour former les électrodes de grille des transistors MOS à canal N T71 à T73 est fixée de façon uniforme à de 5×10^{15} cm⁻². Du phosphore (P) est implanté à titre d'impureté pour chacune des couches, avec une énergie d'implantation de 30 keV.

La figure 49 montre des profils d'impureté pour les transistors MOS à canal N T71, T72 et T73 formant la partie logique, la partie supportant une tension élevée et la partie de réseau de cellules de mémoire, qui sont tous représentés sur la figure 48, ces profils correspondant à des coupes faites respectivement selon la ligne A-A', la ligne B-B' et la ligne C-C'.

Sur la figure 49, une position (c'est-à-dire la profondeur) dans une direction de coupe est représentée sur un axe horizontal et une concentration en impureté est représentée sur un axe vertical. L'ordre dans lequel la structure du transistor MOS à canal N T73 de la partie de réseau de cellules de mémoire est fabriquée est illustré dans une partie supérieure de la figure 49.

La partie supérieure de la figure 49 montre la couche de silicium polycristallin de l'électrode de grille de commande, la pellicule d'isolation inter-couche (pellicule ONO), l'électrode de grille flottante (couche de silicium polycristallin), la pellicule d'oxyde tunnel (couche de SiO₂) et la couche de caisson (couche de silicium massif), dans cet ordre, à partir du côté gauche. Les couches de WSi des électrodes de grille sont omises. En outre, la couche de silicium polycristallin de l'électrode de grille, la pellicule d'oxyde de grille (couche de SiO₂) et la couche de caisson (couche de silicium massif) sont représentées dans cet ordre, sur l'axe horizontal, à partir du côté gauche. Les couches de WSi des électrodes de grille sont omises.

Comme décrit précédemment, plus le rapport entre l'épaisseur de la couche de WSi et l'épaisseur de la couche de silicium polycristallin est grand, plus il y a d'impuretés qui sont absorbées dans la couche de WSi à partir de la couche de silicium polycristallin, ce qui fait que les impuretés présentes dans la couche de silicium polycristallin sont décalées vers la couche de WSi, et par conséquent la concentration en impureté à l'intérieur de la couche de silicium polycristallin est non uniforme de façon correspondante.

Comme le montre le Tableau 8, parmi les électrodes de grille 79A et 79B des transistors MOS à canal N T71 à 73, bien que la couche de silicium polycristallin ait la même épaisseur, le rapport entre l'épaisseur de la couche de WSi et celle de la couche de silicium polycristallin est différent entre les électrodes de grille 79A et 79B. Ainsi, alors que le rapport entre l'épaisseur de la couche de WSi et l'épaisseur de la couche de silicium polycristallin dans l'électrode de grille 79A des transistors MOS à canal N T71 et 73 est de 2:1, le rapport entre l'épaisseur de la couche de WSi et l'épaisseur de la couche de silicium polycristallin dans l'électrode de grille 79B du transistor MOS à canal N T72 est de 1:2.

Par conséquent, comme représenté sur la figure 49, en ce qui concerne les profils d'impureté à l'intérieur des électrodes de grille, le transistor T72 de la partie supportant une tension élevée, dans lequel le rapport entre l'épaisseur de la couche de WSi et l'épaisseur de la couche de silicium polycristallin est le plus grand, présente un profil qui change de la façon la plus abrupte, comme indiqué par la ligne B-B', tandis que les profils changent modérément, comme indiqué par la ligne A-A' et la ligne C-C', dans le transistor T71 de la partie logique et la transistor T73 de la partie de réseau de cellules de mémoire, dans lesquels le rapport entre l'épaisseur de la couche de WSi et l'épaisseur de la couche de silicium polycristallin restent les mêmes.

Par conséquent, dans l'électrode de grille de la partie supportant une tension élevée, dans laquelle la concentration en impureté au voisinage de la pellicule d'oxyde de grille est la plus faible, la couche de désertion est la plus grande et l'épaisseur effective de la pellicule d'oxyde est la plus élevée, et la valeur de seuil est la plus élevée.

Comme représenté sur la figure 49, dans n'importe lesquels des

transistors de la partie logique (ligne A-A'), de la partie supportant une tension élevée (ligne B-B') et de la partie de réseau de cellules de mémoire (ligne C-C'), la concentration en impureté de la couche dopée de canal reste la même.

5 Du fait que l'électrode de grille flottante du transistor MOS à canal N T73 de la partie de réseau de cellules de mémoire est formée par un procédé CVD, la concentration en impureté reste constante.

10 La figure 50 montre des épaisseurs réelles et des épaisseurs effectives des pellicules d'oxyde de grille respectives. La figure 50 montre les transistors MOS à canal N de la partie logique, de la partie supportant une tension élevée et de la partie de réseau de cellules de mémoire, dans cet ordre, à partir du côté gauche, sur l'axe horizontal. Comme on le voit clairement sur la figure 50, parmi les épaisseurs effectives des pellicules d'oxyde de grille respectives, l'épaisseur effective est
15 particulièrement élevée dans la partie supportant une tension élevée.

On peut employer les structures suivantes pour garantir que l'épaisseur effective de la pellicule d'oxyde de grille soit la plus grande dans la partie supportant une tension élevée, comme représenté sur la figure 50.

20 4-1-1. Première modification de la structure du dispositif

La figure 51 montre une structure partielle d'un Circuit Logique en Mémoire Flash 400A dans lequel plusieurs types de transistors sont formés. Sur la figure 51, les parties qui sont identiques à celles du Circuit Logique en Mémoire Flash 400 qui est représenté sur la figure 36
25 sont désignées par des symboles identiques, et on ne présentera pas une description redondante.

La figure 51 montre des coupes des transistors MOS à canal N T74, T75 et T76 qui sont utilisés respectivement dans la partie logique, la partie supportant une tension élevée et la partie de réseau de cellules de
30 mémoire.

Sur la figure 51, les transistors MOS à canal N T74 et T76 comprennent une électrode de grille 79C, tandis que le transistor MOS à canal T75 comprend une électrode de grille 79D. L'électrode de grille 79C comprend une couche de silicium polycristallin M32 et une couche de
35 WSi L33 qui sont empilées dans cet ordre sur la pellicule d'oxyde de

grille 76 (pellicule d'isolation inter-couche 74). L'électrode de grille 79D comprend une couche de silicium polycristallin M33 et la couche de WSi L33 qui sont empilées dans cet ordre sur la pellicule d'oxyde de grille 76.

L'épaisseur de la couche de WSi L33 des électrodes de grille
5 79C et 79D des transistors MOS à canal N T74 à T76 est de 100 nm, et les épaisseurs des couches de silicium polycristallin M32 et M33 sont respectivement de 200 nm et 50 nm.

Ainsi, bien que les couches de WSi aient des épaisseurs in-
changées dans les électrodes de grille 79C et 79D des transistors MOS à
10 canal N T74 à T76, les couches de silicium polycristallin de la partie sup-
portant une tension élevée, qui doit avoir une tension de seuil élevée,
sont formées de façon à être minces, et par conséquent le rapport entre
l'épaisseur de la couche de WSi et l'épaisseur de la couche de silicium
polycristallin est élevé, ce qui fait que davantage d'impuretés sont absor-
15 bées dans la couche de WSi à partir de la couche de silicium polycristal-
lin, les impuretés qui sont présentes dans la couche de silicium polycris-
tallin sont décalées vers la couche de WSi et la concentration en impu-
reté à l'intérieur de la couche de silicium polycristallin est en consé-
quence non uniforme.

Ainsi, la concentration en impureté de l'électrode de grille 79D
20 pour laquelle la couche de silicium polycristallin est la plus mince devient
la plus faible au voisinage de la pellicule d'oxyde de grille, ce qui fait que
dans l'électrode de grille de la partie de réseau de cellules de mémoire,
la couche de désertion est la plus grande et l'épaisseur effective de la
25 pellicule d'oxyde est la plus élevée, et la valeur de seuil est la plus éle-
vée.

4-1-2. Seconde modification de la structure du dispositif

La figure 52 montre une structure partielle d'un Circuit Logique
en Mémoire Flash 400B dans lequel plusieurs types de transistors sont
30 formés. Sur la figure 52, les parties qui sont identiques à celles du Cir-
cuit Logique en Mémoire Flash 400 qui est représenté sur la figure 48
sont désignées par des symboles identiques, et on ne présentera pas une
description redondante.

La figure 52 montre des coupes de transistors MOS à canal N
35 T77, T78 et T79 qui sont utilisés respectivement dans la partie logique, la

partie supportant une tension élevée et la partie de réseau de cellules de mémoire.

Sur la figure 52, les transistors MOS à canal N T77 et T79 comprennent une électrode de grille 79E, tandis que le transistor MOS à canal N T78 comprend une électrode de grille 79F. L'électrode de grille 79E comprend une couche de silicium polycristallin M34 et une couche de WSi L34 qui sont empilées dans cet ordre sur la pellicule d'oxyde de grille 76 (pellicule d'isolation inter-couche 74). L'électrode de grille 79F comprend une couche de silicium polycristallin M35 et une couche de WSi L35 qui sont empilées dans cet ordre sur la pellicule d'oxyde de grille 76.

Les épaisseurs des couches de WSi L34 et L35 des électrodes de grille 79E et 79F dans les transistors MOS à canal N T77 à T79 sont respectivement de 100 nm et de 200 nm. Les épaisseurs des couches de silicium polycristallin M34 et M35 sont respectivement de 200 nm et de 100 nm. Les épaisseurs des électrodes de grille 79E et 79F entières sont de 300 nm pour une électrode comme pour l'autre.

Ainsi, bien que les couches de silicium polycristallin aient des épaisseurs mutuellement différentes, de même que les couches de WSi, parmi les électrodes de grille 79E et 79F des transistors MOS à canal N T77 à 79, la couche de silicium polycristallin de la partie supportant une tension élevée, qui doit avoir une valeur de seuil élevée, est formée de façon à être mince, et par conséquent le rapport entre l'épaisseur de la couche de WSi et l'épaisseur de la couche de silicium polycristallin est élevé, ce qui fait que davantage d'impuretés sont absorbées dans la couche de WSi à partir de la couche de silicium polycristallin, les impuretés qui sont présentes dans la couche de silicium polycristallin sont décalées vers la couche de WSi, et la concentration en impureté dans la couche de silicium polycristallin est en conséquence non uniforme.

Ainsi, la concentration en impureté de l'électrode de grille 79F devient la plus faible au voisinage de la pellicule d'oxyde de grille, ce qui fait que dans l'électrode de grille de la partie de réseau de cellules de mémoire, la couche de désertion est la plus grande et l'épaisseur effective de la pellicule d'oxyde est la plus élevée, et la valeur de seuil est la plus élevée.

4-2. Procédé de fabrication

En se référant aux figures 53 à 66, on présentera dans ce qui suit une description d'un procédé de fabrication des transistors MOS à canal N T74 à T76 dans le Circuit Logique en Mémoire Flash 400A qui a été décrit en relation avec la figure 51, parmi les Circuits Logiques en Mémoire Flash 400, 400A et 400B décrits ci-dessus.

Premièrement, à une étape qui est représentée sur la figure 53, on forme une couche LOCOS (c'est-à-dire une pellicule d'oxyde de champ) 72 en lui donnant par exemple une épaisseur de 400 nm, par un procédé LOCOS, sur une surface du substrat semiconducteur 71 du type P. A la suite de ceci, on implante par exemple des ions de bore, avec une énergie de 700 keV et une dose de $1 \times 10^{13} \text{ cm}^{-2}$, pour former ainsi une région de caisson de type P 171 à l'intérieur du substrat semiconducteur 71. Bien qu'une région de caisson de type N soit également formée dans le substrat semiconducteur 71, dans le but de former des transistors MOS à canal P, ceci n'est pas représenté et on ne le décrira pas. Ensuite, on implante par exemple des ions de bore avec une énergie de 130 keV et une dose de $5 \times 10^{12} \text{ cm}^{-2}$, pour former ainsi la couche de coupure de canal 172 à l'intérieur du substrat semiconducteur 71. La couche de coupure de canal 172 est formée de façon à avoir une forme qui, en association avec la couche LOCOS 22, crée les régions présentant une séparation entre éléments.

Ensuite, on forme une couche dopée de canal 170 dans la région de caisson 171. On forme la couche dopée de canal 170 en implantant par exemple des ions de bore, avec une énergie de 50 keV et une dose de $1 \times 10^{12} \text{ cm}^{-2}$.

Ensuite, à une étape qui est représentée sur la figure 54, après avoir formé par un procédé d'oxydation thermique une pellicule d'oxyde 731 qui deviendra la pellicule d'oxyde tunnel 73, sur une surface principale du substrat semiconducteur 71, on forme par exemple une couche de silicium polycristallin dopé 771, à titre de matériau d'électrode de grille, sur la pellicule d'oxyde 731, par un procédé CVD. La pellicule d'oxyde 731 a une épaisseur d'environ 10 nm, tandis que la couche de silicium polycristallin dopé 771 a une épaisseur d'environ 100 nm. On uti-

lise du phosphore (P) à titre d'impureté. La concentration de l'impureté est d'environ $1 \times 10^{20} \text{ cm}^{-3}$.

5 Ensuite, à une étape qui est représentée sur la figure 55, on forme sélectivement un masque de matière de réserve R271 sur la couche de silicium polycristallin dopé 771 à l'intérieur de la partie de réseau de cellules de mémoire. Dans ce cas, on forme le masque de matière de réserve R271 dans la direction de la largeur de grille de la partie de réseau de cellules de mémoire. On enlève par attaque anisotrope une partie de la couche de silicium polycristallin dopé 771 qui n'est pas recouverte par le masque de matière de réserve R271. La figure 56 montre cette condition.

10 La figure 56 est une vue en plan représentant la structure de la figure 55 vue par le côté de la surface supérieure (c'est-à-dire le côté sur lequel le masque de matière de réserve R271 est formé). Dans la partie de réseau de cellules de mémoire, le masque de matière de réserve R271 est formé sous la forme d'îlots rectangulaires qui sont disposés régulièrement. On forme le masque de matière de réserve R271 de façon à recouvrir une couche active AL qui a une configuration semblable à un îlot rectangulaire, et une couche LOCOS LL autour de la couche active. La couche active AL est à nu à l'intérieur de la partie supportant une tension élevée et de la partie logique, du fait que le masque de matière de réserve n'est pas formé. Bien que le masque de matière de réserve R271 soit partiellement omis sur la figure 56, de manière que la couche active AL et la couche LOCOS LL soient visibles, c'est uniquement pour la clarté de la représentation de la structure située sous le masque de matière de réserve R271, et simplement pour la commodité de l'illustration.

20 Ensuite, après avoir enlevé le masque de matière de réserve R271, à une étape qui est représentée sur la figure 57, on forme sur la couche de silicium polycristallin dopé 771, par un procédé CVD, une pellicule d'isolation 741, qui deviendra la pellicule d'isolation inter-couche 74, qui isole la grille flottante de la grille de commande. Cette pellicule a une structure dans laquelle une pellicule de TEOS, une pellicule de nitrure (Si_3N_4) et une pellicule de TEOS, ayant chacune une épaisseur de 10 nm, sont empilées dans cet ordre. On forme également la pellicule d'isolation 741 sur la partie supportant une tension élevée et sur la partie

35

logique.

Ensuite, à une étape qui est représentée sur la figure 58, on forme un masque de matière de réserve R272 sur la pellicule d'isolation 741 de la partie de réseau de cellules de mémoire, et on enlève la pellicule d'isolation 741 dans toutes les autres régions. Dans ce cas, on enlève également la pellicule d'oxyde 731 dans les autres régions. La figure 59 montre cette condition.

La figure 59 est une vue en plan représentant la structure de la figure 58 vue par le côté de la surface supérieure (c'est-à-dire le côté sur lequel le masque de matière de réserve R272 est formé). Le masque de matière de réserve R272 est formé de façon à recouvrir entièrement la partie de réseau de cellules de mémoire. Cependant, dans la partie supportant une tension élevée et dans la partie logique, du fait que le masque de matière de réserve R272 n'est pas formé, la couche active AL est à nu.

Ensuite, après avoir enlevé le masque de matière de réserve R272, à une étape qui est représentée sur la figure 60, on forme sur la totalité de la surface principale du substrat semiconducteur 71, par un procédé d'oxydation thermique, une pellicule d'oxyde 761 qui deviendra la pellicule d'oxyde de grille 76. A ce stade, du fait que la pellicule d'isolation 741 sur la partie de réseau de cellules de mémoire comprend la pellicule de nitrure, la pellicule d'isolation 741 n'est pas oxydée et l'épaisseur de la pellicule d'isolation 741 est maintenue. L'épaisseur de la pellicule d'oxyde 761 est d'environ 5 nm.

Ensuite, à une étape qui est représentée sur la figure 61, on forme entièrement sur une surface principale du substrat semiconducteur 71 une couche de silicium polycristallin (non dopé) 790, à titre de matériau d'électrode de grille, par un procédé CVD. La couche de silicium polycristallin 790 a une épaisseur d'environ 200 nm.

Ensuite, à une étape qui est représentée sur la figure 62, on implante des ions d'impureté dans la couche de silicium polycristallin 790, pour former ainsi une couche de silicium polycristallin dopé 791. On forme la couche de silicium polycristallin dopé 791 en implantant par exemple des ions de phosphore, avec une énergie de 30 keV et une dose de $5 \times 10^{15} \text{ cm}^{-2}$.

Ensuite, à une étape qui est représentée sur la figure 63, on forme un masque de matière de réserve R275 sur la partie logique et sur la partie de réseau de cellules de mémoire, et on effectue sélectivement une attaque de réduction d'épaisseur sur la couche de silicium polycristallin dopé 791 de la partie supportant une tension élevée, pour former ainsi une couche de silicium polycristallin dopé 792 qui a une épaisseur (50 nm) qui est conforme au transistor MOS à canal N T75 de la partie supportant une tension élevée.

Ensuite, après avoir enlevé le masque de matière de réserve R275, à une étape qui est représentée sur la figure 64, on forme une couche de WSi 780 sur les couches de silicium polycristallin dopé 791 et 792. On utilise par exemple un procédé de pulvérisation cathodique à titre de procédé de formation de la couche de WSi 780, et on forme la couche de WSi 780 en lui donnant une épaisseur d'environ 100 nm.

Ensuite, à une étape qui est représentée sur la figure 65, on forme un masque de matière de réserve R276 sur la couche de WSi 780, et on définit un motif avec ce masque. La figure 66 montre cette condition.

La figure 66 est une vue en plan représentant la structure de la figure 65 vue par le côté de la surface supérieure (c'est-à-dire le côté sur lequel est formé le masque de matière de réserve R276). Le masque de matière de réserve R276 est formé de façon à être perpendiculaire à la couche active AL qui a une configuration rectangulaire.

Sous l'effet de l'opération de définition de motif, la pellicule d'oxyde de grille 76 et l'électrode de grille 79C sont formées dans la partie logique, la pellicule d'oxyde de grille 76 et l'électrode de grille 79D sont formées dans la partie supportant une tension élevée, et la pellicule d'oxyde tunnel 73, l'électrode de grille flottante 77, la pellicule d'isolation inter-couche 74 et l'électrode de grille de commande 79C sont formées dans la partie de réseau de cellules de mémoire.

A la suite de ceci, après avoir formé les couches LDD 177 par implantation d'ions dans la partie logique et la partie supportant une tension élevée, on forme la pellicule d'oxyde de paroi latérale 80, d'environ 100 nm d'épaisseur, sur une surface latérale de la pellicule d'oxyde de grille 76 et de l'électrode de grille 79C, sur une surface latérale de la

pellicule d'oxyde de grille 76 et de l'électrode de grille 79D, et sur une surface latérale de la pellicule d'oxyde tunnel 73, de l'électrode de grille flottante 77, de la pellicule d'isolation inter-couche 74 et de l'électrode de grille de commande 79C. En utilisant la pellicule d'oxyde de paroi latérale
5 80 à titre de masque, et en procédant par implantation ionique, on forme les couches de source/drain 176. De cette manière, on obtient la structure du Circuit Logique en Mémoire Flash 400A qui est représentée sur la figure 51.

On notera que les couches LDD 177 sont obtenues en implantant par exemple des ions d'arsenic, avec une énergie de 30 keV et une
10 dose de $1 \times 10^{13} \text{ cm}^{-2}$. D'autre part, les couches de source/drain 176 sont obtenues en injectant par exemple des ions d'arsenic, avec une énergie de 50 keV et une dose de $5 \times 10^{15} \text{ cm}^{-2}$, et en effectuant ensuite une opération de recuit à 850°C pendant 30 minutes.

15 Bien que ceci soit suivi par la formation d'un condensateur, d'une pellicule d'isolation inter-couche, d'une couche d'interconnexion et autres, pour former le Circuit Logique en Mémoire Flash, ceci ne sera pas décrit et n'est pas représenté dans les dessins.

4-3. Fonction et effet caractéristiques

20 Comme décrit ci-dessus, les Circuits Logiques en Mémoire Flash 400, 400A et 400B conformes au quatrième mode de réalisation préféré de l'invention ont chacun une structure du type silicium polycristallin/siliciure comprenant la couche de silicium polycristallin et les couches de WSi, dans laquelle le rapport entre l'épaisseur de la couche de
25 WSi et l'épaisseur de la couche de silicium polycristallin est changé parmi les différents types de transistors ayant des caractéristiques mutuellement différentes (ayant par exemple des spécifications imposées mutuellement différentes), de façon que les épaisseurs effectives des pellicules d'oxyde de grille respectives soient changées et que la valeur de
30 seuil soit fixée.

Ainsi, dans la partie supportant une tension élevée, dans laquelle l'épaisseur de la couche de WSi est grande par rapport à l'épaisseur de la couche de silicium polycristallin, une couche de désertion est créée dans une grande étendue à l'intérieur de l'électrode de
35 grille, ce qui fait que l'épaisseur de la pellicule d'oxyde devient effecti-

vement grande et la valeur de seuil est élevée.

En outre, du fait qu'il est possible de fixer les valeurs de seuil en changeant les épaisseurs effectives des pellicules d'oxyde de grille, il n'est pas nécessaire de changer les concentrations en impureté des couches dopées de canal conformément aux caractéristiques des transistors, et par conséquent il est possible de fixer les concentrations à des valeurs auxquelles un courant de fuite (c'est-à-dire une fuite de couche de diffusion) provenant d'une couche de diffusion peut être réduit à la valeur la plus faible possible.

Ainsi, en fixant les concentrations en impureté des couches dopées de canal à des valeurs auxquelles une fuite de couche de diffusion est aussi faible que possible, tout en ajustant les caractéristiques de tension de claquage et les valeurs de seuil au moyen des concentrations en impureté des électrodes de grille, il est possible de satisfaire aux exigences concernant les tensions de claquage, de s'affranchir de la relation de compromis entre les valeurs de seuil et la fuite de couche de diffusion, et donc d'éliminer une restriction imposée à la conception de circuits.

En outre, également dans le cas de la formation de pellicules d'oxyde de grille ayant des épaisseurs mutuellement différentes, en changeant les épaisseurs effectives des pellicules d'oxyde de grille, il est possible de réduire les types des pellicules d'oxyde de grille. Ceci permet de simplifier les étapes de fabrication des pellicules d'oxyde de grille et d'obtenir des pellicules d'oxyde de grille qui sont excellentes en ce qui concerne la fiabilité et la maîtrise de l'épaisseur de pellicule.

A titre d'exemple, du fait que les épaisseurs des pellicules d'oxyde de grille des transistors de la partie logique et de la partie supportant une tension élevée du Circuit Logique en Mémoire Flash 400A qui a été décrit en relation avec la figure 51, sont mutuellement égales, il y a deux types de pellicules d'oxyde de grille. En outre, en ce qui concerne les étapes pour former les pellicules d'oxyde, il y a seulement l'étape pour former la pellicule d'oxyde 731 (voir la figure 54) et l'étape pour former la pellicule d'oxyde 761 (voir la figure 60). Du fait que les pellicules d'oxyde sont formées en effectuant une oxydation thermique une seule fois à chaque étape, contrairement au procédé de fabrication classique que l'on a décrit en relation avec les figures 119 à 132, il n'est pas

nécessaire de former une pellicule d'oxyde en plus d'une phase, et il n'y a pas de risque qu'une impureté puisse être mélangée ou que la maîtrise de l'épaisseur de pellicule puisse se dégrader.

5 Bien que l'on ait décrit ci-dessus, pour le quatrième mode de réalisation préféré de la présente invention, la structure dans laquelle divers types de transistors sont formés sur un substrat monocristallin, il est possible d'obtenir une fonction et un effet similaires dans le cas où divers types de transistors sont formés sur un substrat SOI (silicium sur isolant).

10 Exemples d'autres applications de l'invention

Bien que dans ce qui précède, on ait décrit les premier à quatrième modes de réalisation préférés de la présente invention en relation avec des exemples d'une mémoire DRAM, d'une mémoire flash, d'un Circuit Logique en Mémoire DRAM et d'un Circuit Logique en Mémoire Flash, des applications du principe technique de la présente invention ne sont pas limitées à ces dispositifs à semiconducteurs. En bref, il est possible de changer les épaisseurs effectives des pellicules d'oxyde de grille pour fixer les valeurs de seuil de la manière désirée, en changeant le rapport entre les épaisseurs des couches de WSi et les épaisseurs des couches de silicium polycristallin, dans les électrodes de commande d'une structure silicium polycristallin/siliciure qui est formée par les couches de silicium polycristallin et les couches de WSi, et par conséquent il est possible d'obtenir un effet désiré en ajustant les concentrations en impureté dans les couches de silicium polycristallin et en fixant de la manière désirée les épaisseurs des couches de désertion dans les électrodes de commande, lorsque la présente invention est appliquée à un cas dans lequel les épaisseurs des pellicules d'oxyde de grille sont communes, mais les épaisseurs effectives des pellicules d'oxyde de grille doivent être changées dans les transistors dans les parties respectives qui sont formées sur le même substrat commun, ou à un cas dans lequel les concentrations dans les couches dopées de canal doivent être les mêmes, mais les épaisseurs des pellicules d'oxyde de grille peuvent être mutuellement différentes.

35 En outre, bien que les premier à quatrième modes de réalisation préférés concernent un exemple dans lequel des transistors ayant

des caractéristiques mutuellement différentes sont utilisés dans trois parties qui sont formées sur le substrat commun unique, ceci ne signifie pas qu'un seul type de transistor peut être utilisé dans chacune des trois parties. Par exemple, dans le cas d'un Circuit Logique en Mémoire
5 DRAM, deux types de transistors, ou plus, peuvent être utilisés dans la partie logique et deux types de transistors, ou plus, peuvent également être utilisés dans la partie d'amplificateur de lecture. Selon une variante, il est possible d'utiliser deux types de transistors dans la partie logique tout en n'utilisant qu'un seul type de transistor dans la partie de réseau
10 de cellules de mémoire.

De plus, la présente invention est efficace même pour un dispositif à semiconducteurs dans lequel on ne peut pas distinguer clairement les unes des autres des structures de dispositif, comme une partie logique, une partie supportant une tension élevée, une partie d'amplificateur de lecture et une partie de réseau de cellules de mémoire, si une
15 structure du dispositif à semiconducteurs exige plusieurs types de transistors qui ont des caractéristiques mutuellement différentes.

En outre, il n'est pas obligatoire que les types de transistors soient au nombre de trois. La structure peut utiliser des transistors ayant
20 trois types de caractéristiques, ou plus, ou des transistors ayant deux types de caractéristiques.

Il est également possible d'obtenir un effet désiré dans de telles structures diverses, en changeant le rapport entre les épaisseurs des couches de WSi et les épaisseurs des couches de silicium polycristallin,
25 et en sélectionnant de façon appropriée les épaisseurs des pellicules d'oxyde de grille et les concentrations dans les couches dopées de canal.

De plus, même dans le cas d'un dispositif à semiconducteurs qui comprend un seul type de transistor, la présente invention est efficace pour un cas dans lequel des valeurs de seuil doivent être fixées à
30 volonté, en changeant les épaisseurs effectives des pellicules d'oxyde de grille.

Cinquième mode de réalisation préféré

Bien que dans ce qui précède, on ait décrit les premier à quatrième modes de réalisation préférés de la présente invention en relation
35 avec des exemples dans lesquels, dans la partie d'amplificateur de lec-

ture, la partie de circuits périphériques, la partie de réseau de cellules de mémoire et la partie supportant une tension élevée d'une mémoire DRAM, d'une mémoire flash, d'un Circuit Logique en Mémoire DRAM et d'un Circuit Logique en Mémoire Flash, le rapport entre les épaisseurs des couches de WSi et les épaisseurs des couches de silicium polycristallin est
5 changé dans les électrodes de grille des transistors MOS qui forment ces parties, l'utilisation des couches de désertion qui sont créées dans les électrodes de grille, du fait que les couches de WSi absorbent des impuretés qui sont contenues dans les couches de silicium polycristallin, n'est
10 pas limitée aux parties décrites ci-dessus.

En d'autres termes, la présente invention s'applique de façon effective à un dispositif à semiconducteurs dans lequel plusieurs types de transistors doivent être formés à l'intérieur dans une seule puce. On décrira dans ce qui suit un cinquième mode de réalisation préféré de la
15 présente invention.

La figure 67 montre un circuit abaisseur de tension classique. Le circuit abaisseur de tension est un circuit destiné à abaisser à 3,3 V un signal de 5 V, et à fournir en sortie un signal résultant, et il comprend un transistor PMOS Q1 et un transistor NMOS Q2 qui sont connectés en
20 série entre un potentiel de source d'alimentation Vcc et un potentiel de masse GND, des diodes D1 et D2 qui sont connectées en série entre le potentiel de source d'alimentation Vcc et le potentiel de masse GND, et une plage de connexion d'entrée PD qui est connectée à un point de connexion ND1 entre les diodes D1 et D2. Une cathode de la diode D1
25 est connectée au potentiel de source d'alimentation Vcc, une anode de la diode D1 est connectée à une cathode de la diode D2, et une anode de la diode D2 est connectée au potentiel de masse GND. Le point de connexion ND1 est connecté à un point de connexion ND2 qui est connecté en commun à des électrodes de grille du transistor PMOS Q1 et du transistor
30 NMOS Q2, tandis qu'un point de connexion ND3 entre le transistor PMOS Q1 et le transistor NMOS Q2 est connecté à un système de circuit (que l'on appelle ci-après "circuit de système à 3,3 V") LC.

Dans le circuit abaisseur de tension ayant une telle structure, le signal de 5 V provenant de la plage de connexion d'entrée PD (que l'on appelle ci-après "circuit de système à 5 V" HC) est appliqué aux électro-
35

des de grille du transistor PMOS Q1 et du transistor NMOS Q2. D'autre part, un signal à 3,3 V qui est un signal de sortie du circuit de système à 5 V HC est appliqué aux électrodes de grille de transistors MOS qui forment le circuit de système à 3,3 V LC.

5 De cette manière, dans les systèmes de circuit dans lesquels différentes tensions sont appliquées aux électrodes de grille, les épaisseurs des pellicules d'oxyde de grille des transistors MOS qui forment les systèmes de circuit doivent être mutuellement différentes. Ceci vient du fait que si les épaisseurs des pellicules d'oxyde de grille des transistors
10 MOS du circuit de système à 5 V HC sont prises égales à celles des pellicules d'oxyde de grille des transistors MOS du circuit de système à 3,3 V LC, il apparaît un problème concernant une possibilité d'isolation. Inversement, si les épaisseurs des pellicules d'oxyde des transistors MOS du circuit de système à 3,3 V sont prises égales à celles des pellicules
15 d'oxyde de grille des transistors MOS du circuit de système à 5 V HC, les vitesses de fonctionnement des transistors MOS du circuit de système à 3,3 V LC deviennent faibles, et par conséquent il apparaît un problème en termes de caractéristiques de fonctionnement.

Pour faire face à ceci, on utilise habituellement des transistors
20 MOS dans lesquels les pellicules d'oxyde de grille ont des épaisseurs mutuellement différentes. Ceci exige une étape pour former les pellicules d'oxyde de grille qui ont des épaisseurs mutuellement différentes, ce qui augmente la complexité des étapes de fabrication.

Cependant, conformément à la présente invention, il n'est pas
25 nécessaire de changer les épaisseurs des pellicules d'oxyde de grille entre le circuit de système à 5 V HC et le circuit de système à 3,3 V LC, et par conséquent les étapes de fabrication sont simplifiées.

5-1. Structure du dispositif

La figure 68 montre une étape de fabrication pour fabriquer une
30 partie de circuit à tension élevée HP, qui est formée par un transistor MOS H1 dans lequel une tension relativement élevée est appliquée à une électrode de grille, et pour fabriquer une partie de circuit à tension basse LP, qui est formée par un transistor MOS L1 dans lequel une tension relativement basse est appliquée à une électrode de grille, à titre de cin-
35 quième mode de réalisation préféré de la présente invention.

Sur la figure 68, les transistors MOS H1 et L1 sont formés à l'intérieur d'une couche de caisson 1002 qui est formée sur le même substrat semiconducteur 1001. La couche de caisson 1002 fait l'objet d'une séparation entre éléments par une couche de coupure de canal 1003 qui est formée à l'intérieur de la couche de caisson 1002, et par une couche LOCOS 1004. Une couche dopée de canal 1005 est formée dans des régions qui font l'objet d'une séparation entre éléments par la couche de coupure de canal 1003 et la couche LOCOS 1004.

Une pellicule d'oxyde 1006 est formée sur une surface principale du substrat semiconducteur 1001, et une couche de silicium polycristallin 1007 est formée sur la pellicule d'oxyde 1006. L'épaisseur de la pellicule d'oxyde 1006 est une épaisseur appropriée qui convient pour une tension qui est appliquée à une électrode de grille du transistor MOS L1. Une couche de WSi 1030 est formée sur la couche de silicium polycristallin 1007 de la partie de circuit à tension élevée HP, grâce à quoi une structure du type silicium polycristallin/siliciure est formée. Des impuretés sont implantées dans la couche de silicium polycristallin 1007, par exemple par un procédé d'implantation ionique. En ce qui concerne le type des impuretés, lorsque les transistors MOS doivent être du type à canal N, on plante par exemple des ions de phosphore (P) avec une énergie de 30 keV et une dose de $5 \times 10^{15} \text{ cm}^{-2}$. Lorsque les transistors MOS doivent être du type à canal P, on plante par exemple des ions de bore (B), avec une énergie de 10 keV et une dose de $5 \times 10^{15} \text{ cm}^{-2}$.

La figure 69 est une vue en perspective partielle montrant la partie de circuit à tension basse LP. Sur la figure 69, une coupe selon la ligne D-D' correspond à la partie de circuit à tension basse LP qui est représentée sur la figure 68. Une région de source/drain sera formée ultérieurement dans la couche de caisson 1002 qui est placée de façon externe de part et d'autre de la couche de silicium polycristallin 1007 qui est représentée sur la figure 69.

5-2. Procédé de fabrication

Dans un circuit abaisseur de tension ayant une telle structure, si une température est maintenue à 850°C pendant environ 30 minutes au cours d'une opération de chauffage qui est accomplie à un stade ultérieur, c'est-à-dire pendant un processus d'activation des impuretés qui

sont contenues dans une région de source/drain, par exemple, dans la partie de circuit à tension élevée HP, la couche de WSi 1030 absorbe les impuretés qui sont contenues à l'intérieur de la couche de silicium polycristallin 1007, ce qui fait que les impuretés qui sont contenues à l'intérieur de la couche de silicium polycristallin 1007 sont décalées vers la couche de WSi 1030 et la concentration en impureté dans la couche de silicium polycristallin 1007 est donc non uniforme. Il en résulte que la concentration en impureté au voisinage de la pellicule d'oxyde 1006 devient faible, une couche de désertion est créée pendant le fonctionnement du dispositif, l'épaisseur effective de la pellicule d'oxyde 1006 dans la partie de circuit à tension élevée HP devient grande, et la tension de seuil devient élevée. Par conséquent, même lorsque l'épaisseur de la pellicule d'oxyde 1006 n'est pas appropriée pour une tension qui est appliquée à l'électrode de grille du transistor MOS H1, un champ électrique qui est appliqué à la pellicule d'oxyde 1006 devient faible, ce qui empêche à son tour le claquage diélectrique de la pellicule d'oxyde 1006, et améliore ainsi la fiabilité du transistor MOS H1.

5-3. Fonction et effet caractéristiques

Comme décrit ci-dessus, même lorsqu'il y a la partie de circuit à tension élevée HP qui est formée par le transistor MOS H1 dans lequel une tension relativement élevée est appliquée à l'électrode de grille, et la partie de circuit à tension basse LP qui est formée par le transistor MOS L1 dans lequel une tension relativement basse est appliquée à l'électrode de grille, il est seulement nécessaire de former les pellicules d'oxyde de manière que les pellicules d'oxyde soient appropriées au transistor MOS L1. Ceci simplifie les étapes de fabrication en comparaison avec le cas où il est nécessaire de former séparément les pellicules d'oxyde.

En outre, du fait que la couche de WSi n'est pas formée sur la couche de silicium polycristallin 1007 du transistor MOS L1 dans la partie de circuit à tension basse LP, le nombre des impuretés qui sont contenues dans la couche de silicium polycristallin 1007 n'est pas réduit pendant le processus de chauffage qui est exécuté par la suite, une couche de désertion n'est pas créée lorsque le dispositif fonctionne, et l'épaisseur réelle de la pellicule d'oxyde 1006 est la même que l'épaisseur effective de la pellicule d'oxyde 1006. Du fait que l'épaisseur de la pellicule

d'oxyde 1006 est fixée de façon à être faible, conformément au transistor MOS L1, l'application de la tension de grille augmente le nombre de porteurs qui sont créés dans la couche de caisson 1002 et augmente donc le courant source/drain et par conséquent la vitesse de fonctionnement, grâce à quoi le transistor MOS a d'excellentes caractéristiques de fonctionnement.

5-4. Première modification

Bien que dans ce qui précède, on ait décrit le cinquième mode de réalisation préféré de la présente invention en relation avec un exemple dans lequel la couche de WSi 1030 est formée sur la couche de silicium polycristallin 1007 du transistor MOS H1 de la partie de circuit à tension élevée HP, mais la couche de WSi 1030 n'est pas formée sur la couche de silicium polycristallin 1007 du transistor MOS L1 de la partie de circuit à tension basse LP, une couche de siliciure autre qu'une couche de WSi peut être formée sur la couche de silicium polycristallin 1007 du transistor MOS L1.

Dans ce qui suit, on va décrire le procédé de fabrication de la structure décrite au paragraphe immédiatement précédent, en se référant aux figures 70 à 72 qui montrent des étapes de fabrication, dans l'ordre. A une étape qui est représentée sur la figure 70, on forme la couche de WSi 1030 sur la couche de silicium polycristallin 1007 des transistors MOS H1 et L1. Du fait qu'on utilise un procédé de pulvérisation cathodique pour former la couche de WSi 1030, à moins que la surface supérieure du transistor MOS L1 ne soit recouverte par un masque de matière de réserve ou autres, la couche de WSi 1030 est formée également sur le transistor MOS L1.

Ensuite, à une étape qui est représentée sur la figure 71, on enlève la couche de WSi 1030 sur la couche de silicium polycristallin 1007 du transistor MOS L1.

Ensuite à une étape qui est représentée sur la figure 72, on forme une couche de siliciure de cobalt (CoSi_2) 1040 sur la couche de WSi 1030 du transistor MOS H1 et sur la couche de silicium polycristallin 1007 du transistor MOS L1.

En formant de cette manière la couche de siliciure de cobalt 1040 sur la couche de silicium polycristallin 1007 du transistor MOS L1,

les valeurs de résistance des électrodes de grille sont réduites et la vitesse de fonctionnement est encore améliorée.

Le processus de chauffage pour faire en sorte que la couche de WSi 1030 absorbe les impuretés qui sont contenues dans la couche de silicium polycristallin 1007 du transistor MOS H1, est accompli après l'étape qui est représentée sur la figure 72. Du fait que la couche de siliciure de cobalt 1040 n'absorbe pas les impuretés, contrairement à la couche de WSi 1030, la concentration en impureté dans la couche de silicium polycristallin 1007 du transistor MOS L1 ne se dégrade pas.

Au lieu de la couche de siliciure de cobalt 1040, on peut utiliser une couche de siliciure de titane ($TiSi_2$) ou une couche de siliciure de nickel ($NiSi_2$).

En outre, on peut accomplir le processus de chauffage après l'étape qui est représentée sur la figure 71, pour enlever la couche de WSi 1030 sur la couche de silicium polycristallin 1007 du transistor MOS H1. Dans ce cas, à l'étape qui est représentée sur la figure 72, la couche de siliciure de cobalt 1040 est formée sur la couche de silicium polycristallin 1007 des transistors MOS H1 et L1.

5-5. Seconde modification

Bien que dans ce qui précède, on ait décrit le cinquième mode de réalisation préféré de la présente invention en relation avec un exemple dans lequel la couche de WSi 1030 est formée presque entièrement sur la couche de silicium polycristallin 1007 du transistor MOS H1 de la partie de circuit à tension élevée HP, une couche de WSi peut être formée seulement sur une partie de bord de la couche de silicium polycristallin, comme décrit ci-dessous.

La figure 73 montre une partie principale de la partie de circuit à tension élevée HP. La couche de coupure de canal 1003 et la couche dopée de canal 1005 sont omises sur la figure 73. Sur la figure 73, une couche de WSi 1031 est formée sur la couche de silicium polycristallin 1007 qui se trouve sur une partie de bord de la région active AL qui est entourée des deux côtés par la couche LOCOS 1004.

Dans cette condition, si on effectue un recuit à $850^{\circ}C$ pendant 30 minutes, les impuretés qui sont contenues dans la couche de silicium polycristallin 1007 sont absorbées par la couche de WSi 1031, et cette

absorption se produit seulement dans la couche de silicium polycristallin 1007 dans la partie de bord de la région active AL. Par conséquent, lorsque le transistor MOS H1 fonctionne, une couche de désertion est formée dans une plus grande étendue à l'intérieur de la couche de silicium polycristallin 1007, dans la partie de bord de la région active AL, ce qui, à son tour, augmente l'épaisseur effective de la pellicule d'oxyde et augmente donc partiellement la valeur de seuil.

Si la valeur de seuil peut être partiellement élevée, cette structure peut être appliquée au transistor MOS L1 de la partie de circuit à tension basse LP, au lieu que la structure soit appliquée seulement à la partie de circuit à tension élevée HP.

Bien que l'adoption d'une telle structure ne procure pas de nombreux avantages dans un transistor MOS qui est formé sur un substrat en silicium massif, dans un transistor MOS qui est formé sur un substrat SOI (siliciure sur isolant), l'adoption d'une telle structure résout un problème consistant en une dégradation de la valeur de seuil du fait de la structure de la partie de bord de la région active AL.

La figure 74 montre un transistor MOS qui est formé sur un substrat SOI (silicium sur isolant). Le substrat SOI 1010 est formé par un substrat en silicium 1013, une pellicule d'isolation enterrée 1012 qui est formée sur le substrat en silicium 1013, et une couche SOI qui est formée sur la pellicule d'isolation enterrée 1012, et il procure un transistor MOS formé sur une couche SOI 1011. La couche SOI 1011 a une faible épaisseur. Comme représenté en particulier dans une partie qui est indiquée par une ligne E-E' sur la figure 64, dans la partie de bord de la région active AL, la couche SOI 1011 est extrêmement mince. La valeur de seuil du transistor MOS dans cette partie diminue jusqu'à une valeur plus faible que dans une autre partie (qui est indiquée par une ligne F-F'). Il y a donc un problème qui consiste en ce que la valeur de seuil du transistor MOS, considéré globalement, devient faible. Ce problème est également la cause d'un phénomène qui consiste en ce qu'une diminution de la valeur de seuil actionne un transistor MOS parasite.

Cependant, conformément à la présente invention, la plage dans laquelle une couche de désertion est formée devient plus grande à l'intérieur de la couche de silicium polycristallin 1017 sur la partie de

bord de la région active AL, l'épaisseur effective de la pellicule d'oxyde est élevée, et la valeur de seuil est partiellement augmentée. Ceci résout les problèmes décrits ci-dessus.

5 Bien que les figures 73 et 74 montrent la structure dans laquelle la couche de WSi 1031 est formée sur la couche de silicium polycristallin 1007 qui est dans une partie de bord de la région active AL qui est entourée des deux côtés par la couche LOCOS 1004, mais la couche de SWi 1031 n'est pas formée sur la couche de silicium polycristallin 1007 qui se trouve dans une partie centrale de la région active AL, on
10 peut utiliser une structure telle que celle qui est représentée sur la figure 75 pour réduire les valeurs de résistance des électrodes de grille.

Plus précisément, comme représenté sur la figure 75, si une couche de siliciure de cobalt 1041 est formée entièrement sur la couche de WSi 1031, les valeurs de résistance des électrodes de grille sont réduites davantage, et la vitesse de fonctionnement est encore améliorée.
15

Du fait que la couche de siliciure de cobalt 1041 n'absorbe pas des impuretés, contrairement à la couche de WSi 1031, la concentration en impureté dans la couche de silicium polycristallin 1007 qui se trouve sur la partie centrale de la région active AL ne diminue pas.
20

Bien que dans ce qui précède, on ait décrit le cinquième mode de réalisation préféré de la présente invention et ses modifications en relation avec un dispositif à semiconducteurs qui est formé fondamentalement sur un substrat en silicium massif, il va sans dire que la présente invention peut être appliquée à un dispositif à semiconducteurs qui est
25 formé sur un substrat SOI, comme celui qui est représenté sur la figure 74.

De plus, bien que les première à troisième modifications du cinquième mode de réalisation préféré aient été décrites en relation avec l'application à la partie de circuit à tension élevée HP, l'application à la
30 partie de circuit à tension basse LP est également évidemment possible.

De plus, bien que l'on ait décrit le cinquième mode de réalisation préféré de la présente invention en relation avec un circuit abaisseur de tension, à titre d'exemple, et en considérant que le circuit abaisseur de tension comprend la partie de circuit à tension élevée HP, qui
35 porte le transistor MOS H1 qui reçoit une tension relativement élevée sur

l'électrode de grille, et la partie de circuit à tension basse LP, qui comporte le transistor MOS L1 qui reçoit une tension relativement basse sur l'électrode de grille, la présente invention peut être appliquée à un circuit d'entrée/sortie normal. Ainsi, dans un circuit d'entrée/sortie, une tension élevée provenant de l'électricité statique externe, par exemple une tension qui est supérieure à une tension de source d'alimentation, est appliquée dans certains cas à une électrode de grille. Cependant, si la présente invention est appliquée au circuit d'entrée/sortie, une épaisseur effective accrue d'une pellicule d'oxyde de grille empêche un claquage diélectrique de la pellicule d'oxyde de grille, et par conséquent le circuit d'entrée/sortie présente une fiabilité élevée.

Il va de soi que de nombreuses autres modifications peuvent être apportées au dispositif et au procédé décrits et représentés, sans sortir du cadre de l'invention.

REVENDEICATIONS

1. Dispositif à semiconducteurs comprenant au moins un transistor sur un substrat semiconducteur (1), dans lequel au moins un transistor comprend : une couche de semiconducteur (101) d'un premier type de conductivité, qui est formée dans une surface du substrat semiconducteur (1); une couche dopée de canal (103A, 103B, 103C) du premier type de conductivité, qui est formée sélectivement dans la couche de semiconducteur (101); et une électrode de commande (4A, 4B, 4C) qui est formée à une position qui fait face à la couche dopée de canal, au-dessus de la couche de semiconducteur; caractérisé en ce que l'électrode de commande a une structure du type silicium polycristallin/siliciure dans laquelle une couche de siliciure de tungstène (L1, L2, L3) est formée sur une couche de silicium polycristallin (M1), et en ce que la couche de silicium polycristallin (M1) contient une impureté d'un second type de conductivité, cette impureté ayant une distribution qui présente une concentration relativement élevée du côté de la couche de siliciure de tungstène, mais une concentration relativement faible du côté opposé.

2. Dispositif à semiconducteurs selon la revendication 1, dans lequel les transistors comprennent au moins deux types de transistors, et caractérisé en ce que dans la structure du type silicium polycristallin/siliciure, le rapport entre l'épaisseur de la couche de siliciure de tungstène (L1, L2, L3) et l'épaisseur de la couche de silicium polycristallin (M1) est différent entre les deux types de transistors, au moins.

3. Dispositif à semiconducteurs selon la revendication 2, caractérisé en ce que les deux types de transistors, au moins, comprennent des transistors d'un premier type à un troisième type (T41, T42, T3), et le transistor du premier type T41 comprend : une paire de premières régions de semiconducteur (106) du second type de conductivité, formées sélectivement et indépendamment dans la couche de semiconducteur (101) du transistor du premier type; et une première pellicule d'oxyde de grille (3) formée sur la couche de semiconducteur du transistor du premier type, entre la paire de premières régions de semiconducteur, la couche dopée de canal (103A) du transistor du premier type est formée entre la paire de premières régions de semiconducteur, l'électrode de commande (4A)

du transistor du premier type comprend : une première couche de silicium polycristallin (M1) qui est formée sur la première pellicule d'oxyde de grille; et une première couche de siliciure de tungstène (L1) qui est formée sur la première couche de silicium polycristallin, le transistor du second type (T42) comprend : une paire de secondes régions de semiconducteur (106) du second type de conductivité, formées sélectivement et indépendamment dans la couche de semiconducteur du transistor du second type; et une pellicule d'oxyde de grille (3) formée sur la couche de semiconducteur du transistor du second type, entre la paire de secondes régions de semiconducteur, la couche dopée de canal (103B) du transistor du second type est formée entre la paire de secondes régions de semiconducteur, l'électrode de commande (4B) du transistor du second type comprend : une seconde couche de silicium polycristallin (M1) qui est formée sur la seconde pellicule d'oxyde de grille; et une seconde couche de siliciure de tungstène (L2) qui est formée sur la seconde couche de silicium polycristallin, le transistor du troisième type (T43) comprend : une paire de troisièmes régions de semiconducteur (106) du second type de conductivité, formées sélectivement et indépendamment dans la couche de semiconducteur du transistor du troisième type; et une troisième pellicule d'oxyde de grille (3) formée sur la couche de semiconducteur du transistor du troisième type, entre la paire de troisièmes régions de semiconducteur, la couche dopée de canal (103C) du transistor du troisième type est formée entre la paire de troisièmes régions de semiconducteur, l'électrode de commande (4C) du transistor du troisième type comprend : une troisième couche de silicium polycristallin (M1) qui est formée sur la troisième pellicule d'oxyde de grille; et une troisième couche de siliciure de tungstène (L3) qui est formée sur la troisième couche de silicium polycristallin, les rapports entre les épaisseurs des première à troisième couches de siliciure de tungstène et les épaisseurs des première à troisième couches de silicium polycristallin sont mutuellement différents, les première à troisième pellicules d'oxyde de grille ont la même épaisseur, et les couches dopées de canal des transistors des premier à troisième types ont la même concentration en impureté.

4. Dispositif à semiconducteurs selon la revendication 2, caractérisé en ce que les deux types de transistors, au moins, comprennent

des transistors d'un premier type à un troisième type (T51, T52, 53, T72, T71, T73), le transistor du premier type (T51, T72) comprend : une paire de premières régions de semiconducteur (126, 176) du second type de conductivité, formées sélectivement et indépendamment dans la couche de semiconducteur (121, 171) du transistor du premier type; et une première pellicule d'oxyde de grille (25A, 79B) formée sur la couche de semiconducteur du transistor du premier type, entre la paire de premières régions de semiconducteur, la couche dopée de canal (123, 173) du transistor du premier type est formée entre la paire de premières régions de semiconducteur, l'électrode de commande (29A, 79B) du transistor du premier type comprend : une première couche de silicium polycristallin (M11, M31) qui est formée sur la première pellicule d'oxyde de grille; et une première couche de siliciure de tungstène (L11, L32) qui est formée sur la première couche de silicium polycristallin, le transistor du second type (T52, T71) comprend : une paire de secondes régions de semiconducteur (126, 176) du second type de conductivité, formées sélectivement et indépendamment dans la couche de semiconducteur (121, 171) du transistor du second type; et une seconde pellicule d'oxyde de grille (25A, 76) formée sur la couche de semiconducteur du transistor du second type, entre la paire de secondes régions de semiconducteur, la couche dopée de canal (124, 173) du transistor du second type est formée entre la paire de secondes régions de semiconducteur, l'électrode de commande (29B, 79A) du transistor du second type comprend : une seconde couche de silicium polycristallin (M11, M31) qui est formée sur la seconde pellicule d'oxyde de grille; et une seconde couche de siliciure de tungstène (L12, L31) qui est formée sur la seconde couche de silicium polycristallin, le transistor du troisième type (T53, T73) comprend : une paire de troisièmes régions de semiconducteur (126, 176) du second type de conductivité, formées sélectivement et indépendamment dans la couche de semiconducteur du transistor du troisième type; une troisième pellicule d'oxyde de grille (23, 73) formée sur la couche de semiconducteur du transistor du troisième type, entre la paire de troisièmes régions de semiconducteur; et une électrode de grille flottante (27, 77) qui est formée sur la troisième pellicule d'oxyde de grille; et une pellicule d'isolation inter-couche (24, 74) qui est formée sur l'électrode de grille flot-

tante, la couche dopée de canal (125, 173) est formée entre la paire de troisièmes régions de semiconducteur, l'électrode de commande (29C, 79A) du transistor du troisième type comprend : une troisième couche de silicium polycristallin (M11, M31) qui est formée sur la pellicule d'isolation inter-couche; et une troisième couche de siliciure de tungstène (L13, L31) qui est formée sur la troisième couche de silicium polycristallin, le rapport entre l'épaisseur de la première couche de siliciure de tungstène et l'épaisseur de la première couche de silicium polycristallin est supérieur aux rapports entre les épaisseurs d'autres couches de siliciure de tungstène et les épaisseurs d'autres couches de silicium polycristallin, les première et seconde pellicules d'oxyde de grille ont la même épaisseur, qui est une première épaisseur, tandis que la troisième pellicule d'oxyde de grille a une seconde épaisseur qui est supérieure à la première épaisseur, et les couches dopées de canal des transistors des premier à troisième types ont la même concentration en impureté.

5
10
15
20
25
30
35

5. Dispositif à semiconducteurs selon la revendication 2, caractérisé en ce que les deux types de transistors, au moins, comprennent des transistors d'un premier type à un troisième type (T61, T62, T63), le transistor du premier type (T61) comprend : une paire de premières régions de semiconducteur (156) du second type de conductivité, formées sélectivement et indépendamment dans la couche de semiconducteur du transistor du premier type; et une première pellicule d'oxyde de grille (53) formée sur la couche de semiconducteur du transistor du premier type, entre la paire de premières régions de semiconducteur, la couche dopée de canal (155A) du transistor du premier type est formée entre la paire de premières régions de semiconducteur, l'électrode de commande (55A) du transistor du premier type comprend : une première couche de silicium polycristallin (M21) qui est formée sur la première pellicule d'oxyde de grille; et une première couche de siliciure de tungstène (L21) qui est formée sur la première couche de silicium polycristallin, le transistor du second type (T62) comprend : une paire de secondes régions de semiconducteur (156) du second type de conductivité, formées sélectivement et indépendamment dans la couche de semiconducteur du transistor du second type; et une seconde pellicule d'oxyde de grille (53) formée sur la couche de semiconducteur du transistor du second type, entre la paire de

secondes régions de semiconducteur, la couche dopée de canal (154) du transistor du second type est formée entre la paire de secondes régions de semiconducteur, l'électrode de commande (55A) du transistor du second type comprend : une seconde couche de silicium polycristallin (M21) qui est formée sur la seconde pellicule d'oxyde de grille; et une seconde couche de siliciure de tungstène (L21) qui est formée sur la seconde couche de silicium polycristallin, le transistor du troisième type (T63) comprend : une paire de troisièmes régions de semiconducteur (156) du second type de conductivité, formées sélectivement et indépendamment dans la couche de semiconducteur du transistor du troisième type; et une troisième pellicule d'oxyde de grille (53) formée sur la seconde couche de semiconducteur du transistor du troisième type, entre la paire de troisièmes régions de semiconducteur; et la couche dopée de canal (155A) est formée entre la paire de troisièmes régions de semiconducteur, l'électrode de commande (55B) du transistor du troisième type comprend : une troisième couche de silicium polycristallin (M21) qui est formée sur la troisième pellicule d'oxyde de grille; et une couche de siliciure de tungstène (L21) qui est formée sur la troisième couche de silicium polycristallin, le rapport entre l'épaisseur de la troisième couche de siliciure de tungstène et l'épaisseur de la troisième couche de silicium polycristallin est supérieur aux rapports entre les épaisseurs d'autres couches de siliciure de tungstène et les épaisseurs d'autres couches de silicium polycristallin, les première à troisième pellicules d'oxyde de grille ont la même épaisseur, et les couches dopées de canal des transistors des premier à troisième types ont la même concentration en impureté.

6. Dispositif à semiconducteurs comprenant au moins un transistor sur un substrat semiconducteur (1002), dans lequel au moins un transistor, comprend : une région active (AL) qui est définie par une pellicule d'oxyde de champ (1004) qui est formée sélectivement sur une surface principale du substrat semiconducteur; une pellicule d'oxyde (1006) qui est formée sur la région active; et une électrode de commande (1007) qui est formée sur la pellicule d'oxyde, cette électrode de commande comprenant une couche de silicium polycristallin dans laquelle est implantée une impureté du même type de conductivité qu'une couche de source/drain, caractérisé en ce que l'électrode de commande comprend

une couche de siliciure de tungstène (1031) qui est formée sélectivement sur la couche de silicium polycristallin qui se trouve sur une partie de bord de la région active, et l'impureté a une distribution qui présente une concentration relativement élevée du côté de la couche de siliciure de tungstène, mais une concentration relativement faible du côté opposé.

5 7. Dispositif à semiconducteurs selon la revendication 6, caractérisé en ce qu'il comprend en outre une couche de siliciure de métal (1041), autre que la couche de siliciure de tungstène, qui est formée sur la couche de siliciure de tungstène et sur la région active.

10 8. Procédé de fabrication d'un dispositif à semiconducteurs qui comprend au moins un transistor sur un substrat semiconducteur (1), ce procédé comprenant les étapes suivantes : (a) on forme une couche de semiconducteur (101) d'un premier type de conductivité à une position dans une surface du substrat semiconducteur à laquelle le ou les transistors, doivent être formés; (b) on forme sélectivement une couche dopée de canal (103A, 103B, 103C) du premier type de conductivité, par implantation ionique, dans la couche de semiconducteur du ou des transistors, et (c) on forme une électrode de commande (4A, 4B, 4C) à une position qui fait face à la couche dopée de canal, au-dessus de la couche de semiconducteur du ou des transistors, caractérisé en ce que l'étape (c) comprenant une étape de formation de l'électrode de commande (4A, 4B, 4C) du ou des transistors, de façon qu'elle ait une structure du type silicium polycristallin/siliciure, dans laquelle une couche de siliciure de tungstène (L1, L2, L3) est formée sur une couche de silicium polycristallin (M1) dans laquelle est implantée une impureté d'un second type de conductivité.

20 9. Procédé de fabrication d'un dispositif à semiconducteurs selon la revendication 8, dans lequel les transistors comprennent des transistors d'un premier type à un troisième type (T44, T45, T46), caractérisé en ce que l'étape (c) comprend les étapes suivantes : on forme une pellicule d'oxyde (31) sur les couches de semiconducteur des transistors des premier à troisième types; on forme une première couche de silicium polycristallin (42) sur la pellicule d'oxyde, cette première couche de silicium polycristallin ayant une première épaisseur; on plante une impureté du second type de conductivité dans la première couche de silicium poly-

35

crystallin, pour former ainsi une seconde couche de silicium polycristallin (421); on masque la seconde couche de silicium polycristallin à une position à laquelle le transistor du premier type est formé, et on enlève une partie de la seconde couche de silicium polycristallin qui n'est pas masquée, jusqu'à ce qu'elle ait une seconde épaisseur, pour former ainsi une
5 troisième couche de silicium polycristallin (422); on masque les seconde et troisième couches de silicium polycristallin à des positions auxquelles les transistors des premier et second types sont formés, et on enlève une partie de la troisième couche de silicium polycristallin qui n'est pas masquée, jusqu'à ce qu'elle ait une troisième épaisseur, pour former ainsi
10 une quatrième couche de silicium polycristallin (423); on forme une couche de siliciure de tungstène (430) qui a une épaisseur prédéterminée, sur les seconde à quatrième couches de silicium polycristallin; et on enlève sélectivement la couche de siliciure de tungstène, les seconde à
15 quatrième couches de silicium polycristallin et la pellicule d'oxyde, par une opération de définition de motif, pour former ainsi la première pellicule d'oxyde de grille (3) et l'électrode de commande (4D) ayant une structure du type silicium polycristallin/siliciure du transistor du premier type, sur la couche de semiconducteur du transistor du premier type, la
20 seconde pellicule d'oxyde de grille (3) et l'électrode de commande (4E) ayant une structure du type silicium polycristallin/siliciure du transistor du second type, sur la couche de semiconducteur du transistor du second type, et la troisième pellicule d'oxyde de grille (3) et l'électrode de commande (4F) ayant une structure du type silicium polycristallin/siliciure du
25 transistor du troisième type, sur la couche de semiconducteur du transistor du troisième type.

10. Procédé de fabrication d'un dispositif à semiconducteurs selon la revendication 8, dans lequel les transistors comprennent des transistors d'un premier type à un troisième type (T54, T55, T56, T75, T74, T76), caractérisé en ce que l'étape (c) comprend les étapes suivantes : on forme une première pellicule d'oxyde (231, 731) qui a une première épaisseur sur les couches de semiconducteur des transistors des premier à troisième types; on forme sélectivement une première couche de silicium polycristallin (271, 771) sur la première pellicule d'oxyde
35 sur la couche de semiconducteur du transistor du troisième type (T56,

T76), une impureté du second type de conductivité étant répartie uniformément dans la première couche de silicium polycristallin; on forme sélectivement une pellicule d'isolation (241, 741) sur la première couche de silicium polycristallin, et on enlève la première pellicule d'oxyde à des positions auxquelles les transistors des premier et second types sont formés; on forme une seconde pellicule d'oxyde (251A, 761) sur les couches de semiconducteur des transistors des premier et second types, la seconde pellicule d'oxyde ayant une seconde épaisseur qui est inférieure à la première épaisseur; on forme une seconde couche de silicium polycristallin (280, 790) qui a une troisième épaisseur, sur la seconde pellicule d'oxyde et la pellicule d'isolation; on implante une impureté du second type de conductivité dans la seconde couche de silicium polycristallin, pour former ainsi une troisième couche de silicium polycristallin (281, 791); on masque la troisième couche de silicium polycristallin à des positions auxquelles les transistors des second et troisième types sont formés, et on enlève la partie de la troisième couche de silicium polycristallin qui n'est pas masquée, jusqu'à ce qu'elle ait une quatrième épaisseur, pour former ainsi une quatrième couche de silicium polycristallin (282, 792); on forme une couche de siliciure de tungstène (290, 780) qui a une épaisseur prédéterminée, sur les première et quatrième couches de silicium polycristallin; on enlève sélectivement la couche de siliciure de tungstène, les troisième et quatrième couches de silicium polycristallin, les première et seconde pellicules d'oxyde, et la pellicule d'isolation, par une opération de définition de motif, pour former ainsi la première pellicule d'oxyde de grille (25A, 76) et la seconde électrode de commande (29D, 79D) ayant une structure du type silicium polycristallin/siliciure du transistor du premier type, sur la couche de semiconducteur du transistor du premier type, la seconde pellicule d'oxyde de grille (25A, 76) et l'électrode de commande (29E, 79C) ayant une structure du type silicium polycristallin/siliciure du transistor du second type, sur la couche de semiconducteur du transistor du second type, et la troisième pellicule d'oxyde de grille (23, 73), une électrode de grille flottante (27, 77), une pellicule d'isolation inter-couche (24, 74) et l'électrode de commande (29F, 79C) ayant une structure du type silicium polycristallin/siliciure du transistor du troisième type, sur la couche de semiconducteur du tran-

sistor du troisième type.

11. Procédé de fabrication d'un dispositif à semiconducteurs selon la revendication 8, dans lequel les transistors comprennent des transistors d'un premier type à un troisième type (T64, T65, T66), caractérisé en ce que l'étape (b) comprend une étape de formation de la couche dopée de canal (155A) des transistors des premier à troisième types de façon qu'elle ait la même concentration en impureté, et l'étape (c) comprend les étapes suivantes : on forme une pellicule d'oxyde (531) sur les couches de semiconducteur des transistors des premier à troisième types; on forme une première couche de silicium polycristallin (550) sur la pellicule d'oxyde, cette première couche de silicium polycristallin ayant une première épaisseur; on implante une impureté du second type de conductivité dans la première couche de silicium polycristallin, pour former ainsi une seconde couche de silicium polycristallin (551); on masque la seconde couche de silicium polycristallin à des positions auxquelles les transistors des premier et second types sont formés, et on enlève la partie de la seconde couche de silicium polycristallin qui n'est pas masquée, jusqu'à ce qu'elle ait une seconde épaisseur, pour former ainsi une troisième couche de silicium polycristallin (552); on forme une couche de siliciure de tungstène (560) qui a une épaisseur prédéterminée, sur les seconde et troisième couches de silicium polycristallin; et on enlève sélectivement la couche de siliciure de tungstène, les seconde et troisième couches de silicium polycristallin, et la pellicule d'oxyde, par une opération de définition de motif, pour former ainsi la première pellicule d'oxyde de grille (53) et l'électrode de commande (55C) ayant une structure du type silicium polycristallin/siliciure du transistor du premier type, sur la couche de semiconducteur du transistor du premier type, la seconde pellicule d'oxyde de grille (53) et l'électrode de commande (55C) ayant une structure du type silicium polycristallin/siliciure du transistor du second type, sur la couche de semiconducteur du transistor du second type, et la troisième pellicule d'oxyde de grille (53) et l'électrode de commande (55D) ayant une structure du type silicium polycristallin/siliciure du transistor du troisième type, sur la couche de semiconducteur du transistor du troisième type.

FIG. 1

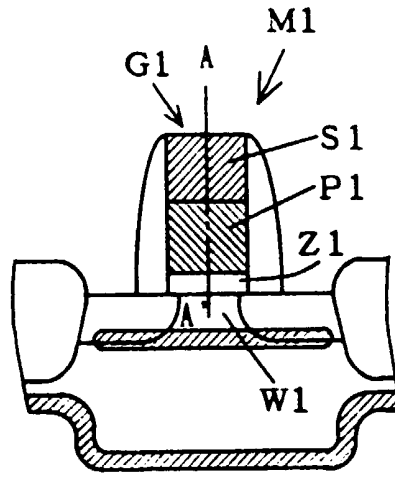


FIG. 2

Interface SiO_2 -POLY Si
 Interface Si-SiO₂

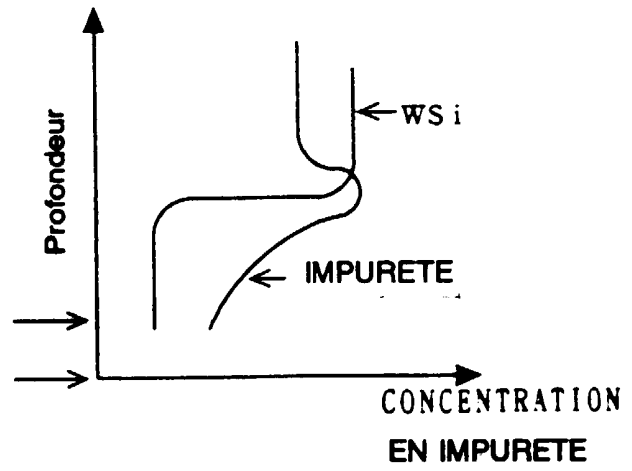


FIG. 3

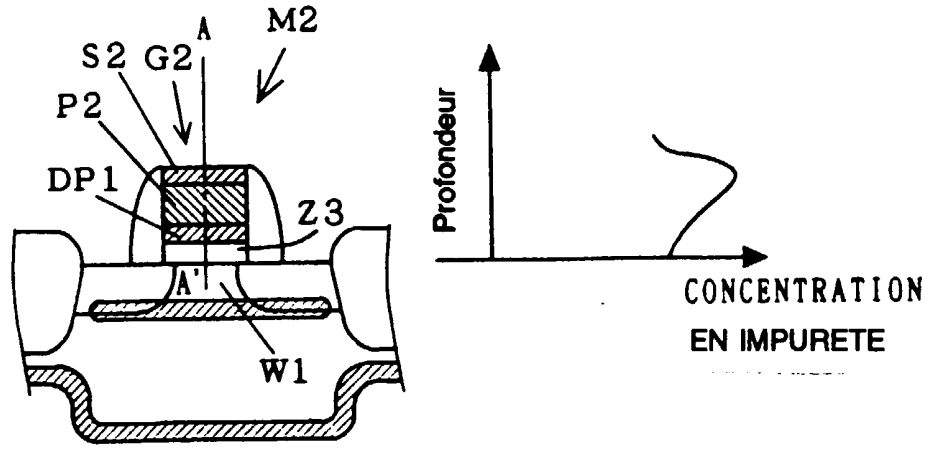


FIG. 4

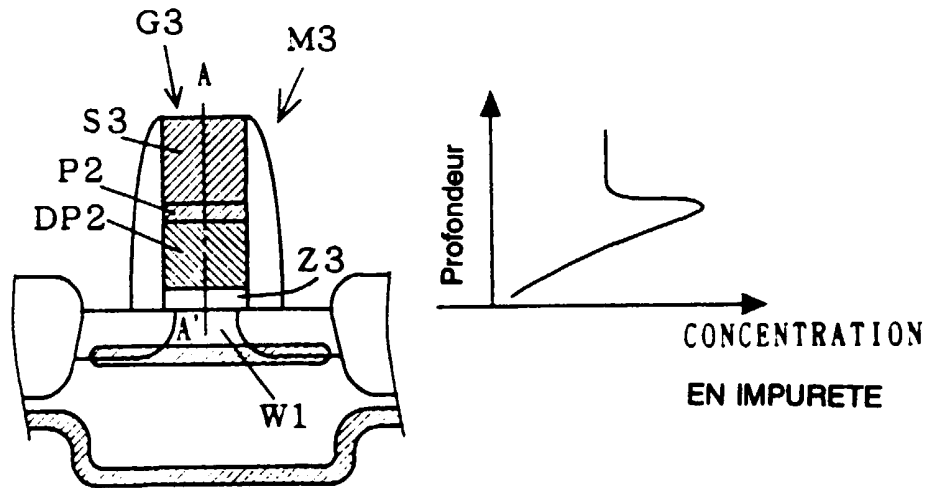


FIG. 5

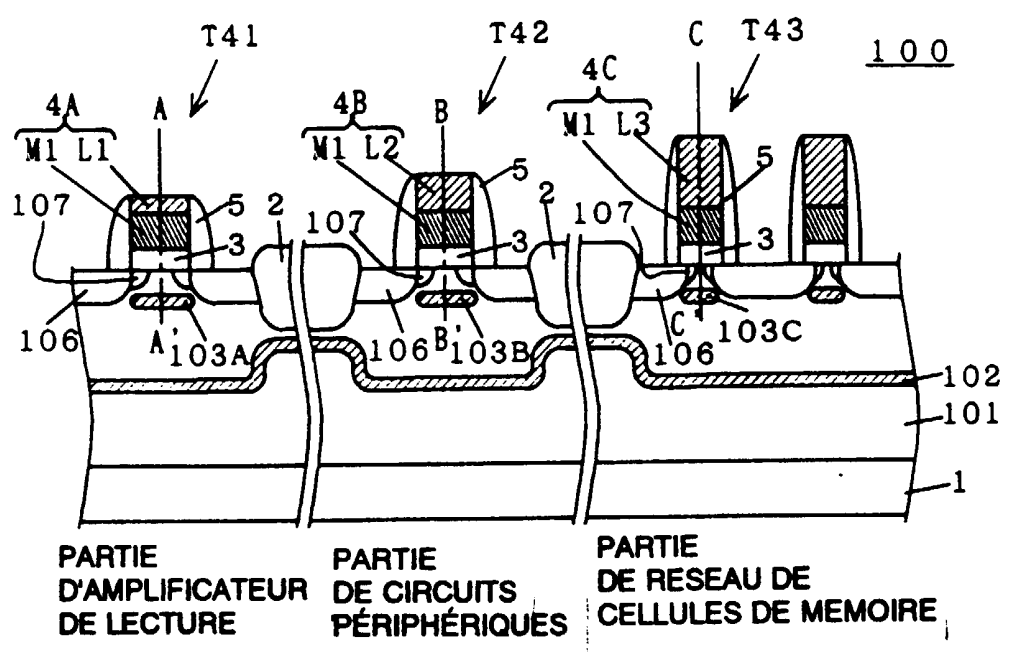


FIG. 6

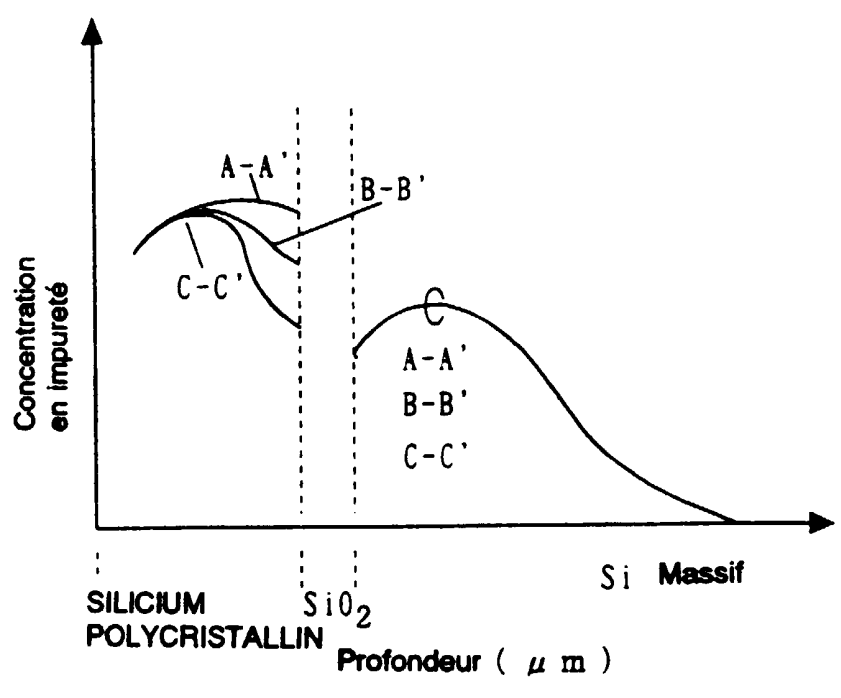


FIG. 7

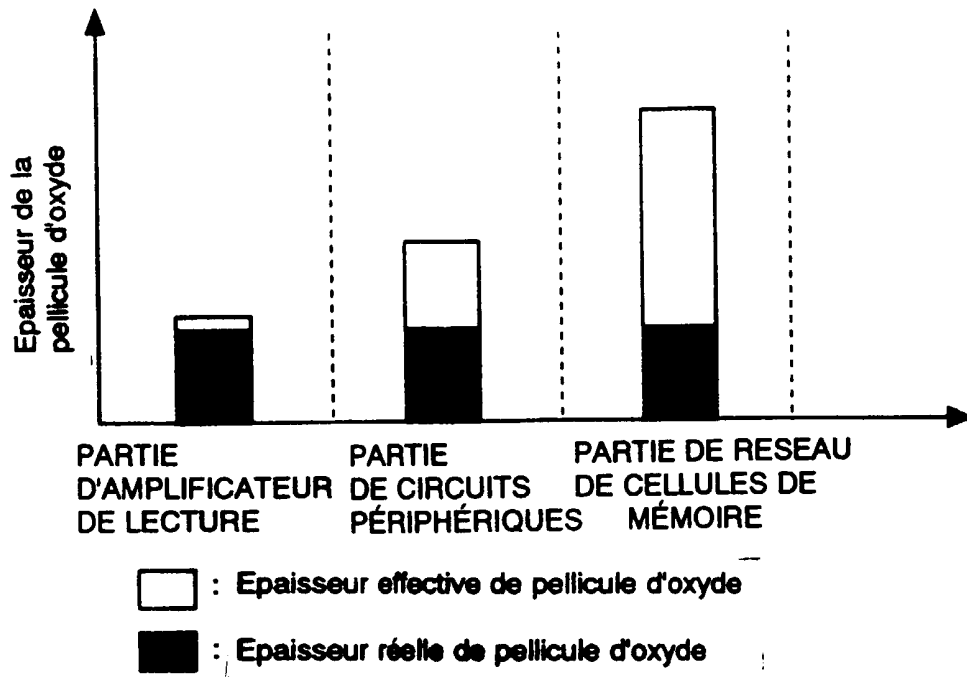


FIG. 8

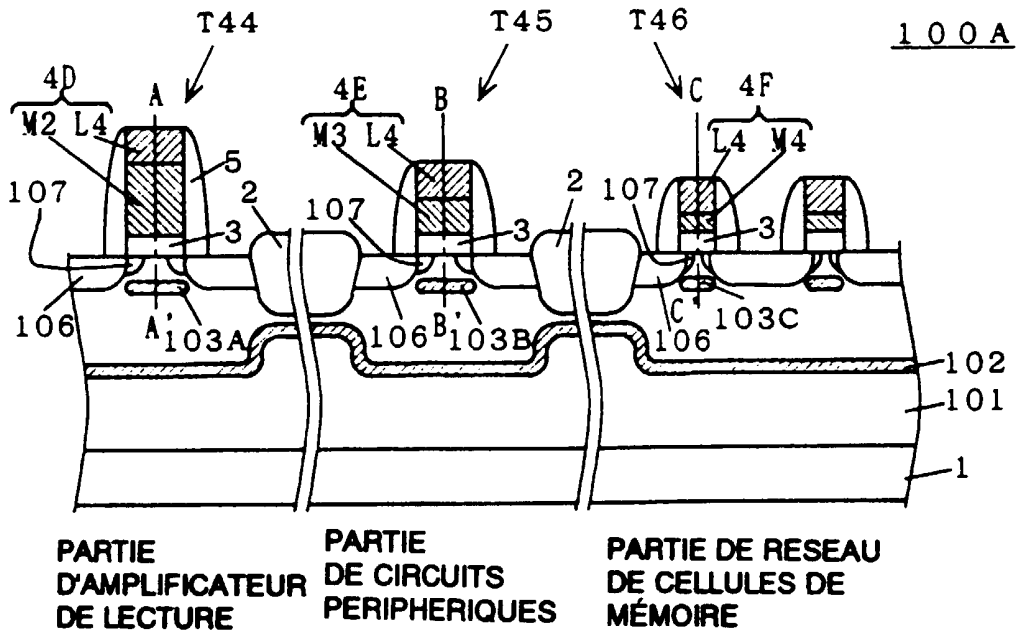
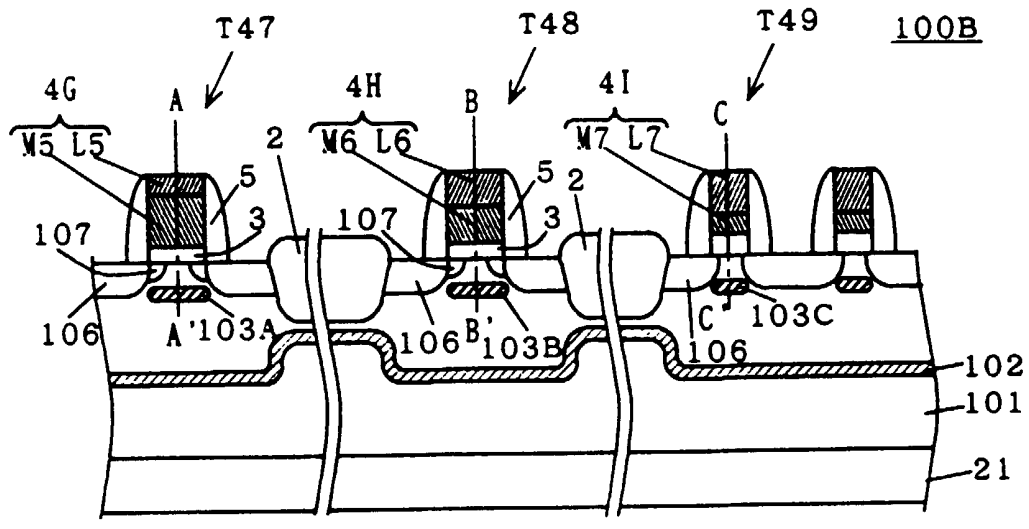


FIG. 9



PARTIE D'AMPLIFICATEUR DE LECTURE PARTIE DE CIRCUITS PERIPHERIQUES PARTIE DE RESEAU DE CELLULES DE MEMOIRE

FIG. 10

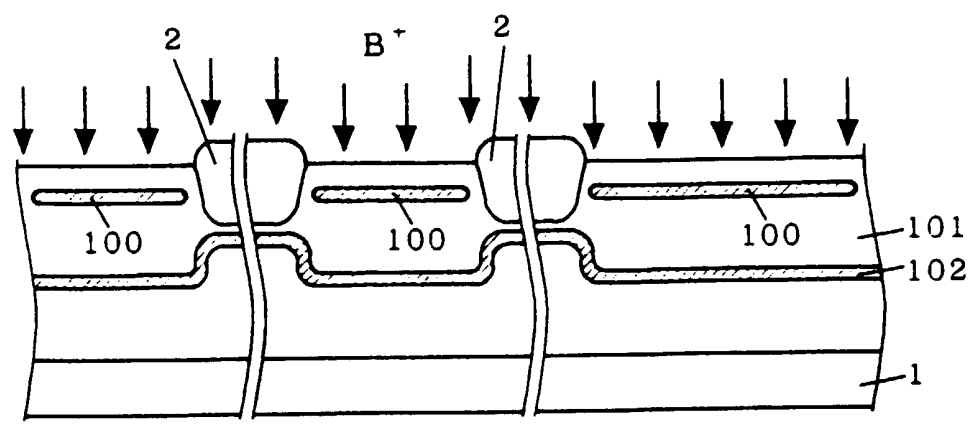


FIG. 11

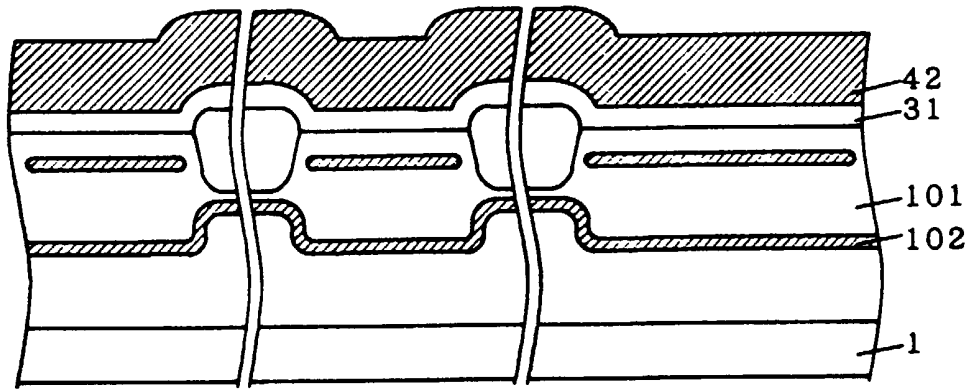


FIG. 12

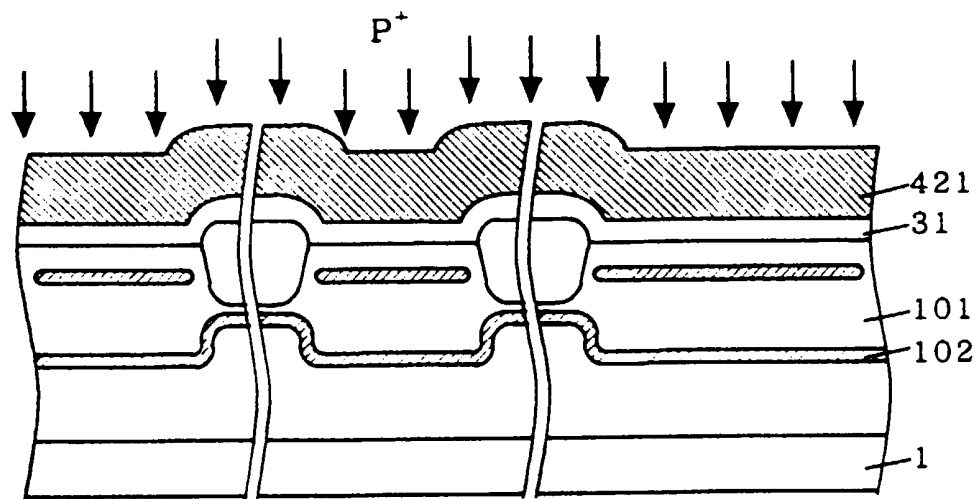


FIG. 13

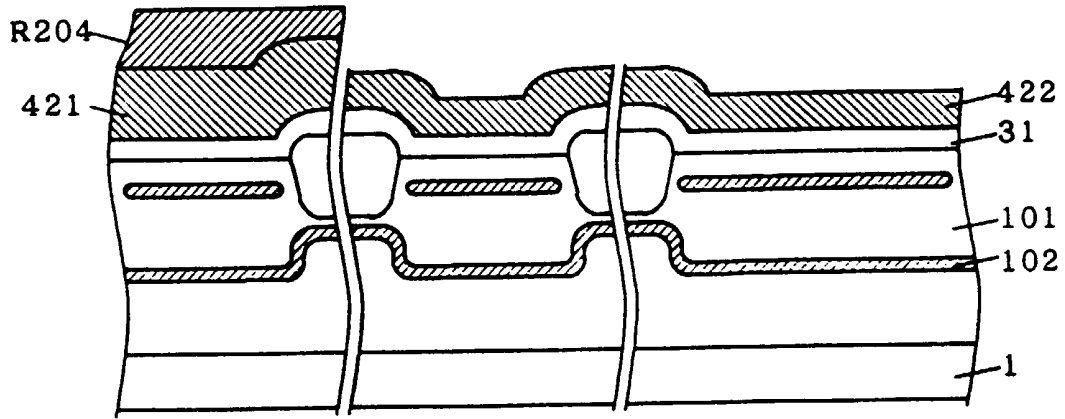


FIG. 14

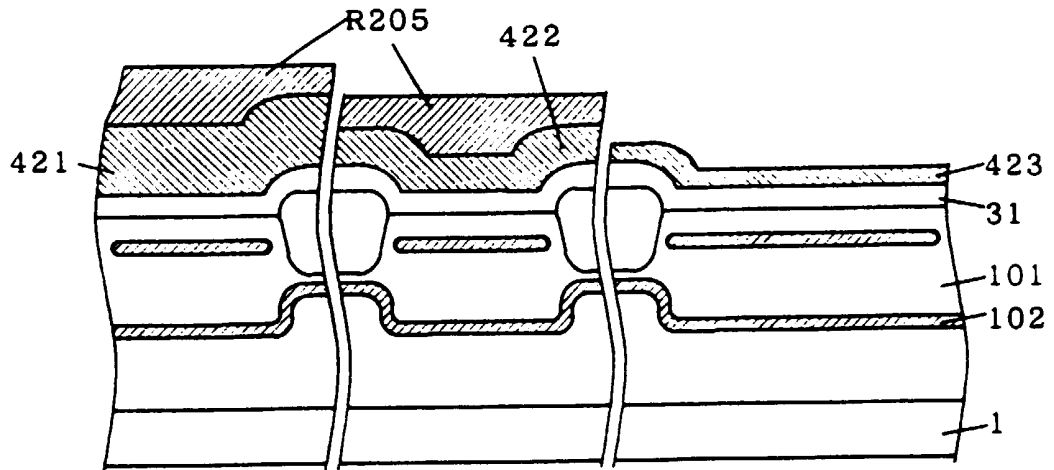


FIG. 15

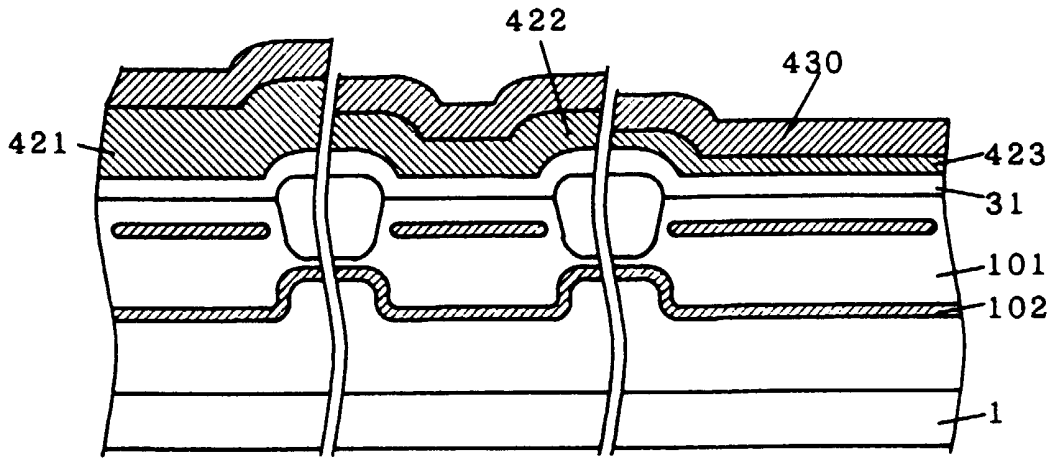
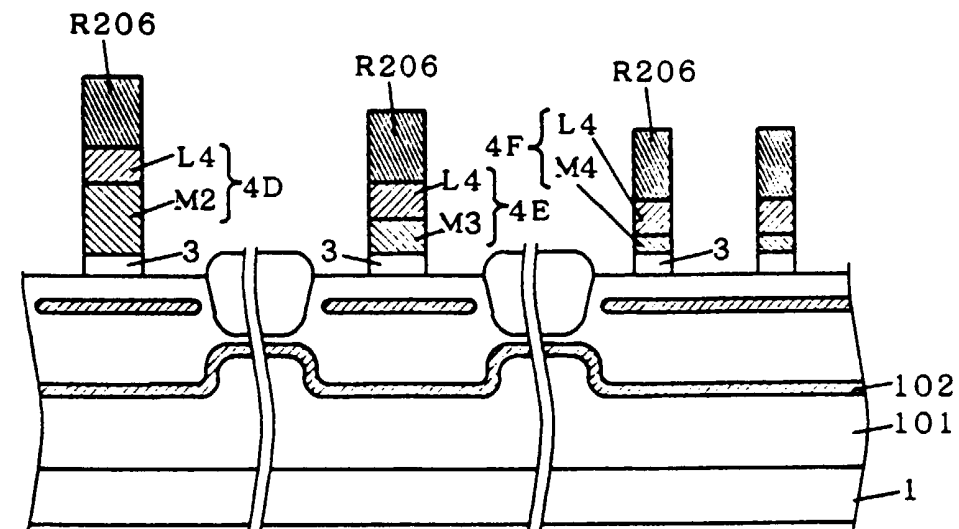


FIG. 16



PARTIE
D'AMPLIFICATEUR
DE LECTURE

PARTIE
DE CIRCUITS
PERIPHERIQUES

PARTIE
DE RESEAU DE
CELLULES DE MEMOIRE

9/63

FIG. 17

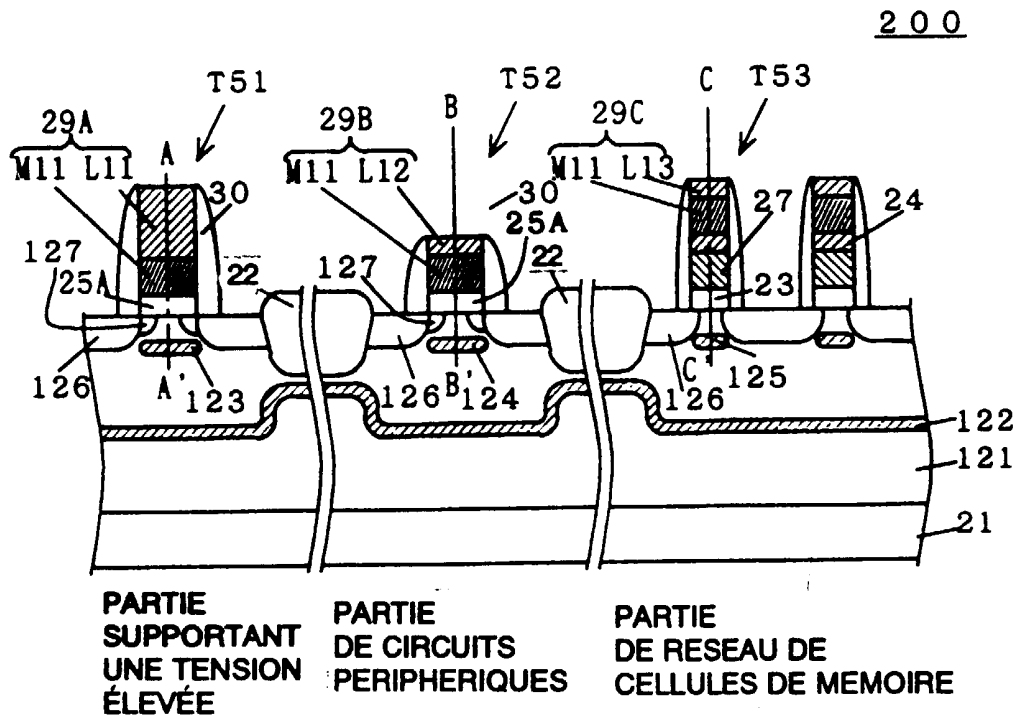


FIG. 18

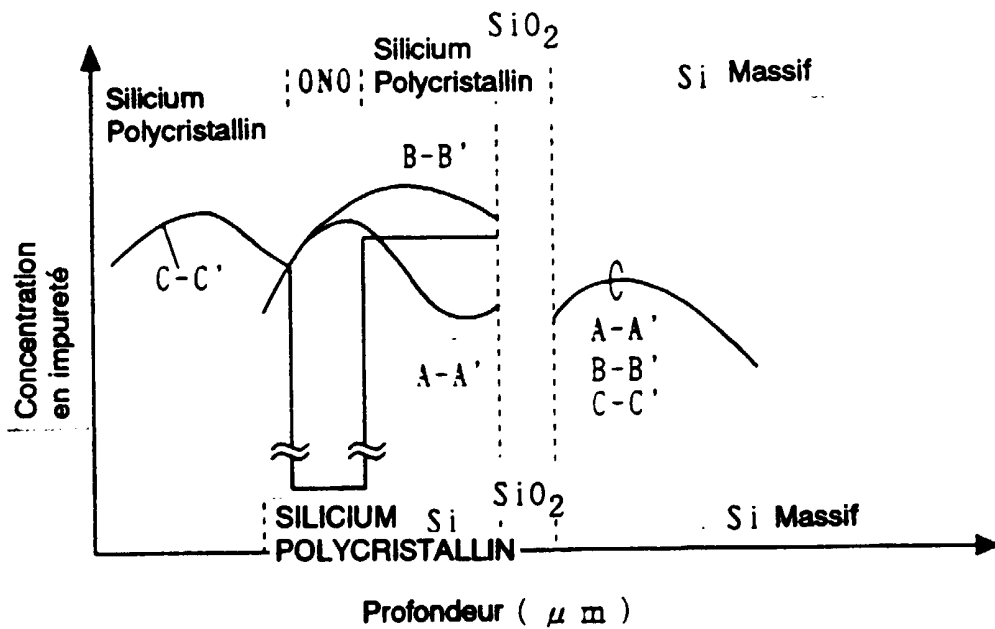


FIG. 19

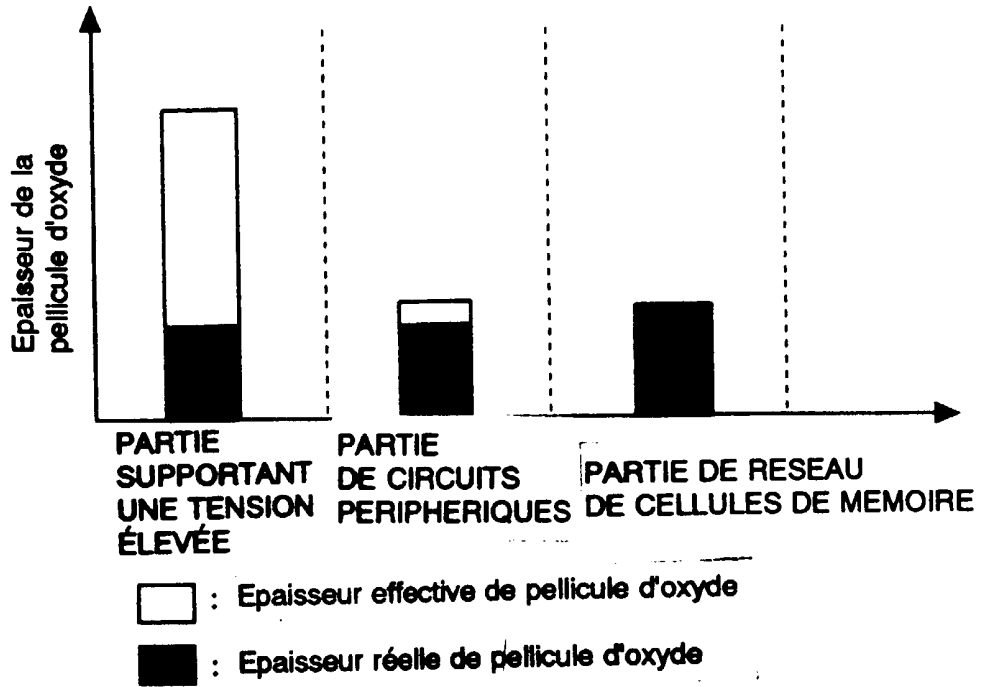
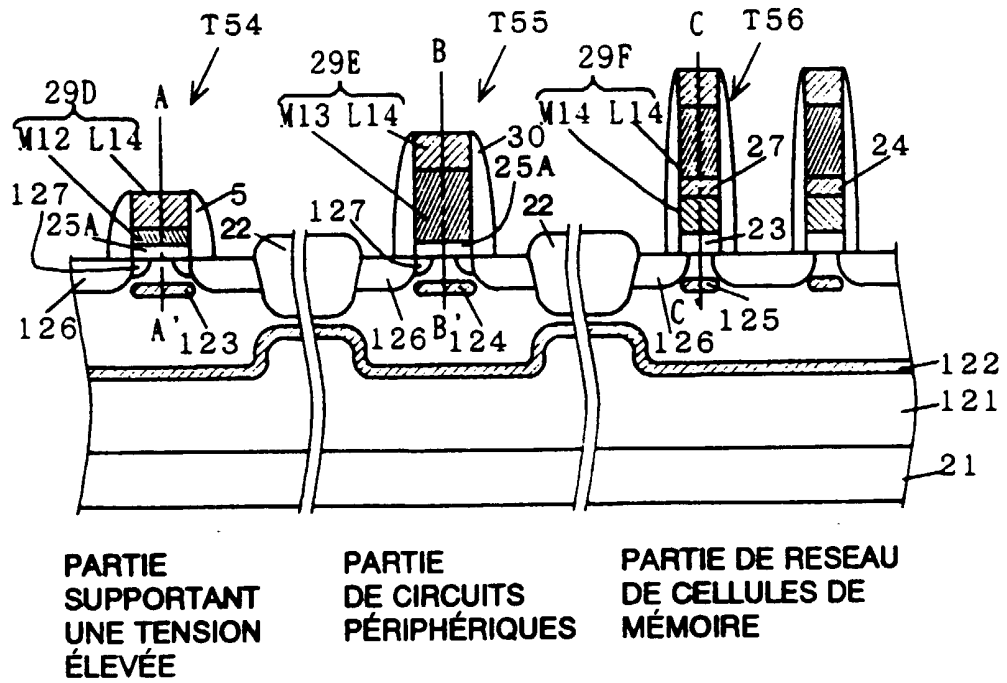


FIG. 20

200A



11/63

FIG. 21

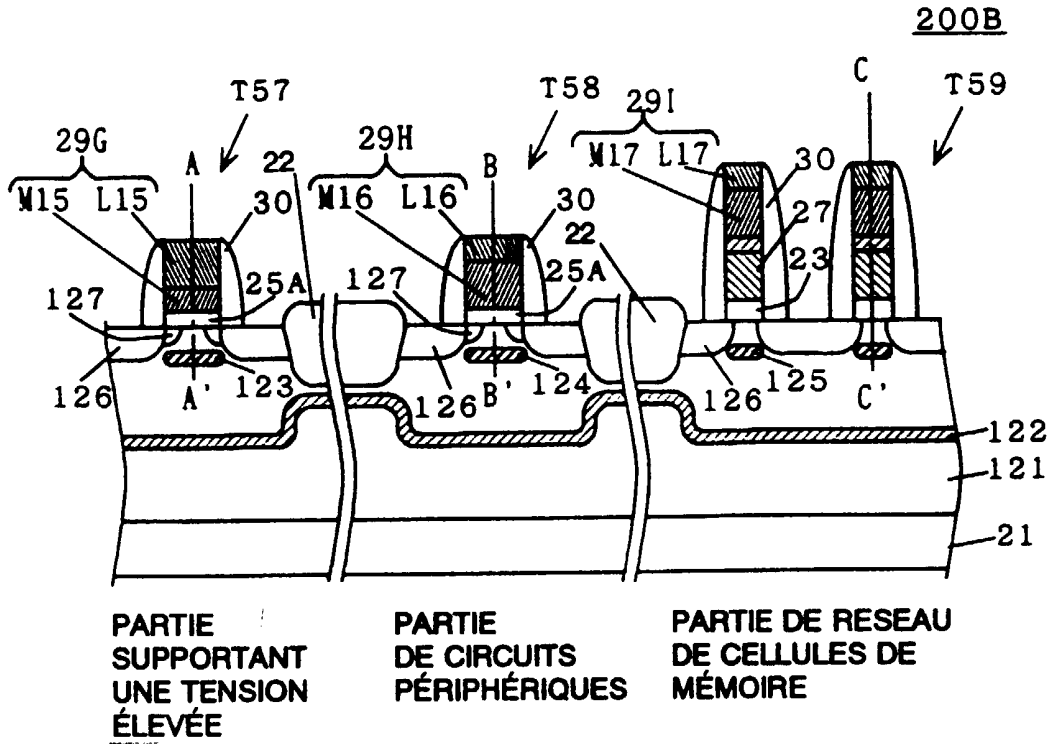
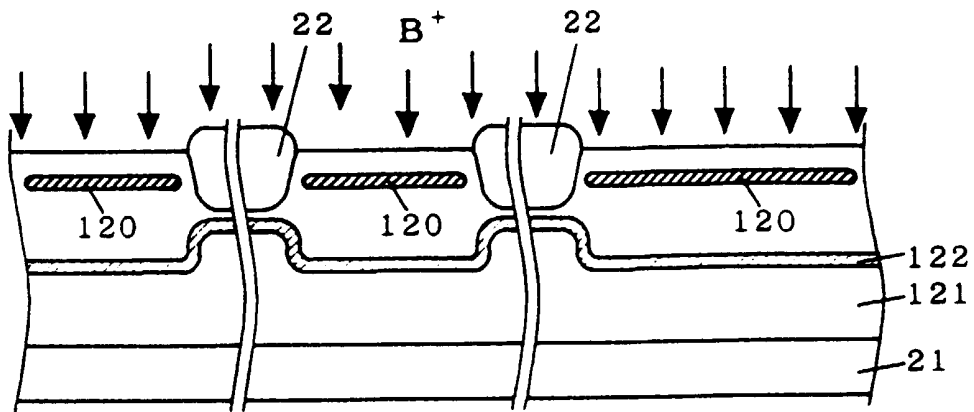


FIG. 22



12/63

FIG. 23

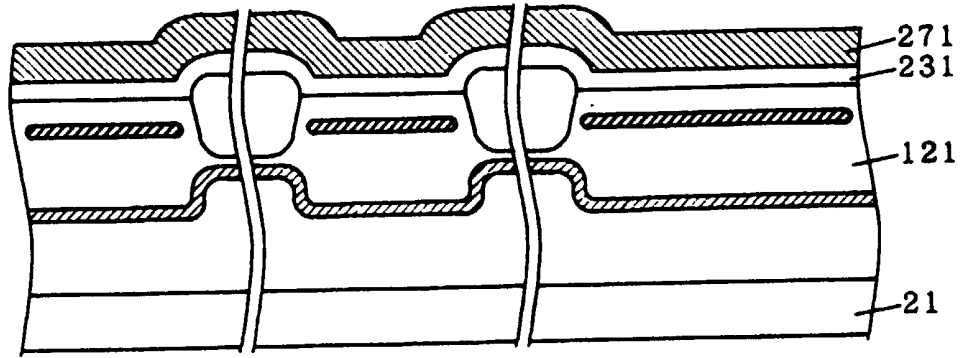


FIG. 24

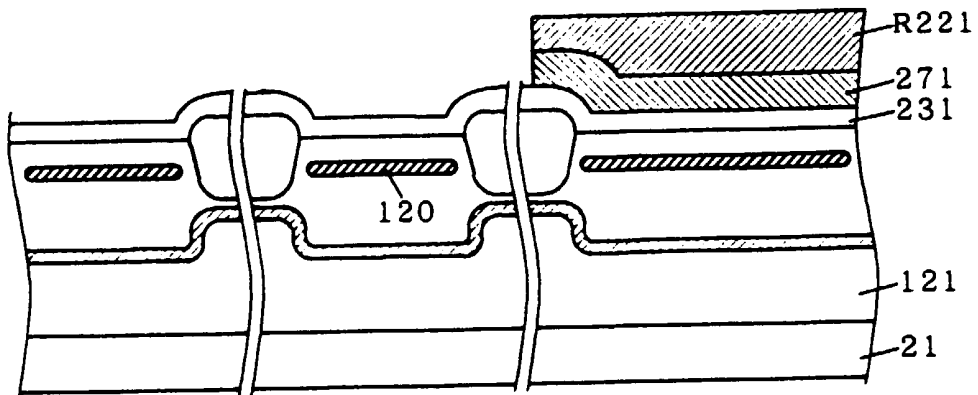


FIG. 25

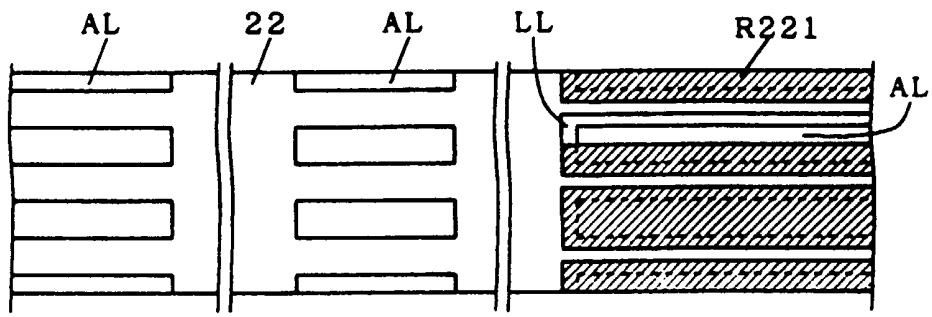


FIG. 26

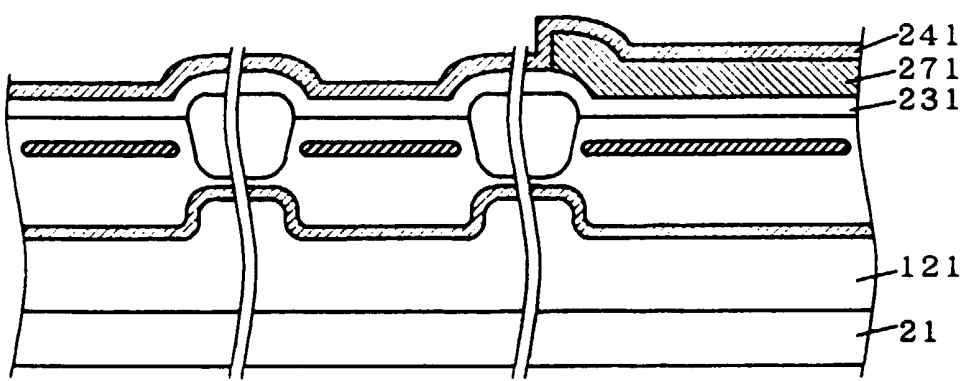


FIG. 27

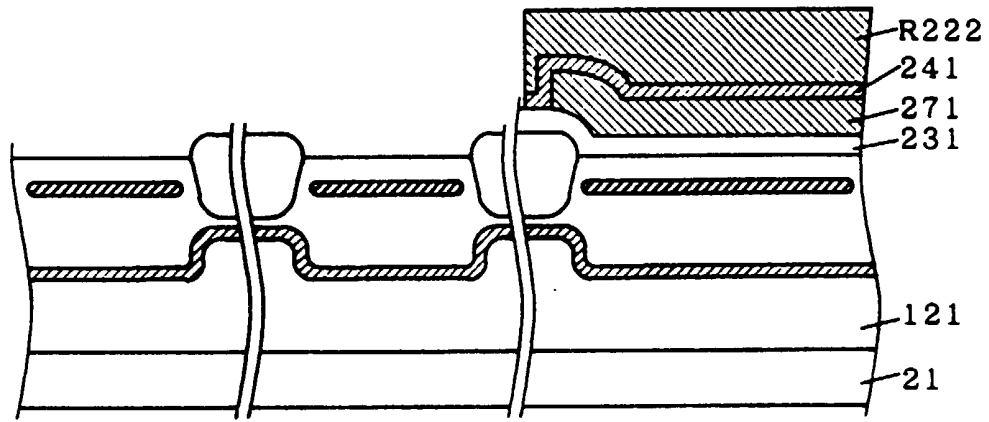


FIG. 28

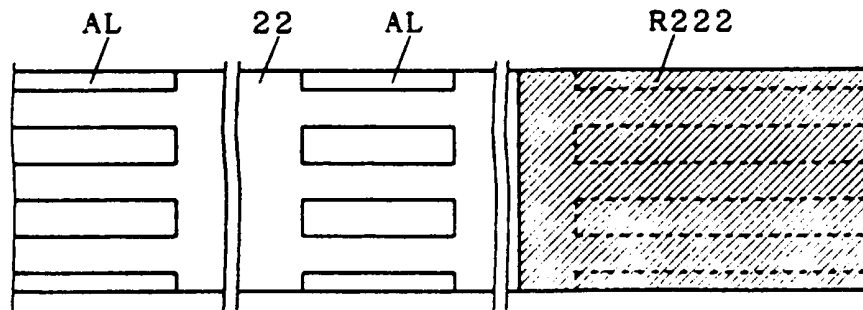


FIG. 29

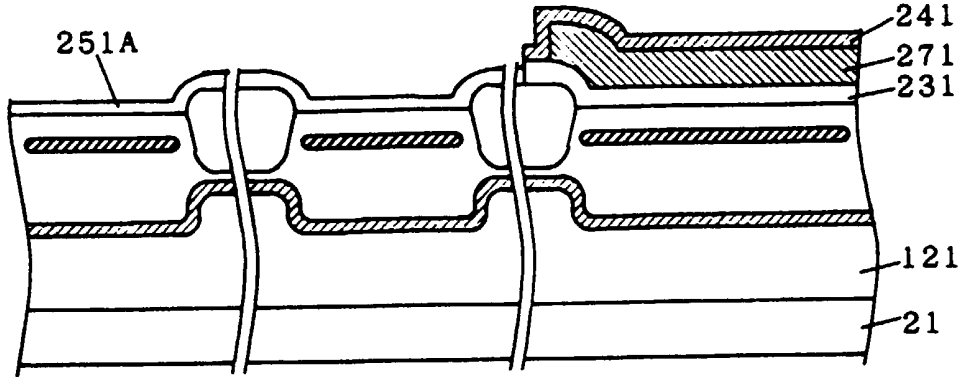


FIG. 30

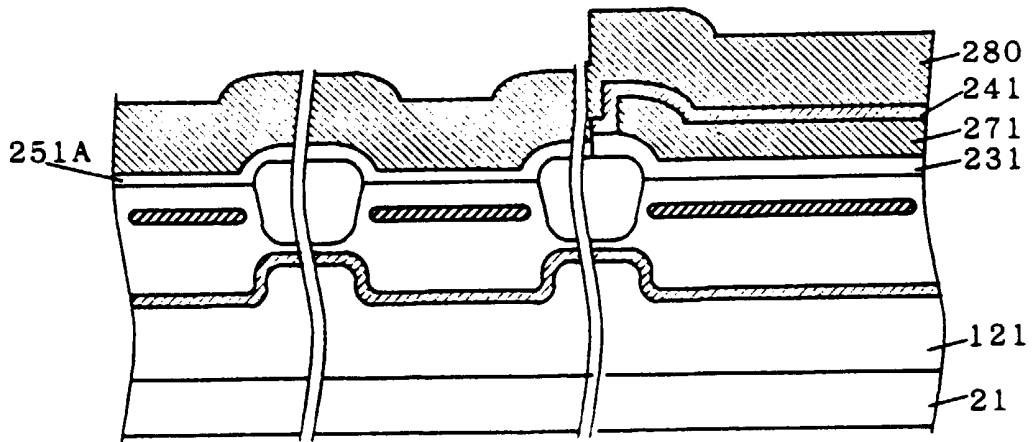


FIG. 31

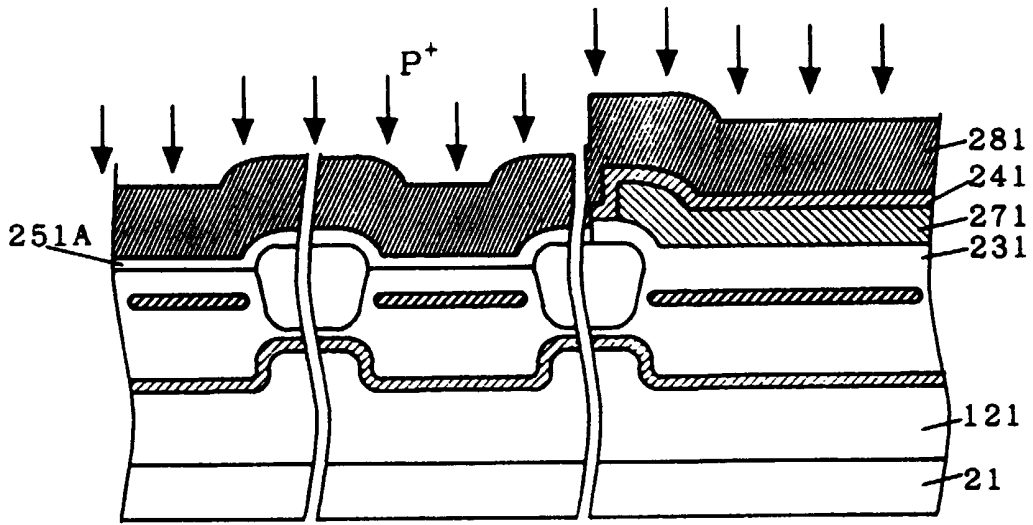
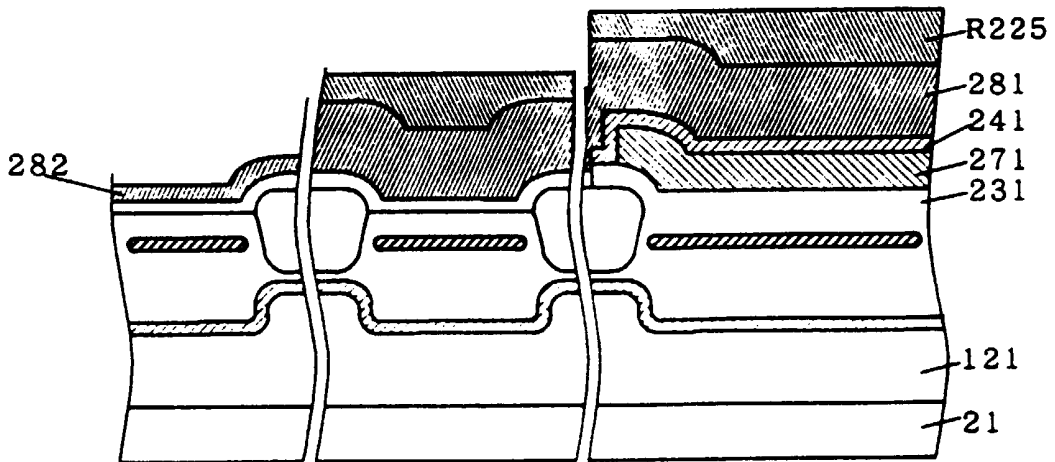


FIG. 32



17/63

FIG. 33

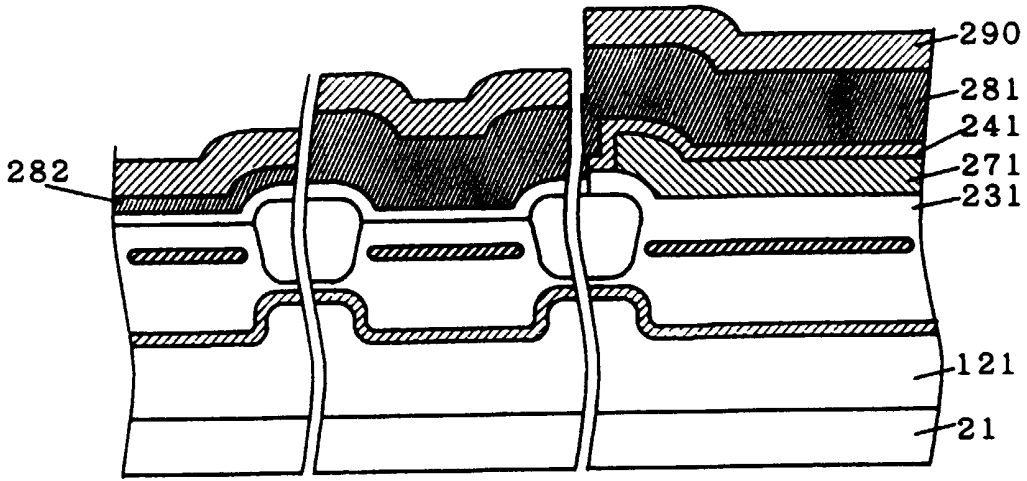


FIG. 34

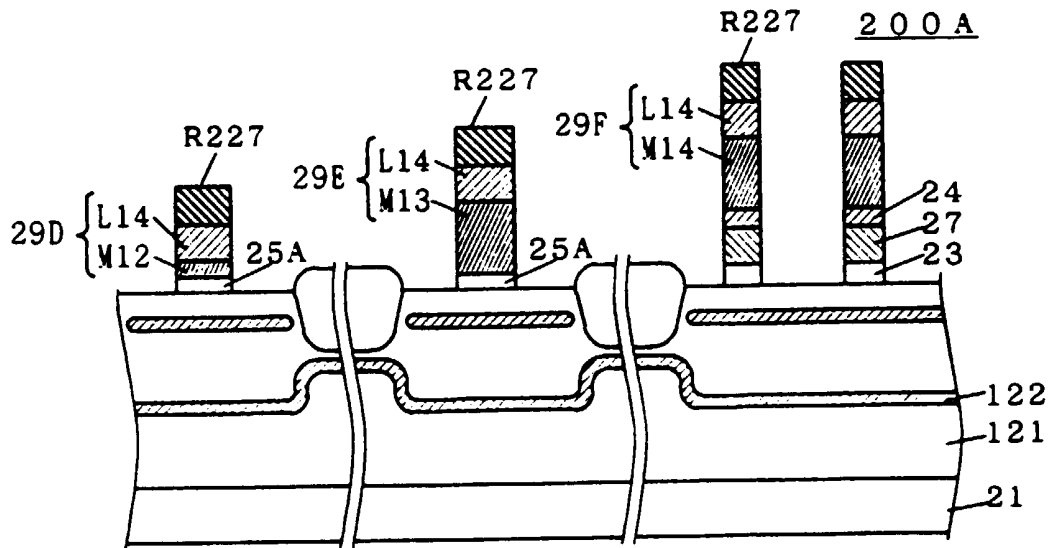


FIG. 35

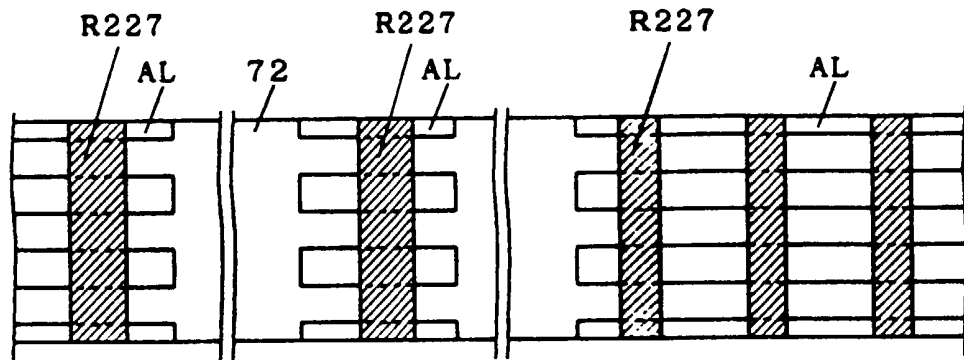


FIG. 36

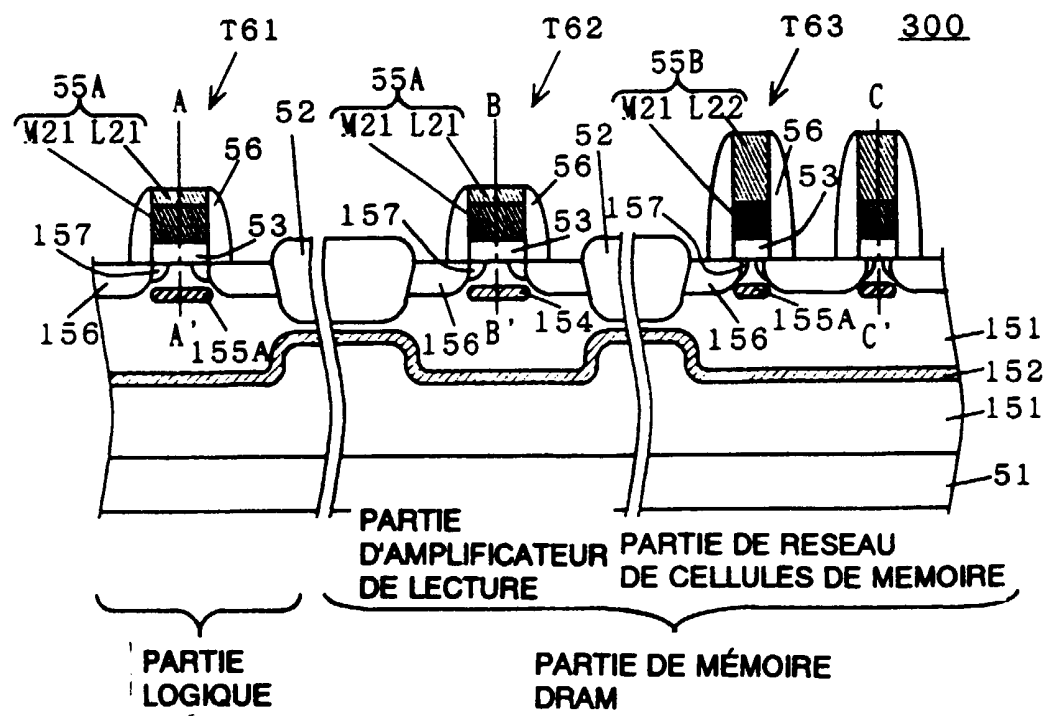


FIG. 37

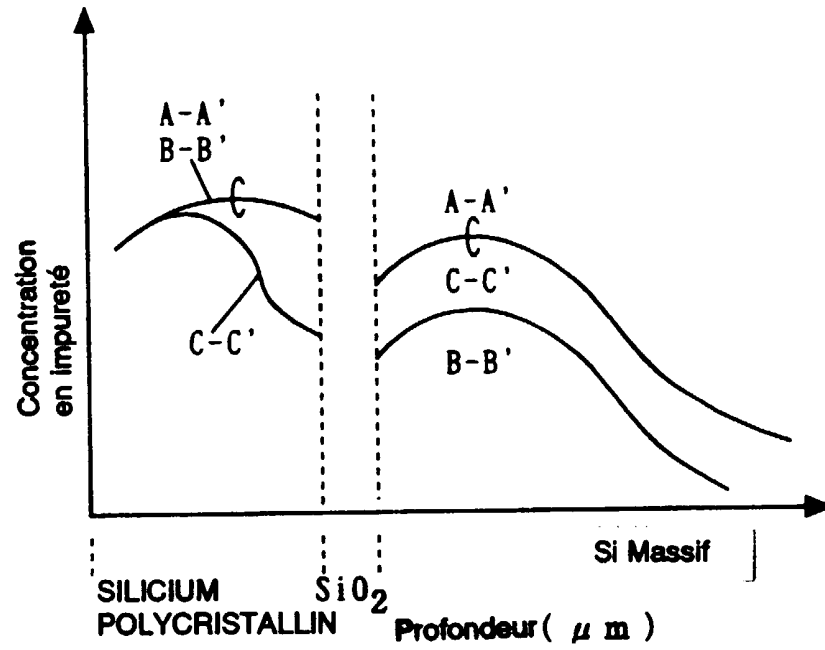


FIG. 38

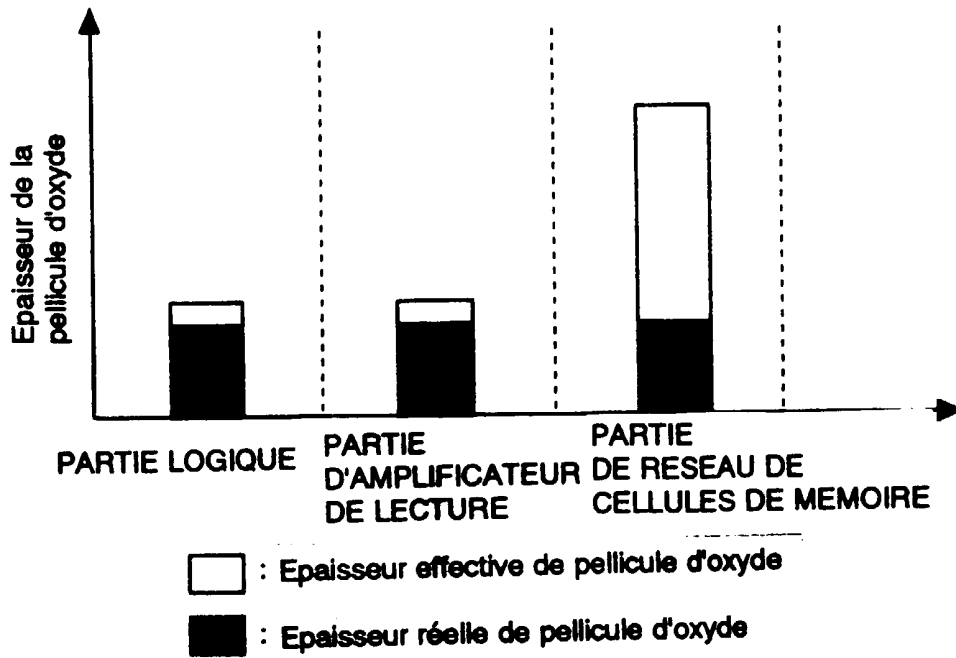


FIG. 39

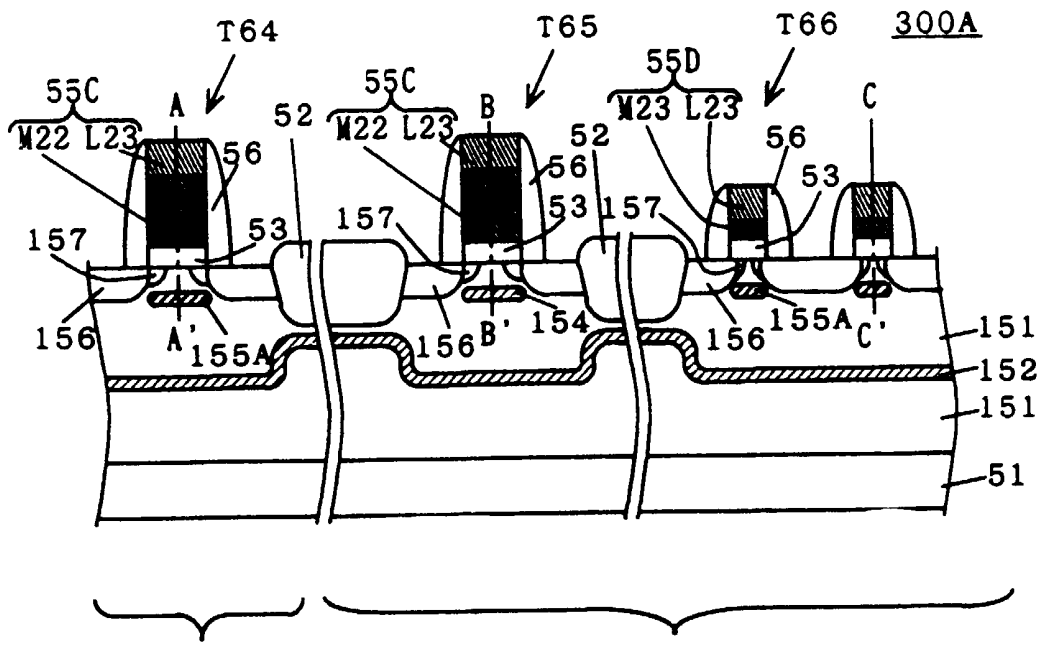


FIG. 40

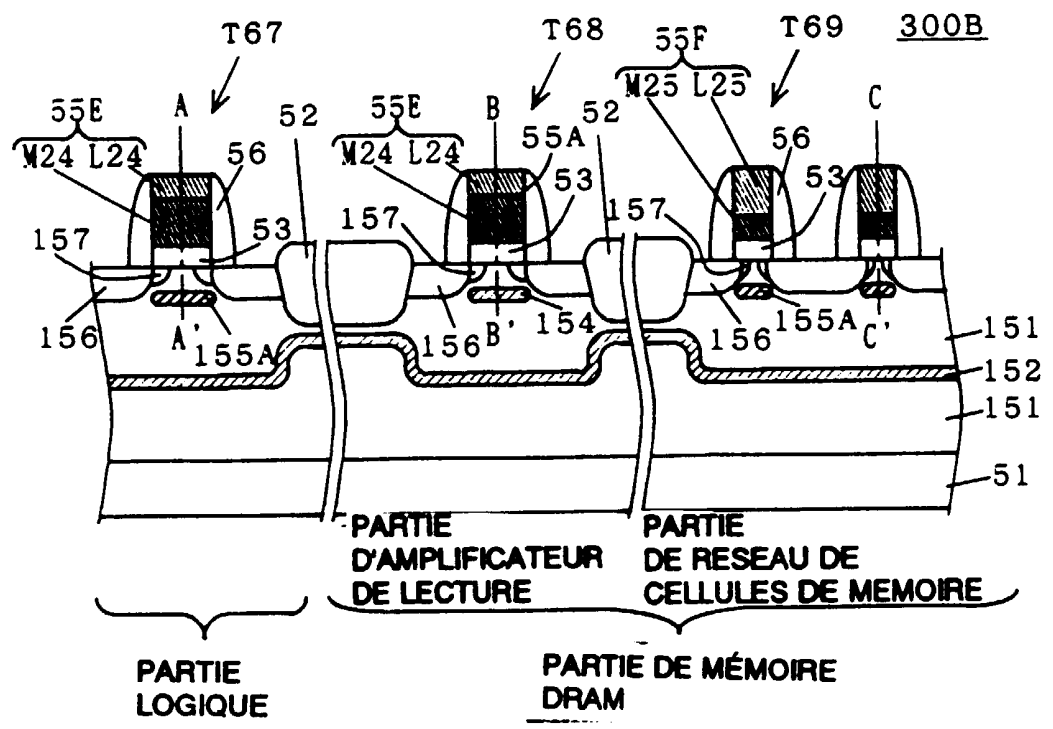


FIG. 41

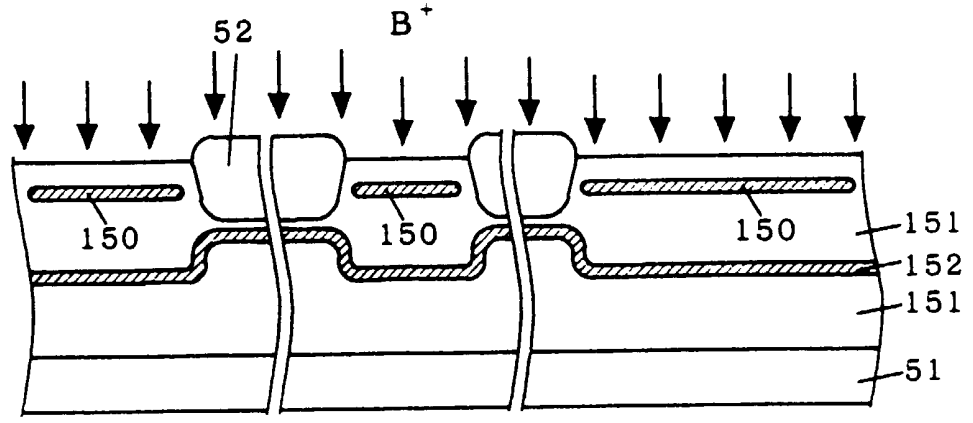


FIG. 42

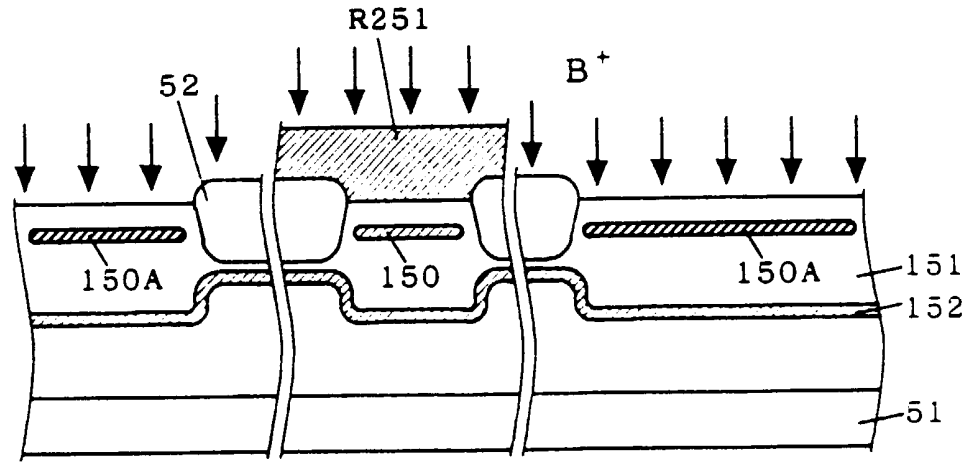


FIG. 43

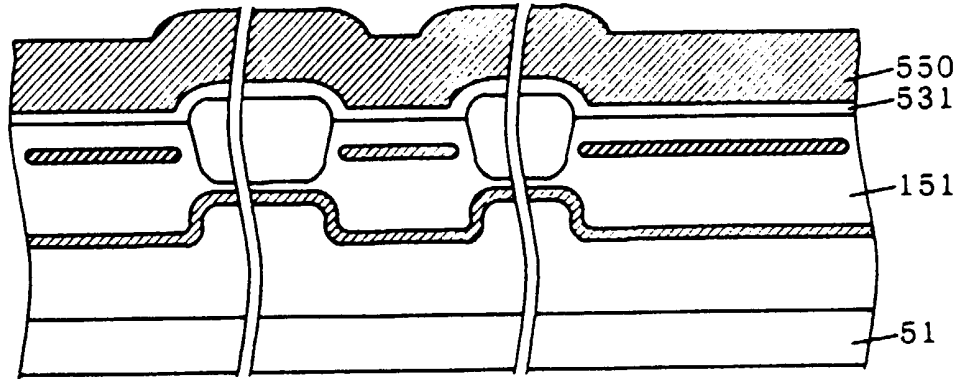
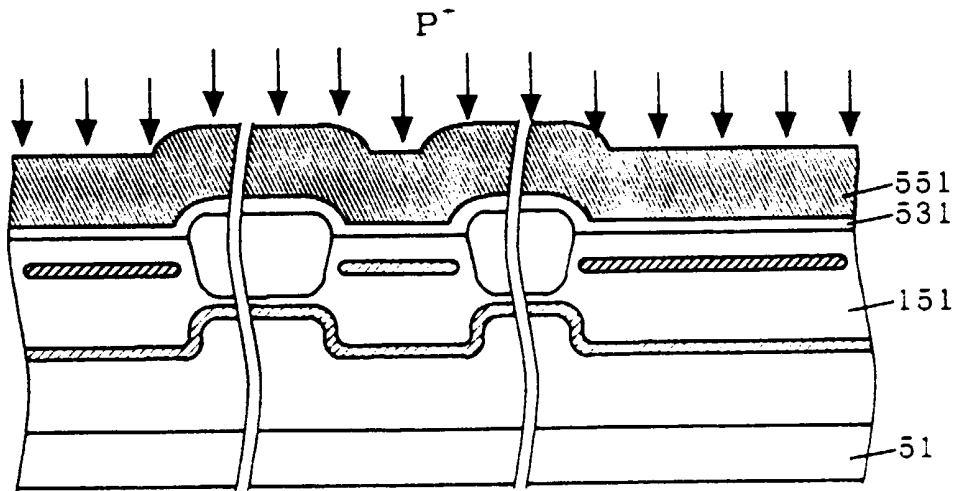
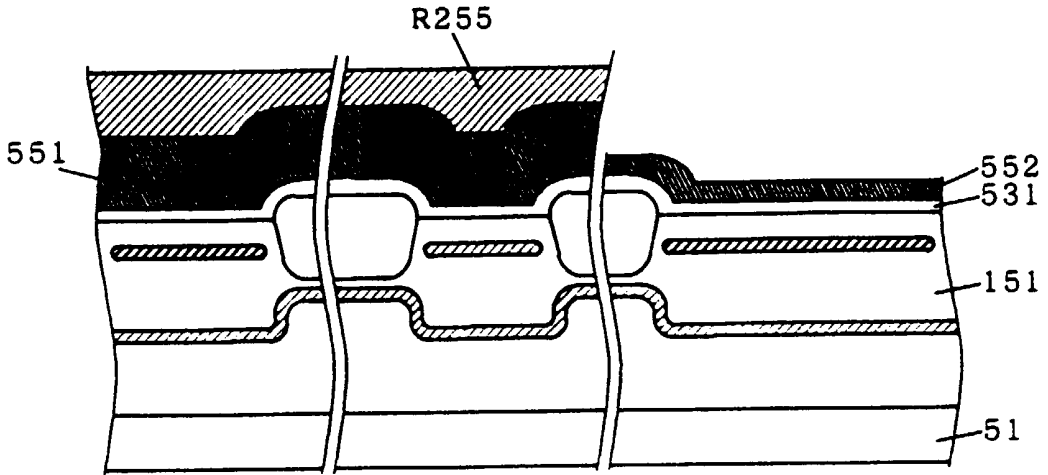


FIG. 44



F I G . 4 5



F I G . 4 6

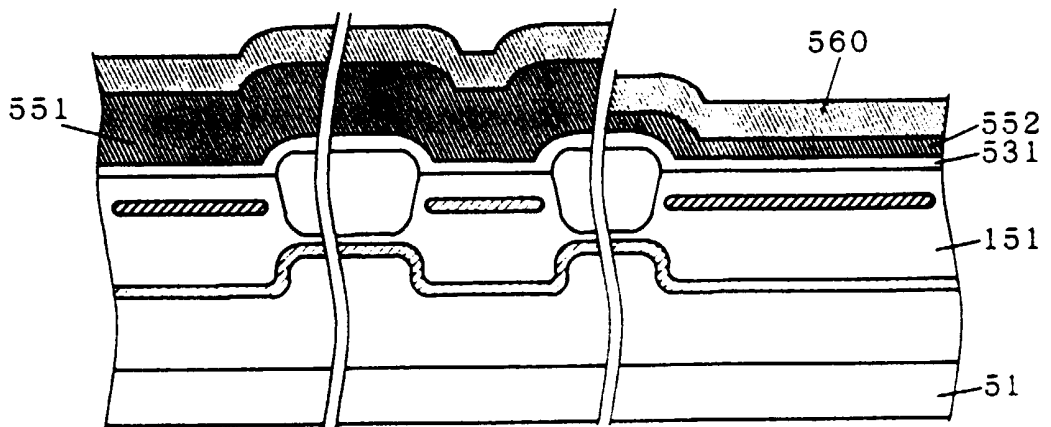


FIG. 47

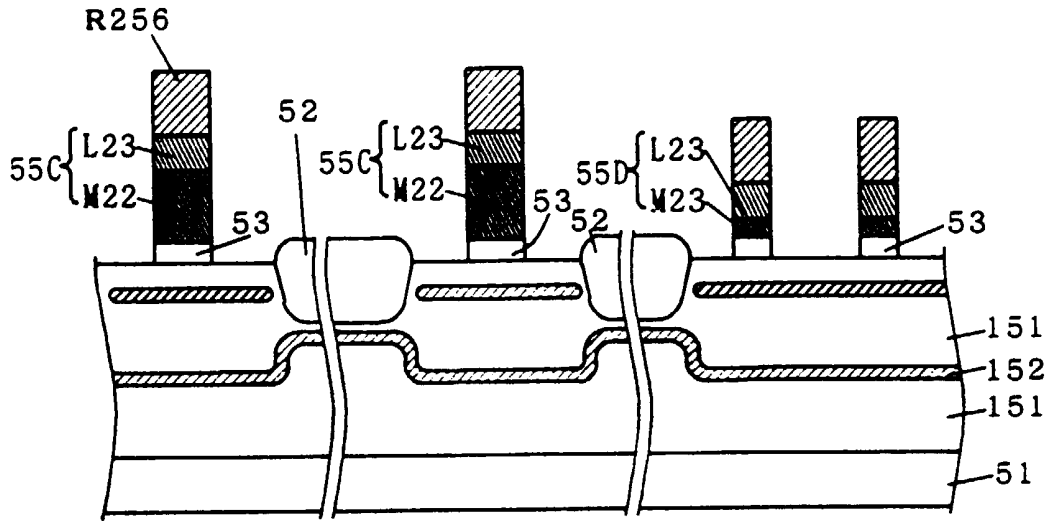


FIG. 48

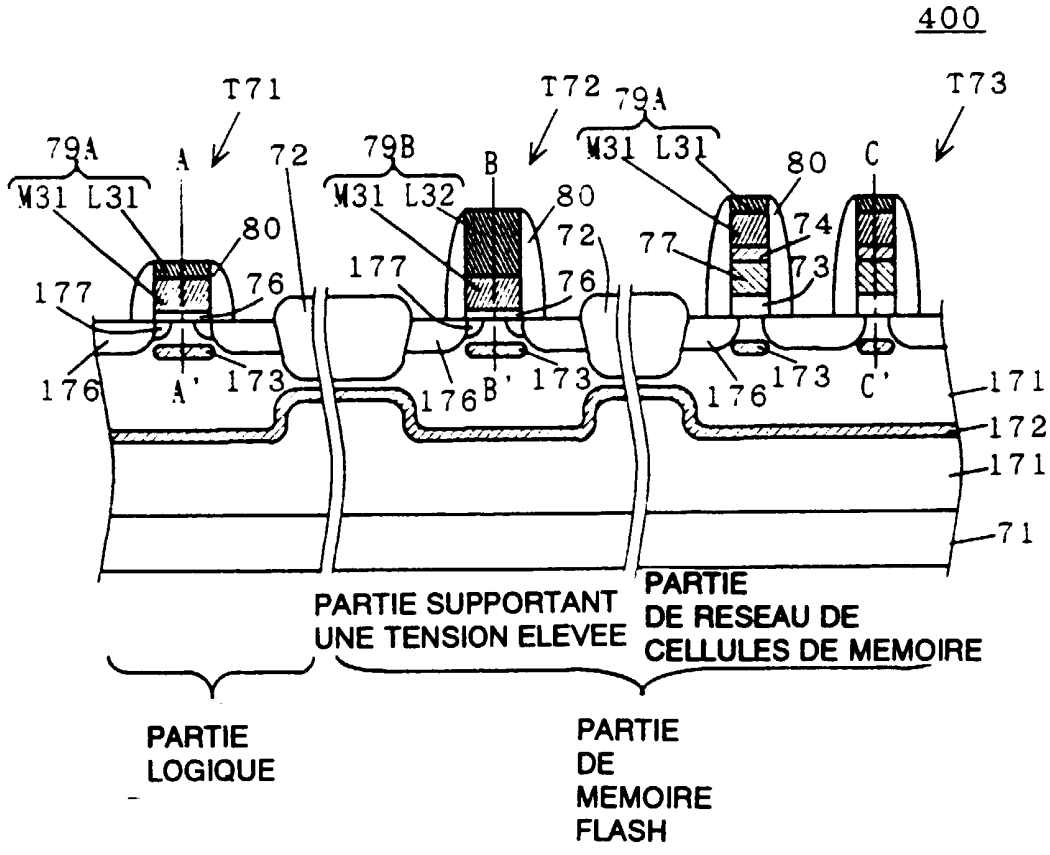


FIG. 49

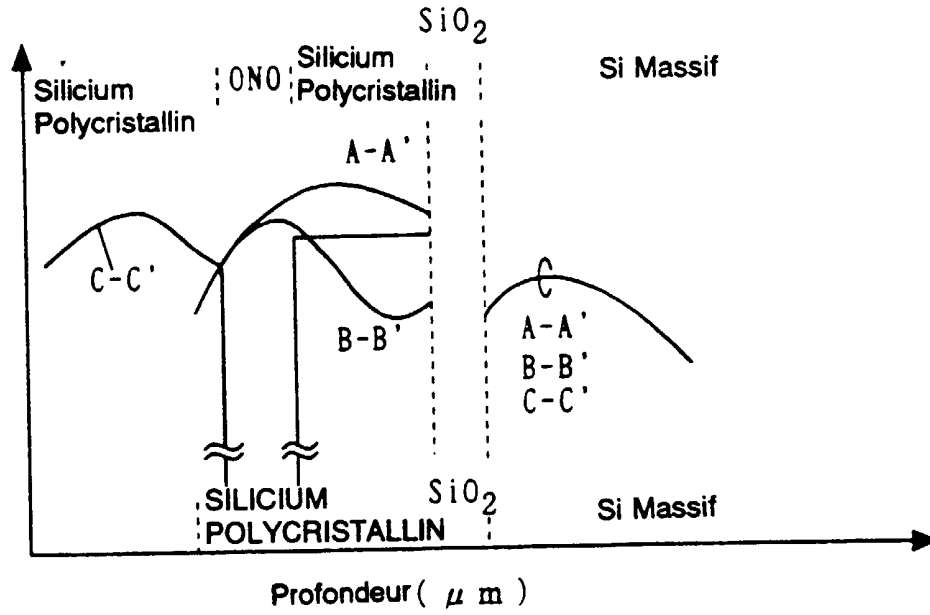


FIG. 50

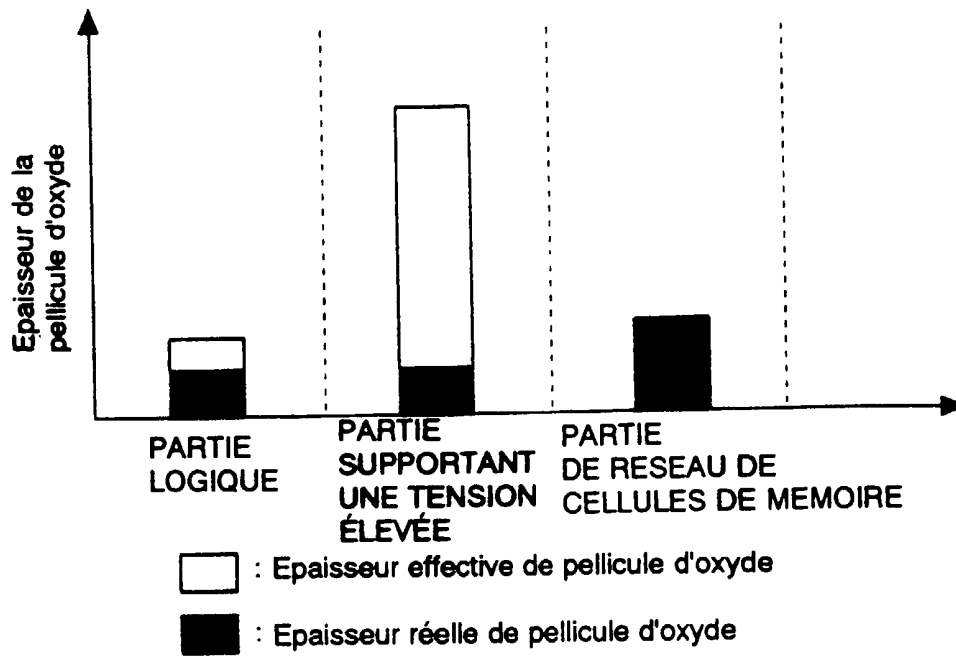


FIG. 51

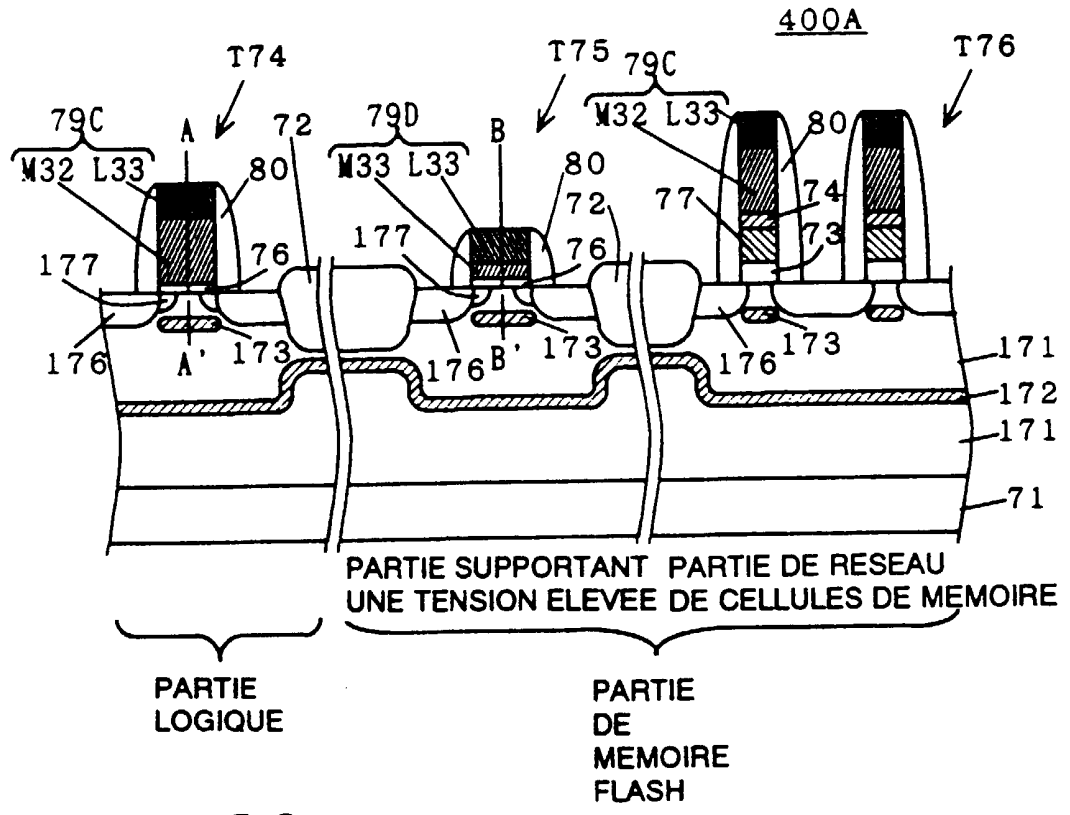


FIG. 52

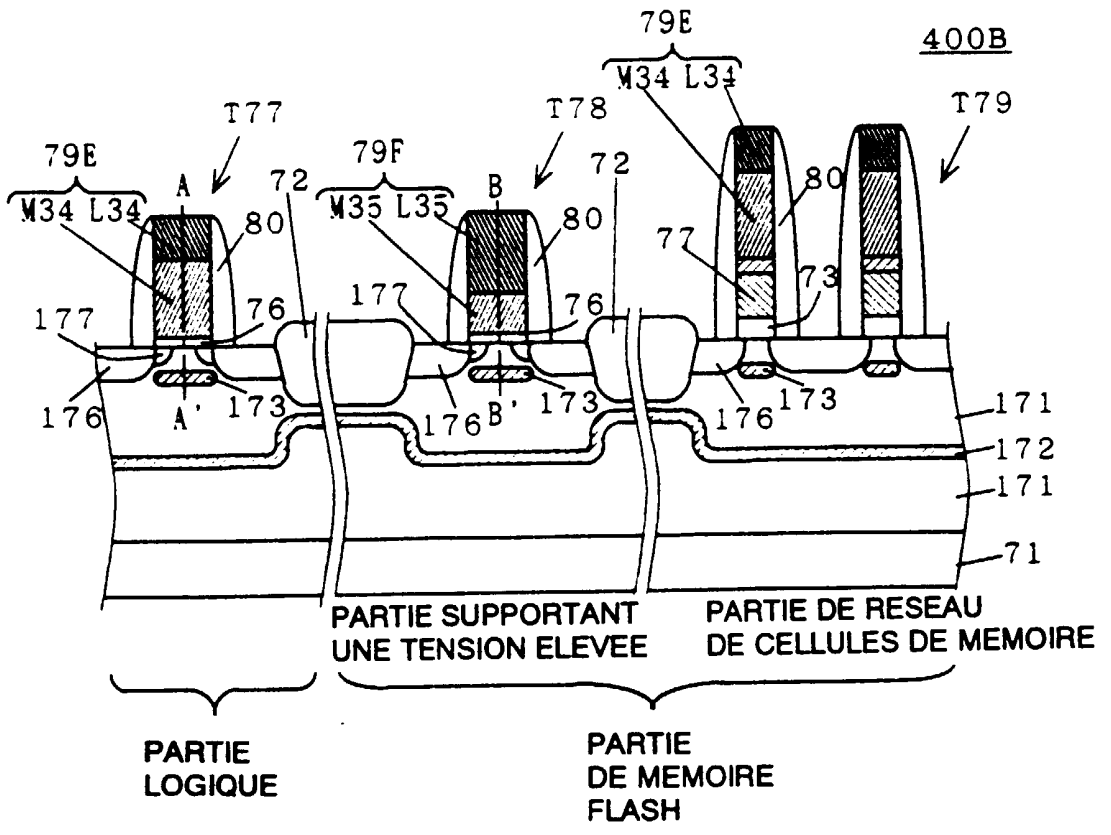


FIG. 53

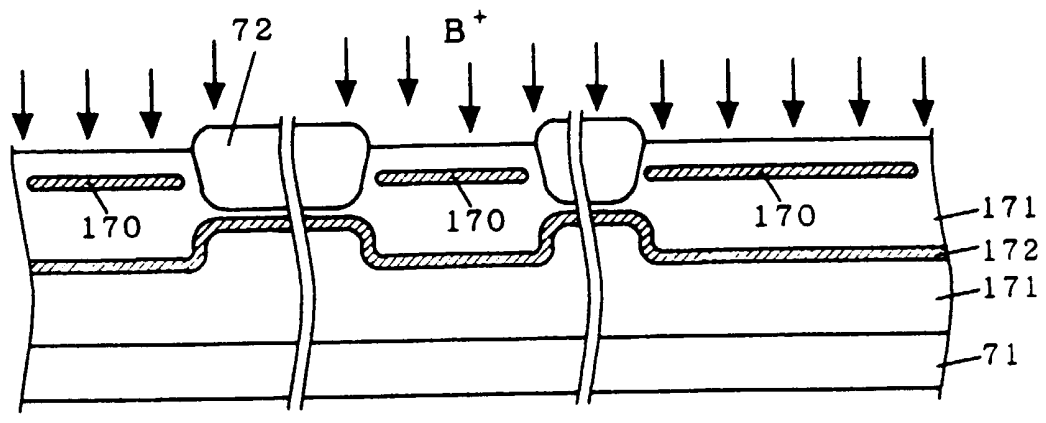


FIG. 54

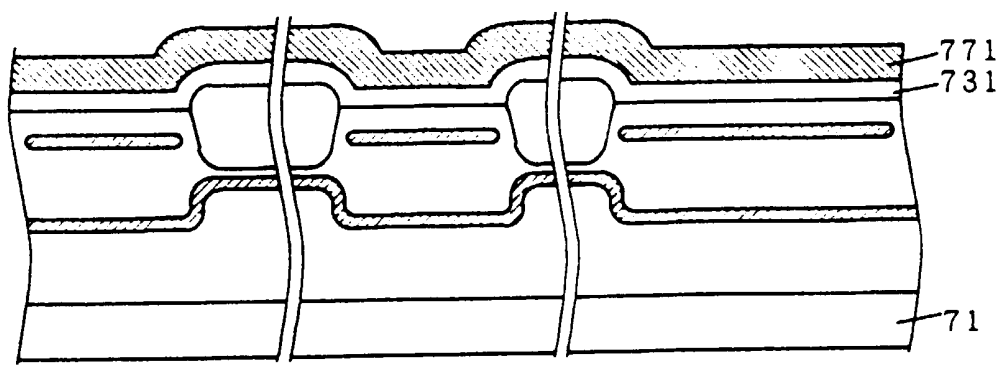


FIG. 55

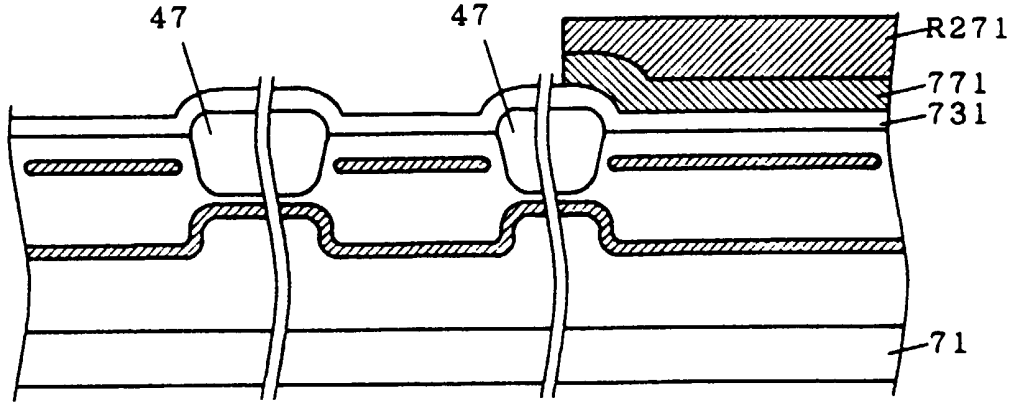
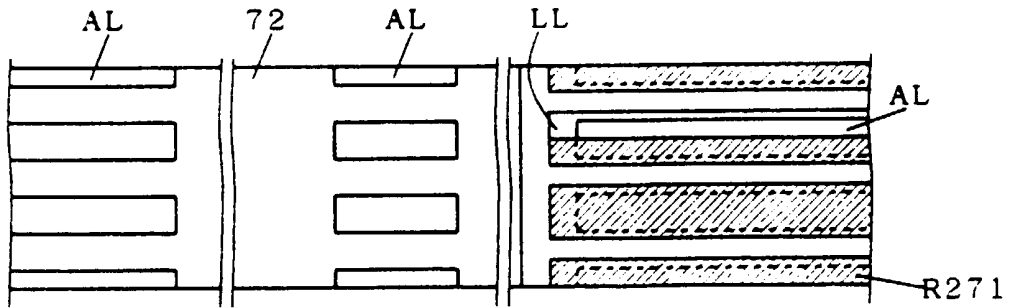


FIG. 56



29/63

FIG. 57

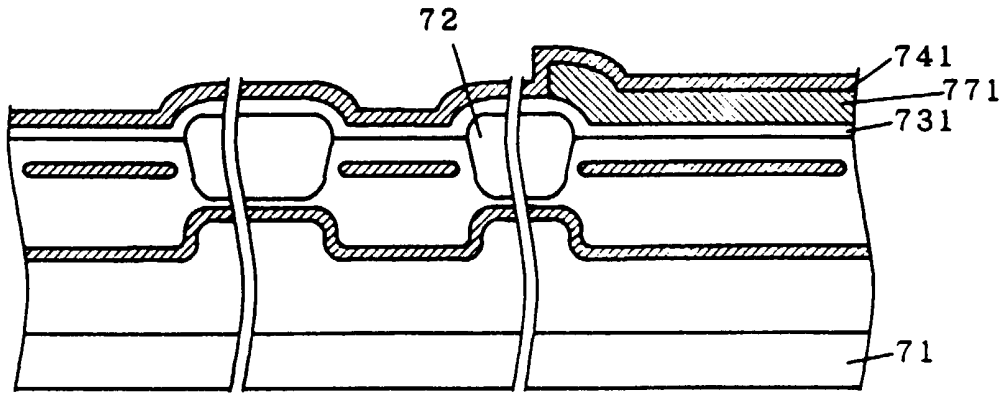


FIG. 58

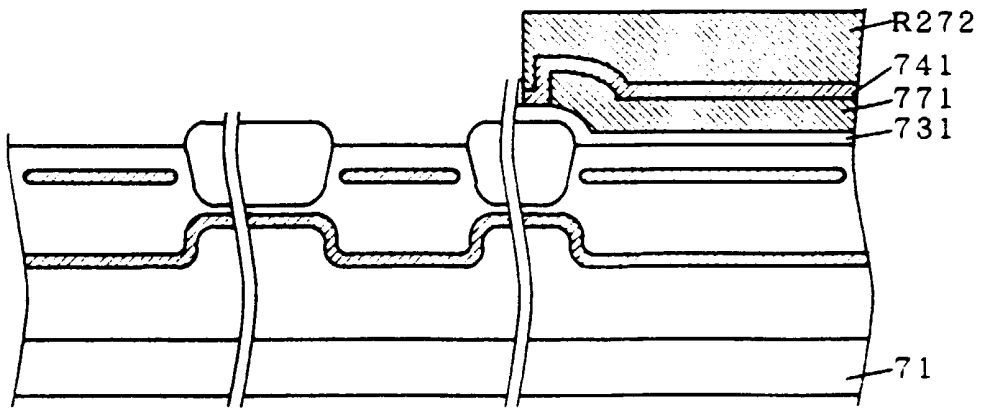


FIG. 59

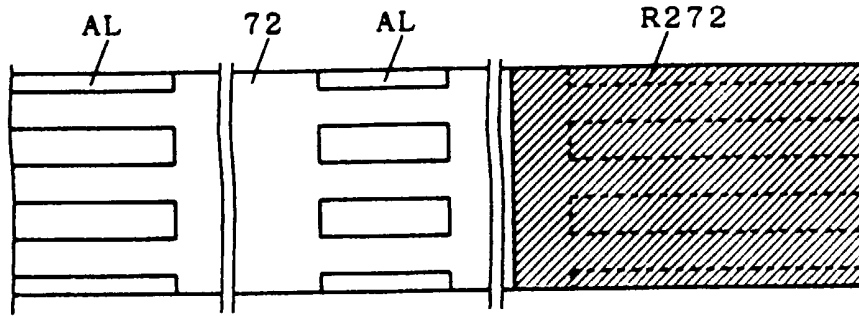


FIG. 60

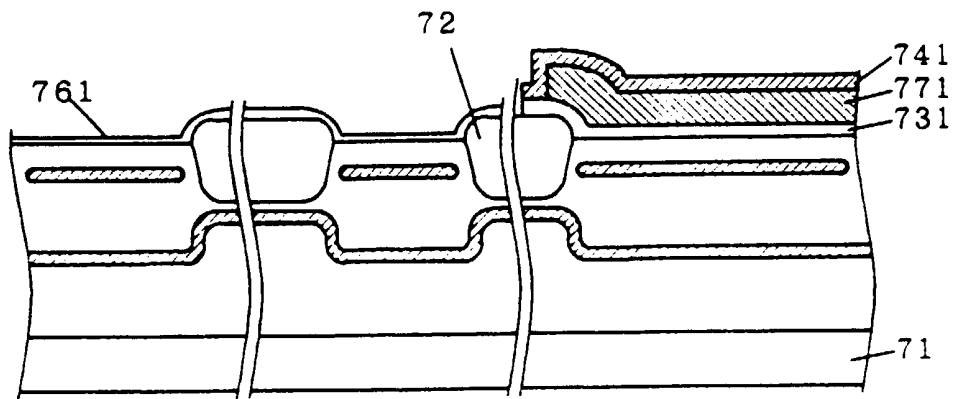


FIG. 61

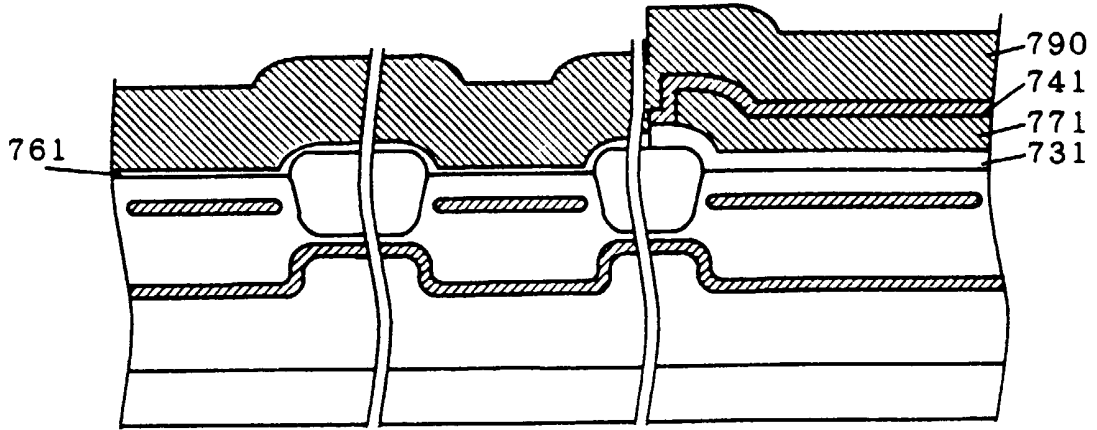


FIG. 62

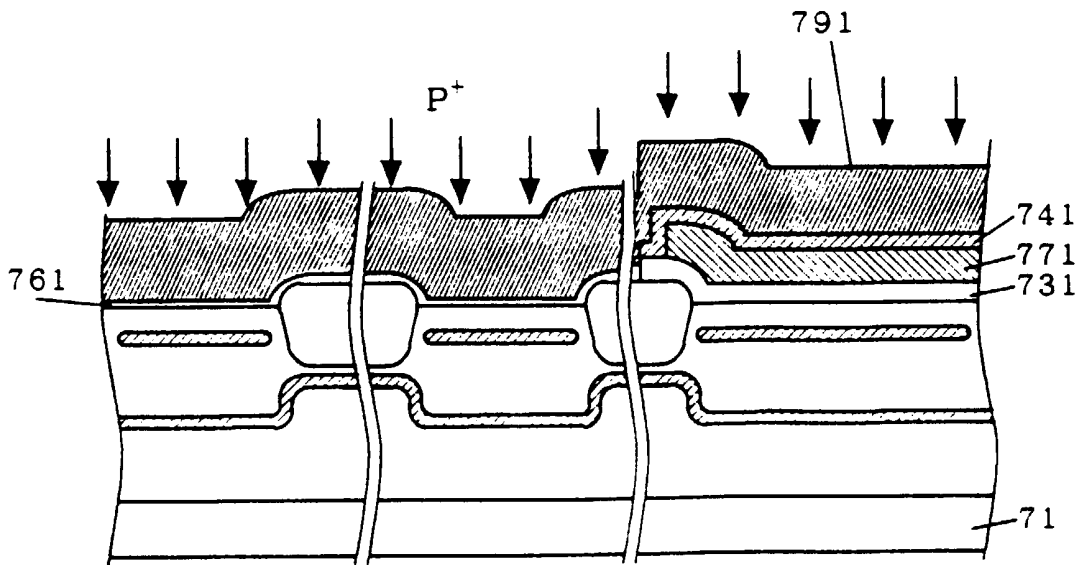


FIG. 63

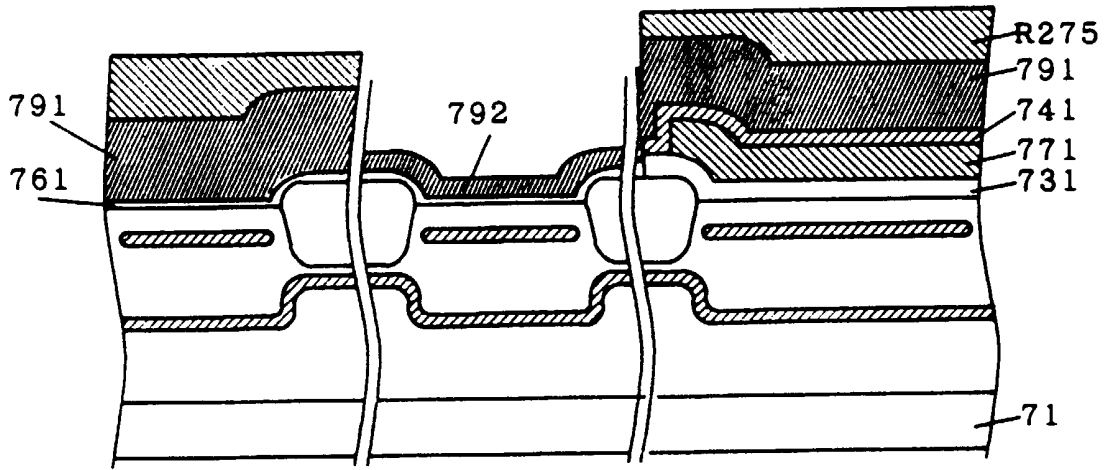


FIG. 64

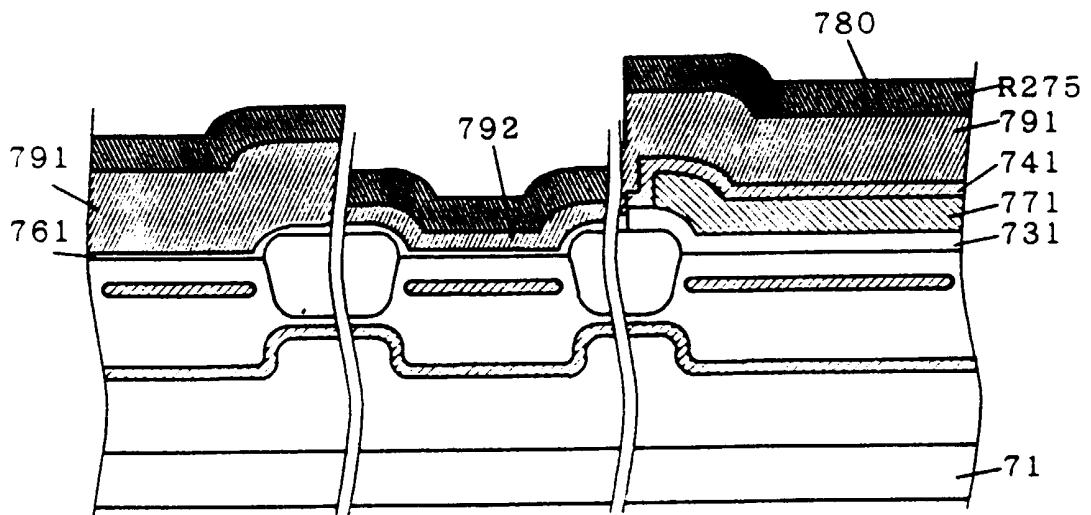


FIG. 65

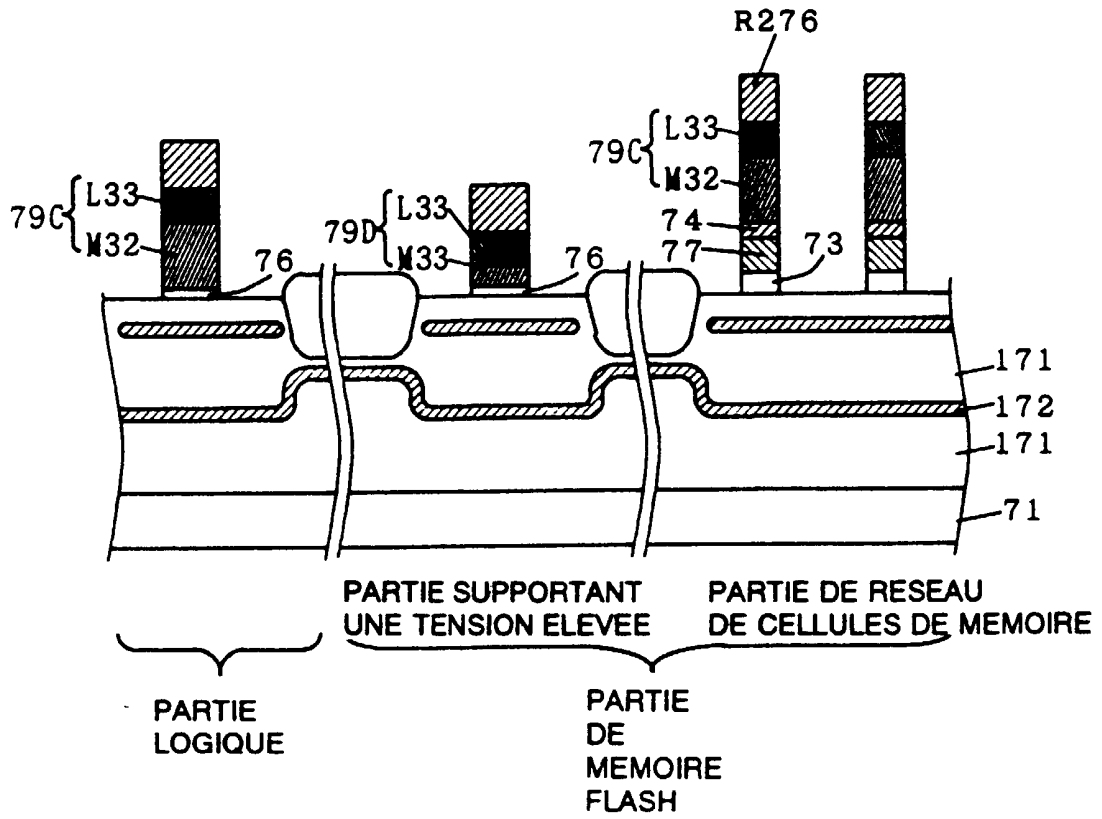


FIG. 66

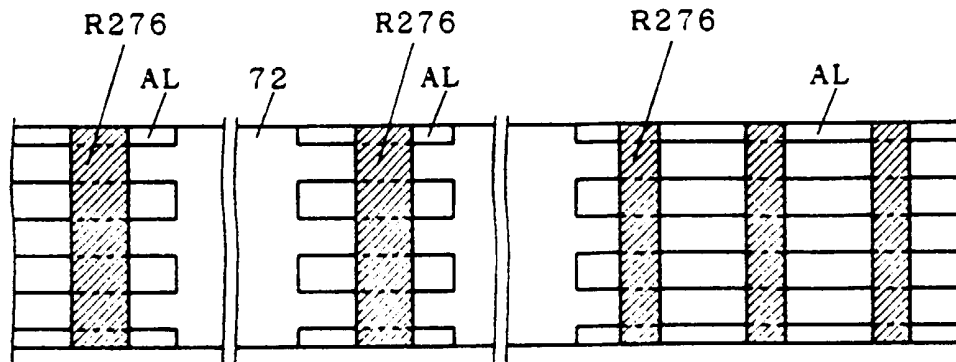


FIG. 67

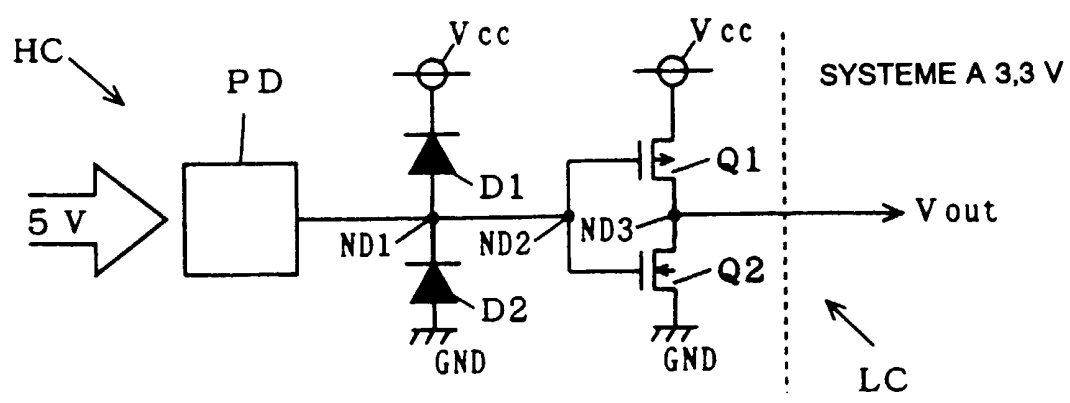


FIG. 68

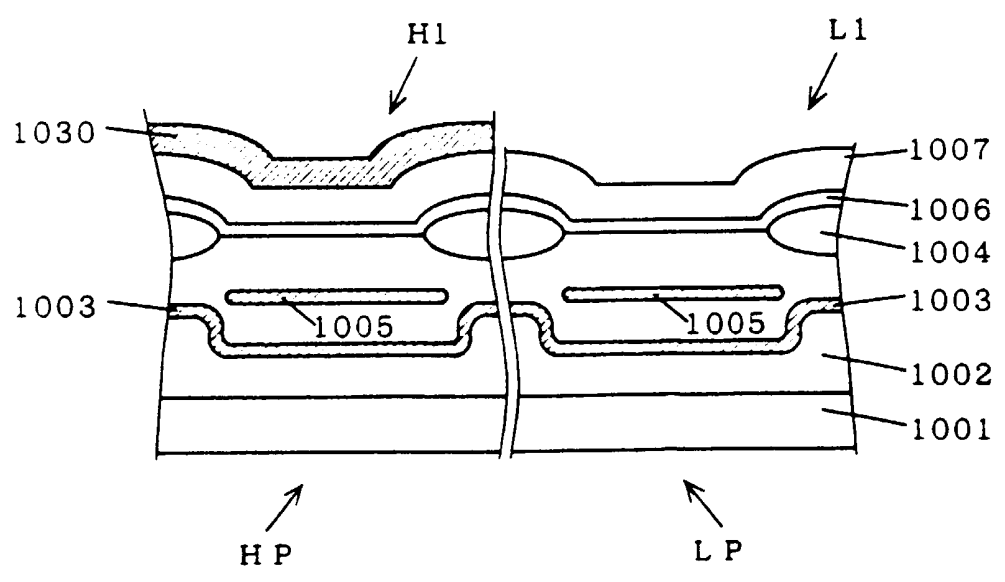


FIG. 69

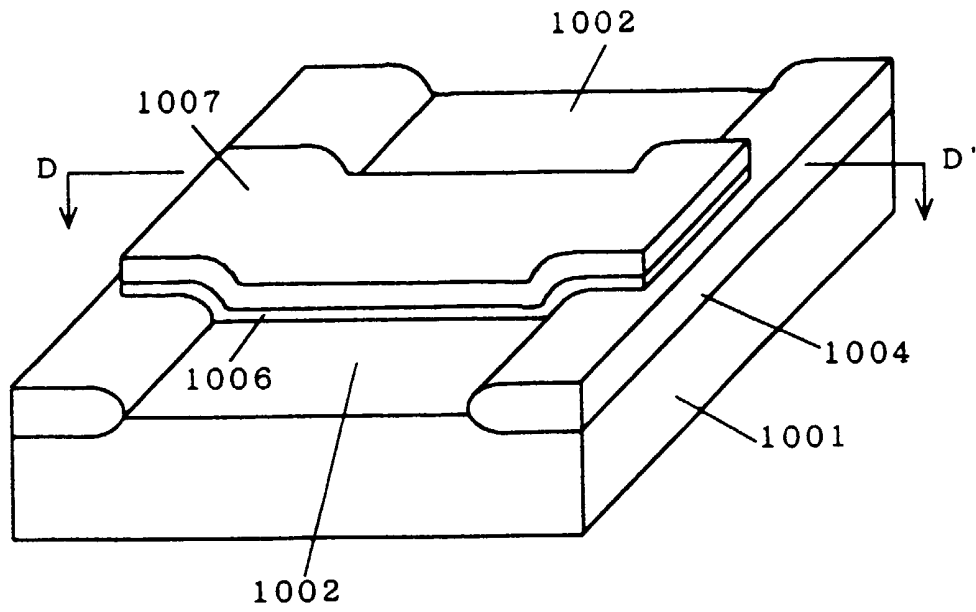


FIG. 70

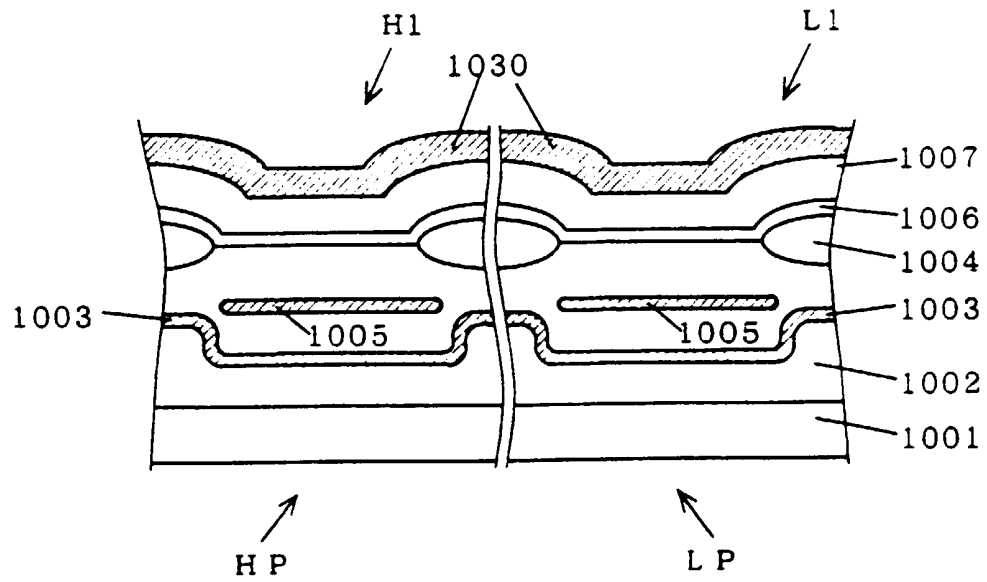


FIG. 71

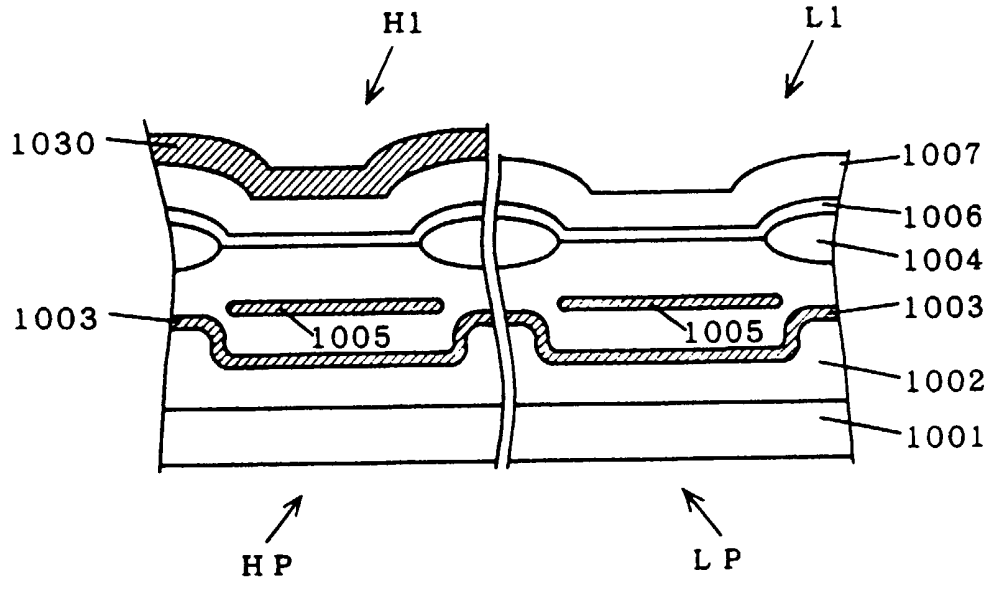


FIG. 72

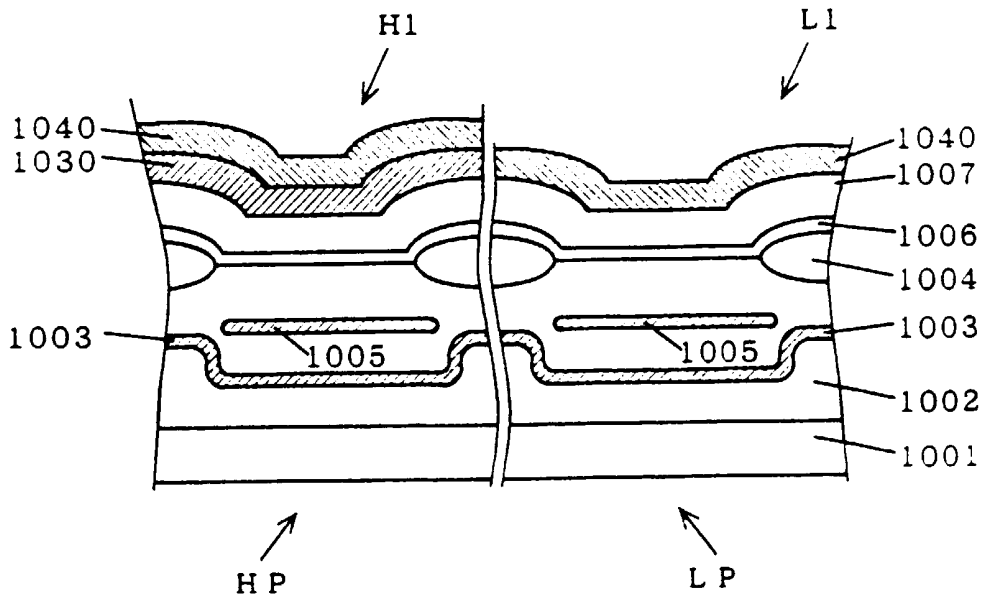


FIG. 73

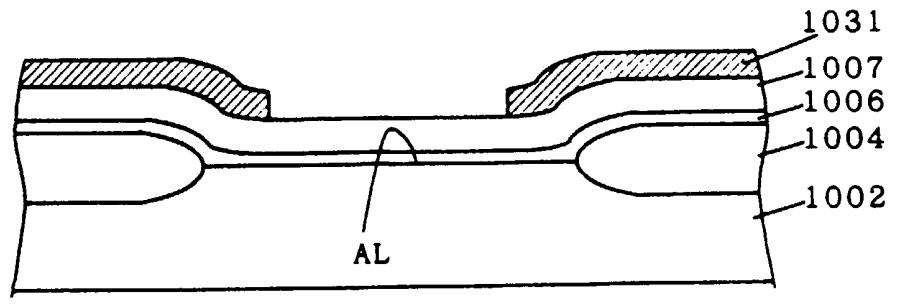


FIG. 74

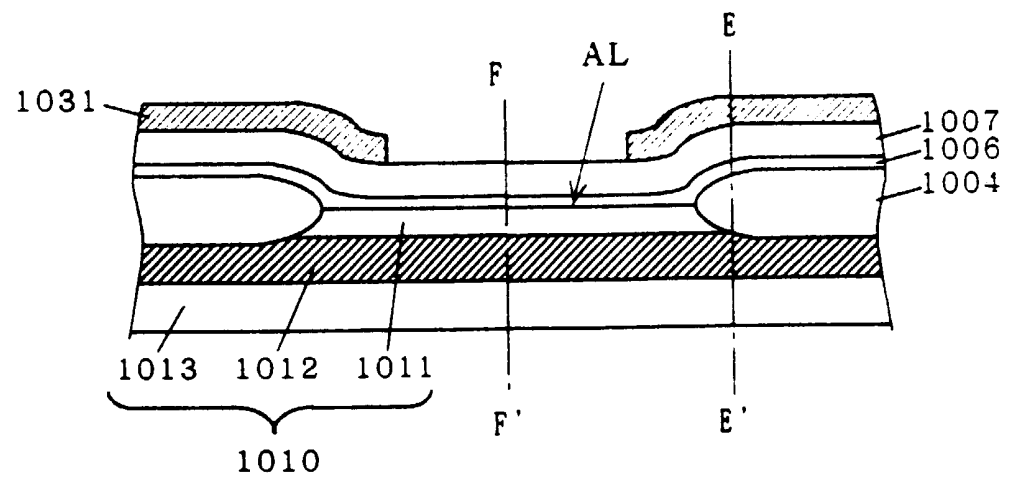


FIG. 75

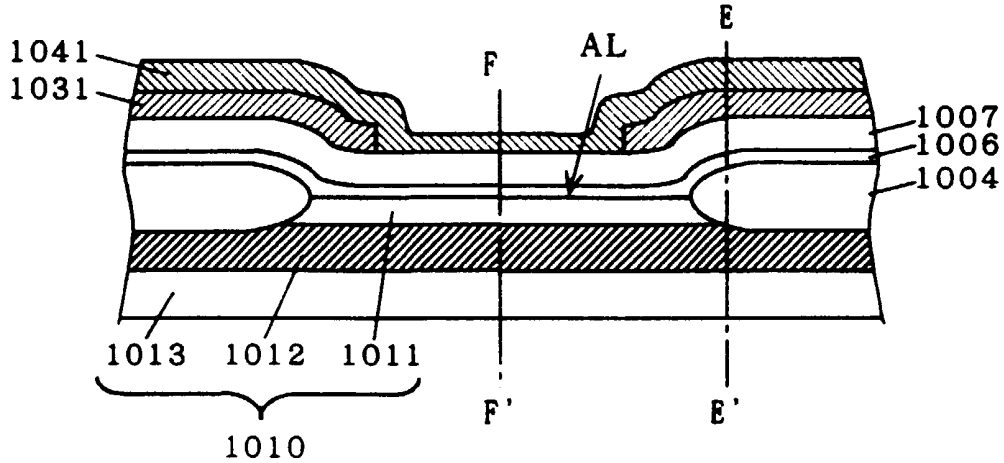


FIG. 76

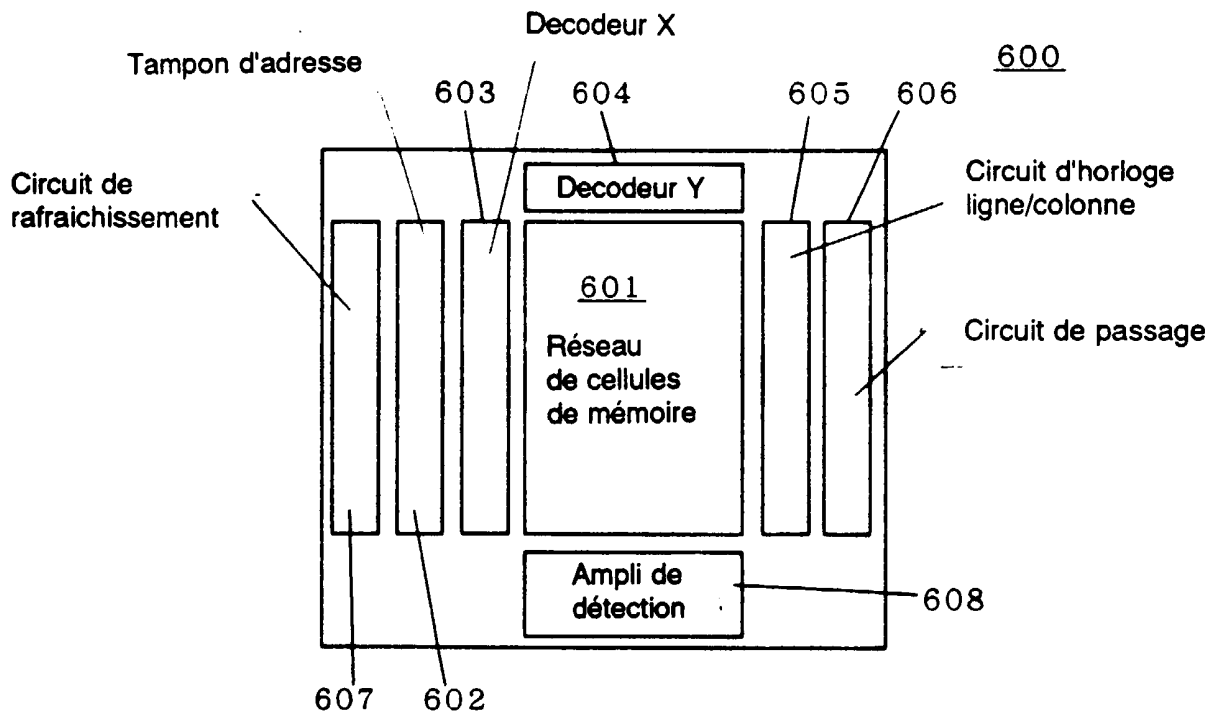
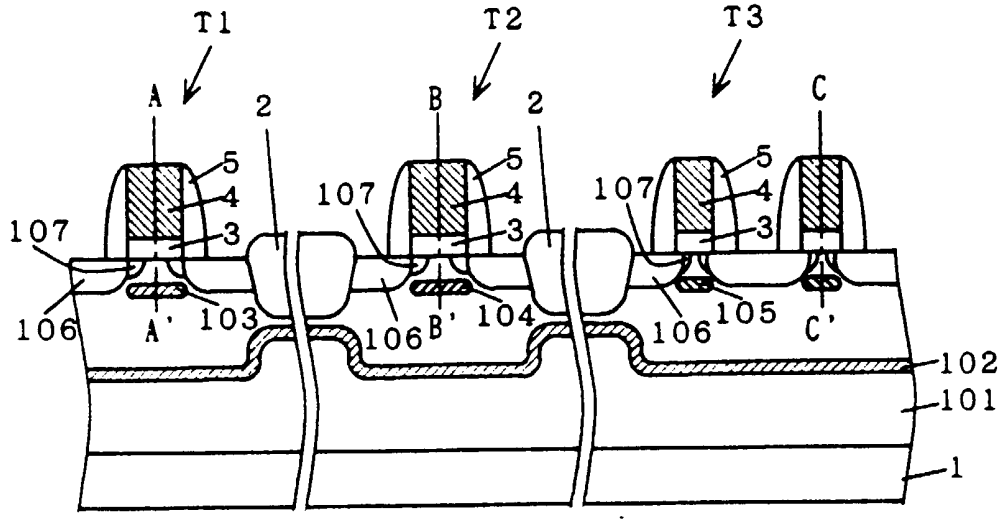


FIG. 77



PARTIE D'AMPLIFICATEUR DE LECTURE PARTIE DE CIRCUITS DE PÉRIPHÉRIQUES PARTIE DE RESEAU DE CELLULES DE MÉMOIRE

FIG. 78

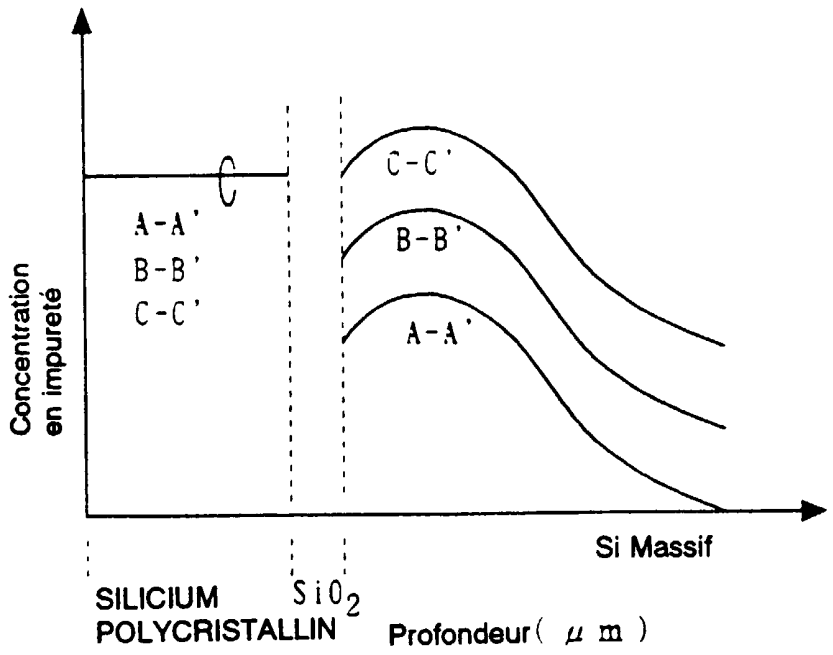


FIG. 79

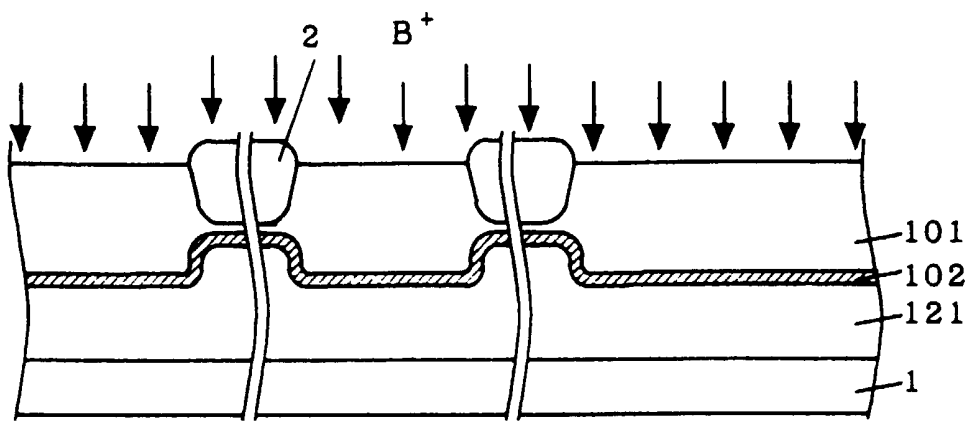


FIG. 80

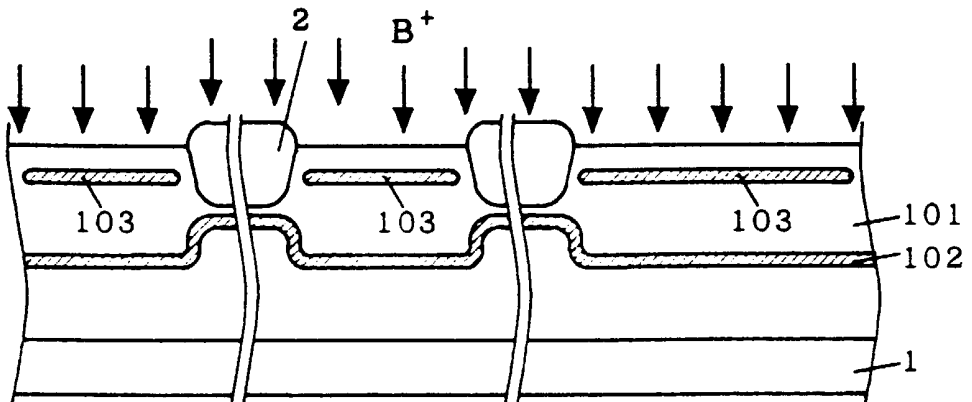


FIG. 81

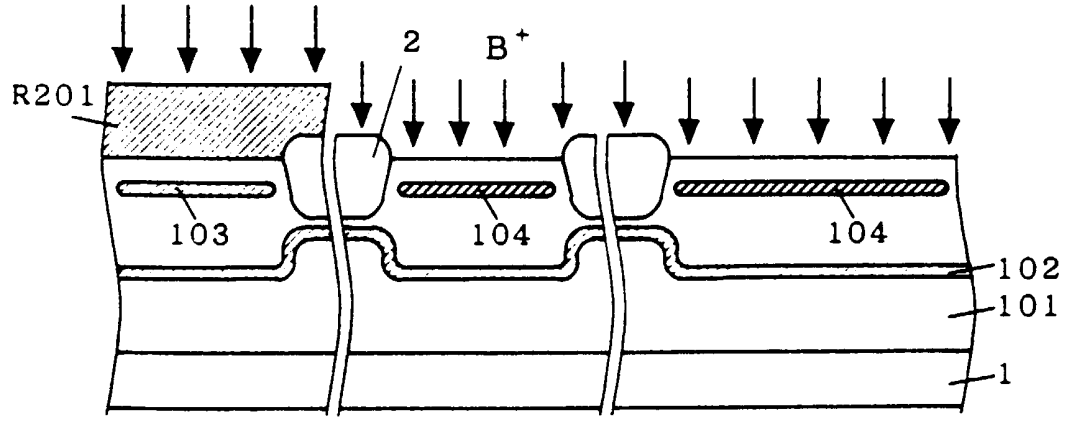


FIG. 82

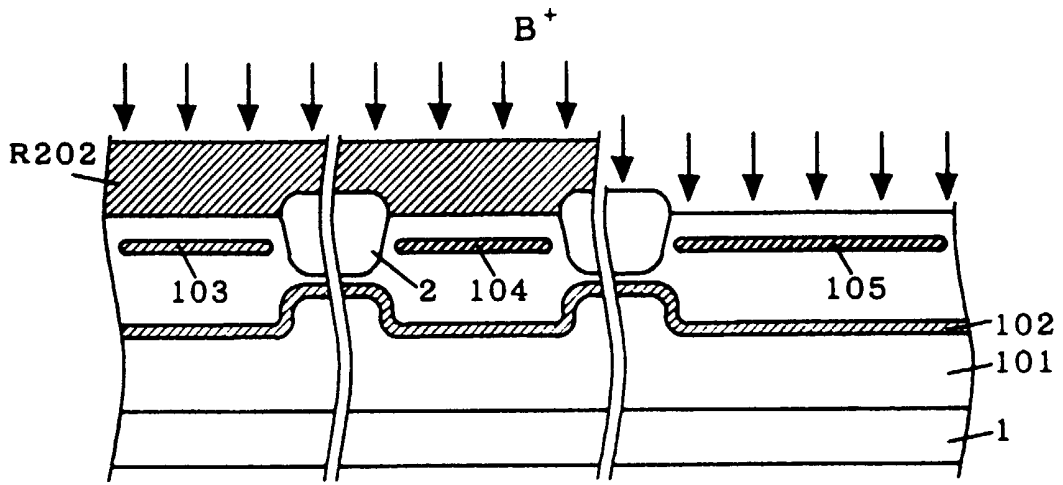


FIG. 83

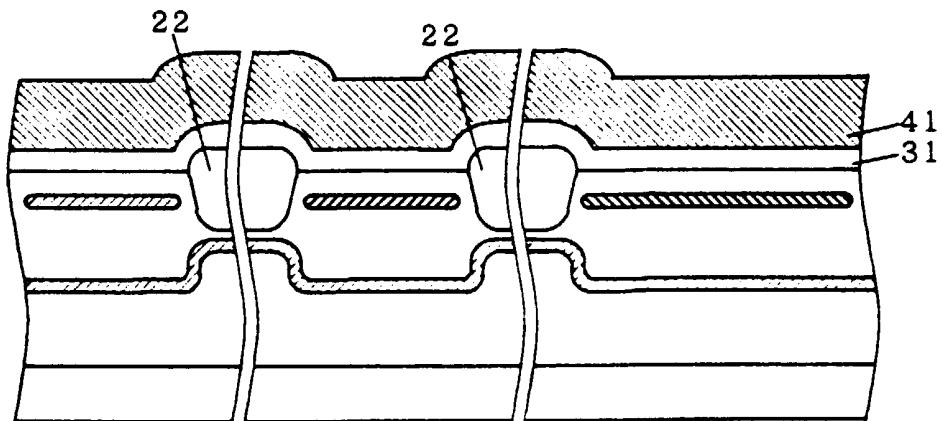


FIG. 84

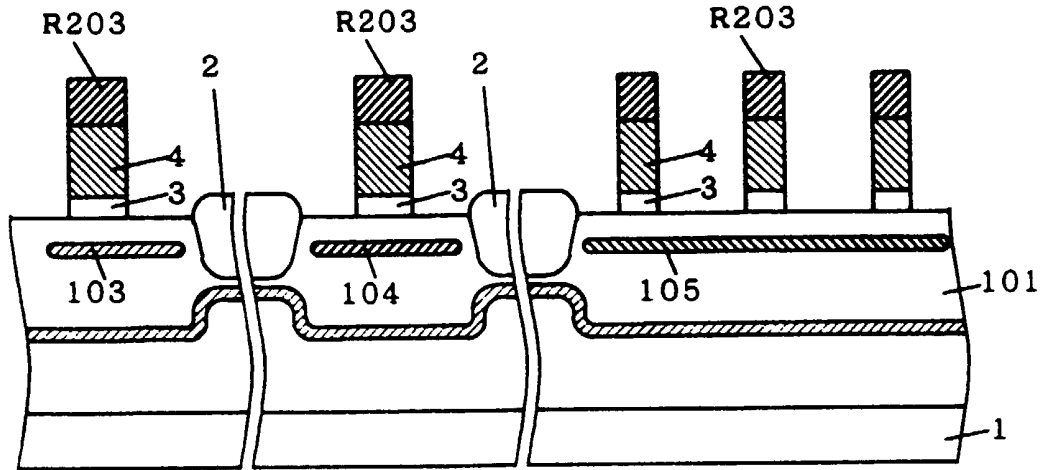


FIG. 85

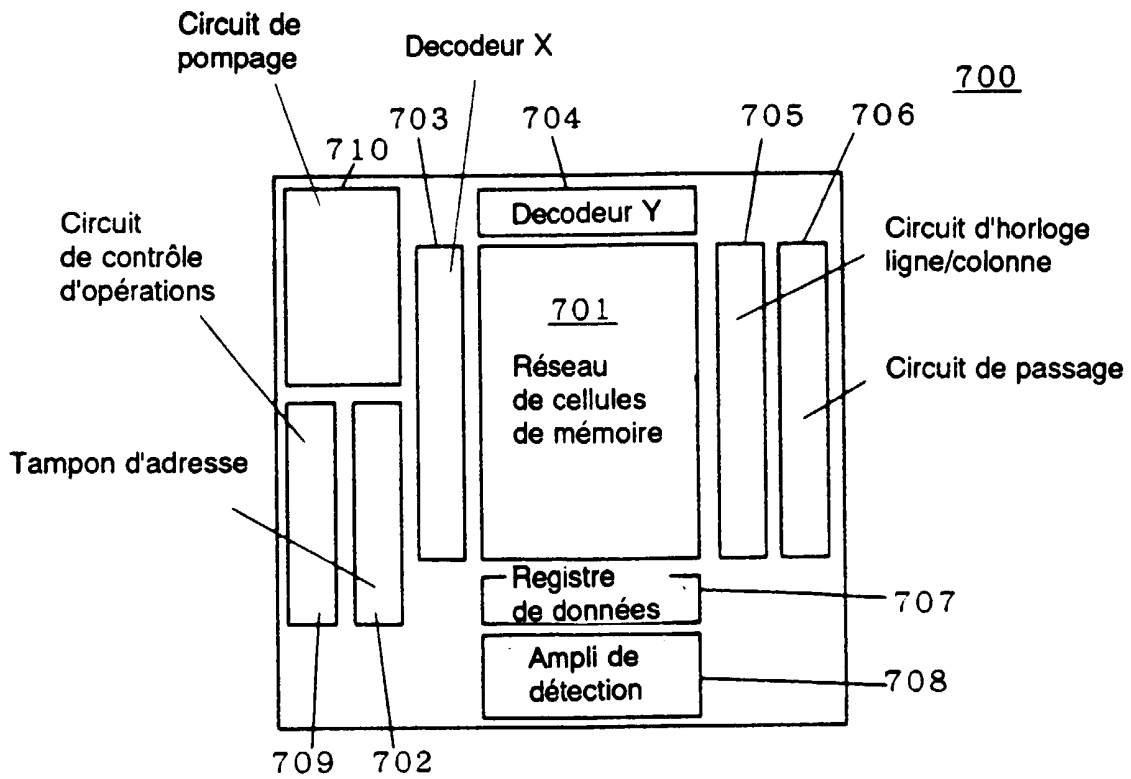
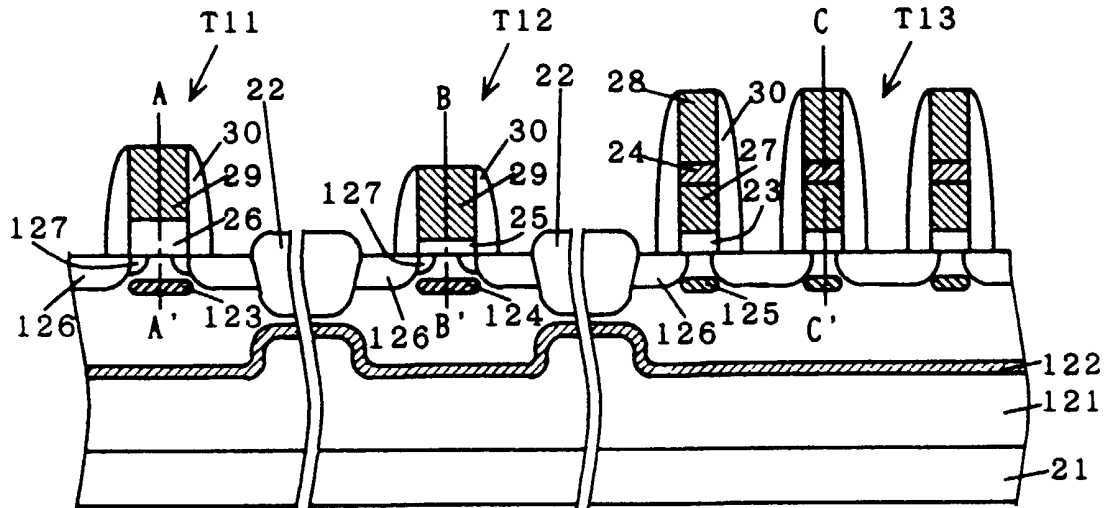


FIG. 86

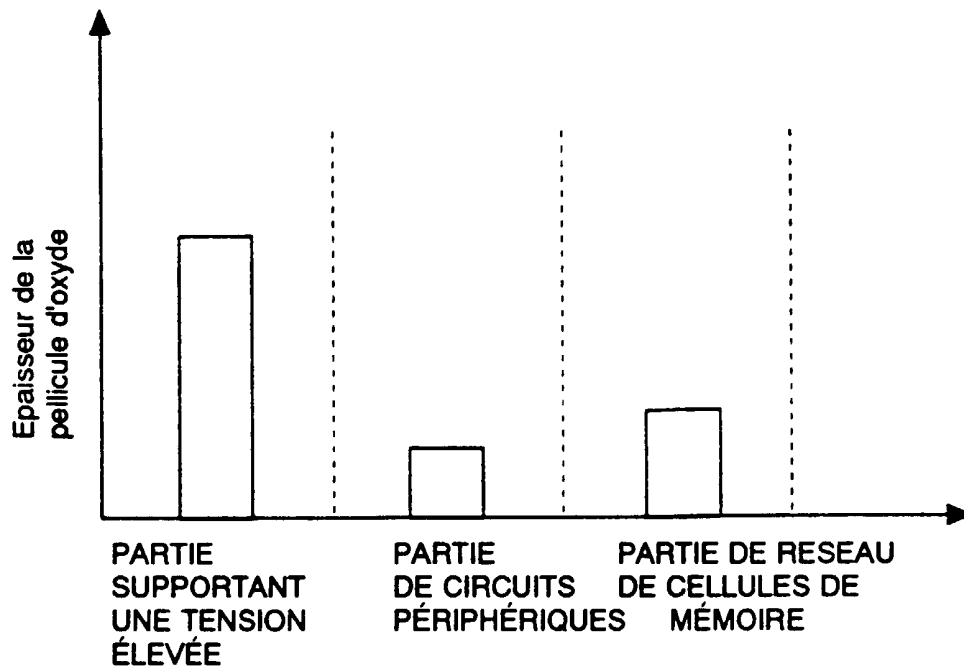


PARTIE
SUPPORTANT
UNE TENSION
ÉLEVÉE

PARTIE
DE CIRCUITS
DE PÉRIPHÉRIQUES

PARTIE DE RESEAU
DE CELLULES DE
MÉMOIRE

FIG. 87



PARTIE
SUPPORTANT
UNE TENSION
ÉLEVÉE

PARTIE
DE CIRCUITS
DE PÉRIPHÉRIQUES

PARTIE DE RESEAU
DE CELLULES DE
MÉMOIRE

FIG. 88

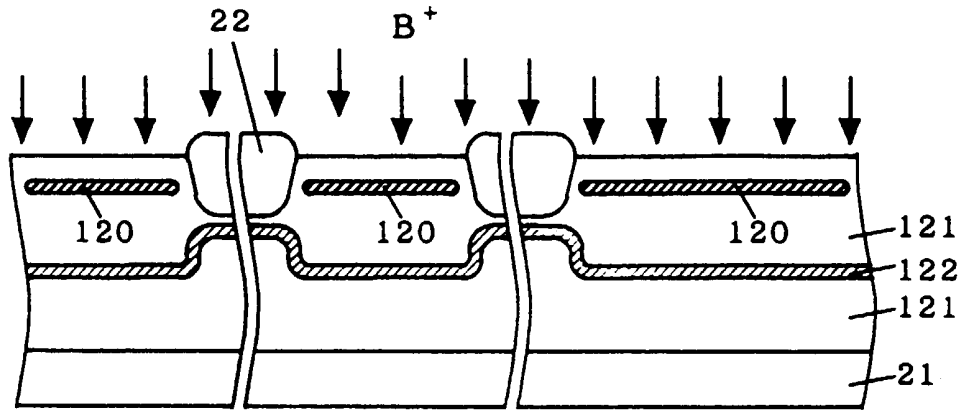


FIG. 89

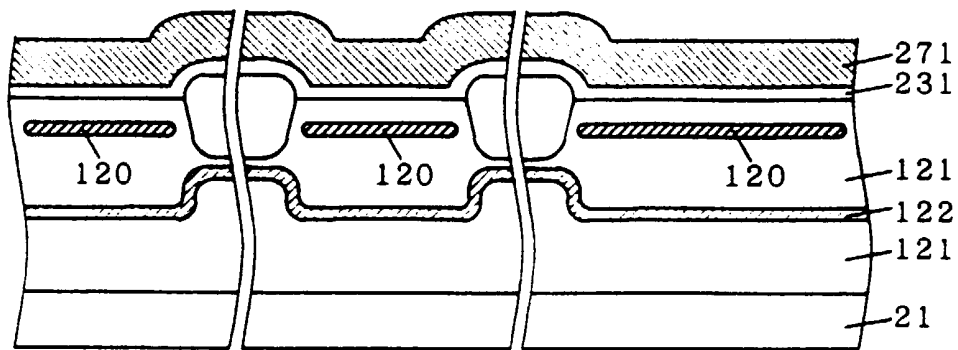


FIG. 90

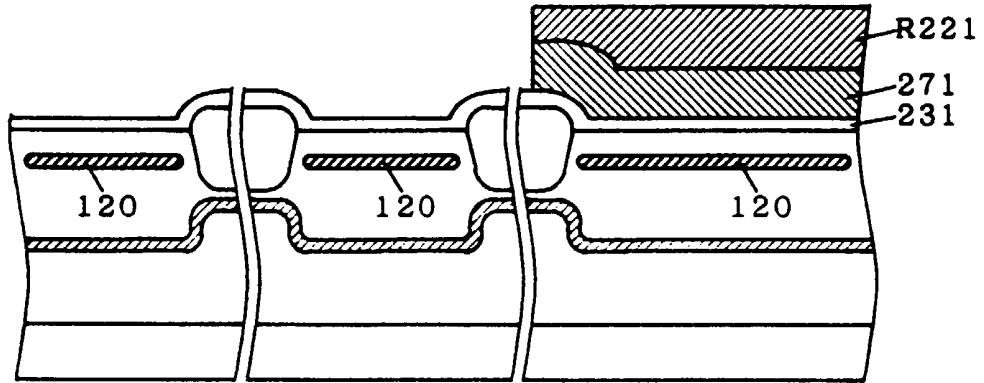


FIG. 91

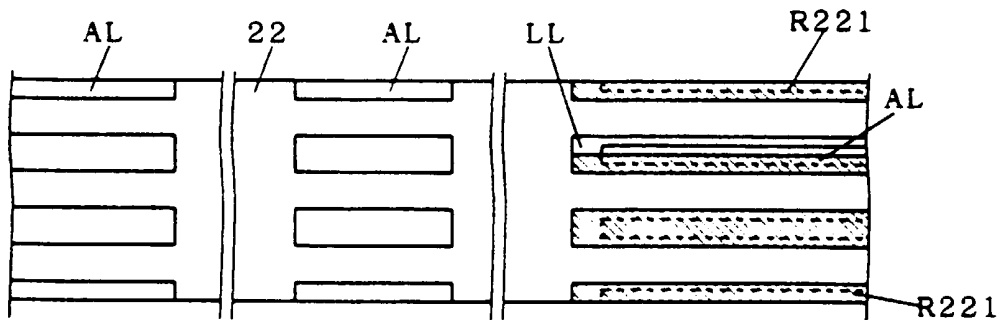


FIG. 92

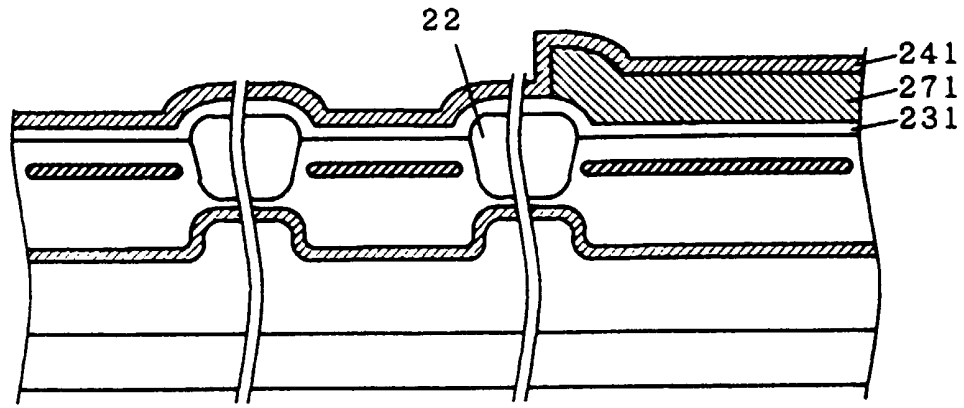


FIG. 93

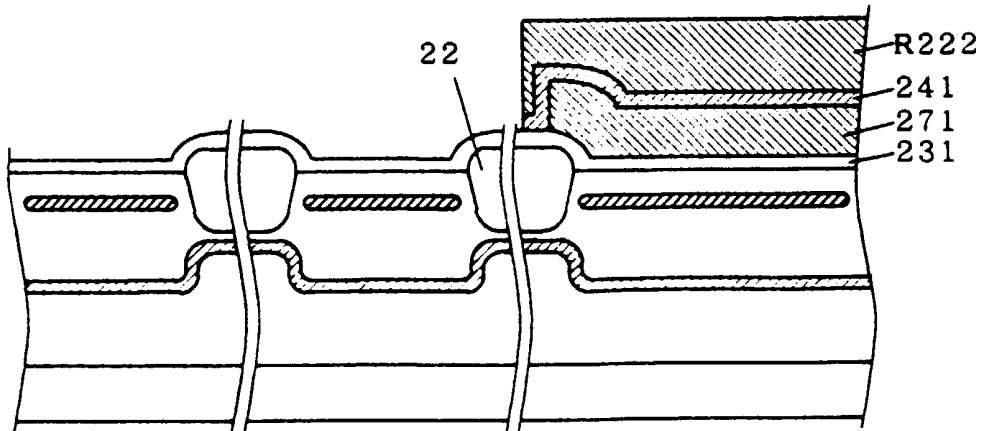


FIG. 94

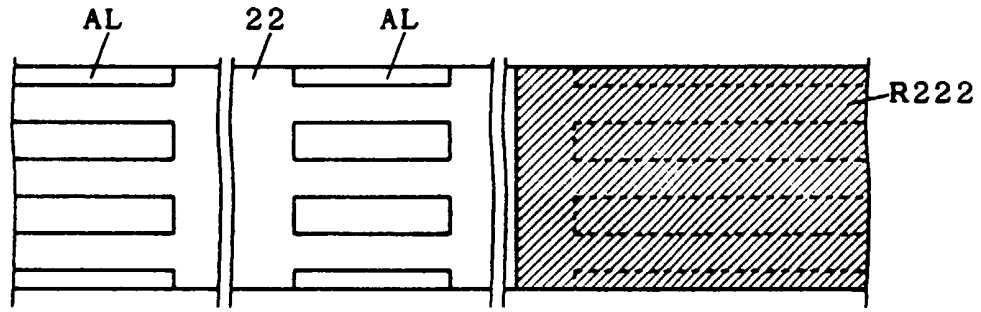


FIG. 95

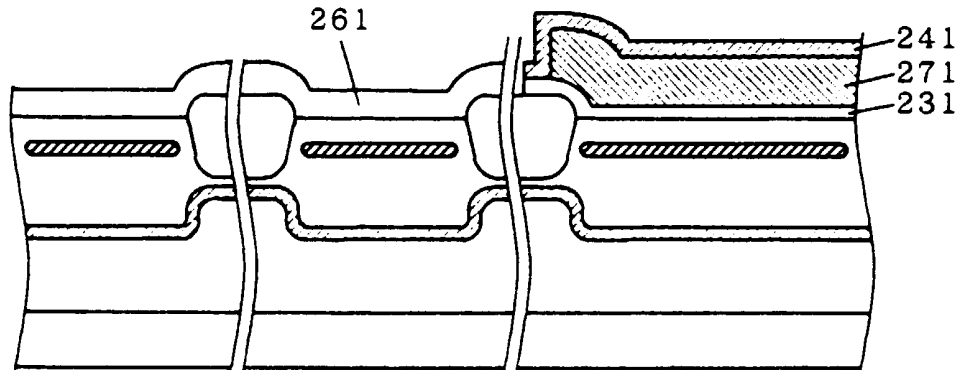


FIG. 96

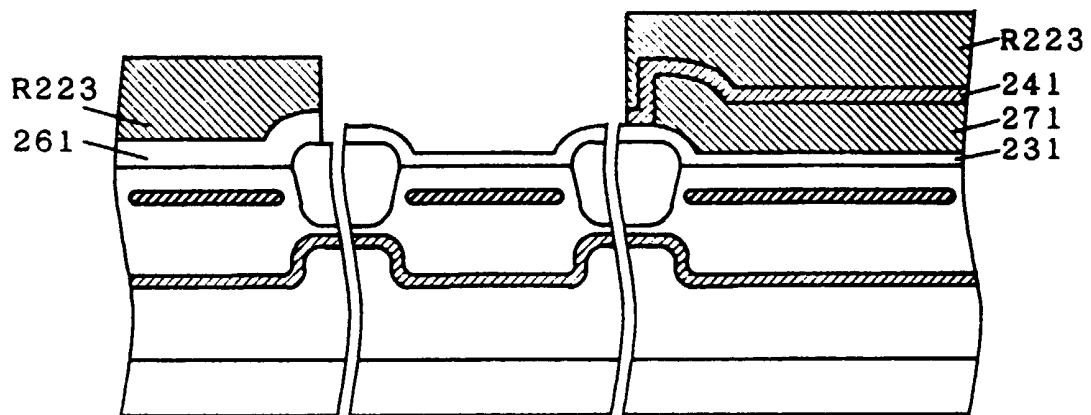


FIG. 97

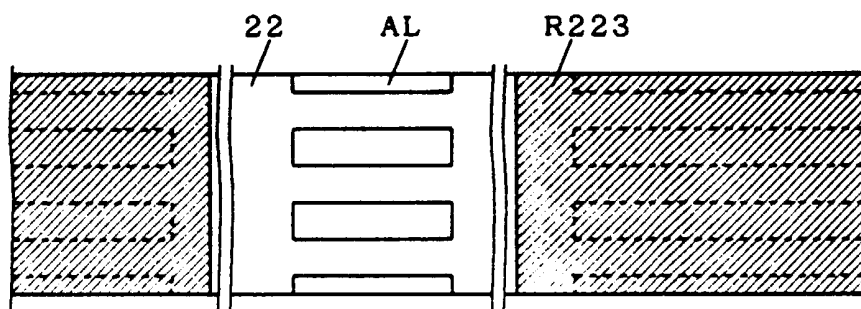


FIG. 98

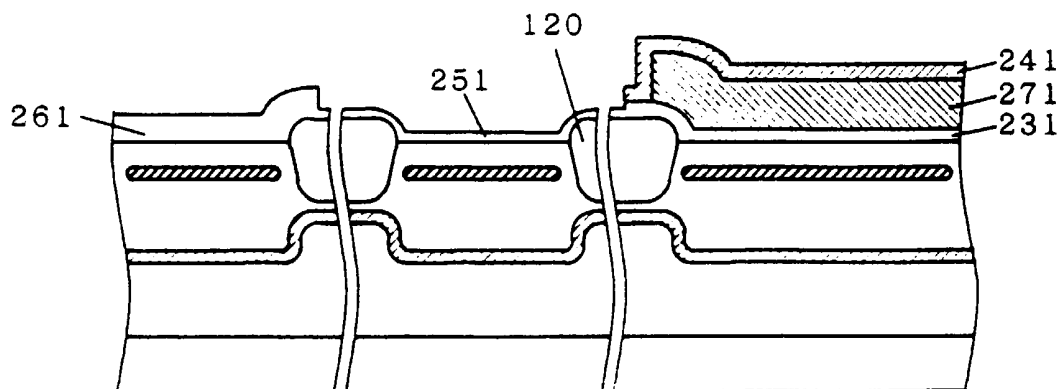


FIG. 99

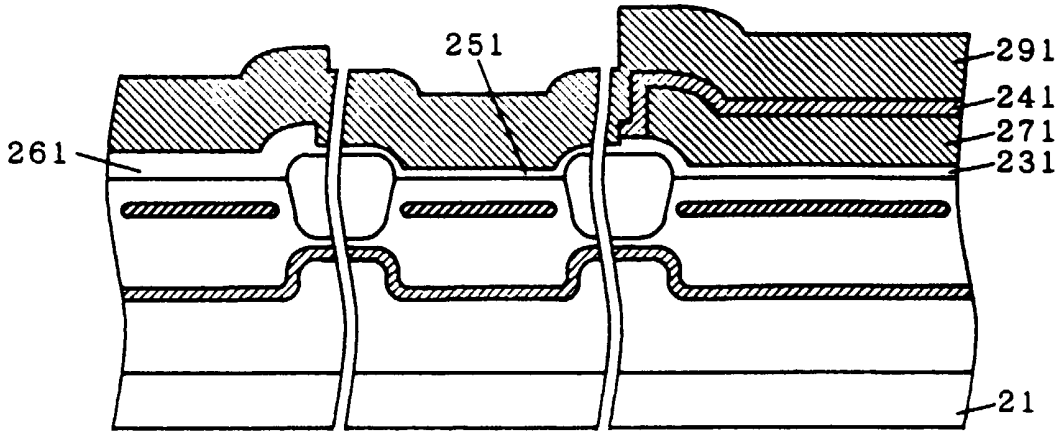


FIG. 100

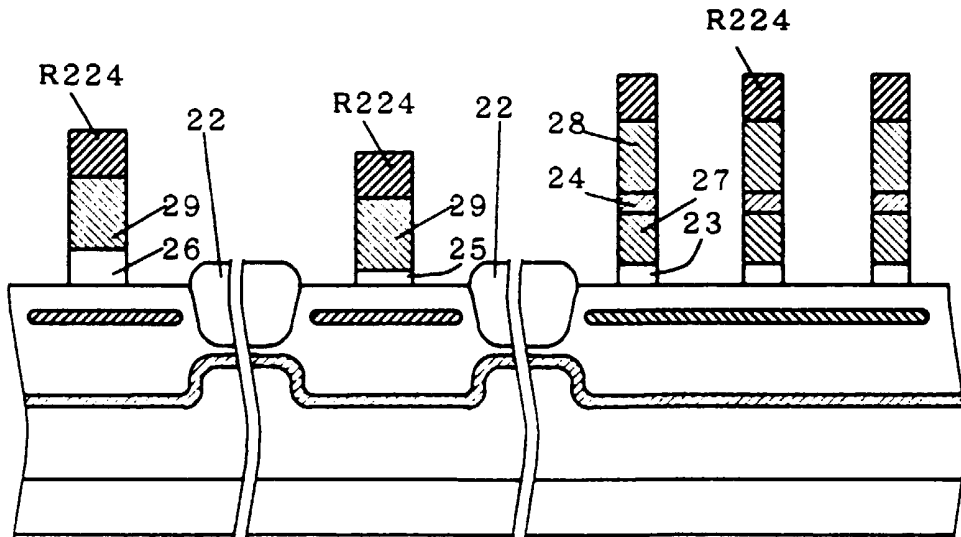


FIG. 101

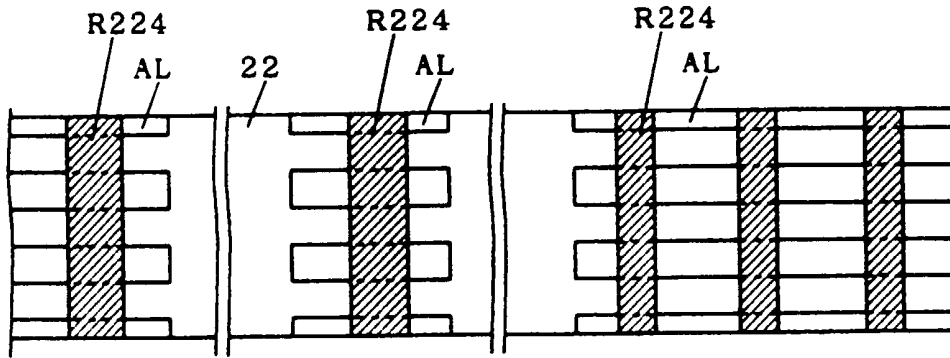


FIG. 102

800

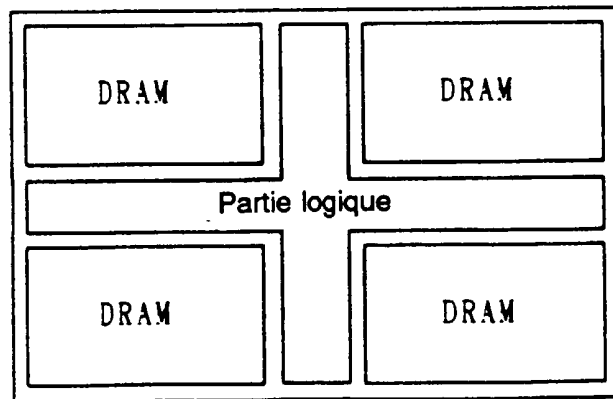


FIG. 103

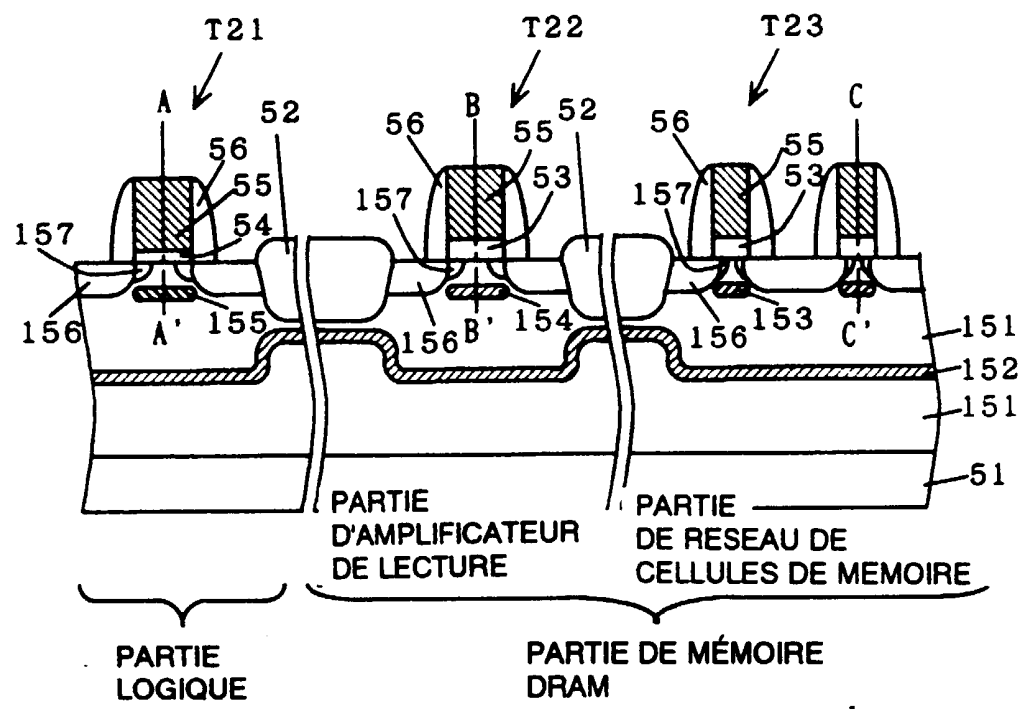


FIG. 104

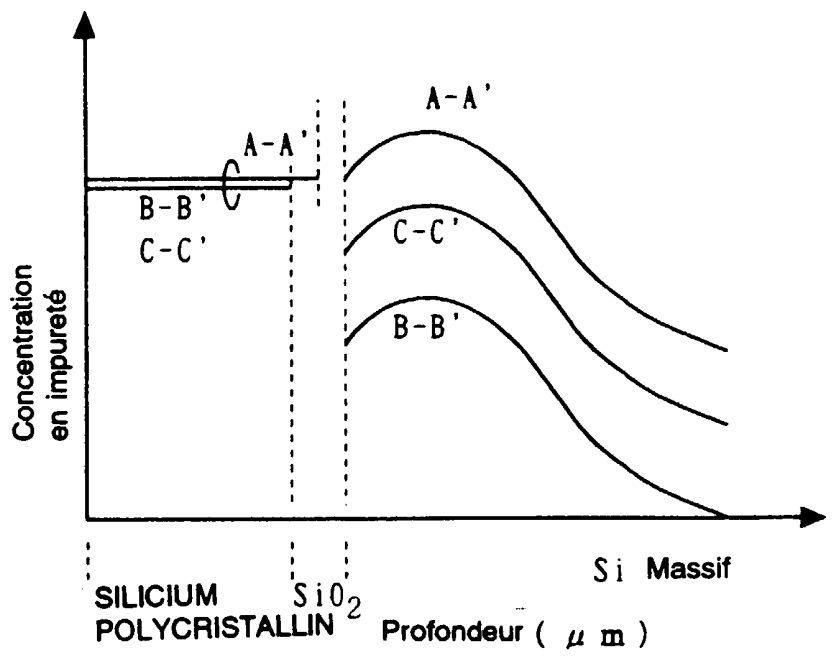


FIG. 105

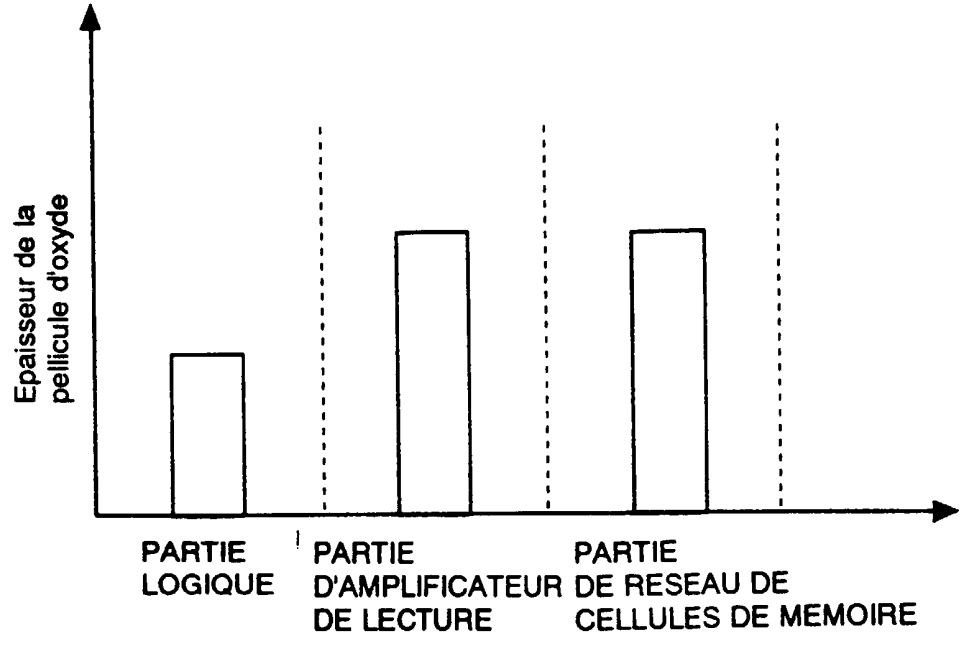


FIG. 106

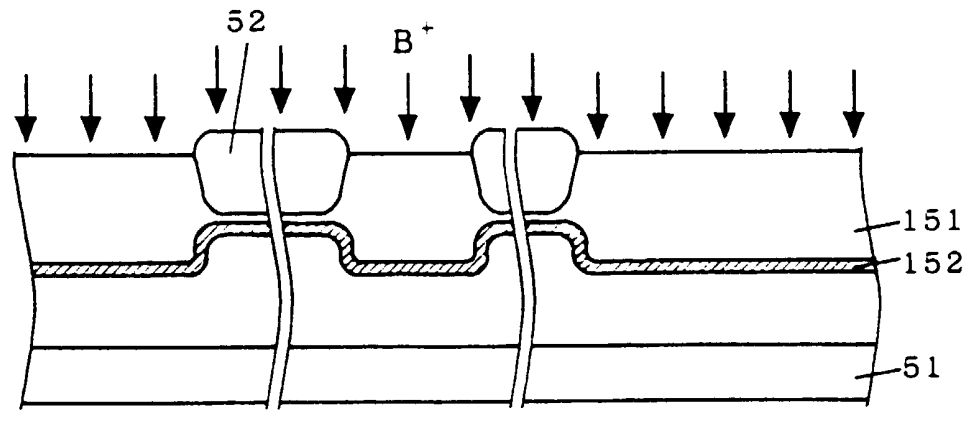


FIG. 107

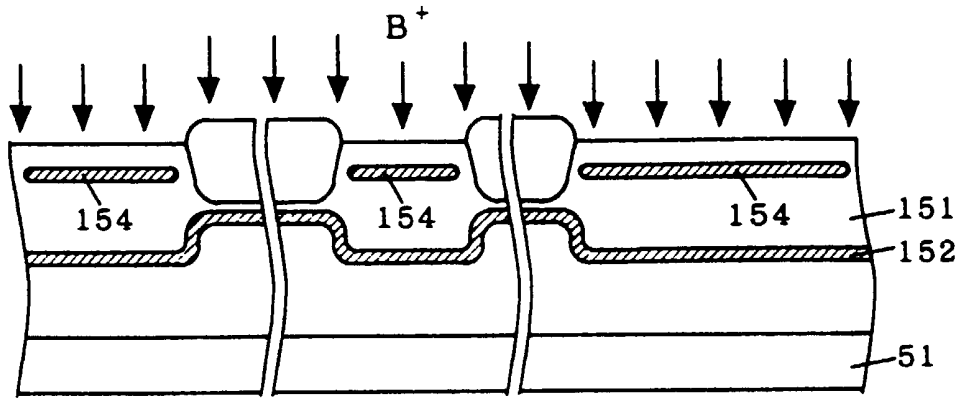


FIG. 108

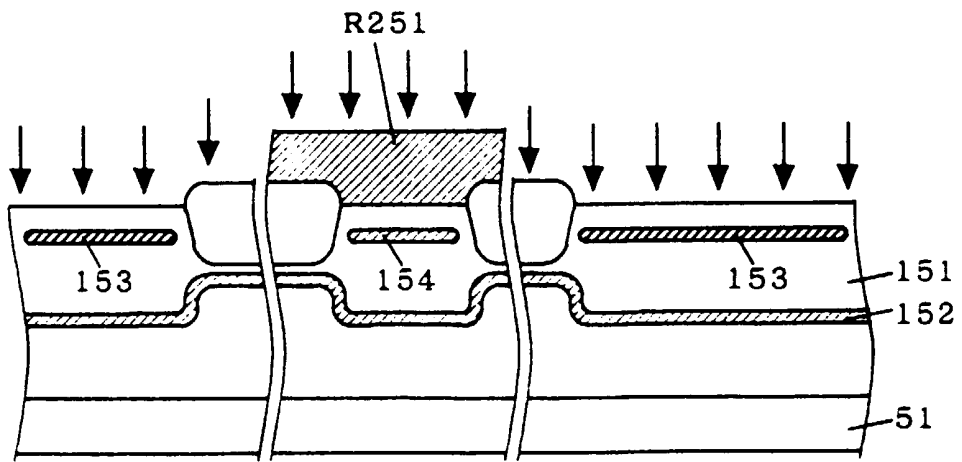


FIG. 109

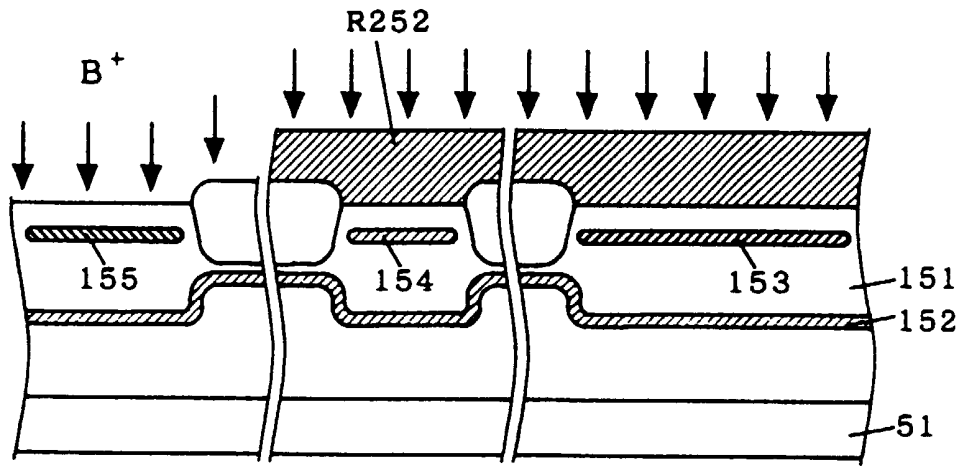


FIG. 110

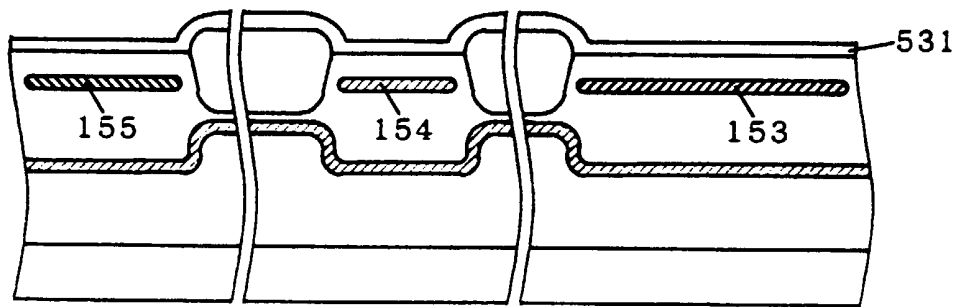


FIG. 111

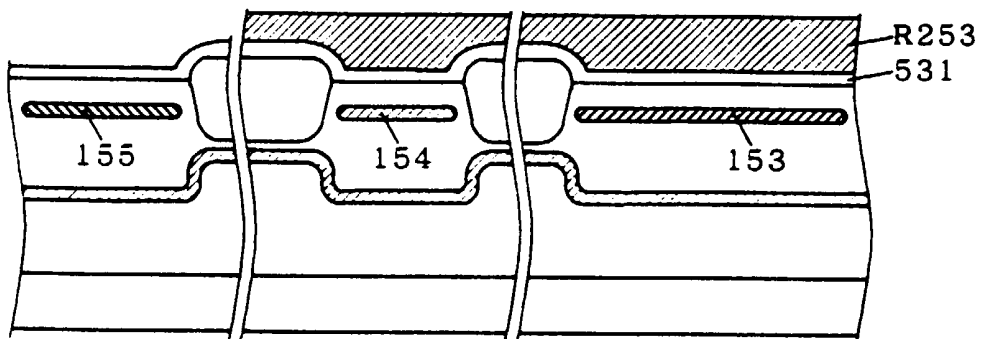


FIG. 112

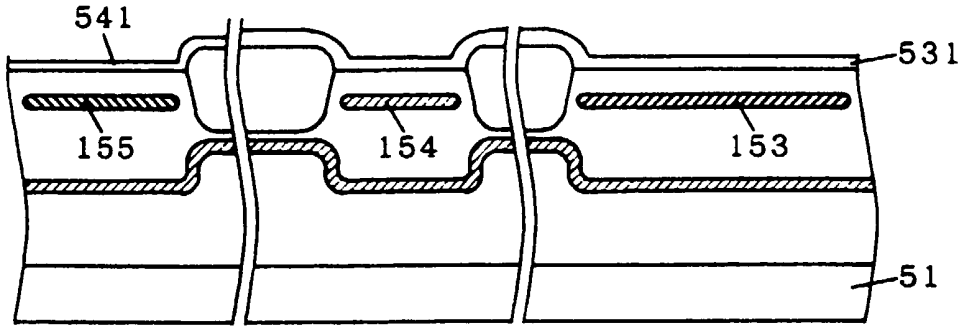


FIG. 113

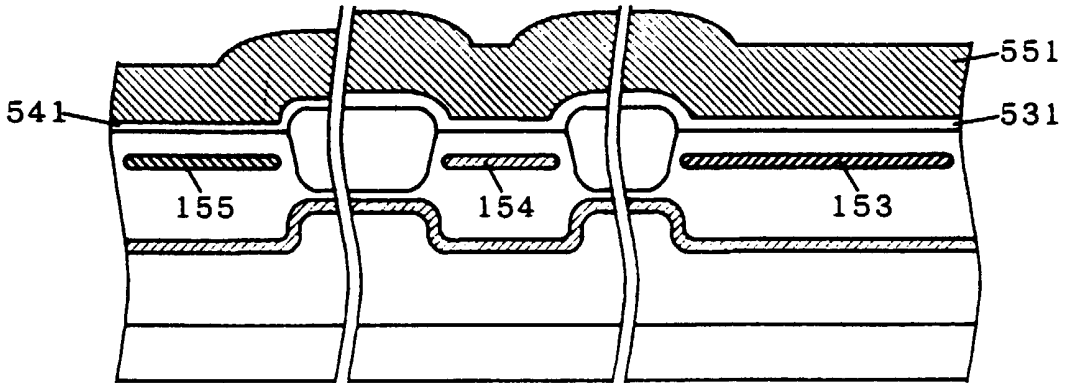


FIG. 114

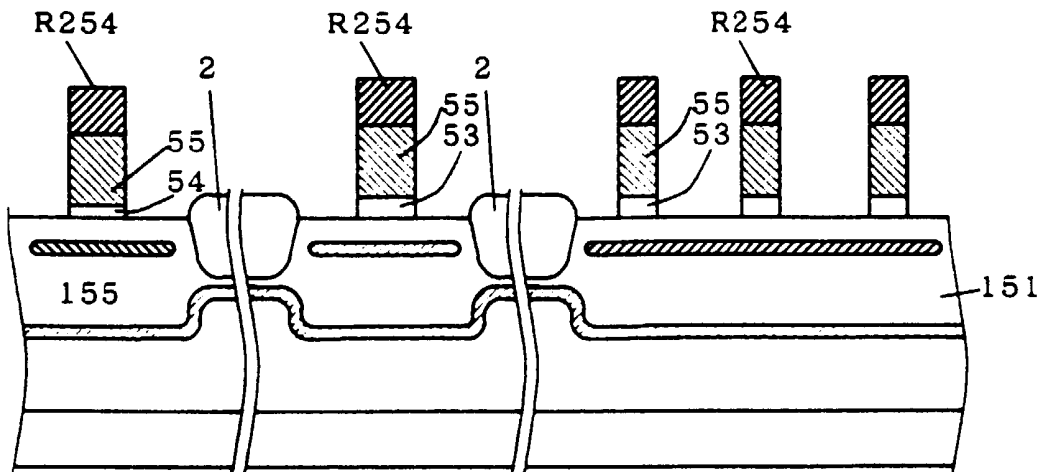


FIG. 115

900

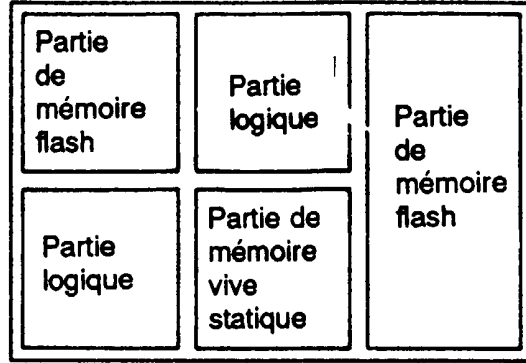
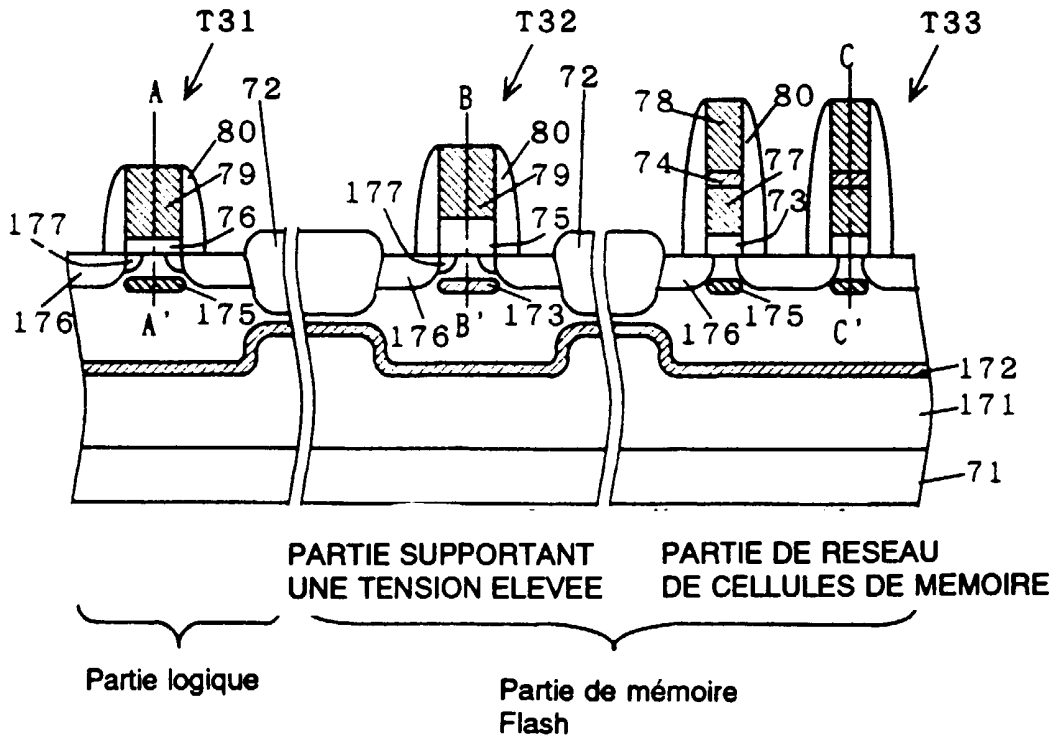


FIG. 116



57/63

FIG. 117

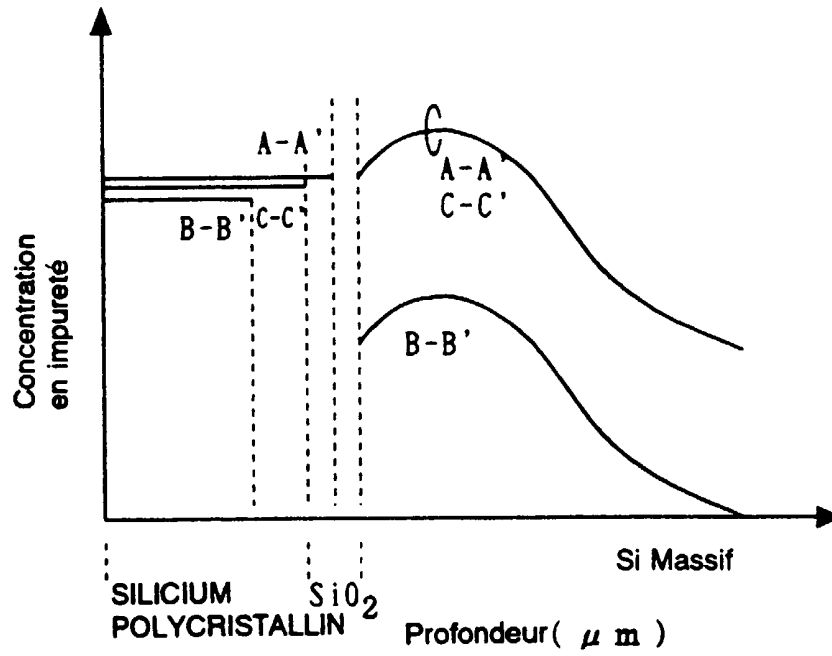


FIG. 118

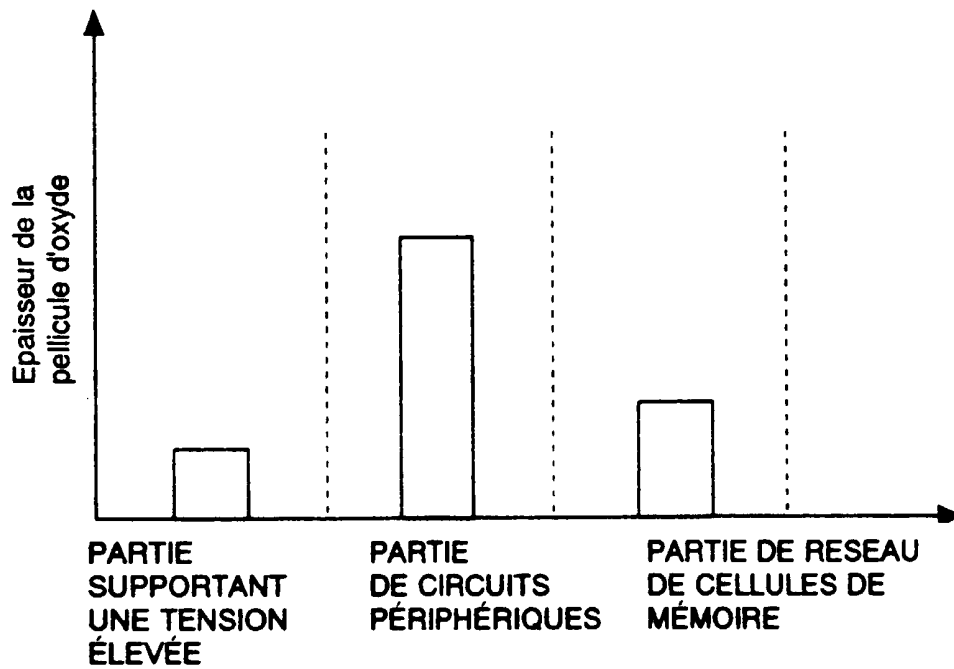


FIG. 119

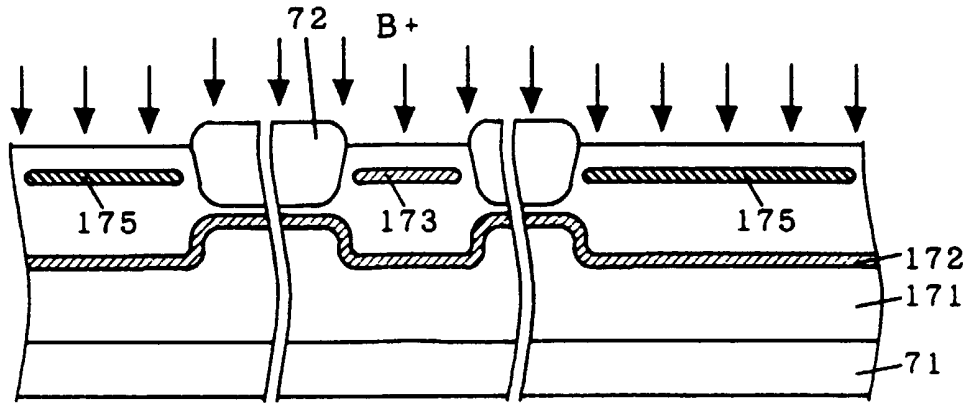


FIG. 120

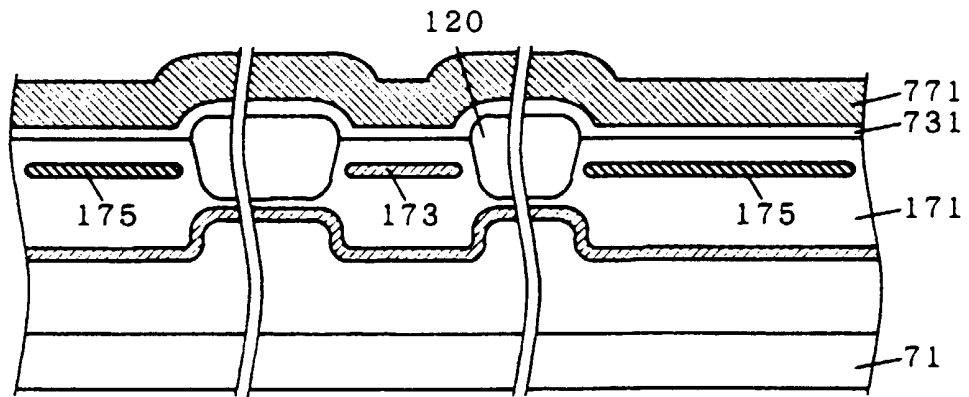


FIG. 121

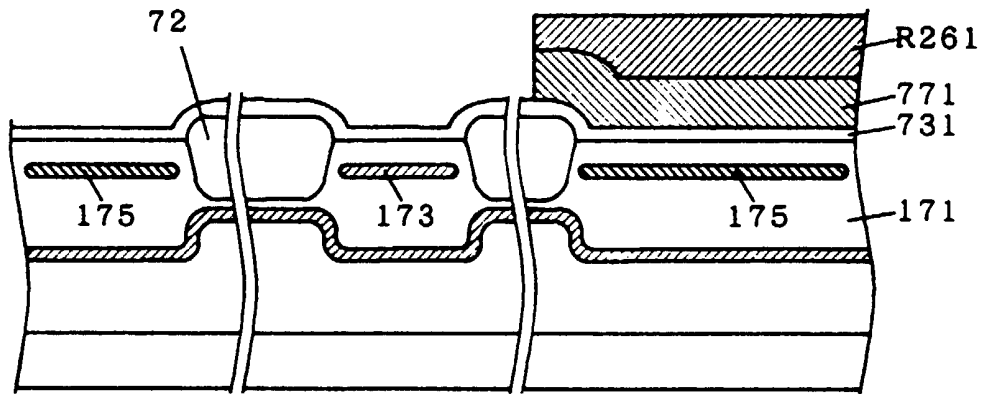


FIG. 122

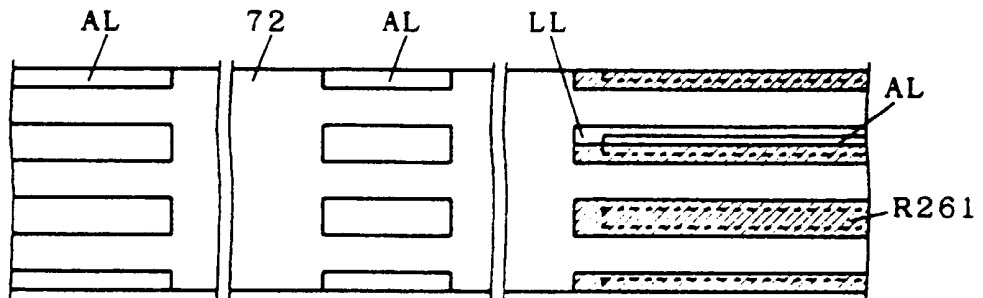


FIG. 123

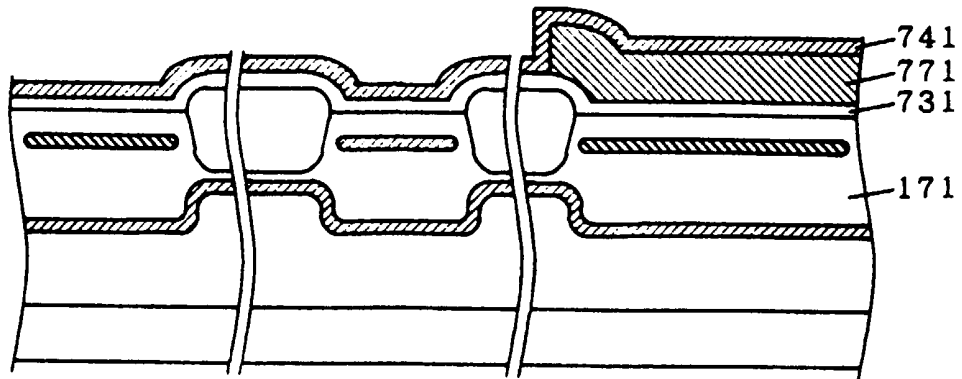


FIG. 124

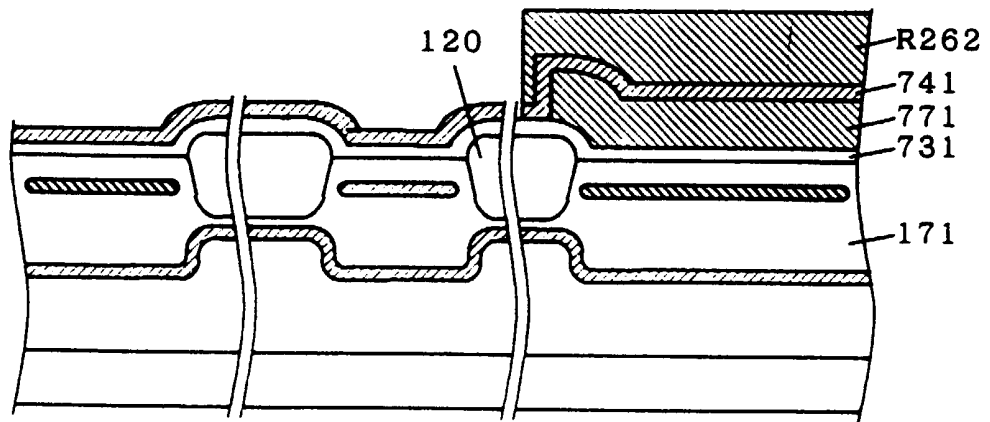


FIG. 125

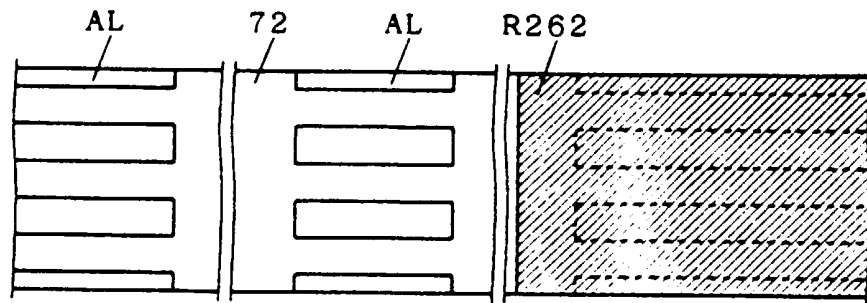


FIG. 126

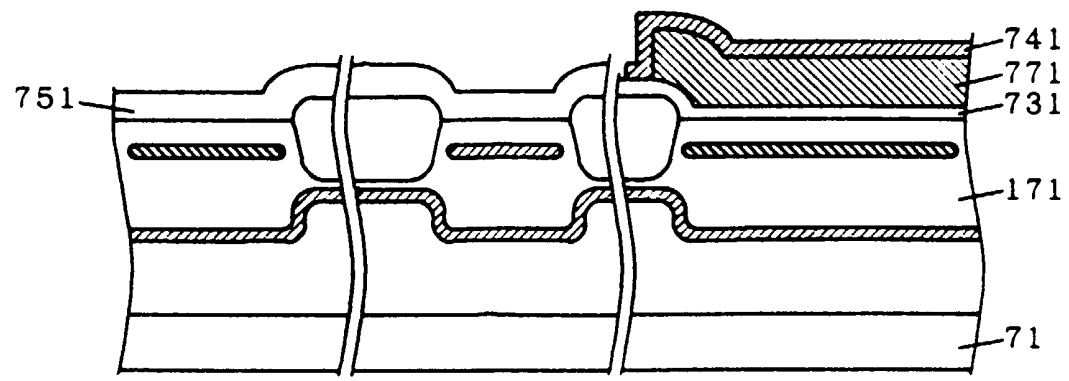


FIG. 127

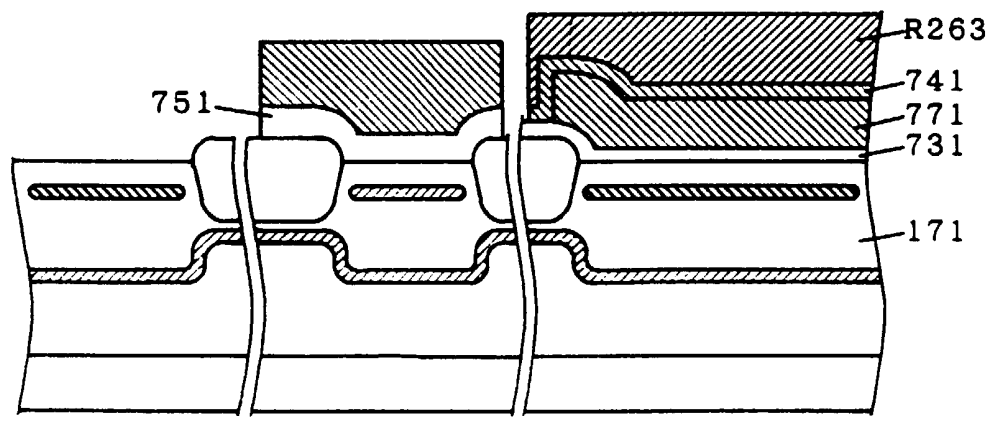
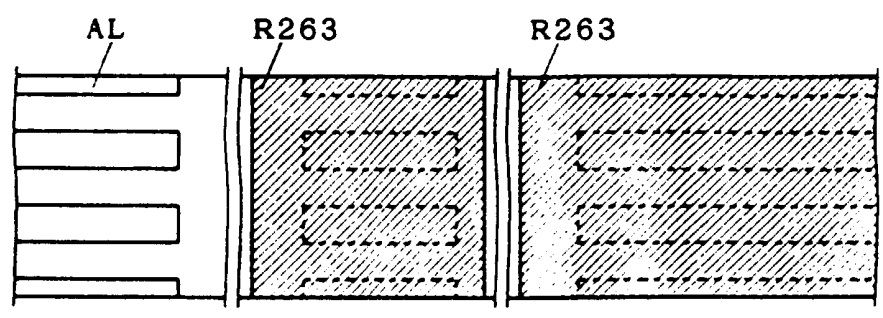
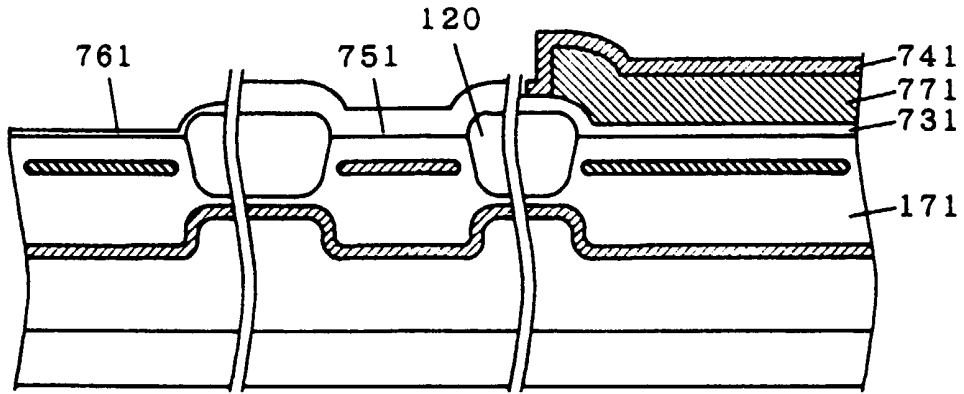


FIG. 128



F I G . 1 2 9



F I G . 1 3 0

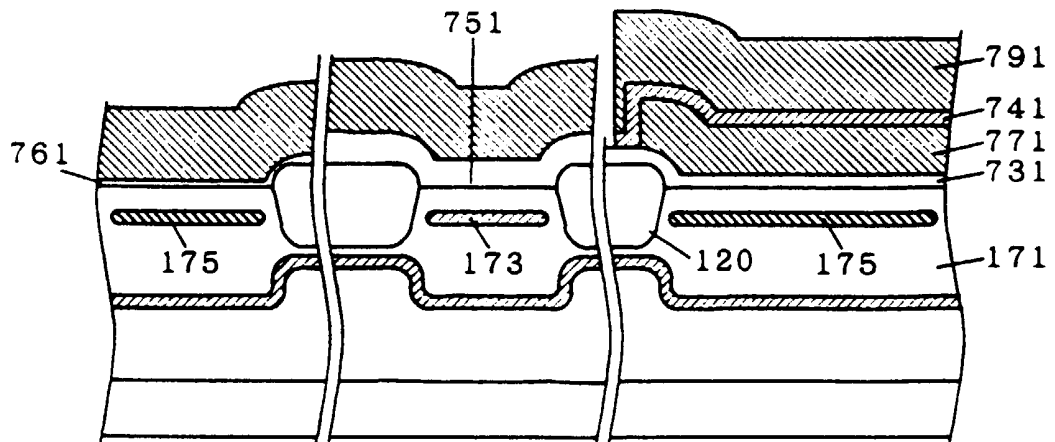


FIG. 131

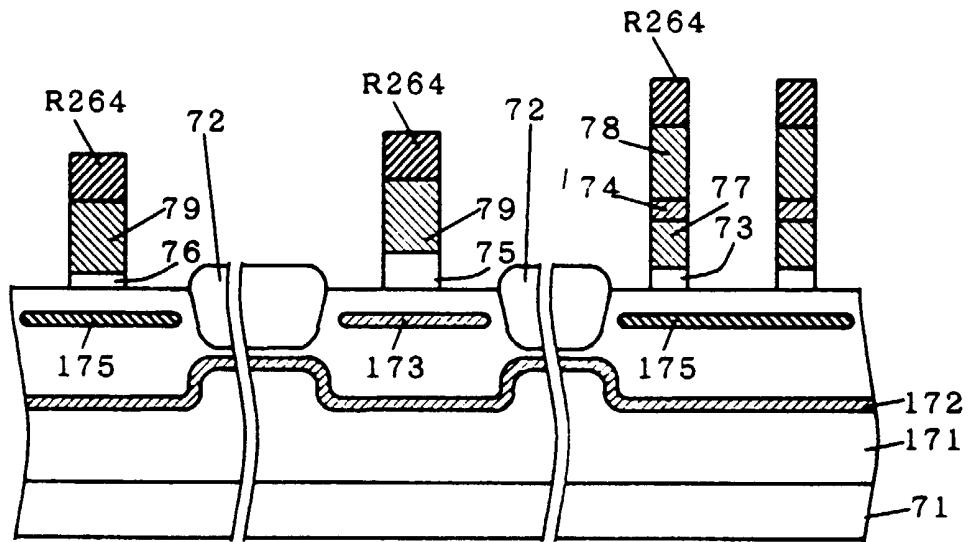


FIG. 132

