

(12) 发明专利

(10) 授权公告号 CN 101276762 B

(45) 授权公告日 2010.07.21

(21) 申请号 200710089491.1

(22) 申请日 2007.03.26

(73) 专利权人 矽品精密工业股份有限公司

地址 中国台湾台中县

(72) 发明人 黄荣彬 张锦煌 黄建屏 刘正仁

萧承旭

(74) 专利代理机构 北京戈程知识产权代理有限公司

公司 11314

代理人 程伟

(51) Int. Cl.

H01L 21/50 (2006.01)

H01L 21/60 (2006.01)

H01L 23/488 (2006.01)

H01L 23/495 (2006.01)

H01L 23/367 (2006.01)

(56) 对比文件

US 6372551 B1, 2002.04.16, 附图 4A-4F.

US 6414385 B1, 2002.06.02, 全文.

US 2006/0022315 A1, 2006.02.02, 全文.

CN 1842906 A, 2006.10.04, 全文.

JP 特开 2000-31372 A, 2000.01.28, 全文.

US 5545922 A, 1996.08.13, 说明书第 3 栏第 65 行至第 8 栏第 45 行、附图 10.

CN 1652332 A, 2005.08.10, 全文.

US 5366933 A, 1994.11.22, 全文.

审查员 赵敏

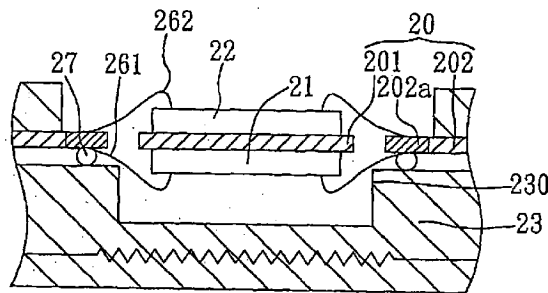
权利要求书 2 页 说明书 6 页 附图 6 页

(54) 发明名称

多芯片堆叠结构及其制法

(57) 摘要

一种多芯片堆叠结构及其制法, 提供一具芯片座及多导脚的导线架, 以于该芯片座的两表面上分别接置第一及第二芯片, 于焊线作业时将该导线架置于一设有凹穴的加热块上, 以使该导脚架撑于该加热块上并使该第二芯片容置于该凹穴中, 接着进行第一打线作业, 使该第一芯片通过第一焊线而电性连接至该导脚, 同时对应连接有该第一焊线的导脚一侧设有凸块, 再将该导线架反置以通过该凸块架撑于该加热块上, 并使该第一芯片及第一焊线容置于该加热块的该凹穴中, 之后进行第二打线作业, 使该第二芯片通过第二焊线而电性连接至该导脚。从而通过该凸块将该导脚撑起一段高度, 避免加热块触碰至焊线, 且无须更换加热块。



1. 一种多芯片堆叠结构的制法,包括:

提供一具芯片座及多个导脚的导线架,以于该芯片座的两表面上分别接置有第一芯片及第二芯片;

将该导线架置于一设有凹穴的加热块上,以使其导脚架撑于该加热块上并使该第二芯片容置于该凹穴中;

进行第一打线作业,以使该第一芯片通过第一焊线而电性连接至该导脚以形成缝接焊点,同时对应连接有该第一焊线的导脚一侧设置至少一凸块,其中,且该凸块的高度大于该导脚焊接区域间的焊线高度;

将该导线架反置以通过该凸块架撑于该加热块上,并使该第一芯片及第一焊线容置于该加热块的该凹穴中;以及

进行第二打线作业,以使该第二芯片通过第二焊线而电性连接至该导脚。

2. 根据权利要求1所述的多芯片堆叠结构的制法,其中,该导脚内端设有焊接区域,以供接着第一焊线、第二焊线及凸块。

3. 根据权利要求1所述的多芯片堆叠结构的制法,其中,该第一与第二焊线接置于导脚上的接置点约位于同一垂直线上。

4. 根据权利要求1所述的多芯片堆叠结构的制法,其中,该凸块利用打线机的焊嘴将金线熔成球状而形成至少一金凸块于该导脚上邻接该缝接焊点或直接接置于该缝接焊点上。

5. 根据权利要求1所述的多芯片堆叠结构的制法,其中,该凸块选择为单一或多个而设于该焊线缝接焊点的顶缘、对称两侧、同一侧或交错两侧。

6. 根据权利要求1所述的多芯片堆叠结构的制法,其中,该凸块具有多个且相互堆叠。

7. 根据权利要求1所述的多芯片堆叠结构的制法,其中,该第一及第二焊线具有相同的线长。

8. 一种多芯片堆叠结构的制法,包括:

提供一具芯片座及多个导脚的导线架,以于该芯片座一表面上接置第一芯片,且进行第一打线作业,以使该第一芯片通过第一焊线而电性连接至该导脚以形成缝接焊点,同时对应连接有该第一焊线的导脚一侧设置至少一凸块,其中,且该凸块的高度大于该导脚焊接区域间的焊线高度;

将该导线架反置以通过该凸块架撑于一设有凹穴的加热块上,并使该第一芯片及第一焊线容置于该加热块的该凹穴中;以及

于该芯片座另一表面上接置第二芯片,且进行第二打线作业,以使该第二芯片通过第二焊线而电性连接至该导脚。

9. 根据权利要求8所述的多芯片堆叠结构的制法,其中,该导脚内端设有焊接区域,以供接着第一焊线、第二焊线及凸块。

10. 根据权利要求8所述的多芯片堆叠结构的制法,其中,该第一与第二焊线接置于导脚上的接置点约位于同一垂直线上。

11. 根据权利要求8所述的多芯片堆叠结构的制法,其中,该凸块利用打线机的焊嘴将金线熔成球状而形成至少一金凸块于该导脚上邻接该缝接焊点或直接接置于该缝接焊点上。

12. 根据权利要求 8 所述的多芯片堆叠结构的制法,其中,该凸块选择为单一或多个而设于该焊线缝接焊点的顶缘、对称两侧、同一侧或交错两侧。

13. 根据权利要求 8 所述的多芯片堆叠结构的制法,其中,该凸块具有多个且相互堆叠。

14. 根据权利要求 8 所述的多芯片堆叠结构的制法,其中,该第一及第二焊线具有相同的线长。

15. 一种多芯片堆叠结构,包括:

一导线架,该导线架具有一芯片座及多个导脚,且该导脚的内端设有焊接区域;

多个芯片,其分别接置于该芯片座相对的二表面上;

焊线,其用以电性连接该些芯片至该导脚的焊接区域以形成缝接焊点;以及

至少一金属凸块,其形成于该导脚焊接区域上,且该凸块的高度大于该导脚焊接区域间的焊线高度。

16. 根据权利要求 15 所述的多芯片堆叠结构,其中,该焊线为金线,其利用一打线机于芯片上形成一球型接点及于导脚的焊接区域上形成一缝接焊点。

17. 根据权利要求 15 所述的多芯片堆叠结构,其中,该金属凸块利用打线机的焊嘴将金线熔成球状而形成至少一金凸块于该导脚上邻接该缝接焊点或直接接置于该缝接焊点上。

18. 根据权利要求 15 所述的多芯片堆叠结构,其中,该芯片座二表面上用以电性连接该芯片与不同侧导脚的焊线缝接焊点约位于同一垂直线上。

19. 根据权利要求 15 所述的多芯片堆叠结构,其中,该金属凸块选择为单一或多个而设于该焊线缝接焊点的顶缘、对称两侧、同一侧或交错两侧。

20. 根据权利要求 15 所述的多芯片堆叠结构,其中,该金属凸块具有多个且相互堆叠。

21. 根据权利要求 15 所述的多芯片堆叠结构,其中,该导线架芯片座相对二表面的焊线具有相同的线长。

多芯片堆叠结构及其制法

技术领域

[0001] 本发明涉及一种多芯片堆叠结构及其制法,尤指一种导线架式的多芯片堆叠结构及制法。

背景技术

[0002] 随着电子产业的蓬勃发展,电子产品亦逐渐迈入多功能、高性能的研发方向,以满足半导体封装件高集成度(Integration)及微型化(Miniaturization)的封装需求,且为求提升单一半导体封装件的性能与容量,以符电子产品小型化、大容量与高速化的趋势,现有上多半是将半导体封装件以多芯片模块化(Multi Chip Module;MCM)的形式呈现,此种封装件亦可缩减整体封装件体积并提升电性功能,成为一种封装的主流,其是在单一封装件的芯片承载件上接置至少两半导体芯片(semiconductor chip),且每一芯片与芯片承载件(chipcarrier)间主要是以垂直堆叠(stack)方式接置。

[0003] 请参阅图 1A 至 1D,为美国专利第 5,545,922 号所揭示的导线架式多芯片堆叠结构的制法示意图,其提供一具有一芯片座 101 及多个围绕该芯片座 101 周围的导脚 102 的导线架 10,于置晶作业(Die bonding)将该芯片座 101 的第一表面上接置第一芯片 11(图 1A 所示);接着将该接置有第一芯片 11 的导线架 10 反转而置于一具有凹穴 130 的支撑块 13 上,以使该导线架 10 的导脚 102 架撑于该支撑块 13 上并使该第一芯片 11 容置于该凹穴 130 中,从而于该芯片座 101 第二表面上接置第二芯片 12(如图 1B 所示);接着于焊线作业(Wire binding),将该接置有第一及第二芯片 11,12 的导线架 10 利用压板(window clamp)14 压制其导脚 102 而固定于具第一凹穴 150 的第一加热块 15 上,该第一凹穴 150 用以容置第二芯片 12,以进行第一打线作业而使第一焊线 161 由该第一芯片 11 接着于导脚 102 上形成缝接焊点(stitch bond),其中于该第一打线作业时为使该第一焊线 161 有效接着于该导脚 102 上,该第一焊线 161 于该导脚 102 上的接着处(即缝接焊点处)必须架撑于该第一加热块 15 上,且须通过该第一支撑块 15 提供足够热量,以供该第一焊线 161 焊接着于该导脚 102 上(如图 1C 所示);其后,再将该导线架 10 反置,以将该导线架 10 另一表面的导脚 102 架撑于第二加热块 17 上,并进行第二打线作业,以利用第二焊线 162 电性连接该第二芯片 12 及导脚 102,其中,该第二加热块 17 设有第二凹穴 170 可供容置先前完成打线作业的第一芯片 11 及第一焊线 161,同样地,为使该第二焊线 162 有效接着于该导脚 102 上,该第二焊线 162 于该导脚 102 上的接着处(即缝接焊点处)必须架撑于该第二加热块 17 上,同时亦须通过该第二加热块 17 提供打线所需热量,但是因先前第一焊线 161 已接置于导脚 102 一表面,因此该第二焊线 162 与第一焊线 161 的缝接焊点即必须采错位方式(off-set)接置于该导脚 102 上(如图 1D 所示)。

[0004] 亦即于前述的多芯片堆叠结构制造方法中,需使用二种加热块且需改变焊线打设位置,不仅增加制造时间,同时亦造成制造费用的提高,再者由于第二焊线必须配合第二加热块的设置位置而大幅向外偏移,如此将造成焊线的增长,不仅易使电性功能衰减,也将使整体结构尺寸变大,不符轻薄短小发展趋势,更甚者,造成第一芯片及第二芯片间电性功能

差异而无法匹配。

[0005] 因此,如何开发出一种可有效在导线架上堆叠并电性耦合多个半导体芯片的多芯片堆叠结构及制法,同时避免现有导线架多芯片堆叠结构中需使用二种加热块,所造成制造时间及费用增加,以及第二焊线的设置位置须大幅向外偏移所导致的电性功能衰减、整体结构尺寸变大、及第一芯片及第二芯片的电性功能差异而无法匹配等问题,为此一研发领域所需迫切解决的技术问题。

发明内容

[0006] 鉴于前述现有技术的缺失,本发明的主要目的在于提供一种多芯片堆叠结构及制法,可有效在导线架上堆叠并电性耦合多个半导体芯片。

[0007] 本发明的又一目的在于提供一种多芯片堆叠结构及制法,以避免现有导线架多芯片堆叠结构中需使用二种加热块且需改变设置位置,所造成制造时间及费用增加等问题。

[0008] 本发明的另一目的在于提供一种多芯片堆叠结构及制法,以避免现有导线架多芯片堆叠结构中第二焊线的设置位置须大幅向外偏移所导致的电性功能衰减、整体结构尺寸变大、及第一芯片及第二芯片的电性不匹配等问题。

[0009] 为达前述及其它目的,本发明的多芯片堆叠结构的制法主要包括:提供设有芯片座及多个导脚的导线架,以于该芯片座的两表面上分别接置有第一芯片及第二芯片;于焊线作业时将该导线架置于一设有凹穴的加热块上,以使该导脚架撑于该加热块上并使该第二芯片容置于该加热块的该凹穴中;进行第一打线作业,以使该第一芯片通过第一焊线而电性连接至该导脚,同时对应连接有该第一焊线的导脚一侧设置至少一凸块(stud);将该导线架反置以通过该凸块架撑于该加热块上,并使该第一芯片及第一焊线容置于该加热块的该凹穴中;以及进行第二打线作业,以使该第二芯片通过第二焊线而电性连接至该导脚。

[0010] 该导脚的内端设有一可供焊线接着的焊接区域(bonding area),该凸块的高度即须高于该导脚焊接区域间的焊线高度,以供该导线架通过该凸块而架撑于该加热块上时,得以避免该焊线碰触该加热块。该凸块可利用打线机(Wire bonder)的焊嘴将焊线(金线)熔成球状而形成一或多个金凸块(Au stud)于该导脚上邻接该第一焊线的接置点,或直接形成于该第一焊线的接置点上,亦或堆叠多个凸块。

[0011] 本发明的多芯片堆叠结构的制法另一较佳实施例主要包括:提供一具芯片座及多导脚的导线架,以于该芯片座一表面上接置第一芯片,且进行第一打线作业,以使该第一芯片通过第一焊线而电性连接至该导脚,同时对应连接有该第一焊线的导脚一侧设有至少一凸块;将该导线架反置以通过该凸块架撑于一设有凹穴的加热块上,并使该第一芯片及第一焊线容置于该加热块的该凹穴中;于该芯片座另一表面上接置第二芯片,且进行第二打线作业,以使该第二芯片通过第二焊线而电性连接至该导脚。

[0012] 通过前述的制法,本发明还揭示一种多芯片堆叠结构,包括:一导线架,该导线架具有一芯片座及多个导脚,且该导脚的内端设有焊接区域;多个芯片,其分别接置于该芯片座相对的二表面上;焊线,其用以电性连接该些芯片至该导脚的焊接区域;以及至少一凸块,其形成于该导脚的表面上,且该凸块的高度大于该导脚焊接区域间的焊线高度。

[0013] 亦即本发明的多芯片堆叠结构及制法,是在导线架的导脚上额外设有至少一凸块,以使该导线架通过该凸块架撑于用以支撑导脚且供打设焊线所需加热来源的加热块

上,从而利用该凸块将该导脚撑起一段高度,以避免加热块触碰至焊线,且不须改变该加热块设置位置,更毋须使用第二加热块,以节省制造时间及成本;再者,该加热块所提供的热量仍得通过该凸块而向导脚传递,进而使第二焊线连接至该导脚的位置可相对于第一焊线连接至该导脚的位置而位于近乎同一垂直线上,而毋须移位,以有效控制整体结构尺寸,同时使该第一焊线及第二焊线约具有相同的线长,以避免分别接置于该导线架芯片座不同表面的二芯片电性功能衰减及电性不匹配等问题。

附图说明

[0014] 图 1A 至 1D 为美国专利第 5,545,922 号案的多芯片堆叠结构的制法剖面示意图;

[0015] 图 2A 至 2E 为本发明的多芯片堆叠结构及其制法第一实施例的示意图;

[0016] 图 3A 至 3C 为本发明的多芯片堆叠结构的制法第二实施例的示意图;

[0017] 图 4A 至 4E 为本发明的多芯片堆叠结构中接置于导脚上的凸块不同实施例的示意图;以及

[0018] 图 5 为本发明的多芯片堆叠结构另一实施例的示意图。

[0019] 附图标记说明

[0020] 10 导线架

[0021] 101 芯片座

[0022] 102 导脚

[0023] 11 第一芯片

[0024] 12 第二芯片

[0025] 13 支撑块

[0026] 130 凹穴

[0027] 14 压板

[0028] 15 第一加热块

[0029] 150 第一凹穴

[0030] 161 第一焊线

[0031] 162 第二焊线

[0032] 17 第二加热块

[0033] 170 第二凹穴

[0034] 20 导线架

[0035] 201 芯片座

[0036] 202 导脚

[0037] 202a 焊接区域

[0038] 21 第一芯片

[0039] 22 第二芯片

[0040] 23 热块

[0041] 230 凹穴

[0042] 261 第一焊线

[0043] 262 第二焊线

[0044]	27	凸块
[0045]	H	凸块高度
[0046]	h	第一焊线高度
[0047]	30	导线架
[0048]	301	芯片座
[0049]	302	导脚
[0050]	302a	焊接区域
[0051]	31	第一芯片
[0052]	32	第二芯片
[0053]	33	加热块
[0054]	330	凹穴
[0055]	361	第一焊线
[0056]	362	第二焊线
[0057]	37	凸块
[0058]	460	缝接焊点
[0059]	47	凸块
[0060]	50	导线架
[0061]	502	导脚
[0062]	57	凸块

具体实施方式

[0063] 以下通过特定的具体实施例说明本发明的实施方式,本领域技术人员可由本说明书所揭示的内容轻易地了解本发明的其它优点与功效。

[0064] 第一实施例

[0065] 请参阅图 2A 至 2E,为本发明的多芯片堆叠结构的制法第一实施例的示意图。

[0066] 如图 2A 所示,提供一具芯片座 201 及多个导脚 202 的导线架 20,该芯片座 201 具有相对的第一表面及第二表面,以分别于该芯片座的第一及第二表面上接置第一芯片 21 及第二芯片 22,于焊线作业时,将该导线架 20 置于一设有凹穴 230 的加热块 23 上,以使该导脚 202 架撑于该加热块 23 上并使该第二芯片 22 容置于该凹穴 230 中。

[0067] 如图 2B 及 2C 所示,其中该图 2C 为对应图 2B 的局部上视图,进行第一打线作业,以使该第一芯片 21 通过第一焊线 261 而电性连接至该导脚 202 的焊接区域 202a,同时对应连接有该第一焊线 261 的导脚 202 一侧设有至少一凸块 27;于制法上可于完成第一打线作业而使该第一焊线 261 电性连接该第一芯片 21 及导脚 202 的焊接区域 202a 后,再于该导脚接焊接区 202a 中形成该凸块 27。

[0068] 该第一焊线 261 为金线,其利用一打线机 (Wire bonder) 的焊嘴 (未图示) 于该第二芯片 22 上利用焊嘴先形成一球型接点 (ball bond),再移动该焊嘴至该导脚 202 的焊接区域 202a,接着截断该第一焊线 261 以形成一缝接焊点 (stitch bond),以完成该第二芯片 22 至该导脚 202 的打线作业。

[0069] 该凸块 27 可利用打线机 (Wire bonder) 的焊嘴将焊线 (金线) 熔成球状而形成

一金凸块 (Au stud) 于该导脚焊接区域 202a 上邻接该第一焊线 261 的接置点 (即缝接焊点), 例如位于该缝接焊点的侧边。当然该凸块 27 亦可预先设于该导脚架 20 的导脚 202 预定位置, 且该凸块 27 亦可为其它的金属凸块或导热凸块。

[0070] 如图 2D 所示, 将该导线架 20 反置以通过该凸块 27 架撑于该加热块 23 上, 并使该第一芯片 21 及第一焊线 261 容置于该凹穴 230 中; 其中由于该凸块 27 的高度 H 大于该导脚焊接区域 202a 间的第一焊线 261 高度 h, 以供该导线架 20 通过该凸块 27 而架撑于该加热块 23 时避免该第一焊线 261 碰触该加热块 23。

[0071] 如图 2E 所示, 进行第二打线作业, 以使该第二芯片 22 通过第二焊线 262 而电性连接至该导脚 202。

[0072] 于进行第二打线作业时, 由于该导线架 20 是通过该凸块 27 而架撑于该加热块 23 上, 且该加热块 23 所提供的热量仍得通过该凸块 27 而向导脚 202 传递, 进而使该第二焊线 262 连接至该导脚 202 的位置毋需相对该第一焊线 261 连接至该导脚 202 的位置进行错位, 而使该第二焊线 262 可相对于先前第一焊线 261 连接至该导脚 202 的位置而位于近乎同一垂直线上。

[0073] 通过前述的制法, 本发明还揭示一种多芯片堆叠结构, 包括: 一导线架 20, 该导线架 20 具有一芯片座 201 及多个导脚 202, 且该导脚 202 的内端设有焊接区域 202a; 包含有第一芯片 21 及第二芯片 22 的多芯片, 分别接置于该芯片座 201 相对的二表面上; 第一及第二焊线 261, 262, 用以电性连接该第一及第二芯片 21, 22 至该导脚 202 的焊接区域 202a; 以及至少一凸块 27, 其形成于该导脚 202 的表面上, 且该凸块 27 的高度大于该导脚焊接区域 202a 间的焊线高度。

[0074] 该芯片座 201 二表面上用以电性连接该第一及第二芯片 21, 22 与不同侧导脚 202 的第一及第二焊线 261, 262 所形成的缝接焊点可位于同一垂直线上, 而毋须移位, 以有效控制整体结构尺寸, 同时使该不同侧的第一及第二焊线 261, 262 约具有相同的线长, 以避免分别接置于该芯片座 201 不同表面的第一及第二芯片 21, 22 电性功能衰减及电性不匹配等问题。

[0075] 第二实施例

[0076] 请参阅图 3A 至 3C, 为本发明的多芯片堆叠结构的制法第二实施例的剖面示意图。

[0077] 如图 3A 所示, 提供一具芯片座 301 及多个导脚 302 的导线架 30, 以于该芯片座 301 一表面上接置第一芯片 31, 且进行第一打线作业, 以使该第一芯片 31 通过第一焊线 361 而电性连接至该导脚 302 的焊接区域 302a, 同时对应连接有该第一焊线 361 的导脚 302 一侧设有至少一凸块 37。

[0078] 该导线架 30 通过其导脚 302 而架撑于一具加热功能的加热块 33 上。

[0079] 如图 3B 所示, 将该导线架 30 反置以通过该凸块 37 架撑于该加热块 33 上, 并使该第一芯片 31 及第一焊线 361 容置于该加热块 33 的该凹穴 330 中。

[0080] 如图 3C 所示, 于该芯片座 301 另一表面上接置第二芯片 32, 且进行第二打线作业, 以使该第二芯片 32 通过第二焊线 362 而电性连接至该导脚 302。

[0081] 另请参阅图 4A 至 4E, 为显示在导线架上的导脚焊接区域上供焊线接着及焊接有凸块的局部示意图, 如图所示, 该凸块 47 可设有多个, 且该凸块 47 的位置可相对位于该焊线缝接焊点 460 的对称两侧、或同一侧、或交错两侧, 亦或位于该焊线缝接焊点 460 的顶缘

或呈多个排列于该焊线缝接焊点 460 的顶缘。

[0082] 请参阅图 5, 为显示本发明的多芯片堆叠结构另一实施例的示意图, 其与前述实施例大致相同, 主要差异是在设于导线架导脚 502 的多个凸块 57 可进行堆叠, 以提高该导线架 50 的架撑高度, 更可避免焊线触碰至加热块而影响制造方法。

[0083] 再者, 本发明中设于导脚上的凸块亦可直接形成于第一打线作业所形成的缝接焊点上, 以提高导线架的架撑高度, 避免第一打线所形成的焊线触碰到加热块, 且使第二次打线所形成的缝接焊点得以充分与第一打线所形成的缝接焊点位于同一垂直线上。

[0084] 本发明的多芯片堆叠结构及制法, 在导线架的导脚上额外设有至少一凸块, 以使该导线架通过该凸块架撑于用以支撑导脚且供打设焊线所需加热来源的加热块上, 从而利用该凸块将该导脚撑起一段高度, 以避免加热块触碰至焊线, 且不须改变该加热块设置位置, 更毋须使用第二加热块, 以节省制造时间及成本; 再者, 该加热块所提供的热量仍得通过该凸块而向导脚传递, 进而使第二焊线连接至该导脚的位置可相对于第一焊线连接至该导脚的位置而位于近乎同一垂直线上, 而毋须错位, 藉以有效控制整体结构尺寸, 同时使该第一焊线及第二焊线约具有相同的线长, 以避免分别接置于该导线架芯片座不同表面的二芯片电性功能衰减及电性不匹配等问题。

[0085] 上述实施例仅例示性说明本发明的原理及其功效, 而非用于限制本发明, 任何本领域技术人员均可在不违背本发明的精神及范畴下, 对上述实施例进行修饰与改变。因此, 本发明的权利保护范围, 应如随附的权利要求书所列。

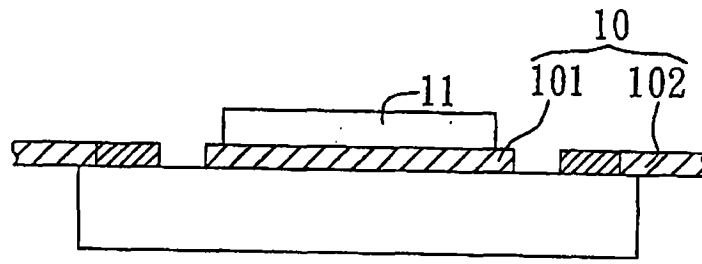


图 1A

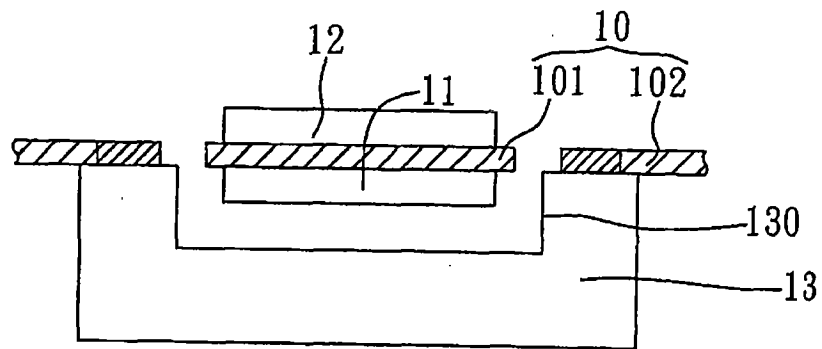


图 1B

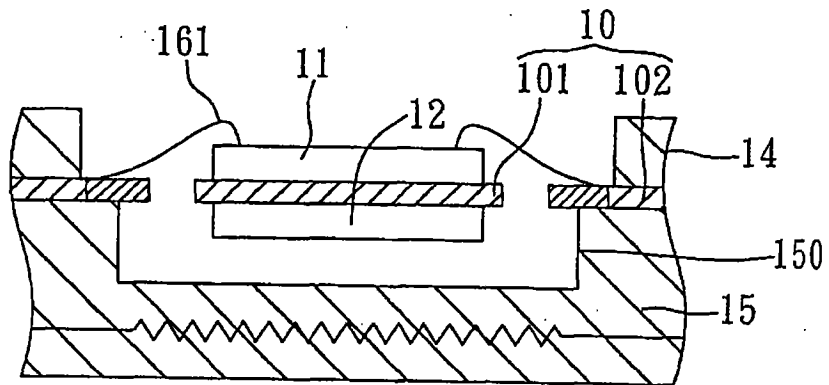


图 1C

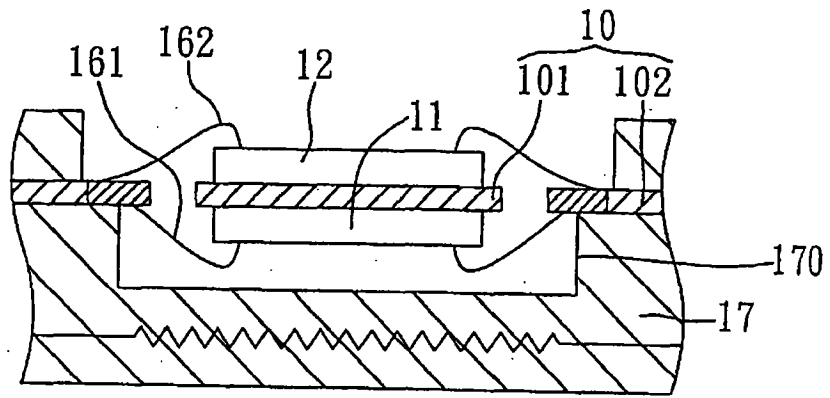


图 1D

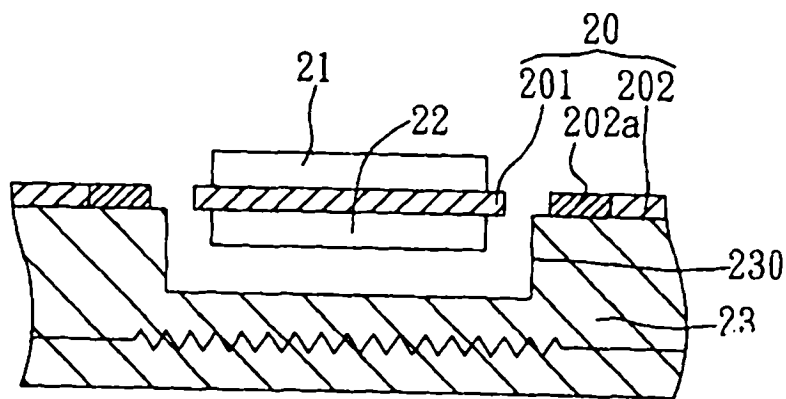


图 2A

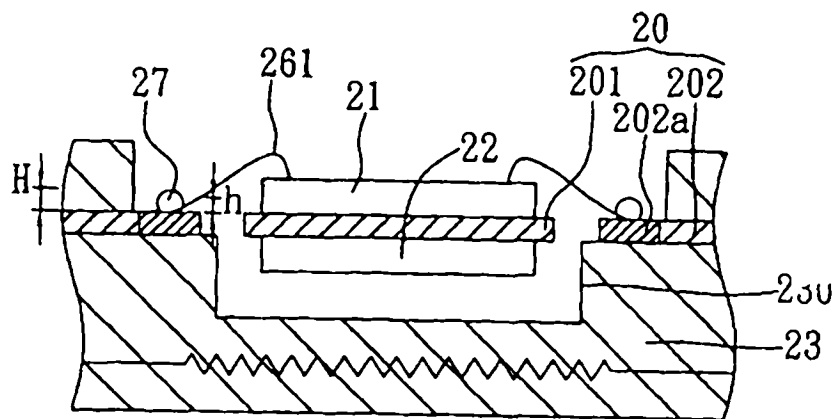


图 2B

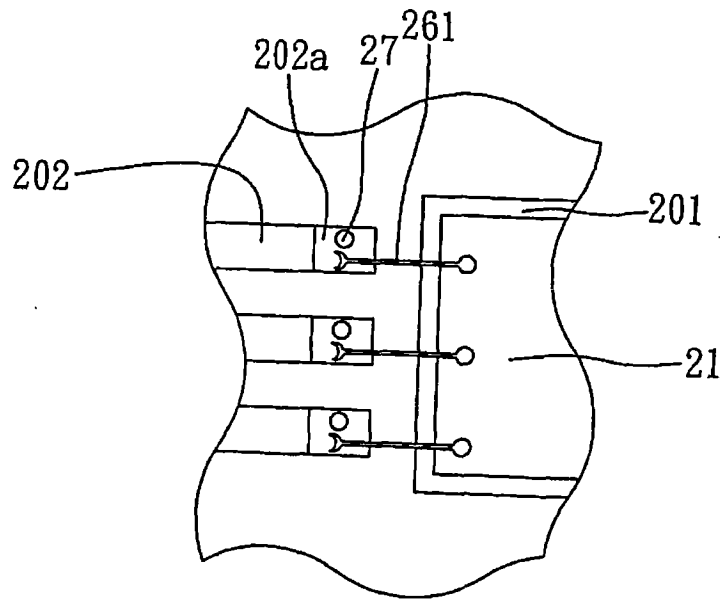


图 2C

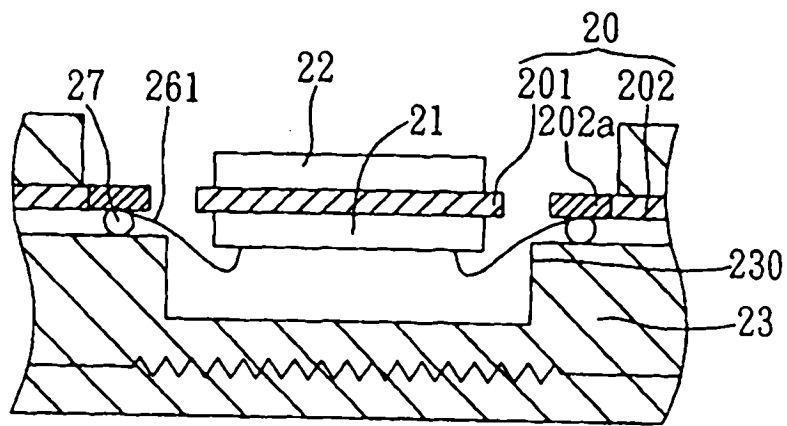


图 2D

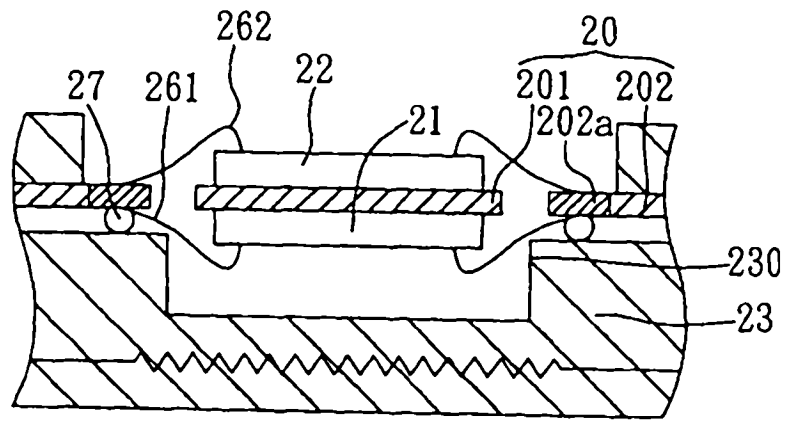


图 2E

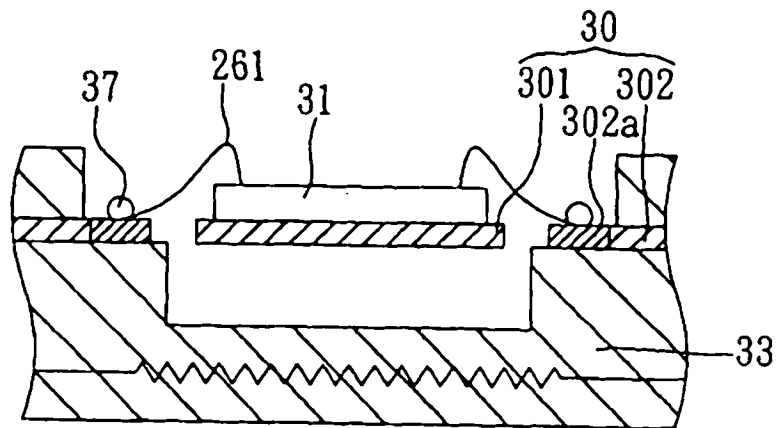


图 3A

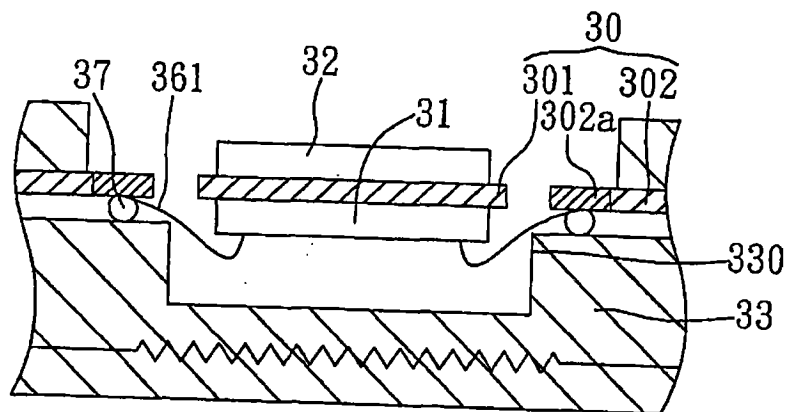


图 3B

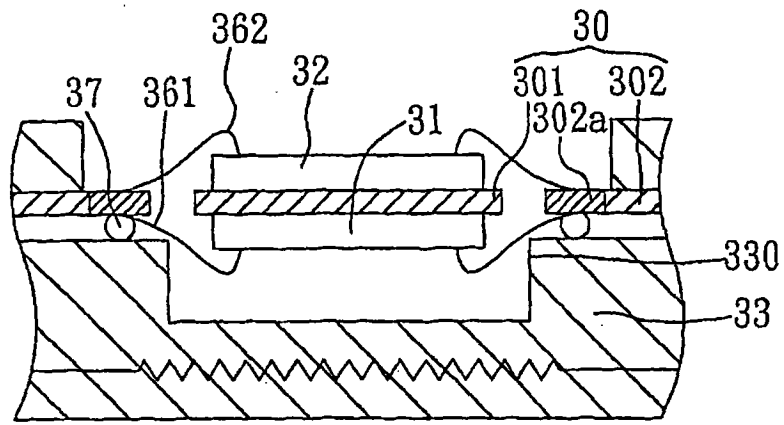


图 3C

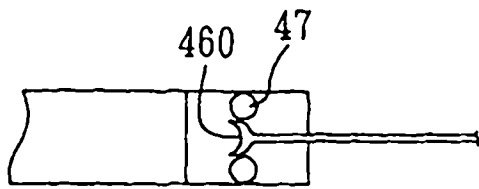


图 4A

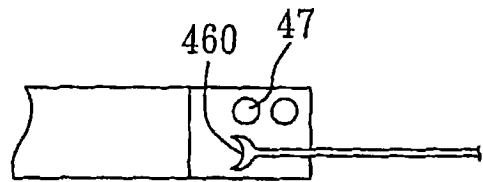


图 4B

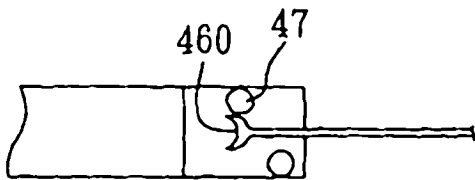


图 4C

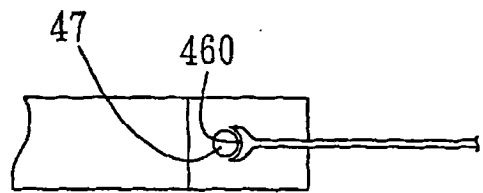


图 4D

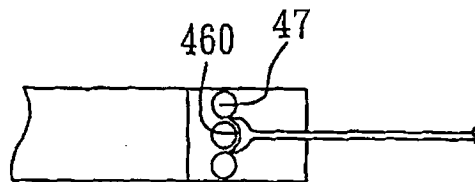


图 4E

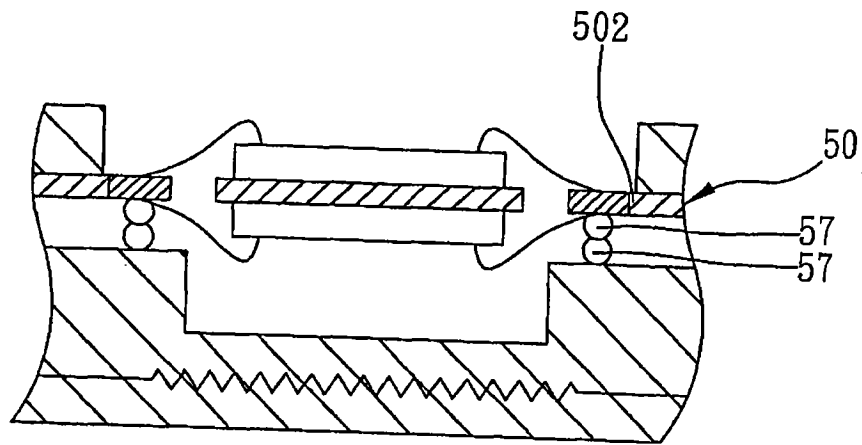


图 5