(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G09G 3/36

(45) 공고일자 2004년05월27일
(11) 등록번호 10-0433222
(24) 등록일자 2004년05월17일

(21) 출원번호 10-2001-0084129
(22) 출원일자 2001년12월24일

(65) 공개번호 10-2003-0054041
(43) 공개일자 2003년07월02일

(73) 특허권자 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 정동일
울산광역시남구달동611-21금남빌라401호

(74) 대리인 김영호

심사관 : 정경덕

(54) 데이터 전송장치 및 이를 이용한 액정표시장치

요약

본 발명은 인터페이스의 포트별 데이터 전송 순서를 달리하는 포트 스위칭회로를 구성하여 이를 외부에서 제어할 수 있도록 한 데이터 전송장치 및 이를 이용한 액정표시장치에 관한 것이다.
본 발명은 입력되는 데이터를 병렬 데이터로 변환하기 위한 직/병렬 변환기와, 상기 직/병렬 변환기로부터 공급되는 병렬 데이터를 기수 데이터 및 우수 데이터로 분리하는 데이터 분리부와, 상기 데이터 분리부로부터 분리된 상기 기수 데이터 및 우수 데이터를 전송하는 데이터 전송부와, 상기 데이터 송신부로부터 전송되는 데이터를 수신하여 상기 기수 데이터 및 우수 데이터를 저장하는 데이터 수신부와, 상기 데이터 분리부와 데이터 전송부 사이에 설치되어 상기 우수 데이터 및 기수 데이터의 전송순서를 제어하기 위한 데이터 전송제어부를 구비한다.
이러한 구성에 의하여, 데이터전송 순서를 외부적으로 제어하여 송신 및 수신포트마다 데이터 표시가 다르더라도 대처할 수 있게되므로 동종 데이터전송 포트간에 자유로운 인터페이싱이 가능하게 된다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 종래의 데이터 전송장치를 나타내는 블록도.
도 2는 도 1에 도시된 종래의 데이터 전송장치의 송신부와 수신부 간의 데이터 인터페이스부를 나타내는 블록도.
도 3은 종래의 데이터 전송장치의 송신부와 수신부 간에 데이터 전송 오류를 나타내는 블록도.
도 4는 본 발명에 따른 액정표시장치를 나타내는 블록도.
도 5는 도 4에 도시된 2 포트 인터페이스부를 나타내는 블록도.
도 6은 도 5에 도시된 포트선택부를 나타내는 블록도.
도 7은 도 4에 도시된 인터페이스부의 다른 예를 나타내는 블록도.
도 8은 본 발명에 따른 4 포트 인터페이스부를 나타내는 블록도.

< 도면의 주요 부분에 대한 부호의 설명 >
2, 32 : 인터페이스부 4 : 송신부
6 : 수신부 8, 38 : 타이밍 제어부
10, 40 ; 액정패널 12 : 직렬/병렬 입력부
14,16,44,46,82,84,86,88 : 송신포트 18 : 직렬/병렬 출력부
20,22,60,62,92,94,96,98 : 수신포트 30 : 비디오 카드
34, 102 : 송신부 50, 100 : 포트선택부
51, 80 : 멀티플렉서 52 : 데이터 드라이버
54 : 게이트 드라이버 56 ; 파워블록
58 : 디코딩부 64,90 : MUX제어부
104 : 수신부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 데이터 전송장치에 관한 것으로, 특히 인터페이스의 포트별 데이터 전송 순서를 달리하는 포트 스위칭회로를 구성하고 이를 외부에서 제어할 수 있도록 한 데이터 전송장치에 관한 것이다. 또한, 본 발명은 상기 데이터 전송장치를 이용한 액정표시장치에 관한 것이다.
음성정보가 전송되기 시작한 이래로 전송매체를 통하여 전송되는 텍스트 정보(Text Information) 및 비디오 정보(Video Information)와 같은 최근의 정보는 음성정보에 비하여 그 양이 커지고 있다. 특히, 비디오 정보는 고품질 영상에 대한 이용자의 욕구를 충족시키기 위하여 그 양이 더욱 더 커지고 있는 실정이다. 이와 더불어, 최근의 정보는 이용자가 적절한 시기에 이용할 수 있게끔 고속으로 전송되고 있다.
도 1을 참조하면, 종래의 데이터 전송장치는 도시하지 않은 퍼스널 컴퓨터(도시되지 않음) 등과 같은 구동시스템으로부터 데이터(R,G,B)를 공급받는 인터페이스부(2)와, 인터페이스부(2)로부터 공급되는 데이터(R,G,B)를 액정패널(10)에 공급하는 타이밍 제어부(8)를 구비한다.
인터페이스부(2)는 구동시스템으로부터 입력되는 데이터(R,G,B) 및 제어신호(입력클럭, 수평동기신호, 수직동기신호, 데이터 인에이블 신호)들을 입력받아 타이밍 제어부(8)로 공급한다. 주로 구동시스템으로부터 데이터 및 제어신호 전송을 위해서 LVDS(Low Voltage Differential Signal) 인터페이스와 TTL(Transistor Transistor Logic) 인터페이스 등이 사용되고 있다. 또한 이러한 인터페이스 기능을 모아서 타이밍 제어부(8)와 함께 단일 칩(Chip)으로 집적시켜 사용하고도 있다.
타이밍 제어부(8)는 인터페이스부(2)로부터 데이터를 재정렬하게 된다. 타이밍 제어부(8)에 의해 재정렬된 데이터(RGB data)는 인터페이스부(2)를 통해 입력되는 제어신호를 이용하여 액정패널(10)로 전송된다.
액정패널(10)은 두 장의 유리기판 사이에 액정이 주입되며, 그 하부 유리기판 상에 데이터라인들과 게이트라인들이 상호 직교되도록 형성된다. 데이터라인들과 게이트라인들의 교차부에 형성된 TFT는 스캐닝펄스에 응답하여 데이터라인들 상의 데이터를 화면에 표시하게 된다.
도 1 및 도 2를 참조하면, 종래의 데이터 전송장치의 인터페이스부는 구동시스템에서 공급되는 데이터를 수신하여 송신하는 송신부(4)와, 송신부(4)로부터 전송되는 데이터를 수신하여 타이밍 제어부(8)로 공급하는 수신부(6)를 구비한다.
송신부(4)는 구동시스템으로부터 입력되는 직렬 또는 병렬 데이터신호를 기수 및 우수 데이터(odd, even)를 나누는 직렬/병렬 입력부(12)와, 직렬/병렬 입력부(12)로부터 출력되는 기수 및 우수 데이터(odd, even)를 각각 저장하는 제 1 및 제 2 송신포트(14, 16)와, 제 1 및 제 2 송신포트(14, 16)로부터 출력되는 기수 및 우수 데이터(odd, even)를 순차적으로 출력하는 직렬/병렬 출력부(18)로 구성된다.
수신부(6)는 송신부(4)로부터 순차적으로 전송되는 기수 및 우수 데이터(odd, even)를 수신하는 제 1 및 제 2 수신포트(20, 22)로 구성된다.
이와 같은 종래의 인터페이스부(2)의 송신부(4)는 직렬 또는 병렬로 입력되는 데이터 중 기수 데이터(odd)를 제 1 송신포트(14)에 저장하고, 우수 데이터(even)를 제 2 송신포트(16)에 저장한다. 제 1 및 제 2 송신포트(14, 16)에 저장된 직렬 또는 병렬 데이터는 직렬/병렬 출력부(18)를 통해 수신부(6)로 전송된다.
이 때, 제 1 송신포트(14)에 저장된 기수 데이터(odd)는 제 1 수신포트(20)로 전송되어 저장되고, 제 2 송신포트(16)에 저장된 우수 데이터(even)는 제 2 수신포트(22)로 전송되어 저장된다. 이는 제 1 및 제 2 송신포트(14, 16)와 제 1 및 제 2 수신포트(20, 22)는 1:1 매핑(Mapping) 되어 있기 때문이다.
이 때, 송신부(4)와 수신부(6)가 동일한 데이터표시를 할 경우, 예를 들면, 제 1 송신포트(14)와 제 1 수신포트(20)의 첫번째 데이터가 기수(D0)일 경우에는 데이터가 서로 같기 때문에 데이터전송에 문제가 발생하지 않는다.
그러나 도 3과 같이 데이터표시가 상이한 경우에는 데이터전송 오류가 발생하게 된다. 이를 상세히 하면, 송신부(4)의 제 1 송신포트(14)에는 기수 데이터(odd)가 저장되고, 제 2 송신포트(16)에는 우수 데이터(even)가 저장된다. 한편,

수신부(6)의 제 1 수신포트(20)에는 우수 데이터(even)가 수신되고, 제 2 수신포트(22)에는 기수 데이터(odd)가 수신된다.
이와 같이, 송신부(4)와 수신부(6)의 데이터 표시가 상이하기 때문에 타이밍 제어부(8)를 통해 액정패널(10)에는 정반대의 데이터가 표시된다. 이것은 데이터 전송에서 송신포트 및 수신포트의 데이터 표시 방법에 따라 우수 및 기수로 구별될 때 각 송신 및 수신포트의 IC 업체별로 서로 상이한 데이터 표시를 가질 경우에 발생하게 된다. 결과적으로, 각 IC 업체별로 서로 상이한 데이터 표시를 가지기 때문에 설계자나 엔지니어에 의해 설계된 회로를 적용하지 못하는 경우가 발생하게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 인터페이스의 포트별 데이터 전송 순서를 달리하는 포트 스위칭회로를 구성하고 이를 외부에서 제어할 수 있도록 한 데이터 전송장치를 제공하는데 있다.
본 발명의 다른 목적은 상기 데이터 전송장치를 이용한 액정표시장치를 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 데이터 전송장치는 입력되는 데이터를 병렬 데이터로 변환하기 위한 직/병렬 변환기와, 상기 직/병렬 변환기로부터 공급되는 병렬 데이터를 기수 데이터 및 우수 데이터로 분리하는 데이터 분리부와, 상기 데이터 분리부로부터 분리된 상기 기수 데이터 및 우수 데이터를 전송하는 데이터 송신부와, 상기 데이터 송신부로부터 전송되는 상기 기수 데이터 및 우수 데이터를 수신하여 저장하는 데이터 수신부와, 상기 데이터 분리부와 데이터 송신부 사이에 설치되어 상기 우수 데이터 및 기수 데이터의 전송순서를 제어하기 위한 데이터 전송제어부를 구비한다.
상기 데이터 송신부 및 데이터 수신부 각각은 일대일로 대응되는 2 포트 및 4 포트 중 어느 하나인 것을 특징으로 한다.
상기 데이터 전송제어부는 상기 기수 데이터 및 우수 데이터가 각각 입력되는 제 1 멀티플렉서와, 상기 데이터 송신부로부터의 전송완료 신호를 공급받아 스위칭 제어신호를 생성하는 제 2 멀티플렉서와, 상기 기수 데이터 및 우수 데이터의 전송순서를 선택하기 위한 포트 선택신호를 공급하는 포트선택부와, 상기 제 1 멀티플렉서와 상기 제 2 멀티플렉서 사이에 설치되어 상기 스위칭 제어신호와 상기 포트 선택신호를 입력받아 상기 제 1 멀티플렉서에 포트선택 제어신호를 공급하는 NOR게이트를 구비한다.
본 발명에 따른 액정표시장치는 데이터라인과 게이트라인의 교차부에 액정셀이 배치되는 액정패널과, 상기 데이터라인에 데이터신호를 공급하는 데이터 구동부와, 상기 게이트라인에 스캔신호를 공급하는 게이트 구동부와, 입력되는 데이터를 병렬 데이터로 변환하기 위한 직/병렬 변환기와, 상기 직/병렬 변환기로부터 공급되는 병렬 데이터를 기수 데이터 및 우수 데이터로 분리하는 데이터 분리부와, 상기 데이터 분리부로부터 분리된 상기 기수 데이터 및 우수 데이터를 전송하는 데이터 송신부와, 상기 데이터 송신부로부터 전송되는 상기 기수 데이터 및 우수 데이터를 수신하여 저장하는 데이터 수신부와, 상기 데이터 분리부와 데이터 송신부 사이에 설치되어 상기 우수 데이터 및 기수 데이터의 전송순서를 제어하기 위한 데이터 전송제어부와, 상기 데이터 구동부 및 상기 게이트 구동부에 필요한 제어신호를 공급하고, 상기 데이터 수신부로부터 공급되는 데이터신호를 상기 데이터 구동부에 공급하는 타이밍 컨트롤러와, 상기 타이밍 컨트롤러, 상기 데이터 구동부 및 게이트 구동부에 구동전압을 공급하는 전원공급부를 구비한다.
상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예의 설명을 통하여 명백하게 드러나게 될 것이다.
도 4 내지 도 8을 참조하여 본 발명의 바람직한 실시예에 대하여 설명 하기로 한다.
도 4를 참조하면, 본 발명에 따른 액정표시장치는 데이터신호를 공급하는 비디오 카드(30)와, 데이터라인(65)과 게이트라인(66)이 교차되며 그 교차부에 액정셀(Clc)을 구동하기 위한 TFT가 형성된 액정패널(40)과, 액정패널(40)의 데이터라인(65)에 데이터를 공급하기 위한 데이터 드라이버(52)와, 액정패널(40)의 게이트라인(66)에 스캐닝펄스를 공급하기 위한 게이트 드라이버(54)와, 디지털 비디오 데이터와 동기신호(H,V)가 공급되는 타이밍 제어부(38)와, 비디오 카드(30)와 타이밍 제어부(38) 사이에 설치되어 비디오 카드(30)로부터 입력되는 데이터신호를 액정패널(40)로 전송하기 위한 인터페이스부(32)와, 타이밍 제어부(38), 데이터 드라이버(52) 및 게이트 드라이버(54)에 전원을 공급하는 파워블록(56)을 구비한다.
액정패널(40)은 두 장의 유리기판 사이에 액정이 주입되며, 그 하부 유리기판 상에 데이터라인들(65)과 게이트라인들(66)이 상호 직교되도록 형성된다. 데이터라인들(65)과 게이트라인들(66)의 교차부에 형성된 TFT는 스캐닝펄스에 응답하여 데이터라인들(65) 상의 데이터가 액정셀(Clc)에 공급되도록 한다. 이를 위하여, TFT의 게이트전극은 게이트라인(66)에 접속되며, 소스전극은 데이터라인(65)에 접속된다. 그리고 TFT의 드레인전극은 액정셀(Clc)의 화소전극에 접속된다.
비디오 카드(30)는 도시하지 않은 구동시스템에 설치되어 디지털 비디오 데이터신호를 인터페이스부(32)로 공급하는 역할을 한다.
인터페이스부(32)는 비디오 카드(30)로부터 입력되는 데이터(R,G,B) 및 제어신호(입력클럭, 수평동기신호, 수직동기신호, 데이터 인에이블 신호)들을 입력받아 타이밍 제어부(38)로 공급한다. 주로 구동시스템으로부터 데이터 및 제어신호 전송을 위해서 LVDS(Low Voltage Differential Signal) 인터페이스와 TTL(Transistor Transistor Logic) 인터페이스 등이 사용되고 있다. 또한 이러한 인터페이스 기능을 모아서 타이밍 제어부(38)와 함께 단일 칩(Chip)으로

집적시켜 사용하고도 있다.
타이밍 제어부(38)는 디지털 비디오 카드(30)로부터 공급되는 디지털 비디오 데이터를 재정렬하게 된다. 타이밍 제어부(38)에 의해 재정렬된 데이터(RGB data)는 데이터 드라이버(52)에 공급된다. 또한, 타이밍 제어부(38)는 자신에게 입력되는 수평/수직 동기신호(H,V)를 이용하여 도트클럭(Dclk), 게이트 스타트 펄스(GSP), 게이트 시프트 클럭(GSC), 출력 인에이블/디스에이블신호 등의 타이밍 제어신호와 극성 제어신호를 생성하여 데이터 드라이버(52)와 게이트 드라이버(54)를 제어하게 된다. 도트클럭(Dclk)과 극성 제어신호는 데이터 드라이버(52)에 공급되며, 게이트 스타트 펄스(GSP)와 게이트 시프트 클럭(GSC)는 게이트 드라이버(54)에 공급된다.
게이트 드라이버(54)는 타이밍 제어부(38)로부터 공급되는 게이트 스타트 펄스(GSP)와 게이트 시프트 클럭(GSC)에 응답하여 스캔펄스 즉, 게이트 하이펄스를 순차적으로 발생하는 쉬프트 레지스터와, 스캔펄스의 전압을 액정셀(Clc)의 구동에 적합한 레벨로 쉬프트 시키기 위한 레벨 쉬프터를 포함한다. 이 스캔펄스에 응답하여 TFT는 턴-온된다. TFT가 턴-온될 때, 데이터라인(65) 상의 비디오 데이터는 액정셀(Clc)의 화소전극에 공급된다.
데이터 드라이버(52)에는 적(R), 녹(G) 및 청(B) 색의 데이터(RGB data)가 공급됨과 아울러, 타이밍 제어부(38)로부터 도트클럭(Dclk)이 입력된다. 이 데이터 드라이버(52)는 도트클럭(Dclk)에 따라 적(R), 녹(G) 및 청(B) 색의 데이터(RGB data)를 샘플링 후에, 1 라인분씩 래치한다. 이 데이터 드라이버(52)에 의해 래치된 데이터는 아날로그 데이터로 변환되어 매 주사기간마다 데이터라인들(65)에 동 시에 공급된다. 데이터 드라이버(52)는 데이터에 대응하는 감마전압을 데이터라인(65)에 공급할 수도 있다.
파워블록(56)은 구동시스템으로부터 공통전압을 공급받아 데이터 드라이버(52), 게이트 드라이버(54) 및 타이밍 제어부(38) 각각에 필요한 구동전압을 공급한다.
도 5를 참조하면, 본 발명의 제 1 실시예에 따른 데이터 전송장치의 인터페이스부(32)는 비디오 카드(30)로부터 입력되는 직렬/병렬 데이터신호를 기수 및 우수 데이터로 나누는 디코딩부(58)와, 기수 및 우수데이터로 디코딩된 데이터신호를 선택적으로 전송하기 위한 포트선택부(50)와, 포트선택부(50)로부터 전송되는 기수 및 우수 데이터를 각각 저장한 후 기수 및 우수데이터를 순차적으로 전송하는 2 포트 송신부(34)와, 2 포트 송신부(34)로부터 전송되는 기수 및 우수 데이터를 수신하여 저장하는 2 포트 수신부(36)로 구성된다.
디코딩부(58)는 비디오 카드(30)로부터 입력되는 데이터신호 중 직렬 데이터신호는 병렬로 변환하고, 병렬 데이터신호는 바이패스시킴과 아울러 기수 및 우수 번째 데이터신호로 나누어 포트선택부(50)에 공급한다.
포트선택부(50)는 도 6과 같이 디코딩부(58)로부터 기수 및 우수데이터로 디코딩된 데이터신호의 전송을 선택하기 위한 멀티플렉서(51)와, 멀티플렉서(51)에 스위칭 제어신호(SC)를 공급하기 위한 MUX제어부(64)와, 멀티플렉서(51)와 MUX제어부(64) 사이에 배치되어 스위칭 제어신호(SC) 및 포트선택신호(PS)에 따라 멀티플렉서(51)의 스위칭을 제어하기 위한 포트선택 제어신호(PSC)를 멀티플렉서(51)에 공급하는 배타적 XNOR게이트(XNOR)를 구비한다.
멀티플렉서(51)는 하나의 입력단자와 두개의 출력단자로 구성된다. 입력단자에는 디코딩부(58)에서 기수 및 우수데이터로 나누어져 순차적으로 공급되는 8비트 데이터신호가 공급된다. 또한, 두개의 출력단자는 배타적 XNOR게이트(XNOR)로부터의 포트선택 제어신호(PSC)에 의해 선택적으로 데이터신호를 출력한다.
MUX제어부(64)는 2 포트 송신부(34)의 제 1 및 제 2 송신포트(44, 46)로부터 공급되는 각각의 포트 상태신호(PC1, PC2)를 조합하여 스위칭 제어신호(SC)를 배타적 XNOR게이트(XNOR)에 공급한다. 이 때, MUX제어부(64)에 공급되는 포트 상태신호(PC1, PC2)는 2 포트 송신부(34)의 제 1 및 제 2 송신포트(44, 46)에 저장되는 8비트 데이터가 채워지면 논리신호 'H'가 되고, 채워지지 않으면 논리신호 'L'가 된다. MUX제어부(64)는 포트 상태신호(PC1, PC2)가 같은 논리일 경우에는 'H' 상태의 스위칭 제어신호(SC)를, 다른 논리일 경우에는 'L' 상태의 스위칭 제어신호(SC)를 배타적 XNOR게이트(XNOR)에 공급한다.
XNOR게이트(XNOR)는 외부에서 2 포트 수신부(36)의 데이터 표시 방법에 해당하는 포트 선택신호(PS)와 MUX제어부(64)에서 출력되는 스위칭 제어신호(SC)에 따라 포트선택부(50)에 포트선택 제어신호(PSC)를 공급한다.
2 포트 송신부(34)는 포트선택부(50)에서 기수 및 우수 데이터(odd, even) 중 어느 하나가 선택되어 저장되는 제 1 송신포트(44)와, 기수 및 우수 데이터(odd, even) 중 나머지를 저장하는 제 2 송신포트(46)로 구성된다. 예를 들어, 제 1 송신포트(44)에는 데이터 중 기수 데이터(odd)가 저장되고, 제 2 송신포트(46)에는 우수 데이터(even)가 저장된다.
2 포트 수신부(36)는 2 포트 송신부(34)의 제 1 및 제 2 송신포트(44, 46)에서 순차적으로 전송되는 기수 및 우수 데이터(odd, even)를 각각 수신하여 저장하는 제 1 및 제 2 수신포트(60, 62)로 구성된다. 이러한, 2 포트 수신부(36)의 제 1 수신포트(60)에는 기수 데이터(odd)가 수신되어 저장되고, 제 2 수신포트(62)에는 우수 데이터(even)가 수신되어 저장된다.
이러한, 2 포트 송신부(34) 및 2 포트 수신부(36)의 각 포트들은 상호간에 1 대 1로 연결된다. 즉, 제 1 송신포트(44)의 데이터는 제 1 수신포트(60)로 전송되고, 제 2 송신포트(46)의 데이터는 제 2 수신포트(62)로 전송되도록 연결된다.
이와 같은 인터페이스부(32)의 동작을 설명하면, 우선 2 포트 수신부(36)의 데이터 표시 방법에 따라 포트선택신호(PS)가 XNOR게이트(XNOR)에 공급된다. 예를 들면, 2 포트 수신부(36)의 제 1 수신포트(60)에는 기수 데이터(odd), 제 2 수신포트(62)에는 우수 데이터(even)가 저장되도록 설정되는 경우에는 포트선택신호(PS)가 논리신호 'H'를 XNOR게이트(XNOR)의 한 입력단자에 입력한다. 이 때, MUX제어부(64)는 포트 상태신호(PC1, PC2)가 동일한 논리 상태이기 때문에 'H' 상태의 스위칭 제어신호(SC)를 배타적 XNOR게이트(XNOR)의 다른 입력단자에 공급한다.
이에 따라, 멀티플렉서(51)는 'H' 상태의 포트선택 제어신호(PSC)에 의해 제 1 송신포트(44)를 선택하게 된다. 이로 인해, 제 1 송신포트(44)는 기수 데이터(odd)를 저장한 후, 제 1 수신포트(60)에 기수 데이터(Odd)를 전송하게 된다.

그런 다음, 제 1 송신포트(44)에 기수(odd) 데이터가 모두 저장이 될 경우에는 제 1 송신포트(44)에서 'H' 상태의 포트상태신호(PC1)가 MUX제어부(64)에 공급된다. 이로 인해, MUX제어부(64)는 입력되는 포트 상태신호(PC1, PC2)가 다른 논리신호를 가지기 때문에 'L' 상태의 논리신호를 배타적 XNOR게이트(XNOR)의 다른 입력단자에 공급한다. 이에 따라, 멀티플렉서(51)는 'L' 상태의 포트선택 제어신호(PSC)에 의해 스위칭되어 제 2 송신포트(46)를 선택하게 된다. 이로 인해, 제 2 송신포트(46)는 우수 데이터(even)를 저장한 후, 제 2 수신포트(62)에 우수 데이터(even)를 전송하게 된다.

도 7을 참조하면, 2 포트 수신부(36)의 데이터 표시가 제 1 수신포트(60)에는 우수 데이터(even)가, 제 2 수신포트(62)에는 기수 데이터(odd)가 저장되도록 설정된 경우에 있어서, 포트선택신호(PS)는 2 포트 송신부(34)와 2 포트 수신부(36)의 데이터표시가 다르기 때문에 논리신호 'L'이 XNOR게이트(XNOR)의 한 입력단자에 입력된다. 이 때, MUX제어부(64)에는 동일한 논리상태의 포트 상태신호(PC1, PC2)가 공급되기 때문에 'H' 상태의 스위칭 제어신호(SC)를 배타적 XNOR게이트(XNOR)의 다른 입력단자에 입력한다.

이에 따라, 멀티플렉서(51)는 'L' 상태의 포트선택 제어신호(PSC)에 의해 제 2 송신포트(46)를 선택하게 된다. 이로 인해, 제 2 송신포트(46)는 기수 데이터(odd)를 저장한 후, 제 2 수신포트(62)에 기수 데이터(odd)를 전송하게 된다.

그런 다음, 제 2 송신포트(46)에 기수 데이터(odd)가 모두 저장이 될 경우에는 제 2 송신포트(46)에서 'H' 상태의 포트 상태신호(PC2)가 MUX제어부(64)에 공급된다. 이로 인해, MUX제어부(64)는 입력되는 포트 상태신호(PC1, PC2)가 다른 논리신호를 가지기 때문에 'L' 상태의 논리신호를 배타적 XNOR게이트(XNOR)의 다른 입력단자에 공급한다. 이에 따라, 멀티플렉서(51)는 'L' 상태의 포트선택 제어신호(PSC)에 의해 스위칭되어 제 1 송신포트(44)를 선택하게 된다. 이로 인해, 제 1 송신포트(44)는 우수 데이터(even)를 저장한 후, 제 1 수신포트(60)에 우수 데이터(even)를 전송하게 된다.

이와 같이, 본 발명에 따른 데이터 전송장치는 2포트의 2 포트 송신부(34) 및 2 포트 수신부(36)의 데이터 표시 방법에 따라 2 포트 송신부(34)에서 전송되는 데이터 전송순서를 외부적인 옵션에 의해 선택적으로 바꿈으로써 데이터 인터페이스의 효율을 향상시킬 수 있게 된다.

도 8을 참조하면, 본 발명의 제 2 실시예에 따른 데이터 전송장치의 인터페이스부는 기수 및 우수데이터로 나누어져 입력되는 데이터신호를 선택적으로 전송하기 위한 포트선택부(100)와, 포트선택부(100)로부터 전송되는 기수 및 우수 데이터를 각각 저장한 후 기수 및 우수데이터를 순차적으로 전송하는 4포트 송신부(102)와, 송신부(102)로부터 전송되는 데이터신호를 수신하여 기수 및 우수 데이터(odd, even)를 각각 저장하는 4포트 수신부(104)로 구성된다.

포트선택부(100)는 도시하지 않은 디코딩부에서 프레임단위의 기수 및 우수 데이터(odd, even)로 나누어져 전송되는 데이터를 선택적으로 4 포트 송신부(102)에 전송하기 위한 멀티플렉서(80)와, 멀티플렉서(80)에 스위칭 제어신호(SC)를 공급하기 위한 MUX제어부(90)와, 멀티플렉서(80)와 MUX제어부(90) 사이에 배치되어 스위칭 제어신호(SC) 및 포트선택신호(PS)에 따라 멀티플렉서(80)의 스위칭을 제어하기 위한 포트선택 제어신호(PSC)를 제 1 및 제 2 XNOR게이트(XNOR1, XNOR2)를 구비한다.

멀티플렉서(80)는 1 개의 입력단자와 4 개의 출력단자로 구성된다. 1 개의 입력단자에는 도시하지 않은 디코딩부에서 프레임단위로 기수 및 우수 데이터(odd, even)로 나누어져 순착적으로 공급되는 8비트 데이터신호가 공급된다. 4 개의 출력단자는 배타적 XNOR게이트(XNOR)로부터의 포트선택 제어신호(PSC)에 의해 선택적으로 데이터신호를 출력한다. 이러한, 멀티플렉서(80)는 제 1 및 제 2 XNOR게이트(XNOR1, XNOR2)로부터 공급되는 제 1 및 제 2 포트선택 제어신호(PSC1, PSC2)에 따라 4개의 포트 중 어느 하나에 연결된다.

MUX제어부(90)는 4 포트 송신부(102)의 제 1 내지 제 4 송신포트(82,84,86,88)로부터 공급되는 각각의 포트 상태신호(PC1,PC2,PC3,PC4)를 조합하여 스위칭 제어신호(SC)를 제 1 및 제 2 XNOR게이트(XNOR1, XNOR2)에 공급한다. 이 때, MUX제어부(90)에 공급되는 포트 상태신호(PC1,PC2,PC3,PC4)는 4 포트 송신부(102)의 제 1 내지 제 4 송신포트(82,84,86,88) 각각에 8비트 데이터가 모두 저장되면 'H' 상태의 논리신호가 되고, 그렇지 않으면 'L' 상태의 논리신호가 된다. 즉, MUX제어부(90)는 포트 상태신호(PC1,PC2,PC3,PC4)을 조합하여 제 1 내지 제 4 송신포트(82,84,86,88) 중 어느 하나를 선택하는 2비트 '00, 01, 10, 11'의 스위칭 제어신호(SC)를 제 1 및 제 2 XNOR게이트(XNOR1, XNOR2)에 공급한다.

제 1 및 제 2 XNOR게이트(XNOR1, XNOR2)는 각각 외부에서 4 포트 수신부(104)의 데이터 표시 방법에 해당하는 포트 선택신호(PS)와 MUX제어부(90)에서 공급되는 스위칭 제어신호(SC)에 따라 포트선택부(100)에 포트선택 제어신호(PSC1, PSC2)를 공급한다.

4 포트 수신부(104)는 포트선택부(100)에서 기수 및 우수 프레임 중 어느 한 프레임의 기수 및 우수 데이터(odd, even) 중 어느 하나를 저장하는 제 1 수신포트(92)와, 기수 및 우수 데이터(odd, even) 중 나머지를 저장하는 제 2 수신포트(94)와, 기수 및 우수 프레임 중 나머지 프레임의 기수 및 우수 데이터(odd, even) 중 어느 하나를 저장하는 제 3 수신포트(96)와, 기수 및 우수 데이터(odd, even) 중 나머지를 저장하는 제 4 수신포트(98)로 구성된다.

예를 들어, 제 1 수신포트(92)에는 기수 프레임의 중 기수 데이터(odd), 제 2 수신포트(94)에는 우수 데이터(even), 제 3 수신포트(96)에는 우수 프레임의 중 기수 데이터(odd), 제 4 수신포트(98)에는 우수 데이터(even)가 저장된다. 이러한, 4 포트 송신부(102) 및 4 포트 수신부(104)의 각 포트들은 상호간에 1 대 1로 연결된다.

이와 같은 인터페이스부의 동작을 설명하면, 우선 4 포트 수신부(104)의 데이터 표시 방법에 따라 포트선택신호(PS)가 제 1 및 제 2 XNOR게이트(XNOR1, XNOR2)에 공급된다. 이에 따라, 제 1 및 제 2 XNOR게이트(XNOR1, XNOR2)는 제 1 내지 제 4 송신포트(82, 84, 86, 88) 중 어느 하나를 선택하는 포트선택 제어신호(PSC1, PSC2)를 멀티플렉서(80)에 공급한다. 이 포트선택 제어신호(PSC1, PSC2)에 의해 선택된 제 1 내지 제 4 송신포트(82, 84, 86, 88) 중 어느 하나에 프레임단위로 기수 및 우수 데이터(odd, even)으로 나누어진 어느 하나의 데이터가 저장된 후, 제 1 내지 제 4 수신포트(92, 94, 96, 98) 중 어느 하나로 전송하게 된다.

다시 말하여, 제 1 내지 제 4 송신포트(82, 84, 86, 88)와 제 1 내지 제 4 수신포트(92, 94, 96, 98)는 상호 1대1로 연결되어 있기 때문에 외부에서 제어하는 포트 선택신호(PS)와 조합된 포트 상태신호(PC1, PC2, PC3, PC4)에 의해 멀티플렉서(80)에서 데이터전송 순서를 다르게 변경할 수 있다.
이에 따라, 송신 및 수신포트의 IC 업체별로 서로 상이한 데이터 표시를 가질 경우에 발생하더라도 포트선택부(100)에 의해 데이터전송 순서를 제어할 수 있으므로 설계자나 엔지니어에 의해 설계된 회로를 적용할 수 있게 된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 데이터 전송장치 및 이를 이용한 액정표시장치는 데이터전송 순서를 외부적으로 제어하여 송신 및 수신포트마다 데이터 표시가 다르더라도 대처할 수 있게되므로 동종 데이터전송 포트간에 자유로운 인터페이싱이 가능하게 된다.
이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니 라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

(57) 청구의 범위

청구항 1.
입력되는 데이터를 병렬 데이터로 변환하기 위한 직/병렬 변환기와,
상기 직/병렬 변환기로부터 공급되는 병렬 데이터를 기수 데이터 및 우수 데이터로 분리하는 데이터 분리부와,
상기 데이터 분리부로부터 분리된 상기 기수 데이터 및 우수 데이터를 각각 전송하기 위한 포트들을 구비하는 데이터 송신부와,
상기 데이터 송신부의 포트들에 대응하고, 상기 데이터 송신부로부터 전송되는 상기 기수 데이터 및 우수 데이터를 각각 수신하여 저장하기 위한 포트들을 구비하는 데이터 수신부와,
상기 데이터 분리부와 데이터 송신부 사이에 설치되어 상기 우수 데이터 및 기수 데이터가 상기 데이터 송신부의 포트들에 각각 선택적으로 전송되도록 제어하는 데이터 전송제어부를 구비하는 것을 특징으로 하는 데이터 전송장치.

청구항 2.
제 1 항에 있어서,
상기 데이터 송신부 및 데이터 수신부 각각은 일대일로 대응되는 2 포트 및 4 포트 중 어느 하나인 것을 특징으로 하는 데이터 전송장치.

청구항 3.
제 1 항에 있어서,
상기 데이터 전송제어부는,
상기 기수 데이터 및 우수 데이터가 각각 입력되는 제 1 멀티플렉서와,
상기 데이터 송신부로부터의 전송완료 신호를 공급받아 스위칭 제어신호를 생성하는 제 2 멀티플렉서와,
상기 기수 데이터 및 우수 데이터의 전송순서를 선택하기 위한 포트 선택신호를 공급하는 포트선택부와,
상기 제 1 멀티플렉서와 상기 제 2 멀티플렉서 사이에 설치되어 상기 스위칭 제어신호와 상기 포트 선택신호를 입력받아 상기 제 1 멀티플렉서에 포트선택 제어신호를 공급하는 NOR게이트를 구비하는 것을 특징으로 하는 데이터 전송장치.

청구항 4.
데이터라인과 게이트라인의 교차부에 액정셀이 배치되는 액정패널과,
상기 데이터라인에 데이터신호를 공급하는 데이터 구동부와,
상기 게이트라인에 스캔신호를 공급하는 게이트 구동부와,
입력되는 데이터를 병렬 데이터로 변환하기 위한 직/병렬 변환기와,
상기 직/병렬 변환기로부터 공급되는 병렬 데이터를 기수 데이터 및 우수 데이터로 분리하는 데이터 분리부와,
상기 데이터 분리부로부터 분리된 상기 기수 데이터 및 우수 데이터를 각각 전송하기 위한 포트들을 구비하는 데이터 송신부와,
상기 데이터 송신부의 포트들에 대응하고, 상기 데이터 송신부로부터 전송되는 상기 기수 데이터 및 우수 데이터를 각각 수신하여 저장하기 위한 포트들을 구비하는 데이터 수신부와,
상기 데이터 분리부와 데이터 송신부 사이에 설치되어 상기 우수 데이터 및 기수 데이터가 상기 데이터 송신부의 포트들에 각각 선택적으로 전송되도록 제어하는 데이터 전송제어부와,
상기 데이터 구동부 및 상기 게이트 구동부에 필요한 제어신호를 공급하고, 상기 데이터 수신부로부터 공급되는 데이터신호를 상기 데이터 구동부에 공급하는 는 타이밍 컨트롤러와,
상기 타이밍 컨트롤러, 상기 데이터 구동부 및 게이트 구동부에 구동전압을 공급하는 전원공급부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5.
제 4 항에 있어서,
상기 데이터 송신부 및 데이터 수신부 각각은 일대일로 대응되는 2 포트 및 4 포트 중 어느 하나인 것을 특징으로 하

는 액정표시장치.

청구항 6.

제 4 항에 있어서,

상기 데이터 전송제어부는,

상기 기수 데이터 및 우수 데이터가 각각 입력되는 제 1 멀티플렉서와,

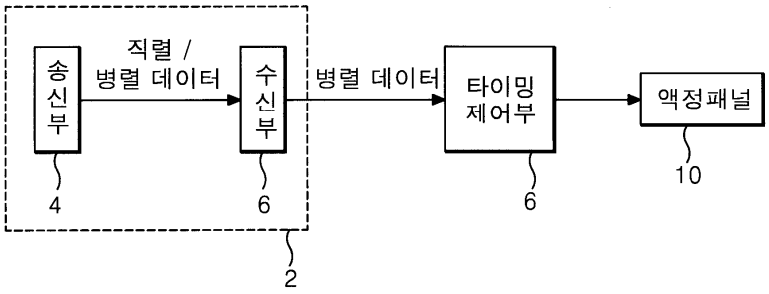
상기 데이터 전송부로부터의 전송완료 신호를 공급받아 스위칭 제어신호를 생성하는 제 2 멀티플렉서와,

상기 기수 데이터 및 우수 데이터의 전송순서를 선택하기 위한 포트 선택신호를 공급하는 포트선택부와,

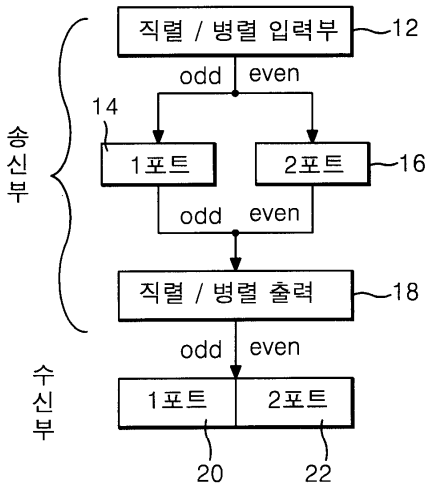
상기 제 1 멀티플렉서와 상기 제 2 멀티플렉서 사이에 설치되어 상기 스위칭 제어신호와 상기 포트 선택신호를 입력받아 상기 제 1 멀티플렉서에 포트선택 제어신호를 공급하는 NOR게이트를 구비하는 것을 특징으로 하는 액정표시장치.

도면

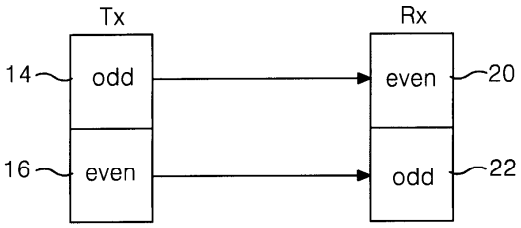
도면1



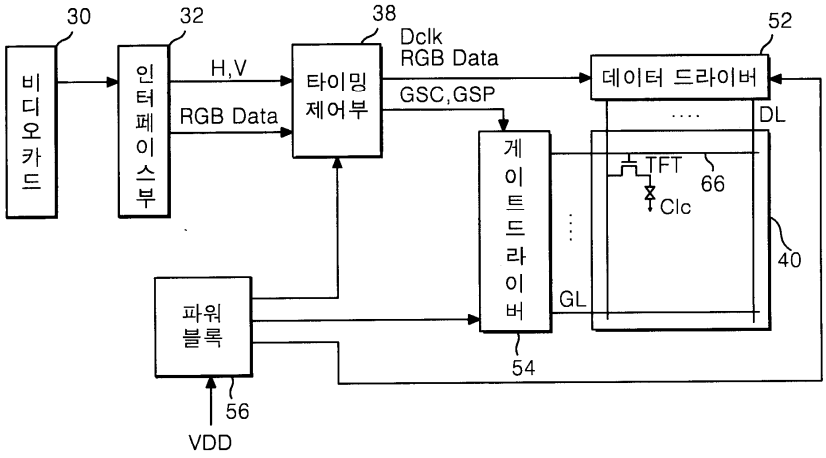
도면2



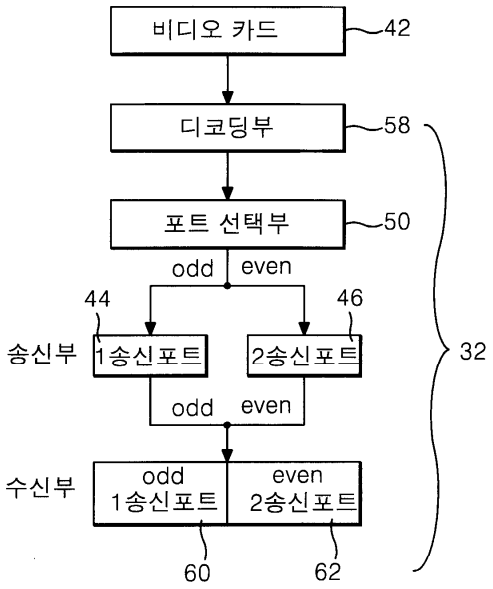
도면3



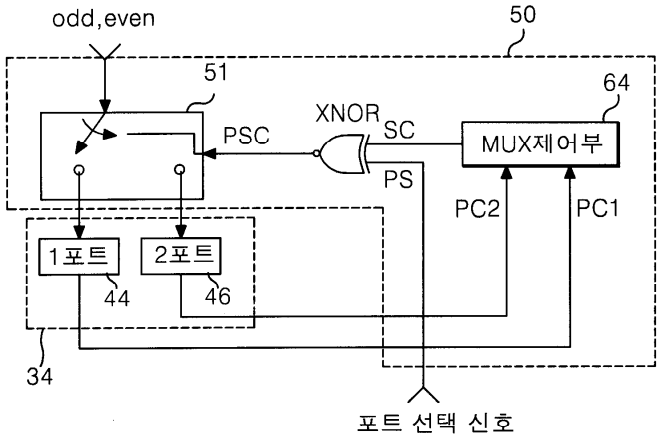
도면4


30
32
38
52
비디오 카드
인터페이스부
H,V
RGB Data
타이밍 제어부
Dclk
RGB Data
GSC,GSP
데이터 드라이버
DL
게이트 드라이버
TFT
66
Clc
40
GL
54
파워 블록
56
VDD

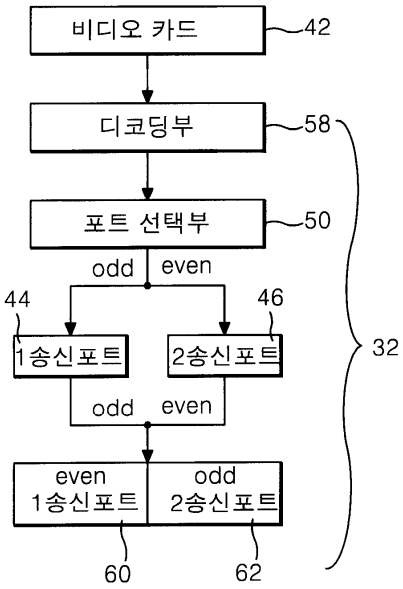
도면5


비디오 카드
42
디코딩부
58
포트 선택부
50
odd
even
44
46
송신부
1송신포트
2송신포트
32
odd
even
수신부
odd
1송신포트
even
2송신포트
60
62

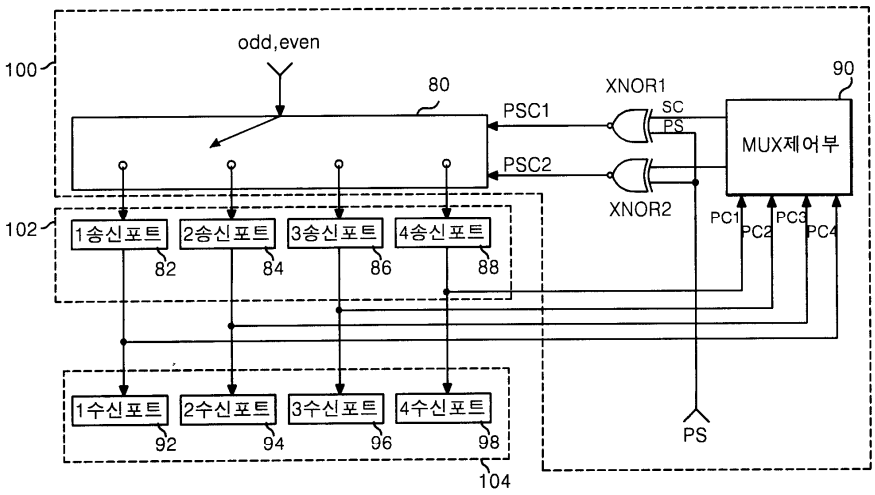
도면6


odd,even
50
51
64
XNOR
PSC
SC
MUX제어부
PS
PC2
PC1
1포트
2포트
44
46
34
포트 선택 신호

도면7


비디오 카드
42
디코딩부
58
포트 선택부
50
odd
even
44
46
1송신포트
2송신포트
32
odd
even
even
1송신포트
odd
2송신포트
60
62

도면8


odd,even
100
80
PSC1
XNOR1
SC
PS
90
MUX제어부
PSC2
XNOR2
102
1송신포트
2송신포트
3송신포트
4송신포트
82
84
86
88
PC1
PC2
PC3
PC4
1수신포트
2수신포트
3수신포트
4수신포트
92
94
96
98
104
PS