



(12)发明专利申请

(10)申请公布号 CN 108982940 A

(43)申请公布日 2018.12.11

(21)申请号 201810608646.6

(22)申请日 2018.06.13

(71)申请人 深圳市鼎阳科技有限公司

地址 518000 广东省深圳市宝安区68区留仙三路安通达工业园4栋三楼

(72)发明人 阮仲华 蔡臻昱 宋民

(74)专利代理机构 深圳鼎合诚知识产权代理有限公司 44281

代理人 郭燕 彭家恩

(51)Int.Cl.

G01R 13/02(2006.01)

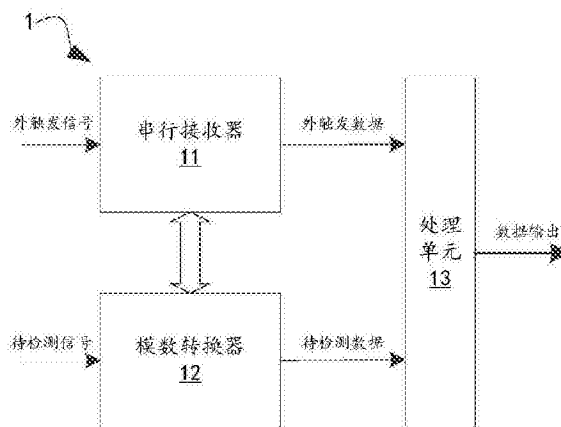
权利要求书2页 说明书7页 附图5页

(54)发明名称

一种基于串行接收器的外触发装置及外触发方法、示波器

(57)摘要

一种基于串行接收器的外触发装置及外触发方法、示波器,外触发装置包括用于获取外触发数据的串行接收器、用于获取待检测数据的模数转换器和用于确定触发点的处理单元。第一方面,由于将串行接收器对外触发信号的采样率设置为模数转换器对待检测信号的采样率的整数倍,使得处理单元在并行处理数据的过程中可将待检测数据中每个数据点对应于外触发数据中一个或多个数据点,利于外触发数据中的一个数据点发生触发事件时,方便地找到待检测数据中对应的数据点,并将该对应的数据点作为触发点。第二方面,由于没有采用传统的TDC电路,使得外触发装置的电路结构和外触发方法的执行过程均得到简化,保证触发精度的同时,降低了系统的硬件成本。



1. 一种基于串行接收器的外触发装置,其特征在于,包括:
串行接收器,用于接收外触发信号并对所述外触发信号进行采样,以获得外触发数据;
模数转换器,用于接收待检测信号并对所述待检测信号进行采样,以获得待检测数据;
处理单元,用于根据所述外触发数据确定所述待检测数据中的触发点。
2. 如权利要求1所述的外触发装置,其特征在于,所述串行接收器对所述外触发信号的采样率是所述模数转换器对所述待检测信号的采样率的整数倍。
3. 如权利要求2所述的外触发装置,其特征在于,所述处理单元根据所述外触发数据确定所述待检测数据中的触发点,包括:
所述处理单元对所述外触发数据和所述待检测数据分别进行并行处理;
所述处理单元将并行处理的外触发数据和并行处理的待检测数据进行数据对齐处理;
所述处理单元判断所述外触发数据中发生触发事件,则所述处理单元根据所述触发事件确定与所述外触发数据对齐的待检测数据中的触发点。
4. 如权利要求3所述的外触发装置,其特征在于,所述数据对齐处理包括:
确定所述待检测数据和所述外触发数据之间进行对齐的时间点;
根据所述时间点将所述待检测数据中的每个数据点与所述外触发数据中预设数目的数据点依次进行对齐,使得所述待检测数据中每个数据点对应于外触发数据中一个或多个数据点;所述串行接收器的采样率和所述模数转换器的采样率的比值与所述预设数目相等。
5. 如权利要求3所述的外触发装置,其特征在于,所述处理单元判断所述外触发数据中发生触发事件,则所述处理单元根据所述触发事件确定与所述外触发数据对齐的待检测数据中的触发点,包括:
所述处理单元判断所述外触发数据中发生一数据点对应的上升沿信号或下降沿信号,将所对应的上升沿信号或下降沿信号作为触发事件;
在所述外触发数据中标记与所述触发事件相对应的第一数据点;
确定所述待检测数据中与所述第一数据点对齐的第二数据点,将所述第二数据点作为所述待检测数据中的触发点。
6. 一种用于外触发装置的外触发方法,其特征在于,所述外触发装置为权利要求1所述的外触发装置,所述外触发方法包括以下步骤:
所述处理单元获取外触发数据和待检测数据;
所述处理单元根据所述外触发数据确定所述待检测数据中的触发点。
7. 如权利要求6所述的外触发方法,其特征在于,所述外触发数据的采样率是所述待检测数据的采样率的整数倍。
8. 如权利要求7所述的外触发方法,所述处理单元根据所述外触发数据确定所述待检测数据中的触发点,包括:
所述处理单元对所述外触发数据和所述待检测数据分别进行并行处理;
所述处理单元将并行处理的外触发数据和并行处理的待检测数据进行数据对齐处理;
所述处理单元判断所述外触发数据中发生触发事件,则所述处理单元根据所述触发事件确定与所述外触发数据对齐的待检测数据中的触发点。
9. 如权利要求8所述的外触发方法,其特征在于,所述处理单元判断所述外触发数据中

发生触发事件,则所述处理单元根据所述触发事件确定与所述外触发数据对齐的待检测数据中的触发点,包括:

所述处理单元判断所述外触发数据中发生一数据点对应的上升沿信号或下降沿信号,将所对应的上升沿信号或下降沿信号作为触发事件;

在所述外触发数据中标记与所述触发事件相对应的第一数据点;

确定所述待检测数据中与所述第一数据点对齐的第二数据点,将所述第二数据点作为所述待检测数据中的触发点。

10.一种数字示波器,其特征在于,包括:

第一测试通道,用于输入外触发信号;

第二测试通道,用于输入待检测信号;

如权利要求1-5任一项所述的外触发装置;

显示器,用于显示所述待检测数据以及所述待检测数据中的触发点。

11.一种计算机可读存储介质,其特征在于,包括程序,所述程序能够被处理器执行以实现如权利要求6-9中任一项所述的方法。

一种基于串行接收器的外触发装置及外触发方法、示波器

技术领域

[0001] 本发明涉及电信号处理领域,具体涉及一种基于串行接收器的外触发装置及外触发方法、示波器。

背景技术

[0002] 一些信号检测设备上往往会设置信号采集通道、外触发通道,前者用来采集外部的待检测信号,后者用来采集外部的触发模拟信号以在触发事件发生时对待检测信号进行标记,此类通道可常见于数字示波器调控面板上的CH通道、EXT TRIG通道。

[0003] 目前,市场上的信号检测设备中外触发功能的工作原理为:外触发信号通过外触发通道输入至设备内部的模拟比较器,与用户设定的触发电平进行比较,输入信号大于触发电平时模拟比较器输出高电平1,输入信号小于触发电平时模拟比较器输出低电平0,从而将外触发信号转变为数字形式的外触发数据,FPGA用其工作时钟采集到外触发数据;同时,待检测信号通过信号采集通道输入至设备内部的ADC转换器,形成数字形式的待检测数据;此时,FPGA将外触发数据与待检测数据进行数据对齐处理,当外触发信号中的触发事件到达时,待检测数据上同时刻的数据点会被认定为触发点,该触发点前后的数据会被保存到缓存器中以在显示界面上进行显示,显示时会在显示界面上标记出触发点的位置来供技术人员参考。

[0004] 在外触发功能的实现过程中,如何保证外触发数据与待检测数据之间的对齐效果将至关重要,直接决定能否找到触发点的位置。当前的普遍的实现方案中,为利用FPGA并行处理的优势,ADC转换器输出的GHz级别的数据流进入到FPGA后将进行串行转并行处理,转换后FPGA得以采用MHz级别的时钟对ADC转换器的数据流进行处理,时钟在MHz级别下FPGA逻辑电路设计的时序要求较为宽松容易满足。但是同时也会带来一个问题,FPGA用自身工作时钟获得的外触发数据与并行处理的待检测数据之间存在时间精度上的不匹配问题,进而使得外触发信号的触发事件到达时将不能在待检测数据上找到触发点的具体位置。

[0005] 例如图1所示的外触发过程的时序图,假设ADC转换器采样率为 2GSa/s ,也就是每秒采集2G个数据,高速的数据流由FPGA高速接口接收后,进行数据的串行转并行处理,转换率为20:1,转换后FPGA每个时钟周期内可以并行处理20个ADC转换器输出的待检测数据,这样FPGA的主频为100MHz,远低于2GHz。同时FPGA用100MHz时钟频率对外触发数据进行采集,采集到的外触发数据在时间精度上低于待检测数据,2GHz采样率的待检测数据的相邻数据点之间的时间间隔为500ps,而100MHz采样率的外触发数据的相邻数据点之间的间隔为10ns。当外触发事件发生时,FPGA根据触发事件的发生时刻判定100MHz时钟对应的一个时钟周期内发生了触发,但无法进一步确定具体的该时钟周期内处理的20个待检测数据中的哪一个数据点为触发点,即无法从触发点所在的数据区域内确定哪一个数据点为触发点。

[0006] 在现有技术中,常常采用TDC(Time to Digital Convertor)电路来解决外触发信号的采样率和待检测信号的采样率之间存在的时间精度不匹配的问题,利用TDC电路可以精确地将输入脉冲以确定的倍数展宽后进行输出,那么,就能够计算得出外触发信号与

FPGA所用100M时钟对应的采样率之间的时间关系。基于TDC电路的外触发过程的时序图可见图2。外触发信号与FPGA时钟上升沿时间差 Δt 为一个随机值,用FPGA时钟将“外触发”信号同步两拍,得到的“外触发_reg2”信号与未进行处理的外触发信号相与之后得到一个窄脉冲(宽度在一个到两个FPGA时钟周期之间),将该脉宽为 t_1 的窄脉冲送出给TDC电路进行展宽,TDC会返回一个展宽后的脉冲,脉宽为 t_2 。然后用FPGA时钟对展宽之后的脉冲进行计数,假设TDC电路的放大系数为 N (即1个时钟周期宽度的脉冲经过放大之后为 N 个时钟周期宽度),对TDC输出脉冲 t_2 宽度进行计数,假设计数值为 M ,那么,可以知道 Δt 对应的计数值为 $(M-N)$, Δt 的时间值为 $[(M-N)/N]*T$,其中, T 为FPGA的时钟周期,在得出了 Δt 后即可确定触发位置。将上述的方法应用于图1所示的外触发过程中时,得到 Δt 后,即可将 $(1-\Delta t/T)*20$ 对应的数据点作为触发点。

[0007] 采用TDC电路虽然可以来解决外触发信号的采样率和待检测信号的采样率之间存在的时间精度不匹配的问题,但在硬件上需要增设TDC电路,会带来设计成本和硬件成本的增加,不利于广泛的推广应用;此外,也会在软件上带来处理效率低的问题,采用TDC电路时,每次外触发都需要经过TDC脉冲展宽计算的过程,且TDC电路的充放电等待过程将延长两次使用时的时间间隔,这时将在每次外触发时增加软件上的处理时间,严重时会将拉低系统的整体运算效率,影响用户的操作体验。

发明内容

[0008] 本发明主要解决的技术问题是如何克服现有技术的不足,快捷、高效地进行外触发过程。

[0009] 根据第一方面,一种实施例中提供一种基于串行接收器的外触发装置,包括:

[0010] 串行接收器,用于接收外触发信号并对所述外触发信号进行采样,以获得外触发数据;

[0011] 模数转换器,用于接收待检测信号并对所述待检测信号进行采样,以获得待检测数据;

[0012] 处理单元,用于根据所述外触发数据确定所述待检测数据中的触发点。

[0013] 所述串行接收器对所述外触发信号的采样率是所述模数转换器对所述待检测信号的采样率的整数倍。

[0014] 所述处理单元根据所述外触发数据确定所述待检测数据中的触发点,包括:

[0015] 所述处理单元对所述外触发数据和所述待检测数据分别进行并行处理;

[0016] 所述处理单元将并行处理的外触发数据和并行处理的待检测数据进行数据对齐处理;

[0017] 所述处理单元判断所述外触发数据中发生触发事件,则所述处理单元根据所述触发事件确定与所述外触发数据对齐的待检测数据中的触发点。

[0018] 所述数据对齐处理包括:确定所述待检测数据和所述外触发数据之间进行对齐的时间点;根据所述时间点将所述待检测数据中的每个数据点与所述外触发数据中预设数目的数据点依次进行对齐,使得所述待检测数据中每个数据点对应于外触发数据中一个或多个数据点;所述串行接收器的采样率和所述模数转换器的采样率的比值与所述预设数目相等。

[0019] 所述处理单元判断所述外触发数据中发生触发事件,则所述处理单元根据所述触发事件确定与所述外触发数据对齐的待检测数据中的触发点,包括:

[0020] 所述处理单元判断所述外触发数据中发生一数据点对应的上升沿信号或下降沿信号,将所对应的上升沿信号或下降沿信号作为触发事件;

[0021] 在所述外触发数据中标记与所述触发事件相对应的第一数据点;

[0022] 确定所述待检测数据中与所述第一数据点对齐的第二数据点,将所述第二数据点作为所述待检测数据中的触发点。

[0023] 根据第二方面,一种实施例中提供一种用于外触发装置的外触发方法,所述外触发装置为第一方面所述的外触发装置,所述外触发方法包括以下步骤:

[0024] 所述处理单元获取外触发数据和待检测数据;

[0025] 所述处理单元根据所述外触发数据确定所述待检测数据中的触发点。

[0026] 所述外触发数据的采样率是所述待检测数据的采样率的整数倍。

[0027] 所述处理单元根据所述外触发数据确定所述待检测数据中的触发点,包括:

[0028] 所述处理单元对所述外触发数据和所述待检测数据分别进行并行处理;

[0029] 所述处理单元将并行处理的外触发数据和并行处理的待检测数据进行数据对齐处理;

[0030] 所述处理单元判断所述外触发数据中发生触发事件,则所述处理单元根据所述触发事件确定与所述外触发数据对齐的待检测数据中的触发点。

[0031] 所述处理单元判断所述外触发数据中发生触发事件,则所述处理单元根据所述触发事件确定与所述外触发数据对齐的待检测数据中的触发点,包括:

[0032] 所述处理单元判断所述外触发数据中发生一数据点对应的上升沿信号或下降沿信号,将所对应的上升沿信号或下降沿信号作为触发事件;

[0033] 在所述外触发数据中标记与所述触发事件相对应的第一数据点;

[0034] 确定所述待检测数据中与所述第一数据点对齐的第二数据点,将所述第二数据点作为所述待检测数据中的触发点。

[0035] 根据第三方面,一种实施例中提供一种数字示波器,包括:

[0036] 第一测试通道,用于输入外触发信号;

[0037] 第二测试通道,用于输入待检测信号;

[0038] 如第一方面所述的外触发装置;

[0039] 显示器,用于显示所述待检测数据以及所述待检测数据中的触发点。

[0040] 根据第四方面,一种实施例中提供一种计算机可读存储介质,其特征在于,包括程序,所述程序能够被处理器执行以实现第二方面所述的方法。

[0041] 本申请的有益效果是:

[0042] 依据上述实施例的一种基于串行接收器的外触发装置及外触发方法、示波器,外触发装置包括用于获取外触发数据的串行接收器、用于获取待检测数据的模数转换器和用于确定触发点的处理单元。第一方面,由于将串行接收器对外触发信号的采样率设置为模数转换器对待检测信号的采样率的整数倍,使得处理单元在并行处理数据的过程中可将待检测数据中每个数据点对应于外触发数据中一个或多个数据点,利于外触发数据中的一个数据点发生触发事件时,方便地找到待检测数据中对应的数据点,并将该对应的数据点作

为触发点。第二方面,由于没有采用传统的TDC电路,使得外触发装置的电路结构得到精简,降低了系统的硬件成本。第三方面,由于增加串行接收器的采样率就可以提高待检测数据中触发点的触发精度,使得外触发方法的执行过程得到简化,节省了处理单元的开销,也避免了传统应用中进行TDC脉冲展宽计算才能获取到更高触发精度的情形。

附图说明

- [0043] 图1为现有外触发方法的时序图;
- [0044] 图2为现有TDC脉冲展宽计算方法的时序图;
- [0045] 图3为外触发装置的结构图;
- [0046] 图4为外触发方法的整体流程图;
- [0047] 图5为外触发方法的详细流程图;
- [0048] 图6为外触发方法的时序图;
- [0049] 图7为数字示波器的结构图。

具体实施方式

[0050] 下面通过具体实施方式结合附图对本发明作进一步详细说明。其中不同实施方式中类似元件采用了相关联的类似的元件标号。在以下的实施方式中,很多细节描述是为了使得本申请能被更好的理解。然而,本领域技术人员可以毫不费力的认识到,其中部分特征在不同情况下是可以省略的,或者可以由其他元件、材料、方法所替代。在某些情况下,本申请相关的一些操作并没有在说明书中显示或者描述,这是为了避免本申请的核心部分被过多的描述所淹没,而对于本领域技术人员而言,详细描述这些相关操作并不是必要的,他们根据说明书中的描述以及本领域的一般技术知识即可完整了解相关操作。

[0051] 另外,说明书中所描述的特点、操作或者特征可以以任意适当的方式结合形成各种实施方式。同时,方法描述中的各步骤或者动作也可以按照本领域技术人员所能显而易见的方式进行顺序调换或调整。因此,说明书和附图中的各种顺序只是为了清楚描述某一个实施例,并不意味着是必须的顺序,除非另有说明其中某个顺序是必须遵循的。

[0052] 本文中为部件所编序号本身,例如“第一”、“第二”等,仅用于区分所描述的对象,不具有任何顺序或技术含义。而本申请所说“连接”、“联接”,如无特别说明,均包括直接和间接连接(联接)。

[0053] 请参考图3,本申请公开了一种基于串行接收器的外触发装置,该外触发装置1包括串行接收器11、模数转换器12和处理单元13,下面分别说明。

[0054] 串行接收器11用于接收外触发信号并对外触发信号进行采样,以获得外触发数据。在一实施例中,串行接收器11可采用FPGA中的高速串行接收器,此类接收器通常收发一体化并作为对外的高速数据收发接口,例如Xilinx FPGA的GTX/GTP/GTH接收器,其采样频率可达到GHz级别,甚至是几十GHz级别;而且,此类接收器可按照用户设定的采样率对输入的模拟电信号进行采样,将模拟电信号转化为串行的离散时域信号,并用高电平1和低电平0来表示离散时域信号中各个数据点的幅度值,两种电平的跳跃位置可形成对应的上升沿或下降沿,每个上升沿或下降沿与外触发数据中的一个数据点对应。当用户定义上升沿为外触发时刻时,则上升沿即代表触发事件,同理,当用户定义下降沿为外触发时刻时,则

下降沿即代表触发事件。

[0055] 模数转换器12用于接收待检测信号并对待检测信号进行采样,以获得待检测数据。在一实施例中,模数转换器12可采用常规的ADC芯片,优选地采用采样率达到GHz级别的ADC芯片,以达到对待检测信号(例如模拟电信号)进行高速采样的目的,并输出串行的待检测数据;此时,待检测数据的分辨率较高,具备很多离散的数据点,这些数据点可完整地描述出待检测信号在时域中的波动特性,利于在显示器等界面上形成其对应的时域波形。由于模数转换器12为数字电路中的常用元件,其工作原理较为熟知,因此,这里不再对其工作过程以及输出的数据格式进行详细说明。

[0056] 处理单元13分别与串行接收器11和模数转换器12通信连接,以接收来自串行接收器11的外触发数据,接收来自模数转换器12的待检测数据。处理单元13用于根据接收到的外触发数据确定待检测数据中的触发点。

[0057] 进一步地,为使得待检测数据的每个数据点与外触发数据中的一个或多个数据点形成对应关系,用户应当对串行接收器11和模数转换器12的采样率分别进行设置,使得串行接收器11对外触发信号的采样率是模数转换器12对待检测信号的采样率的整数倍,也使得每获得待检测数据中的一个数据点时,可同时获得外触发数据中一个或多个数据点。优选地,将串行接收器11和模数转换器12设置为相同的采样率,以保证两者之间的同步采样效果。

[0058] 需要说明的是,处理单元13是外触发装置1的核心单元,承担着数据处理的任务,因此,可采用CPU、单片机、FPGA等元件,有些处理单元(例如FPGA元件)集成有高速串行接收器,那么,可将FPGA中集成的高速串行接收器作为本实施例的串行接收器11。在一实施例中,优选地采用FPGA作为处理单元13,其在处理数据时实现了确定触发点的功能,该功能的实现过程可见图4和图5中的步骤S200-S300,各个步骤的具体说明将在下面的外触发方法中进行详述。

[0059] 请参考图4,相应地,本申请公开了一种用于外触发装置的外触发方法,其包括步骤S200-S300,下面分别说明。

[0060] 步骤S200,处理单元13从串行接收器11获取外触发数据,同时从模数转换器12获取待检测数据。在一具体实施例中,外触发数据和待检测数据具有相同的采样率,均在GHz级别。

[0061] 步骤S300,处理单元13根据接收到的外触发数据确定待检测数据中的触发点。在一实施例中,见图5,步骤S300可包括步骤S310-S330,分别说明如下。

[0062] 步骤S310,由于处理单元13的工作频率较低,往往在MHz级别,串行的数据处理方式将不能完成高速数据流的处理过程,因此,处理单元13可采用并行的数据处理方式分别对外触发数据和待检测数据进行并行处理。在一具体实施中,见图6,处理单元13根据自身的采样时钟将串行的外触发数据转化为并行的外触发数据,每个时钟周期内并行处理20个数据点,例如,第三个时钟周期内可对X+40至X+59的数据点进行处理(这里的X表示外触发数据的起始数据点);同时,处理单元13根据自身的采样时钟将串行的待检测数据转化为并行的待检测数据,每个时钟周期内并行处理20个数据点,例如,第三个时钟周期内可对N+40至N+59的数据点进行处理(这里的N表示待检测数据的起始数据点)。

[0063] 步骤S320,处理单元13将并行处理的外触发数据和并行处理的待检测数据进行数

据对齐处理。在一具体实施例中,对齐处理包括:

[0064] 1) 确定待检测数据和外触发数据之间进行对齐的时间点;

[0065] 2) 根据已确定的时间点将待检测数据中的每个数据点与外触发数据中预设数目的数据点依次进行对齐,使得待检测数据中每个数据点对应于外触发数据中一个或多个数据点。此外,串行接收器11的采样率和模数转换器12的采样率的比值与这里的预设数目相等,例如,本实施例中串行接收器11和模数转换器12的采样率相同,那么,这里的预设数目即为1。

[0066] 步骤S330,处理单元13判断外触发数据中发生触发事件,则处理单元13根据该触发事件确定与外触发数据对齐的待检测数据中的触发点。在一实施例中,见图5,步骤S330可包括步骤S331-S333,具体说明如下。

[0067] 步骤S331,判断外触发数据中是否产生触发事件,具体为:处理单元13判断外触发数据中发生一数据点对应的上升沿信号或下降沿信号,将所对应的上升沿信号或下降沿信号作为触发事件。需要说明的是,当用户设定上升沿触发时,则对应的上升沿信号为触发事件,当用户设定下降沿触发时,则对应的下降沿信号为触发事件。若发生触发事件,则进入步骤S332;反之,则返回步骤S310,处理单元13继续对下一组的外触发数据和待检测数据进行并行处理。

[0068] 步骤S332,在外触发数据中标记与触发事件相对应的第一数据点。在一具体实施例中,见图6,用户已设定上升沿触发,当外触发信号中出现幅度值由小到大的跳变时,处理单元13当前处理的第一数据区域中 $X+40\sim X+41$ 所对应的数据点的幅度值均为0,而 $X+42$ 所对应的数据点的幅度值为1,即可判定 $X+42$ 所对应的数据点发生了触发事件,那么,可将 $X+42$ 所对应的数据点标记为第一数据点。

[0069] 步骤S333,确定待检测数据中与第一数据点对齐的第二数据点,将第二数据点作为待检测数据中的触发点。在一具体实施例中,见图6,待检测数据中第一数据区域与处理单元13当前处理的关于待检测数据的第二数据区域相对应,且 $X+40\sim X+59$ 所对应的数据点分别与 $N+40\sim N+59$ 所对应的数据点之间保持一一对应关系,那么,在步骤S332中第一数据点发生触发事件时,则确定第二数据区域中第二数据点(即 $N+42$ 所对应的数据点)为触发点,可对第二数据点进行标记,以方便后期的显示处理。

[0070] 本领域的技术人员应当理解,图6对应的实施例中仅说明了串行接收器11和模数转换器12的采样率相同的情况,那么,在另一个实施例中,设定串行接收器11的采样率高于模数转换器12的采样率,且是模数转换器12的采样率的整数倍(优选地为2~5倍),以提高外触发数据和待检测数据进行对齐处理时数据点之间的对齐精确度。在使用前往往会设定模数转换器12的采样率为一固定值,甚至为其自身所能支持的最大采样率,但在使用过程中,若将待检测数据显示时的时间档位调小时,单位时间内就需要更多的数据点以维持显示波形的平滑度,而模数转换器12在单位时间内输出的数据点个数依旧不变,就会造成模数转换器12的采样率相对较小的情形。出现模数转换器12的采样率相对较小的情形时,系统可能会对模数转换器12采样得到的待检测数据进行插值处理,将为待检测数据中各相邻数据点之间增加插值得到的数据点,致使插值过后的待检测数据对应的采样率达到原来的2~5倍。那么,为避免串行接收器11的采样率低于插值后的待检测数据的采样率,也为避免外触发数据和插值后的待检测数据之间无法精准对齐的问题出现,通常在使用前就设定串

行接收器11的采样率为模数转换器12的采样率的2~5倍,甚至为串行接收器11所能支持的最大采样率,从而保证外触发数据中的各个数据点尽可能地与经过插值后的待检测数据中的各数据点形成对应关系,进而使得触发事件发生时,能够在待检测数据中找到与触发事件准确对应的数据点,并将该数据点判定为触发点。由此可知,尽可能大地设定串行接收器11的采样率时,利于避免插值等引起的待检测数据无法与外触发数据准确对齐的情形发生,而且,还利于保证所确定的触发点的有效性、准确性。

[0071] 请参考图7,本申请还公开了一种数字示波器,该数据示波器4包括第一此时通道41、第二测试通道42、外触发装置1和显示器43,下面分别说明。

[0072] 第一测试通道41用于输入外触发信号,可具有测试端、信号放大电路或信号滤波电路,其中,测试端用于连接外触发信号的线路,信号放大电路、信号滤波电路分别用来对外触发信号进行放大和滤波,以增强外触发信号的抗干扰能力和保真性。

[0073] 第二测试通道42用于输入待检测信号,可具有测试端、信号放大电路或信号滤波电路,其中,测试端用于连接待检测发信号的线路,信号放大电路、信号滤波电路分别用来对待检测发信号进行放大和滤波,以增强待检测发信号的抗干扰能力和保真性。

[0074] 外触发装置1,包括串行接收器11、模数转换器12和处理单元13,串行接收器11与第一测试通道连接,模数转换器12与第二测试通道连接。外触发装置1用于接收外触发信号和待检测信号并分别进行采样,以获得外触发数据和待检测数据,用于根据外触发数据确定待检测数据中的触发点。

[0075] 显示器43与外触发装置1中的处理单元13通信连接,用于接收处理单元13输出的数据,并对待检测数据以及待检测数据中的触发点进行显示,以使用户观察待检测数据及其触发点的展示结果。

[0076] 本领域技术人员可以理解,上述实施方式中各种方法的全部或部分功能可以通过硬件的方式实现,也可以通过计算机程序的方式实现。当上述实施方式中全部或部分功能通过计算机程序的方式实现时,该程序可以存储于一计算机可读存储介质中,存储介质可以包括:只读存储器、随机存储器、磁盘、光盘、硬盘等,通过计算机执行该程序以实现上述功能。例如,将程序存储在设备的存储器中,当通过处理器执行存储器中程序,即可实现上述全部或部分功能。另外,当上述实施方式中全部或部分功能通过计算机程序的方式实现时,该程序也可以存储在服务器、另一计算机、磁盘、光盘、闪存盘或移动硬盘等存储介质中,通过下载或复制保存到本地设备的存储器中,或对本地设备的系统进行版本更新,当通过处理器执行存储器中的程序时,即可实现上述实施方式中全部或部分功能。

[0077] 以上应用了具体个例对本发明进行阐述,只是用于帮助理解本发明,并不用以限制本发明。对于本发明所属技术领域的技术人员,依据本发明的思想,还可以做出若干简单推演、变形或替换。

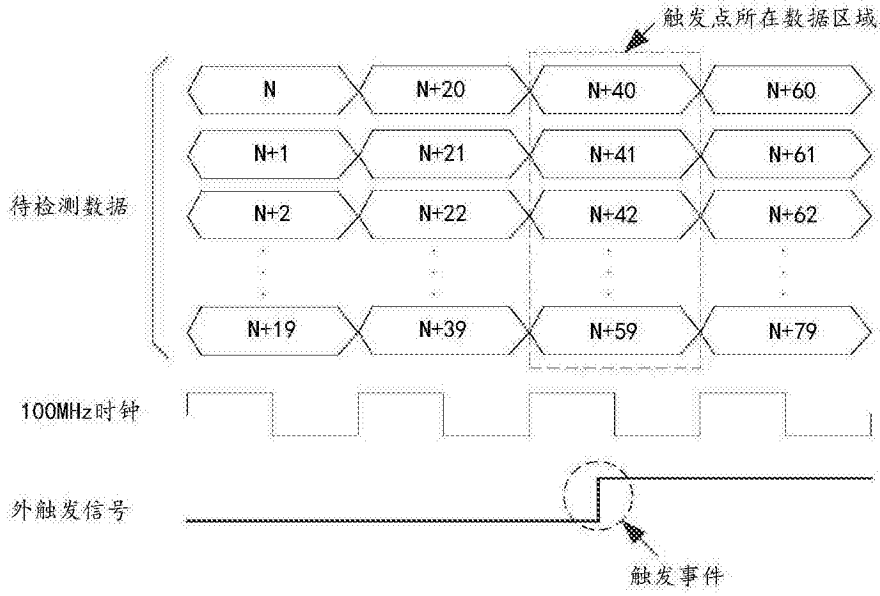


图1

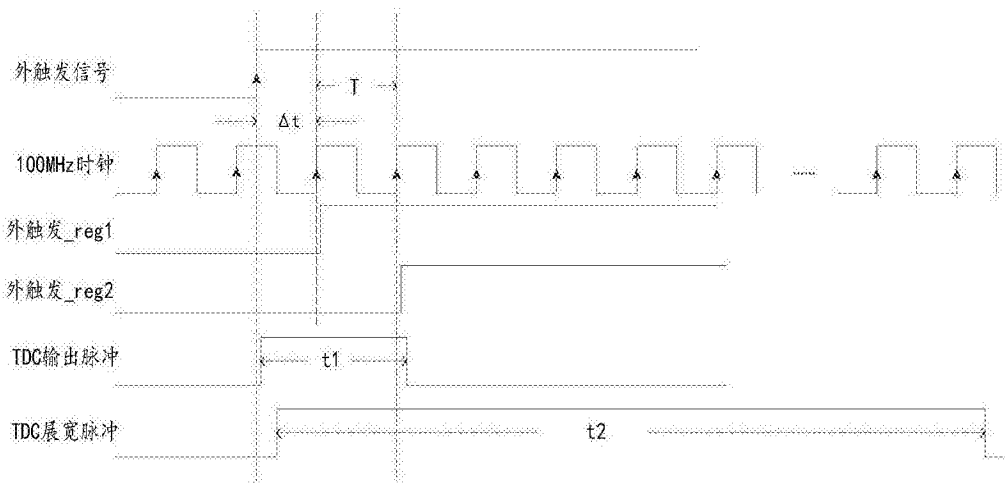


图2

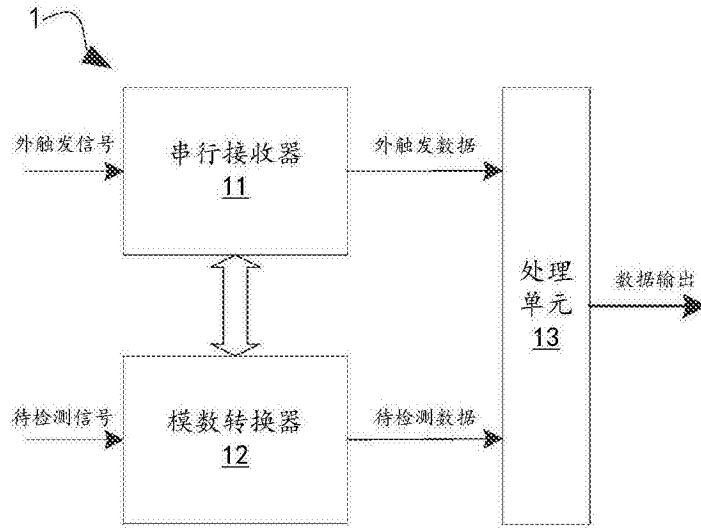


图3

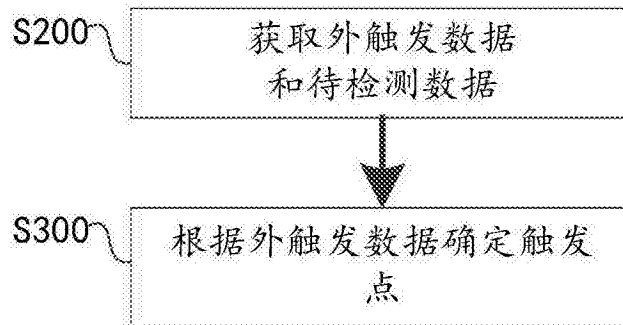


图4

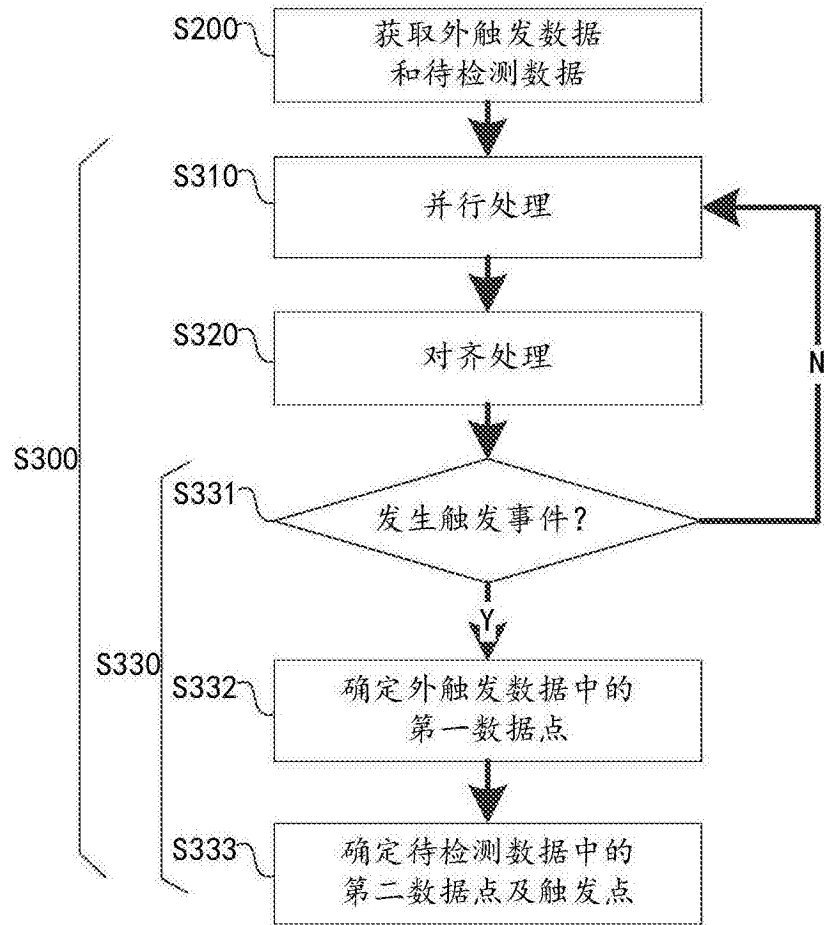


图5

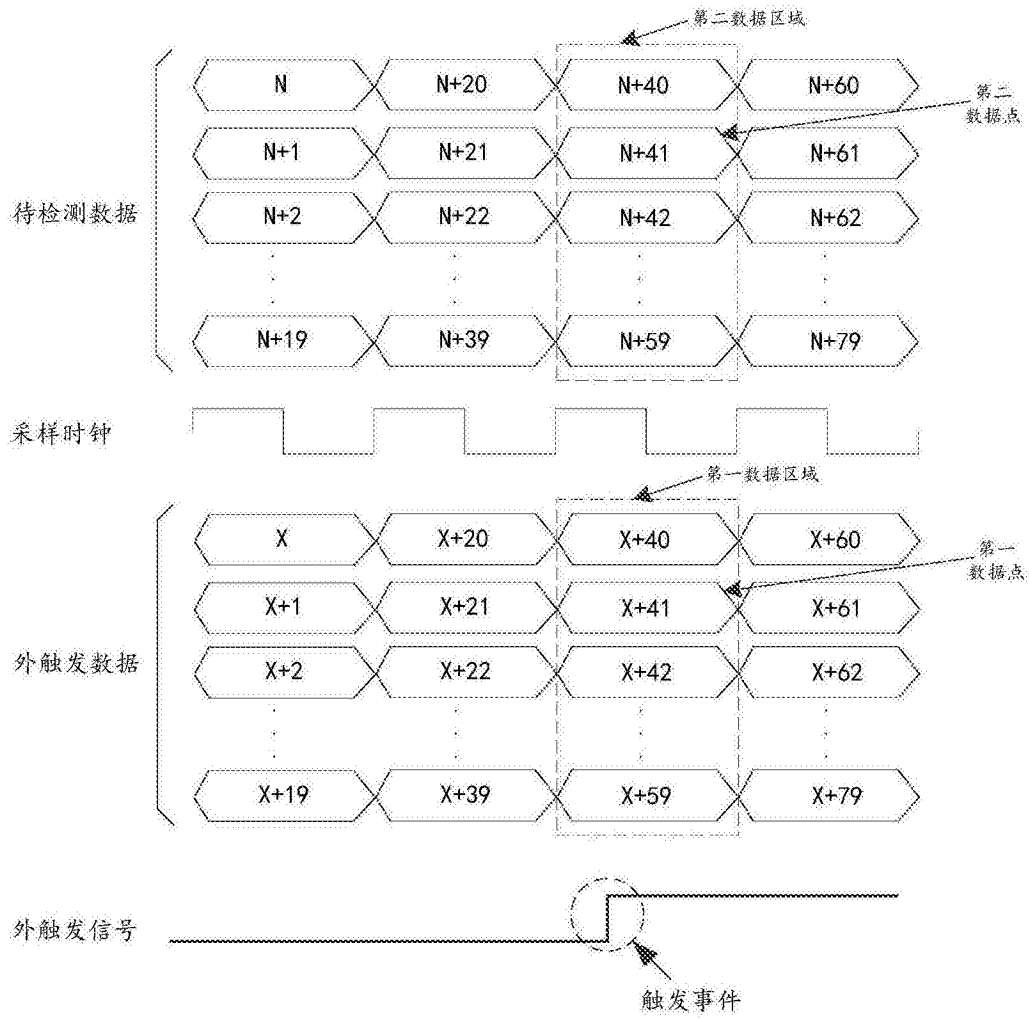


图6

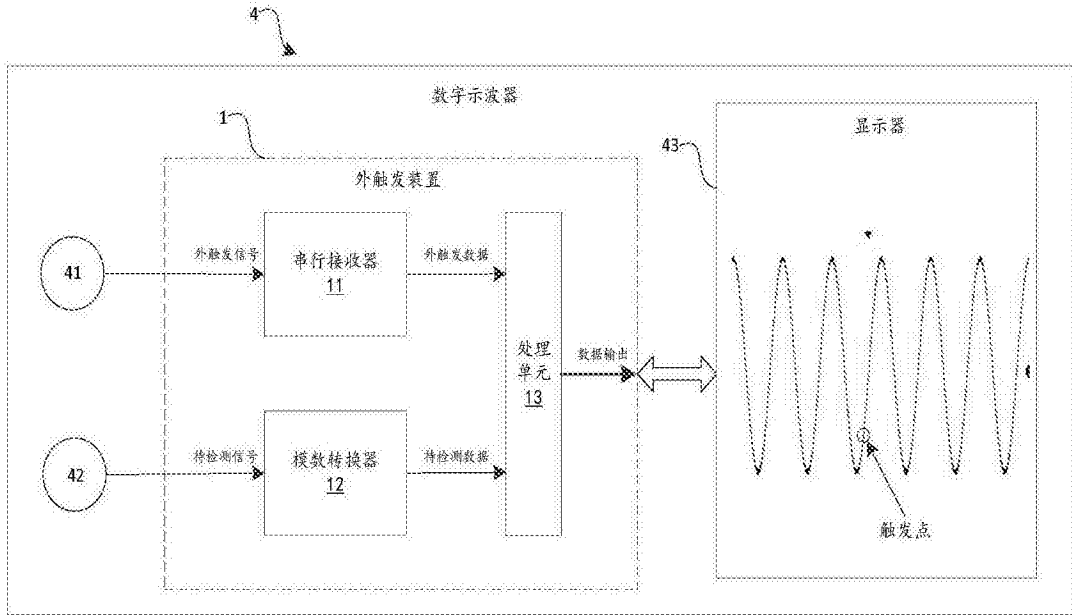


图7