



(12)发明专利

(10)授权公告号 CN 103646966 B

(45)授权公告日 2016.08.31

(21)申请号 201310638289.5

CN 1964056 A,2007.05.16,

(22)申请日 2013.12.02

CN 1731562 A,2006.02.08,

(73)专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

JP 2007052390 A,2007.03.01,

US 2011018000 A1,2011.01.27,

(72)发明人 宁策

审查员 刘宁

(74)专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 申健

(51)Int.Cl.

H01L 29/786(2006.01)

H01L 27/12(2006.01)

G02F 1/1368(2006.01)

H01L 21/77(2006.01)

(56)对比文件

CN 1964056 A,2007.05.16,

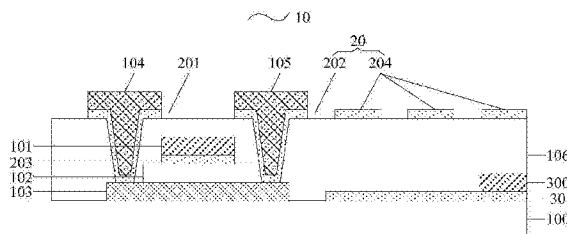
权利要求书2页 说明书11页 附图10页

(54)发明名称

一种薄膜晶体管、阵列基板及其制备方法、显示装置

(57)摘要

本发明实施例提供了一种薄膜晶体管、阵列基板及其制备方法、显示装置,涉及显示技术领域,可防止金属原子例如铜原子扩散以保证薄膜晶体管的性能,并可避免构图工艺次数的增加;该薄膜晶体管包括设置在衬底基板上的栅电极、栅绝缘层、半导体有源层、源电极和漏电极、以及保护层,还包括设置在源电极和漏电极与金属氧化物半导体有源层之间、并与源电极和漏电极分别对应且直接接触的第一透明电极和第二透明电极;其中,第一透明电极通过设置在保护层上的第一过孔与金属氧化物半导体有源层相接触,第二透明电极通过设置在保护层上的第二过孔与金属氧化物半导体有源层相接触;用于显示装置的制造。



1. 一种薄膜晶体管,包括设置在衬底基板上的栅电极、栅绝缘层、半导体有源层、源电极和漏电极、以及保护层;其特征在于,所述薄膜晶体管还包括:

设置在所述源电极和所述漏电极与所述半导体有源层之间、并与所述源电极和所述漏电极分别对应且直接接触的第一透明电极和第二透明电极;

其中,所述第一透明电极通过设置在所述保护层上的第一过孔与所述半导体有源层相接触,所述第二透明电极通过设置在所述保护层上的第二过孔与所述半导体有源层相接触;

所述半导体有源层靠近所述衬底基板设置,所述栅绝缘层和所述栅电极依次设置在所述半导体有源层上方;

其中,所述栅绝缘层在所述衬底基板上的投影面积小于所述半导体有源层在所述衬底基板上的投影面积,所述第一透明电极和所述第二透明电极分别与被所述第一过孔和所述第二过孔露出的所述半导体有源层相接触。

2. 根据权利要求1所述的薄膜晶体管,其特征在于,所述半导体有源层为金属氧化物半导体有源层。

3. 根据权利要求1或2所述的薄膜晶体管,其特征在于,所述薄膜晶体管还包括设置在所述栅绝缘层和所述栅电极之间的第三透明电极。

4. 一种阵列基板,包括薄膜晶体管和与所述薄膜晶体管的漏电极电连接的像素电极;其特征在于,所述薄膜晶体管为权利要求1至3任一项所述的薄膜晶体管。

5. 根据权利要求4所述的阵列基板,其特征在于,所述像素电极包括所述薄膜晶体管的第二透明电极、以及与所述第二透明电极同层设置且电连接的第四透明电极。

6. 根据权利要求5所述的阵列基板,其特征在于,所述阵列基板还包括公共电极;

所述公共电极与所述薄膜晶体管的第三透明电极通过一次构图工艺形成;

其中,所述第四透明电极包括多个电连接的条状电极。

7. 一种显示装置,其特征在于,包括权利要求4至6任一项所述的阵列基板。

8. 一种阵列基板的制备方法,其特征在于,包括:

在衬底基板上形成栅电极、栅绝缘层、半导体有源层,包括:在所述衬底基板上通过一次构图工艺形成金属氧化物半导体有源层和位于所述金属氧化物半导体有源层上方的所述栅绝缘层;在形成有所述栅绝缘层的基板上通过一次构图工艺形成所述栅电极;其中,所述栅绝缘层在所述衬底基板上的投影面积小于所述金属氧化物半导体有源层在所述衬底基板上的投影面积;

在形成有所述栅电极、栅绝缘层、半导体有源层的基板上形成包括第一过孔和第二过孔的保护层,所述第一过孔和所述第二过孔将所述半导体有源层露出;

在形成有所述保护层的基板上通过一次构图工艺形成第一透明电极和第二透明电极、与所述第二透明电极电连接的第四透明电极、以及与所述第一透明电极直接接触的源电极和与所述第二透明电极直接接触的漏电极,所述第二透明电极和所述第四透明电极构成像素电极;

其中,所述第一透明电极位于所述源电极下方,且所述第一透明电极通过所述保护层上的所述第一过孔与所述半导体有源层相接触;

所述第二透明电极位于所述漏电极下方,且所述第二透明电极通过所述保护层上的所

述第二过孔与所述半导体有源层相接触。

9. 根据权利要求8所述的方法,其特征在于,所述方法还包括在所述栅绝缘层和所述栅电极之间形成第三透明电极。

10. 根据权利要求9所述的方法,其特征在于,所述方法还包括在形成所述第三透明电极时,还形成公共电极;

其中,所述第三透明电极与所述公共电极通过一次构图工艺形成。

一种薄膜晶体管、阵列基板及其制备方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种薄膜晶体管、阵列基板及其制备方法、显示装置。

背景技术

[0002] 在以液晶显示器(Liquid Crystal Display,简称LCD)为代表的显示技术领域,由于分辨率的提高和显示尺寸的增大、以及显示装置中驱动器电路的集成需要进行低电阻布线,因此,具有低电阻特性的金属例如铜所制得的栅线和数据线、以及薄膜晶体管(Thin Film Transistor,简称TFT)中的栅电极、源电极和漏电极已经应用于显示装置。然而,当采用例如金属铜进行布线或者充当电极时,其容易扩散到相邻的电路元件或者薄膜晶体管的半导体层中,从而导致像素元件或者薄膜晶体管性能的恶化。因此,需要防止布线或者电极中包含的金属原子例如铜原子在相邻的元件或半导体层周围散布或者扩散到相邻的元件或半导体层中。

发明内容

[0003] 本发明的实施例提供一种薄膜晶体管、阵列基板及其制备方法、显示装置,可防止金属原子扩散以保证薄膜晶体管的性能,并可避免构图工艺次数的增加。

[0004] 为达到上述目的,本发明的实施例采用如下技术方案:

[0005] 一方面,提供一种薄膜晶体管,包括设置在衬底基板上的栅电极、栅绝缘层、半导体有源层、源电极和漏电极、以及保护层;所述薄膜晶体管还包括设置在所述源电极和所述漏电极与所述半导体有源层之间、并与所述源电极和所述漏电极分别对应且直接接触的第一透明电极和第二透明电极;其中,所述第一透明电极通过设置在所述保护层上的第一过孔与所述半导体有源层相接触,所述第二透明电极通过设置在所述保护层上的第二过孔与所述半导体有源层相接触。

[0006] 可选的,所述半导体有源层为金属氧化物半导体有源层;所述金属氧化物半导体有源层靠近所述衬底基板设置,所述栅绝缘层和所述栅电极依次设置在所述金属氧化物半导体有源层上方;其中,所述栅绝缘层在所述衬底基板上的投影面积小于所述金属氧化物半导体有源层在所述衬底基板上的投影面积,所述第一透明电极和所述第二透明电极分别与被所述第一过孔和所述第二过孔露出的所述金属氧化物半导体有源层相接触。

[0007] 优选的,所述薄膜晶体管还包括设置在所述栅绝缘层和所述栅电极之间的第三透明电极。

[0008] 另一方面,提供一种阵列基板,包括薄膜晶体管和与所述薄膜晶体管的漏电极电连接的像素电极;所述薄膜晶体管为上述的薄膜晶体管。

[0009] 可选的,所述像素电极包括所述薄膜晶体管的第二透明电极、以及与所述第二透明电极同层设置且电连接的第四透明电极。

[0010] 进一步可选的,所述阵列基板还包括公共电极;所述公共电极与所述薄膜晶体管

的第三透明电极通过一次构图工艺形成；其中，所述第四透明电极包括多个电连接的条状电极。

[0011] 再一方面，提供一种显示装置，包括上述的阵列基板。

[0012] 又一方面，提供一种阵列基板的制备方法，所述方法包括：在衬底基板上形成栅电极、栅绝缘层、半导体有源层；在形成有所述栅电极、栅绝缘层、半导体有源层的基板上形成包括第一过孔和第二过孔的保护层，所述第一过孔和所述第二过孔将所述半导体有源层露出；在形成有所述保护层的基板上通过一次构图工艺形成第一透明电极和第二透明电极、与所述第二透明电极电连接的第四透明电极、以及与所述第一透明电极直接接触的源电极和与所述第二透明电极直接接触的漏电极，所述第二透明电极和所述第四透明电极构成像素电极；其中，所述第一透明电极位于所述源电极下方，且所述第一透明电极通过所述保护层上的所述第一过孔与所述半导体有源层相接触；所述第二透明电极位于所述漏电极下方，且所述第二透明电极通过所述保护层上的所述第二过孔与所述半导体有源层相接触。

[0013] 可选的，所述在衬底基板上形成栅电极、栅绝缘层、半导体有源层包括：在所述衬底基板上通过一次构图工艺形成金属氧化物半导体有源层和位于所述金属氧化物半导体有源层上方的所述栅绝缘层；在形成有所述栅绝缘层的基板上通过一次构图工艺形成所述栅电极；其中，所述栅绝缘层在所述衬底基板上的投影面积小于所述金属氧化物半导体有源层在所述衬底基板上的投影面积。

[0014] 可选的，所述方法还包括在所述栅绝缘层和所述栅电极之间形成第三透明电极。

[0015] 进一步可选的，所述方法还包括在形成所述第三透明电极时，还形成公共电极；其中，所述第三透明电极与所述公共电极通过一次构图工艺形成。

[0016] 本发明实施例提供了一种薄膜晶体管、阵列基板及其制备方法、显示装置；所述薄膜晶体管包括设置在衬底基板上的栅电极、栅绝缘层、半导体有源层、源电极和漏电极、以及保护层；所述薄膜晶体管还包括设置在所述源电极和所述漏电极与所述半导体有源层之间、并与所述源电极和所述漏电极分别对应且直接接触的第一透明电极和第二透明电极；其中，所述第一透明电极通过设置在所述保护层上的第一过孔与所述半导体有源层相接触，所述第二透明电极通过设置在所述保护层上的第二过孔与所述半导体有源层相接触。

[0017] 由于在所述源电极和所述漏电极与所述半导体有源层之间分别设置了所述第一透明电极和所述第二透明电极，其作用可以等效为一层导电隔离层；因此，当源、漏金属电极中的金属原子例如铜原子发生扩散时，便会扩散至所述第一透明电极和所述第二透明电极中，也就是说，所述第一透明电极和所述第二透明电极阻挡了所述金属铜原子向所述半导体有源层中的扩散，这样便可以避免所述半导体有源层性能的恶化，从而保证了所述薄膜晶体管的性能；此外，在制备包括该薄膜晶体管的阵列基板时，由于所述第一透明电极和所述第二透明电极与所述源电极和所述漏电极通过一次构图工艺形成，这样可避免构图工艺次数的增加。

附图说明

[0018] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以

根据这些附图获得其他的附图。

[0019] 图1(a)为本发明实施例提供一种顶栅型薄膜晶体管的结构示意图一；

[0020] 图1(b)为本发明实施例提供一种底栅型薄膜晶体管的结构示意图一；

[0021] 图2(a)为本发明实施例提供一种顶栅型薄膜晶体管的结构示意图二；

[0022] 图2(b)为本发明实施例提供一种底栅型薄膜晶体管的结构示意图二；

[0023] 图3(a)为本发明实施例提供一种扭曲向列型阵列基板的结构示意图一；

[0024] 图3(b)为本发明实施例提供一种扭曲向列型阵列基板的结构示意图二；

[0025] 图4(a)为本发明实施例提供一种高级超维场转换型阵列基板的结构示意图一；

[0026] 图4(b)为本发明实施例提供一种高级超维场转换型阵列基板的结构示意图二；

[0027] 图5(a)至5(c)为本发明实施例提供一种阵列基板的形成过程示意图一；

[0028] 图6(a)至6(c)为本发明实施例提供一种阵列基板的形成过程示意图二；

[0029] 图7(a)至7(f)为本发明实施例提供一种形成金属氧化物半导体有源层和栅绝缘层的过程示意图；

[0030] 图8(a)至8(f)为本发明实施例提供一种形成栅电极、第三透明电极、以及公共电极的过程示意图；

[0031] 图9为本发明实施例提供一种形成保护层的过程示意图；

[0032] 图10(a)至10(e)为本发明实施例提供一种形成第一透明电极、第二透明电极、第四透明电极、以及源电极和漏电极的过程示意图。

[0033] 附图标记：

[0034] 10-阵列基板；100-衬底基板；101-栅电极；1010-金属层薄膜；1011-金属电极保留图案；102-栅绝缘层；1020-绝缘层薄膜；103-(金属氧化物)半导体有源层；1030-金属氧化物半导体薄膜；104-源电极；105-漏电极；106-保护层；1061-第一过孔；1062-第二过孔；20-像素电极；200-透明导电薄膜；201-第一透明电极；202-第二透明电极；203-第三透明电极；204-第四透明电极；30-公共电极；300-公共电极线；40-光刻胶；401-光刻胶完全保留部分；402-光刻胶半保留部分；403-光刻胶完全去除部分；50-半色调掩膜板；501-完全不透明部分；502-半透明部分；503-完全透明部分。

具体实施方式

[0035] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0036] 本发明实施例提供了一种薄膜晶体管，如图1(a)和1(b)所示，包括设置在衬底基板100上的栅电极101、栅绝缘层102、半导体有源层103、源电极104和漏电极105、以及保护层106；所述薄膜晶体管还包括设置在所述源电极104和所述漏电极105与所述半导体有源层103之间、并与所述源电极104和所述漏电极105分别对应且直接接触的第一透明电极201和第二透明电极202。

[0037] 其中，所述第一透明电极201通过设置在所述保护层106上的第一过孔1061与所述半导体有源层103相接触，所述第二透明电极202通过设置在所述保护层106上的第二过孔

1062与所述半导体有源层103相接触。

[0038] 这里,为了满足显示装置的高分辨率以及大显示尺寸的要求,本发明实施例优选具有较低电阻的金属铜作为所述源电极104和所述漏电极105的电极材料。

[0039] 需要说明的是,第一,由于铜是一种易于扩散的金属材料,若铜电极中的铜原子扩散到与之相邻的所述半导体有源层103中,会导致所述半导体有源层103性能的恶化;因此,本发明实施例在所述源电极104与所述半导体有源层103、所述漏电极105与所述半导体有源层103之间分别设置了所述第一透明电极201和所述第二透明电极202,以将所述源电极104与所述半导体有源层103、所述漏电极105与所述半导体有源层103相互隔离,防止由于铜的扩散而引起的所述半导体有源层103性能的恶化。

[0040] 对于所述第一透明电极201和所述第二透明电极202,其可以采用铟锡氧化物(Indium Tin Oxide,简称ITO)、铟锌氧化物(Indium Zinc Oxide,简称IZO)、以及铝锌氧化物(Aluminum Zinc Oxide,简称AZO)等透明导电氧化物材料中的至少一种。

[0041] 当然,本发明实施例中的所述源电极104和所述漏电极105还可以采用其它金属材料作为电极材料,只要是所采用的金属材料的导电性能可以满足所述薄膜晶体管所应用的装置的性能要求即可;在此基础上,本发明实施例提供的所述薄膜晶体管的结构可以避免由于任何金属电极材料中的金属原子扩散而导致的所述半导体有源层103性能的恶化。

[0042] 此外,所述栅电极101也可以采用与所述源电极104和所述漏电极105相同的材料,在此不做限定。

[0043] 第二,对于所述薄膜晶体管的类型在此不做限定,其可以是顶栅型,也可以是底栅型。

[0044] 第三,所述半导体有源层103的材料可以是非晶硅,也可以是金属氧化物半导体,在此不作限定。

[0045] 当所述半导体有源层103的材料为非晶硅时,由于非晶硅在可见光范围内具有光敏性,若将非晶硅制成的半导体有源层103直接设置在所述衬底基板100上,则在可见光的照射下会导致所述半导体有源层103性能的改变,因此,需在所述非晶硅制成的所述半导体有源层103与所述衬底基板100之间设置不透明膜层以阻挡光线,但这会增加薄膜晶体管的制备工艺的复杂程度,从而降低可靠性及开口率。

[0046] 本发明实施例提供了一种薄膜晶体管,如图1(a)和1(b)所示,包括设置在衬底基板100上的栅电极101、栅绝缘层102、半导体有源层103、源电极104和漏电极105、以及保护层106;所述薄膜晶体管还包括设置在所述源电极104和所述漏电极105与所述半导体有源层103之间、并与所述源电极104和所述漏电极105分别对应且直接接触的第一透明电极201和第二透明电极202;其中,所述第一透明电极201通过设置在所述保护层106上的第一过孔1061与所述半导体有源层103相接触,所述第二透明电极202通过设置在所述保护层106上的第二过孔1062与所述半导体有源层103相接触。

[0047] 基于上述描述可知,在所述源电极104与所述半导体有源层103、所述漏电极105与所述半导体有源层103之间形成的所述第一透明电极201和所述第二透明电极202可以等效为一层导电隔离层。一方面,由于所述第一透明电极201和所述第二透明电极202均采用导电材料,因此所述源电极104和所述漏电极105与所述半导体有源层103之间仍然保持电连接;另一方面,在所述第一透明电极201和所述第二透明电极202采用金属电极例如铜电极

的情况下,若所述铜电极中的金属铜原子发生扩散,便会扩散至所述第一透明电极201或所述第二透明电极202中,也就是说,所述第一透明电极201和所述第二透明电极202阻挡了所述金属铜原子向所述半导体有源层103中的扩散,这样可以避免所述半导体有源层103性能的恶化。

[0048] 考虑到由金属氧化物半导体有源层构成的薄膜晶体管具有迁移率高、均一性好、透明、制作工艺简单等优点,因此本发明实施例优选为,将所述半导体有源层103设置为金属氧化物半导体有源层103;其中,所述金属氧化物半导体有源层103优选采用铟镓锌氧化物(Indium Gallium Zinc Oxide,简称IGZO)、铟锡锌氧化物(Indium Tin Zinc Oxide,简称ITZO)、氧化铟(In_2O_3)、以及氧化锌(ZnO)等透明金属氧化物半导体材料中的至少一种。

[0049] 在此基础上,可选的,参考图1(a)所示,所述金属氧化物半导体有源层103靠近所述衬底基板100设置,所述栅绝缘层102和所述栅电极101依次设置在所述金属氧化物半导体有源层103上方;其中,所述栅绝缘层102在所述衬底基板100上的投影面积小于所述金属氧化物半导体有源层103在所述衬底基板100上的投影面积,所述第一透明电极201和所述第二透明电极202分别与被所述第一过孔1061和所述第二过孔1062露出的所述金属氧化物半导体有源层103相接触。

[0050] 这里,所述栅绝缘层102在所述衬底基板100上的投影面积小于所述金属氧化物半导体有源层103在所述衬底基板100上的投影面积是为了将所述金属氧化物半导体有源层103的左、右两侧露出,以便于使所述第一透明电极201和所述第二透明电极202分别通过设置在所述保护层106的所述第一过孔1061和所述第二过孔1062与所述金属氧化物半导体有源层103相接触。

[0051] 在实际应用中,除了所述源电极104和所述漏电极105中的金属原子例如铜原子会向所述半导体有源层103中扩散而对所述薄膜晶体的性能产生影响外,所述栅电极101中的金属原子也会向所述栅绝缘层102中扩散,从而对所述薄膜晶体的性能产生影响;因此,优选的,如图2(a)和2(b)所示,所述薄膜晶体管还可以包括设置在所述栅绝缘层102和所述栅电极101之间的第三透明电极203。

[0052] 其中,所述第三透明电极203可以采用ITO、IZO、以及AZO等透明导电氧化物材料中的至少一种。

[0053] 这样,当所述栅电极101中的金属原子例如铜原子发生扩散时,位于所述栅电极101和所述栅绝缘层102之间的所述第三透明电极203便会阻挡所述铜原子进入所述栅绝缘层102,从而可以防止由于金属原子扩散而引起的所述栅绝缘层102的性能改变,进而保证了所述薄膜晶体的性能。

[0054] 本发明实施例还提供了一种阵列基板10,如图3(a)和3(b)所示,包括上述的薄膜晶体管和与所述薄膜晶体管的漏电极105电连接的像素电极20。

[0055] 此时,所述阵列基板10为扭曲向列型阵列基板;所述像素电极20可以为条状电极或者板状电极。

[0056] 优选的,参考图3(a)和3(b)所示,所述像素电极20可以包括所述薄膜晶体的第二透明电极202、以及与所述第二透明电极202同层设置且电连接的第四透明电极204。

[0057] 这里,所述第一透明电极201和所述第二透明电极202、以及所述第四透明电极204均同层设置,且材料相同;即,所述第一透明电极201和所述第二透明电极202、以及所述第

四透明电极204可以通过一次构图工艺形成。这样既形成了用于阻挡所述薄膜晶体管的源电极104和漏电极105中的金属原子向金属氧化物半导体有源层103扩散的第一透明电极201和第二透明电极202,又可以通过形成与所述第二透明电极202电连接的所述第四透明电极204,使所述第四透明电极204与所述漏电极105电连接,从而使所述第二透明电极202和所述第四透明电极204共同构成所述像素电极20。

[0058] 在此基础上,如图4(a)和4(b)所示,所述阵列基板10还可以包括公共电极30。

[0059] 其中,在所述薄膜晶体管包括所述第三透明电极203的情况下,优选的,所述公共电极30可以与所述薄膜晶体管的第三透明电极203通过一次构图工艺形成。当然,与所述公共电极30电连接的公共电极线300也可以与所述栅电极101通过一次构图工艺形成。

[0060] 此时,所述阵列基板10为高级超维场转换型阵列基板。对于高级超维场转换型阵列基板,所述公共电极30与所述像素电极20均设置在所述阵列基板10上,通过狭缝电极与板状电极间产生的电场形成多维电场,可使液晶盒内所有取向液晶分子都能够产生旋转,从而提高了液晶工作效率并增大了透光效率。高级超维场转换技术可以提高显示面板的画面品质,具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹等优点。

[0061] 由于所述公共电极30与所述第三透明电极203通过一次构图工艺形成,而所述像素电极20与所述第一透明电极201和所述第二透明电极202通过一次构图工艺形成,且所述第一透明电极201和所述第二透明电极202设置在所述第三透明电极203的上方,因此,在本发明实施例中,所述像素电极20位于所述公共电极30上方;此时,所述像素电极20为条状电极,所述公共电极30为板状电极;在此情况下,所述第四透明电极204可以包括多个电连接的条状电极。

[0062] 本发明实施例还提供一种显示装置,包括上述的阵列基板10。

[0063] 本发明实施例所提供的显示装置可以为:液晶面板、液晶电视、液晶显示器、数码相框、手机、平板电脑等具有任何显示功能的产品或部件。

[0064] 本发明实施例还提供一种阵列基板10的制备方法,所述方法包括:如图5(a)和6(a)所示,在衬底基板100上形成栅电极101、栅绝缘层102、半导体有源层103;如图5(b)和6(b)所示,在形成有所述栅电极101、栅绝缘层102、半导体有源层103的基板上形成包括第一过孔1061和第二过孔1062的保护层106,所述第一过孔1061和所述第二过孔1062将所述半导体有源层103露出;如图5(c)和6(c)所示,在形成有所述保护层106的基板上通过一次构图工艺形成第一透明电极201和第二透明电极202、与所述第二透明电极202电连接的第四透明电极204、以及与所述第一透明电极201直接接触的源电极104和与所述第二透明电极202直接接触的漏电极105,所述第二透明电极201和所述第四透明电极204构成像素电极20。

[0065] 其中,所述第一透明电极201位于所述源电极104下方,且所述第一透明电极201通过所述保护层106上的所述第一过孔1061与所述半导体有源层103相接触;所述第二透明电极202位于所述漏电极105下方,且所述第二透明电极202通过所述保护层106上的所述第二过孔1062与所述半导体有源层103相接触。

[0066] 这里,在所述衬底基板100上形成所述栅电极101、所述栅绝缘层102、所述半导体有源层103时,参考图5(a)所示,可以形成顶栅结构,或者参考图6(a)所示,也可以形成底栅

结构。无论是形成顶栅结构还是底栅结构,在形成所述栅电极101的同时,都可以形成公共电极线300。

[0067] 此外,考虑到由金属氧化物半导体有源层构成的薄膜晶体管具有迁移率高、均一性好、透明、制作工艺简单等优点,因此本发明实施例优选为,所述半导体有源层103为金属氧化物半导体有源层103。

[0068] 在此基础上,优选的,参考图4(a)和4(b)所示,所述方法还可以包括在所述栅绝缘层102和所述栅电极101之间形成第三透明电极203。

[0069] 其中,所述第三透明电极203用于阻挡所述栅电极101中的金属原子向所述栅绝缘层102中扩散,以保证所述薄膜晶体的性能。

[0070] 进一步的,参考图4(a)和4(b)所示,在形成所述第三透明电极203的同时,还可以形成公共电极30;其中,所述第三透明电极203与所述公共电极30可以通过一次构图工艺形成。

[0071] 由于在制备阵列基板时,为了使其具有良好的透过率,通常情况下,透明电极在所述阵列基板上的覆盖面积较大,而金属电极或金属导线在所述阵列基板上的覆盖面积很小;因此,在形成所述阵列基板10时,参考图4(a)所示,若所述金属氧化物半导体有源层103位于所述栅电极101下方,所述栅绝缘层102位于二者之间,而所述第三透明电极203位于所述栅绝缘层102与所述栅电极101之间,则,所述第三透明电极203位于所述栅电极101的下方,所述公共电极30位于所述公共电极线300的下方;在此情况下,所述第三透明电极203和所述公共电极30、以及所述栅电极101和所述公共电极线300可以仅通过一次构图工艺形成。或者,参考图4(b)所示,若所述金属氧化物半导体有源层103位于所述栅电极101上方,所述栅绝缘层102位于二者之间,而所述第三透明电极203位于所述栅电极101与所述栅绝缘层102之间,则,所述第三透明电极203位于所述栅电极101的上方,所述公共电极30位于所述公共电极线300上方;在此情况下,由于所述公共电极30的面积大于所述公共电极线300的面积,因此,所述栅电极101和所述公共电极线300可以通过一次构图工艺形成,而所述第三透明电极203和所述公共电极30还需要再进行一次构图工艺才可形成。

[0072] 基于此,本发明实施例优选采用如图4(a)所示的顶栅结构的阵列基板10,即:在所述衬底基板100上通过一次构图工艺形成金属氧化物半导体有源层103和位于所述金属氧化物半导体有源层103上方的栅绝缘层102;然后通过一次构图工艺形成第三透明电极203和公共电极30,以及位于所述第三透明电极203上方的栅电极101和位于所述公共电极30上方的公共电极线300;接着,通过一次构图工艺形成包括第一过孔1061和第二过孔1062的保护层106;最后,通过一次构图工艺形成第一透明电极201、第二透明电极202、与所述第二透明电极202电连接的第四透明电极204、以及分别位于所述第一透明电极201和所述第二透明电极202上方的源电极104和漏电极105,所述第二透明电极202和所述第四透明电极204构成像素电极20。

[0073] 其中,所述栅绝缘层102在所述衬底基板100上的投影面积小于所述金属氧化物半导体有源层103在所述衬底基板100上的投影面积;这样可以通过所述第一过孔1061和所述第二过孔1062将所述金属氧化物半导体有源层103的左、右两侧分别露出,以便于在后续工艺中,可以使所述第一透明电极201和所述第二透明电极202分别通过所述第一过孔1061和所述第二过孔1062与所述金属氧化物半导体有源层103相接触。

[0074] 下面将提供一具体的实施例对所述阵列基板10的制备过程进行说明。

[0075] 参考图4(a)所示,所述阵列基板10包括依次设置在衬底基板100上的金属氧化物半导体有源层103、栅绝缘层102、第三透明电极203、与所述第三透明电极203一起形成的公共电极30、栅电极101、与所述栅电极101一起形成的公共电极线300、包括第一过孔1061和第二过孔1062的保护层106、第一透明电极201和第二透明电极202、与所述第二透明电极202电连接的第四透明电极204、以及分别与所述第一透明电极201和所述第二透明电极202对应且直接接触的源电极104和漏电极105。

[0076] 其中,所述栅绝缘层102在所述衬底基板100上的投影面积小于所述金属氧化物半导体有源层103在所述衬底基板100上的投影面积,所述第一透明电极201通过设置在所述保护层106上的所述第一过孔1061与所述金属氧化物半导体有源层103相接触,所述第二透明电极202通过设置在所述保护层106上的所述第二过孔1062与所述金属氧化物半导体有源层103相接触。

[0077] 在此基础上,所述阵列基板10的制备过程包括如下步骤:

[0078] S101、如图7(a)所示,在所述衬底基板100上依次沉积一层金属氧化物半导体薄膜1030和一层绝缘层薄膜1020,并在所述绝缘层薄膜1020上方形成光刻胶40。

[0079] 这里,可以通过磁控溅射法沉积一层厚度为30-50nm的金属氧化物半导体薄膜1030,再通过等离子体增强化学气相沉积法沉积一层厚度为200-400nm的绝缘层薄膜1020。

[0080] 其中,所述金属氧化物半导体薄膜1030可以采用IGZO、ITZO、 In_2O_3 、以及ZnO等透明金属氧化物半导体材料中的至少一种;所述绝缘层薄膜1020的材料通常是氮化硅,也可以使用氧化硅、氮氧化硅以及氧化铝等绝缘材料中的一种或多种。

[0081] S102、如图7(b)所示,通过半色调掩模板50或灰色调掩模板对形成有所述光刻胶40的基板进行曝光、显影后,形成光刻胶完全保留部分401、光刻胶半保留部分402和光刻胶完全去除部分403。

[0082] 其中,所述光刻胶完全保留部分401对应所述栅绝缘层102的区域;所述光刻胶半保留部分402对应被所述第一过孔1061和所述第二过孔1062露出的所述金属氧化物半导体有源层103区域;所述光刻胶完全去除部分403对应其它区域。

[0083] 此处,参考图7(b)对所述半色调掩模板50的主要原理进行如下说明:

[0084] 所述半色调掩模板50是指在透明衬底材料上在某些区域形成不透光的遮光金属层,另一些区域形成半透光的遮光金属层,其它区域不形成遮光金属层;其中,所述半透光的遮光金属层的厚度小于所述不透光的遮光金属层的厚度。在此基础上,可以通过调节所述半透光的遮光金属层的厚度来改变所述半透光的遮光金属层对紫外光的透过率。

[0085] 基于上述描述,所述半色调掩模板50工作原理如下:通过控制所述半色调掩模板50上不同区域的所述遮光金属层的厚度,使曝光在不同区域的透过光的强度有所不同,从而在对所述光刻胶40进行选择性的曝光、显影后,形成分别与所述半色调掩模板50的完全不透明部分501、半透明部分502、完全透明部分503对应的光刻胶完全保留部分401、光刻胶半保留部分402、光刻胶完全去除部分403。这样,在第一次刻蚀后,所述光刻胶完全保留部分401和所述光刻胶半保留部分402覆盖的薄膜均被保留,此后,由于所述光刻胶完全保留部分401的光刻胶厚度大于所述光刻胶半保留部分402的光刻胶厚度,当所述光刻胶半保留部分402的光刻胶40通过灰化处理去除掉后,所述光刻胶完全保留部分401的光刻胶40依然

存在,这样便可以对露出部分的薄膜进行选择性的刻蚀,从而得到至少两层不同的图案层。

[0086] 所述灰色调掩膜板与所述半色调掩膜板50的原理类似,在此不再赘述。

[0087] 其中,本发明实施例中所指的所述光刻胶40均为正性胶,即所述半色调掩膜板50中,所述光刻胶完全去除部分403对应的区域为完全曝光区域,对应所述半色调掩膜板50的材料为透光材料;所述光刻胶半保留部分402对应的区域为半曝光区域,对应所述半色调掩膜板50的材料为半透光材料;所述光刻胶完全保留部分401对应的区域为不曝光区域,对应所述半色调掩膜板50的材料为不透光材料。

[0088] S103、如图7(c)所示,采用刻蚀工艺去除所述光刻胶完全去除部分403对应的所述绝缘层薄膜1020和所述金属氧化物半导体薄膜1030,形成所述金属氧化物半导体有源层103。

[0089] 这里,可以通过干刻对所述绝缘层薄膜1020进行刻蚀,再通过湿刻对所述金属氧化物半导体薄膜1030进行刻蚀,从而形成所述金属氧化物半导体有源层103。

[0090] S104、如图7(d)所示,采用灰化工艺去除所述光刻胶半保留部分402的光刻胶40。

[0091] 此时,所述光刻胶半保留部分402对应的所述绝缘层薄膜1020暴露在外。

[0092] S105、如图7(e)所示,采用刻蚀工艺去除暴露在外的所述绝缘层薄膜1020,形成所述栅绝缘层102。

[0093] 此处,可以采用干刻对所述绝缘层薄膜1020进行刻蚀,从而形成所述栅绝缘层102。

[0094] S106、如图7(f)所示,采用剥离工艺去除所述光刻胶完全保留部分401的光刻胶40。

[0095] 以上步骤S101~S106通过一次构图工艺处理,形成了所述金属氧化物半导体有源层103和所述栅绝缘层102。

[0096] S107、如图8(a)所示,在形成有所述金属氧化物半导体有源层103和所述栅绝缘层102的基板上依次沉积一层透明导电薄膜200和一层金属层薄膜1010,并在所述金属层薄膜1010上方形成光刻胶40。

[0097] 这里,可以通过磁控溅射法先后沉积一层厚度为30-70nm的透明导电薄膜200和一层厚度为200-300nm的金属层薄膜1010。

[0098] 其中,所述透明导电薄膜200可以采用ITO、IZO、以及AZO等透明导电氧化物材料中的至少一种;所述金属层薄膜1010的材料优选为铜或铜多层结构,也可以采用铝、钼等金属。

[0099] S108、如图8(b)所示,通过半色调掩膜板50或灰色调掩膜板对形成有所述光刻胶40的基板进行曝光、显影后,形成光刻胶完全保留部分401、光刻胶半保留部分402和光刻胶完全去除部分403。

[0100] 其中,所述光刻胶完全保留部分401对应所述第三透明电极203和位于所述第三透明电极203上方的所述栅电极101、以及所述公共电极线300的区域;所述光刻胶半保留部分402对应被所述第三透明电极203和所述栅电极101露出的所述栅绝缘层102和所述金属氧化物半导体有源层103、以及被所述公共电极线300露出的所述公共电极30的区域;所述光刻胶完全去除部分403对应其它区域。

[0101] S109、如图8(c)所示,采用刻蚀工艺去除所述光刻胶完全去除部分403对应的所述

金属层薄膜1010和所述透明导电薄膜200,形成所述公共电极30。

[0102] 这里,可以通过湿刻对所述金属层薄膜1010和所述透明导电薄膜200进行刻蚀。

[0103] S110、如图8(d)所示,采用灰化工艺去除所述光刻胶半保留部分402的光刻胶40。

[0104] 此时,所述光刻胶半保留部分402对应的所述金属层薄膜1010暴露在外。

[0105] S111、如图8(e)所示,采用刻蚀工艺去除暴露在外的所述金属层薄膜1010,以及位于该金属层薄膜1010下方且与所述第三透明电极203的两侧对应的所述透明导电薄膜200,形成所述栅电极101、所述第三透明电极203、以及所述公共电极线300。

[0106] S112、如图8(f)所示,采用剥离工艺去除所述光刻胶完全保留部分401的光刻胶40。

[0107] 以上步骤S107~S112通过一次构图工艺处理,形成了所述第三透明电极203和所述公共电极30、以及所述栅电极101和所述公共电极线300。

[0108] S113、如图9所示,在形成有所述第三透明电极203和所述公共电极30、以及所述栅电极101和所述公共电极线300的基板上通过一次构图工艺形成包括所述第一过孔1061和所述第二过孔1062的所述保护层106;其中,所述第一过孔1061和所述第二过孔1062将位于所述栅绝缘层102两侧的所述金属氧化物半导体有源层103露出。

[0109] 这里,可以采用等离子体增强化学气相沉积法沉积厚度为200-400nm的保护层薄膜,再通过一次构图工艺形成包括所述第一过孔1061和所述第二过孔1062的所述保护层106。

[0110] 其中,所述保护层薄膜的材料通常是氮化硅,也可以使用氧化硅、氮氧化硅以及氧化铝等绝缘材料中的一种或多种。

[0111] S114、如图10(a)所示,在形成有所述保护层106的基板上依次沉积一层透明导电薄膜200和一层金属层薄膜1010,并在所述金属层薄膜1010上方形成光刻胶40。

[0112] 这里,可以采用磁控溅射法沉积一层厚度为30-50nm的透明导电薄膜200和一层厚度为200-300nm的金属层薄膜1010。

[0113] S115、如图10(b)所示,通过半色调掩模板50或灰色调掩模板对形成有所述光刻胶40的基板进行曝光、显影后,形成光刻胶完全保留部分401、光刻胶半保留部分402和光刻胶完全去除部分403。

[0114] 其中,所述光刻胶完全保留部分401对应所述源电极104和所述漏电极105、以及位于所述源电极104和所述漏电极105下方的所述第一透明电极201和所述第二透明电极202的区域;所述光刻胶半保留部分402对应所述第四透明电极204的区域;所述光刻胶完全去除部分403对应其它区域。

[0115] S116、如图10(c)所示,采用刻蚀工艺去除所述光刻胶完全去除部分403对应的所述金属层薄膜1010和所述透明导电薄膜200,形成所述第一透明电极201和所述第二透明电极202、所述第四透明电极204、以及位于所述第一透明电极201上方的源电极104、位于所述第二透明电极202上方的漏电极105、位于所述第四透明电极204上方的金属电极保留图案1011。

[0116] 其中,所述第四透明电极204为多个电连接的条状电极,且所述第四透明电极204与所述第二透明电极202共同构成所述像素电极20。

[0117] 这里,可以通过湿刻对所述金属层薄膜1010和所述透明导电薄膜200进行刻蚀。

[0118] 此外,在形成所述源电极104和所述漏电极105的同时,还可以形成数据线。

[0119] S117、如图10(d)所示,采用灰化工艺去除所述光刻胶半保留部分402的光刻胶40。

[0120] 此时,所述光刻胶半保留部分402对应的所述金属电极保留图案1011暴露在外。

[0121] S118、如图10(e)所示,采用刻蚀工艺去除露出的所述金属电极保留图案1011。

[0122] S119、采用剥离工艺去除所述光刻胶完全保留部分401的光刻胶40,得到参考图4(a)所示的阵列基板10。

[0123] 根据以上步骤S101-S119可知,本发明实施例通过四次构图工艺制备出了包括金属氧化物薄膜晶体管的高级超维场转换型阵列基板,并在所述源电极104和所述漏电极105与所述金属氧化物半导体有源层103之间、以及所述栅电极101和所述栅绝缘层102之间形成了可阻挡金属原子例如铜原子扩散的透明电极,不仅保证了所述薄膜晶体管的性能,同时还缩短了所述阵列基板10的制造周期、降低了成本、提高了量产产能。

[0124] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

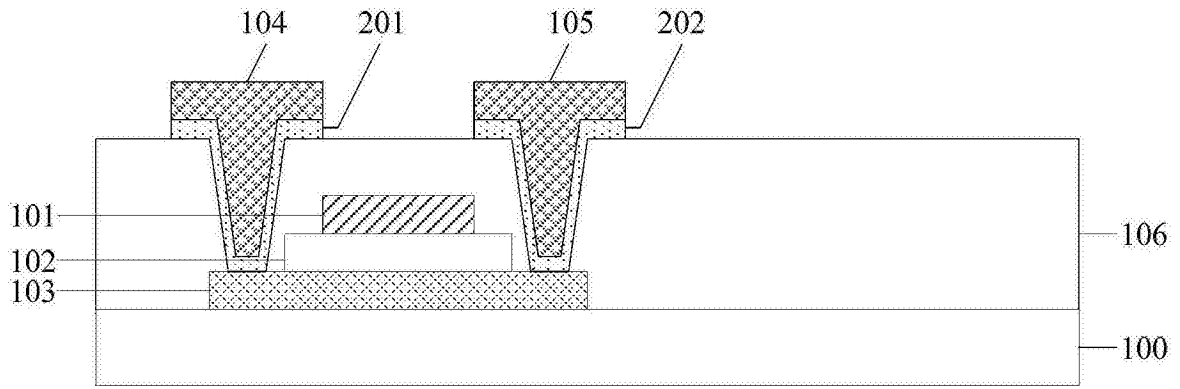


图1(a)

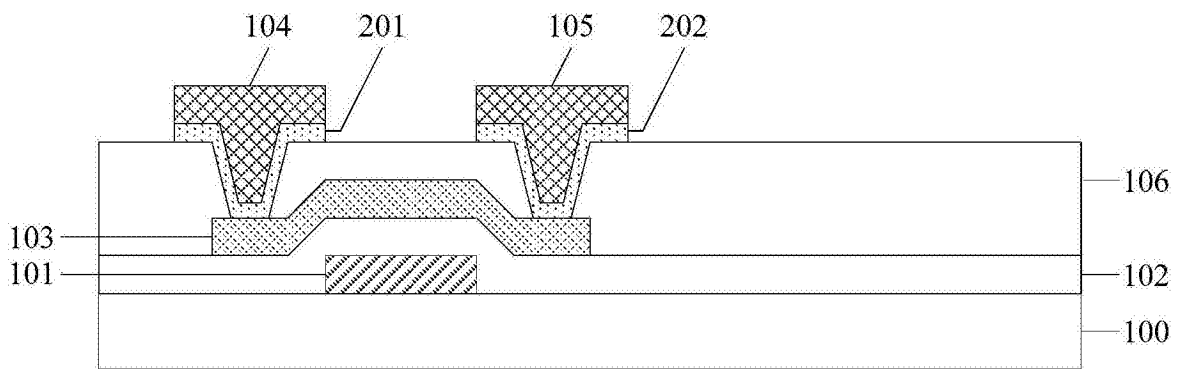


图1(b)

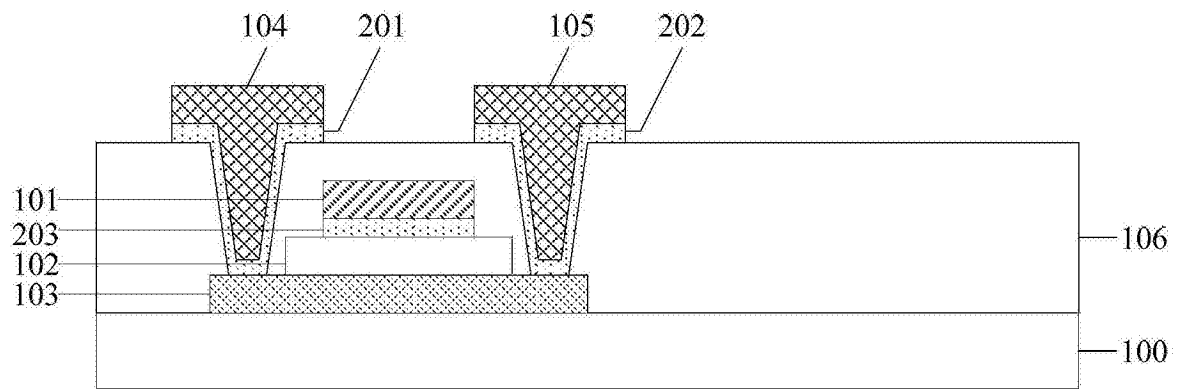


图2(a)

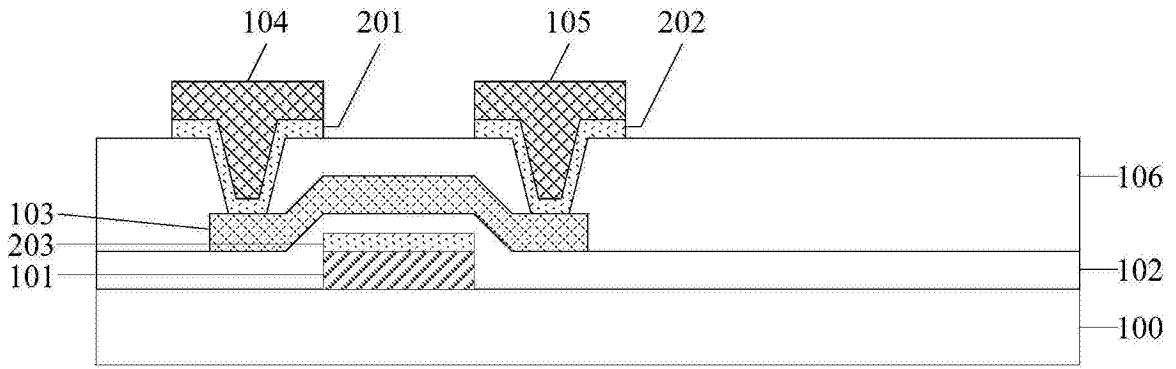


图2(b)

~ 10

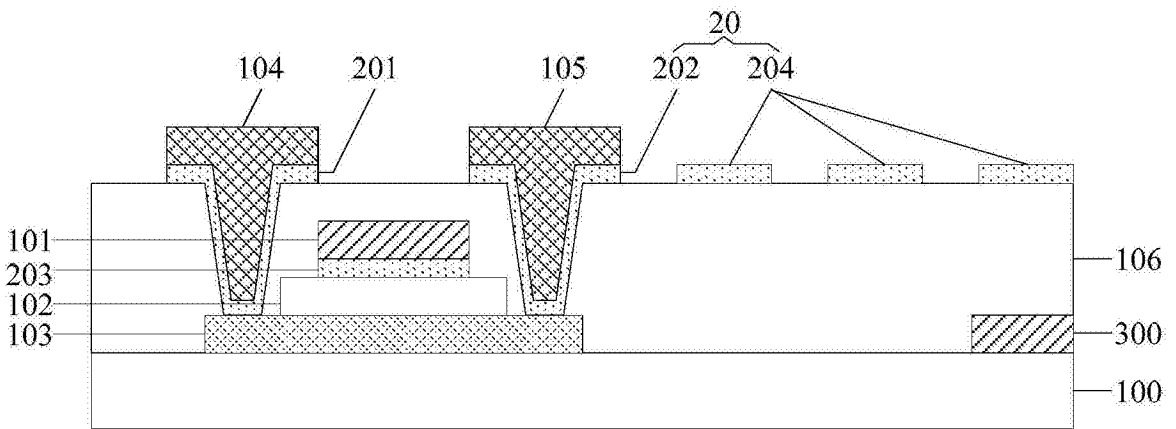


图3(a)

~ 10

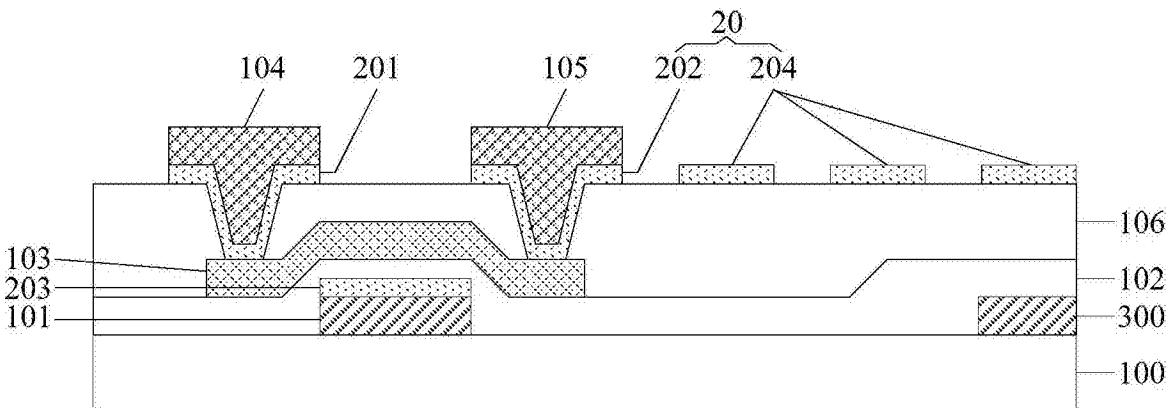


图3(b)

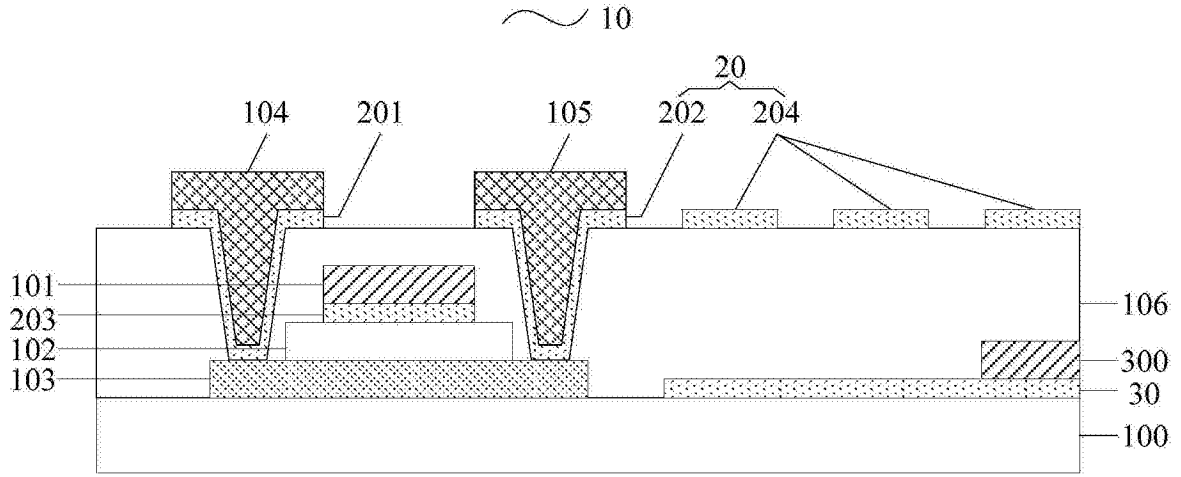


图4(a)

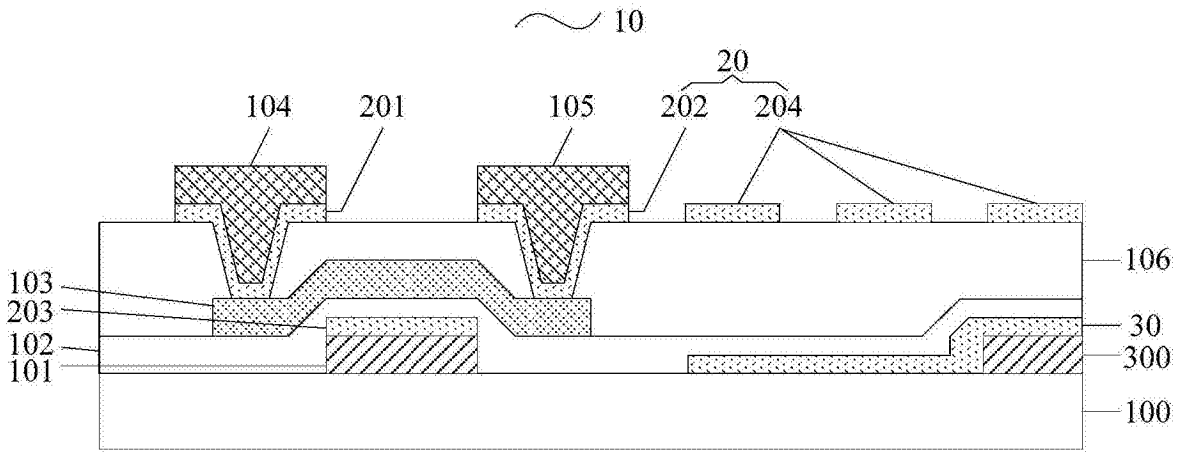


图4(b)

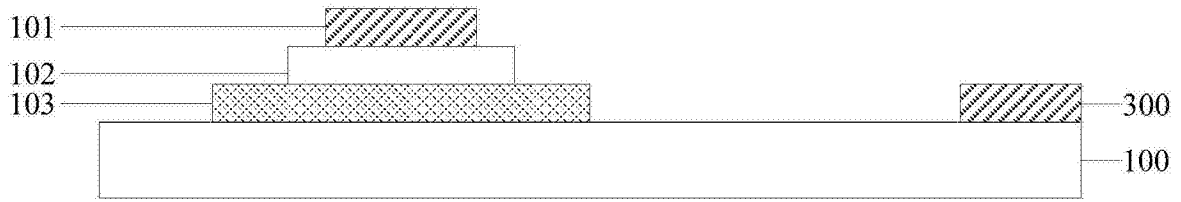


图5(a)

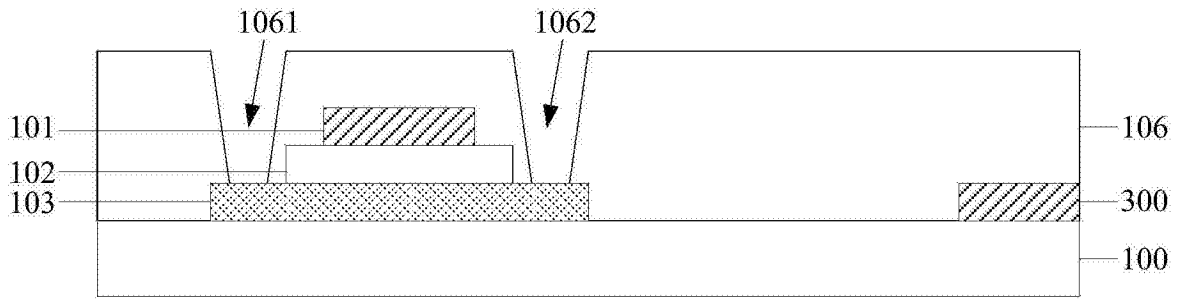


图5(b)

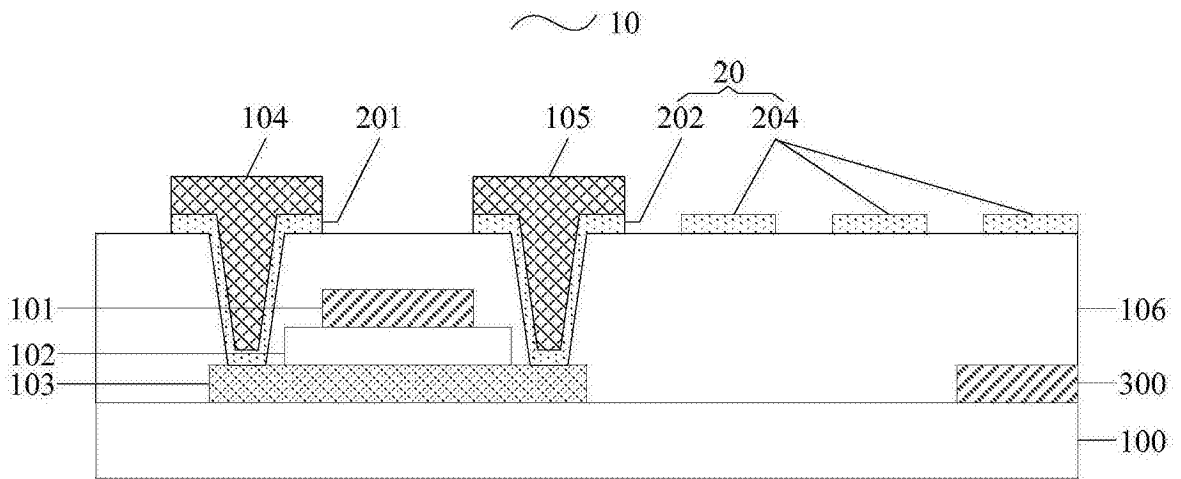


图5(c)

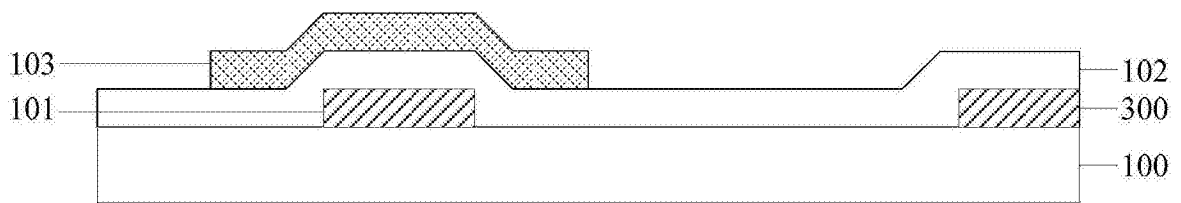


图6(a)

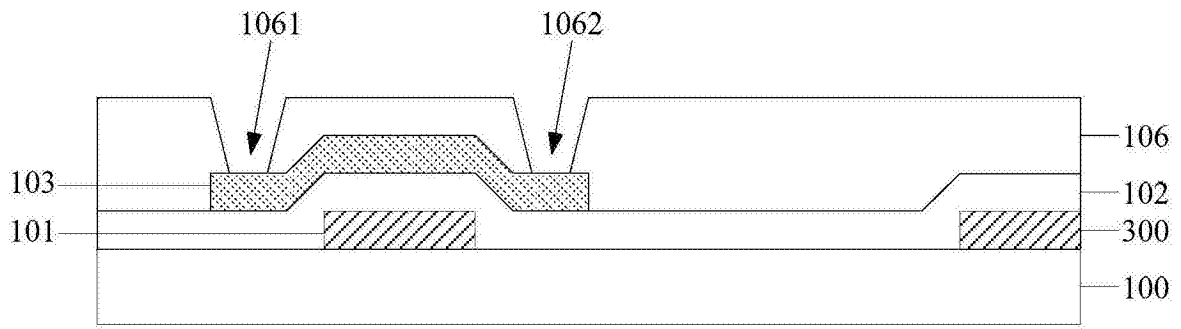


图6(b)

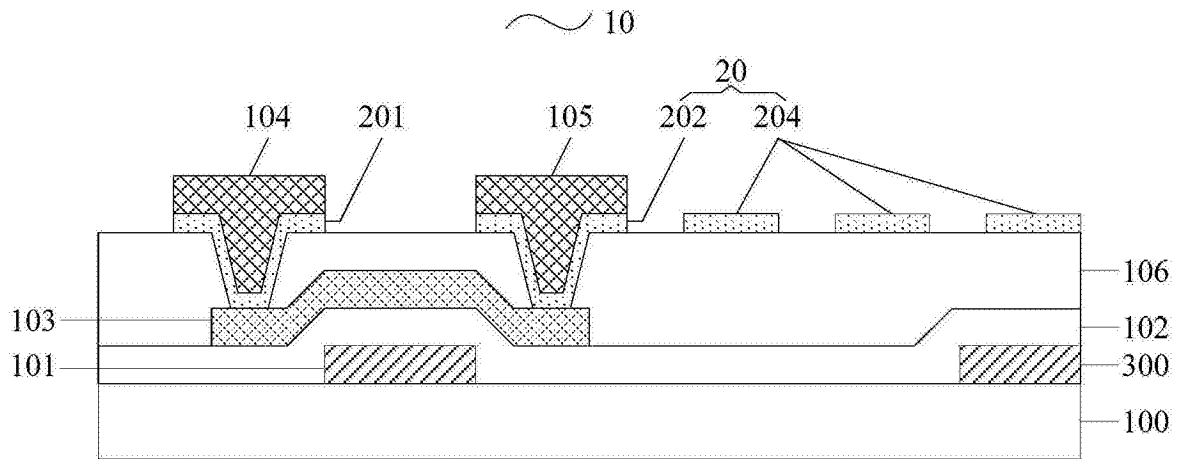


图6(c)

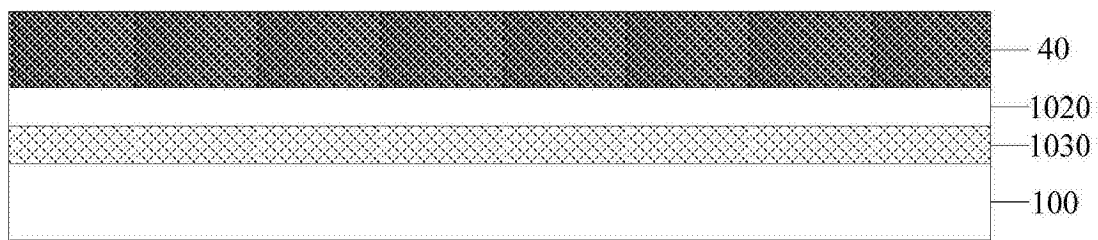


图7(a)

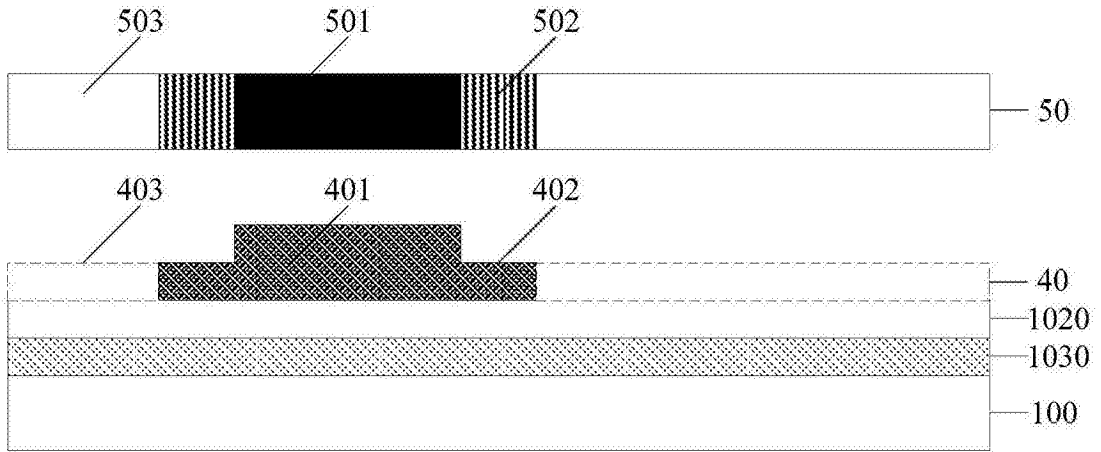


图7(b)

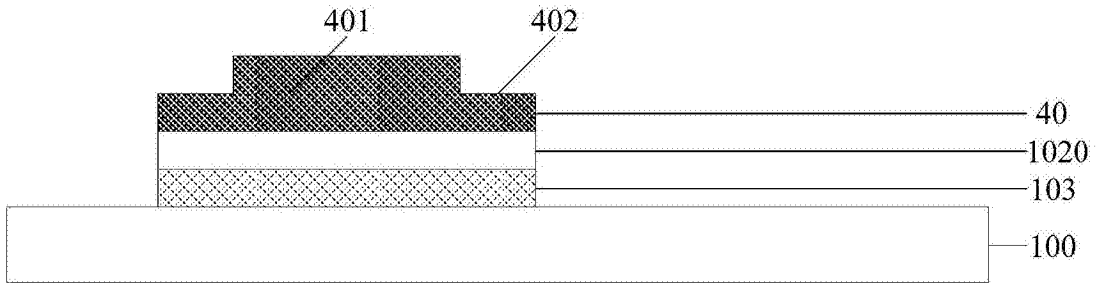


图7(c)

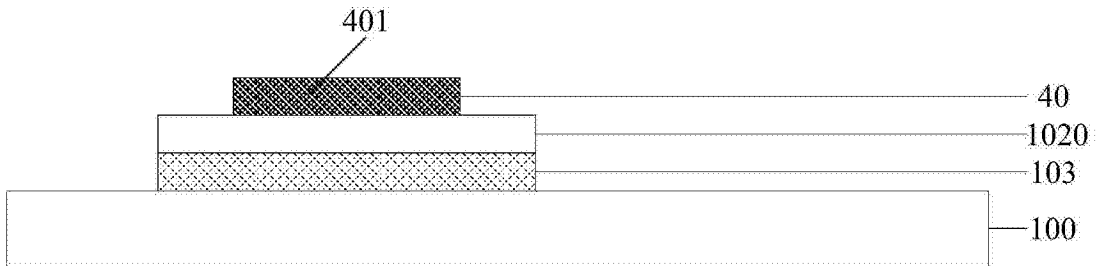


图7(d)

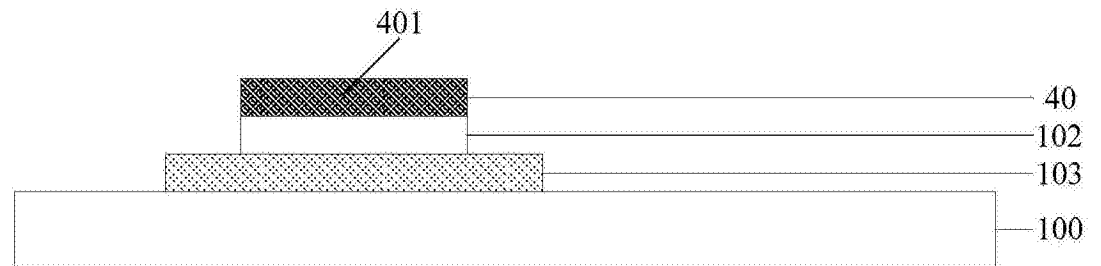


图7(e)

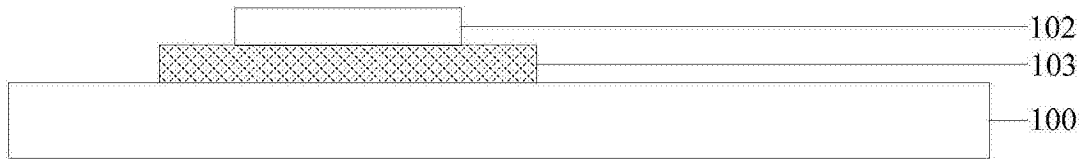


图7(f)

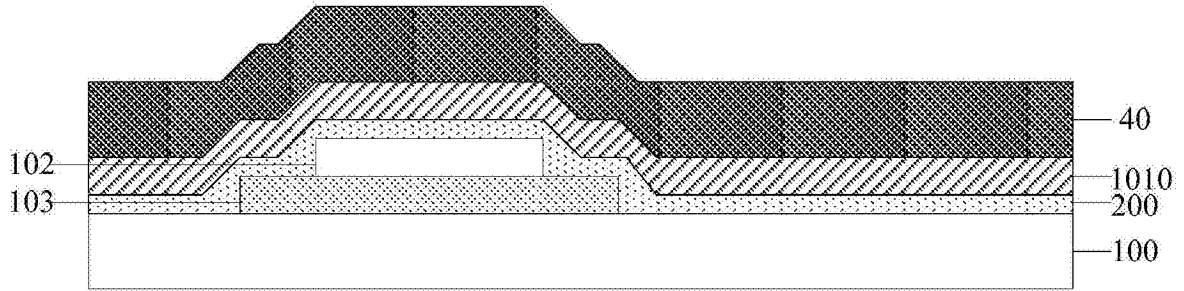


图8(a)

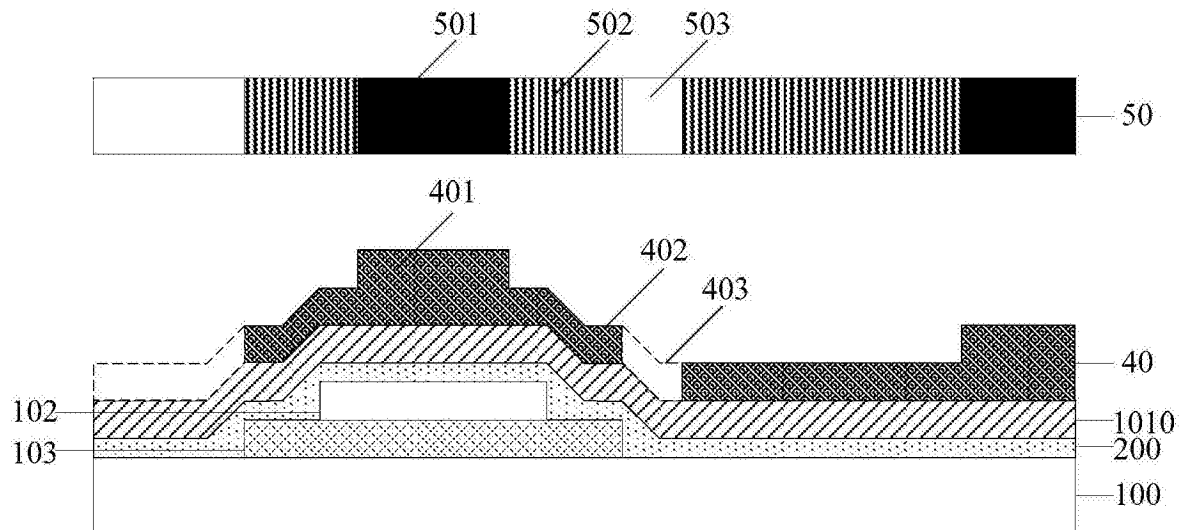


图8(b)

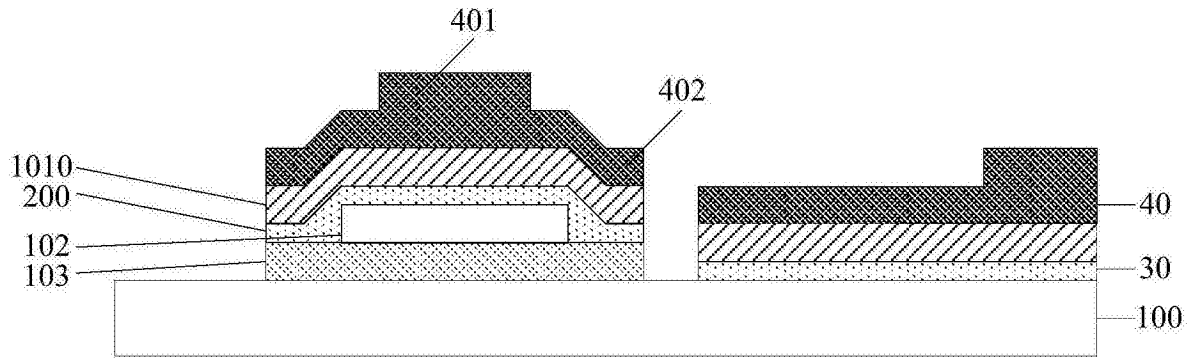


图8(c)

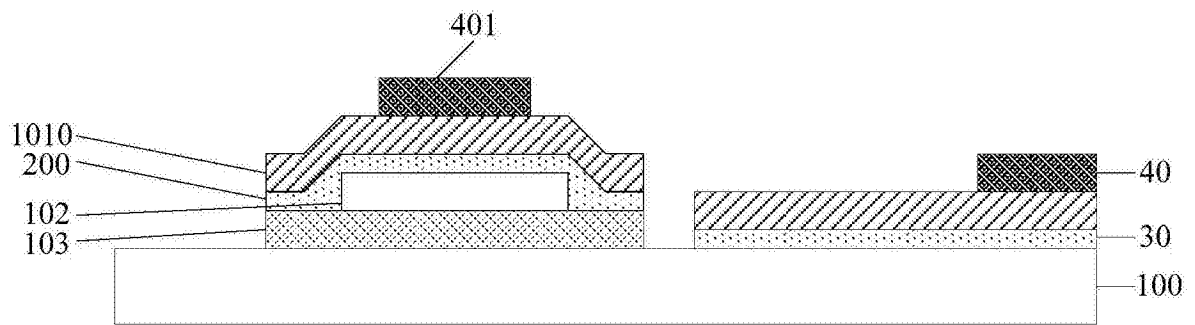


图8(d)

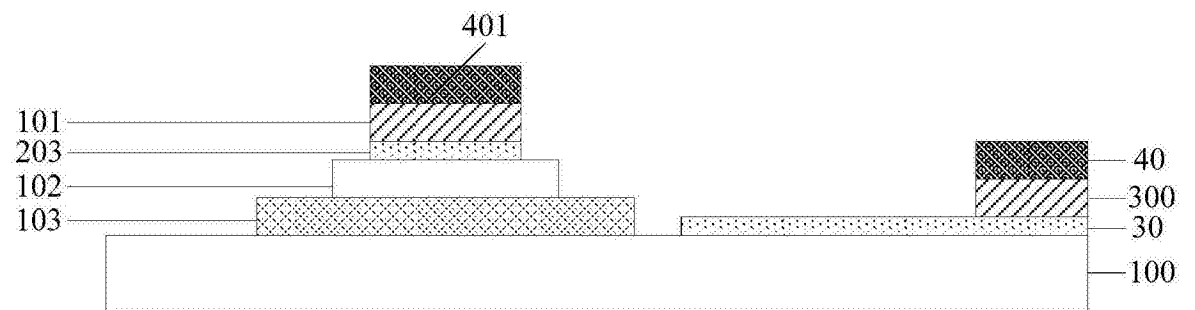


图8(e)

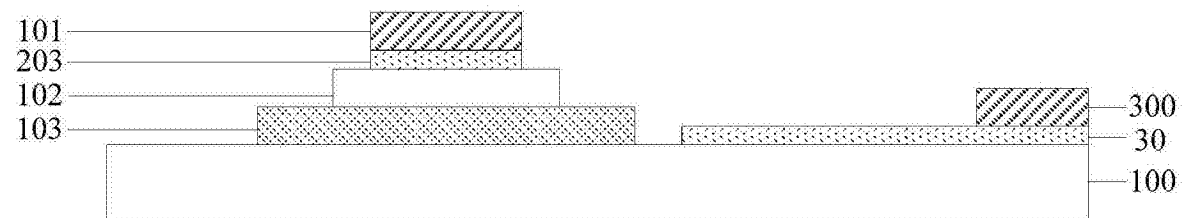


图8(f)

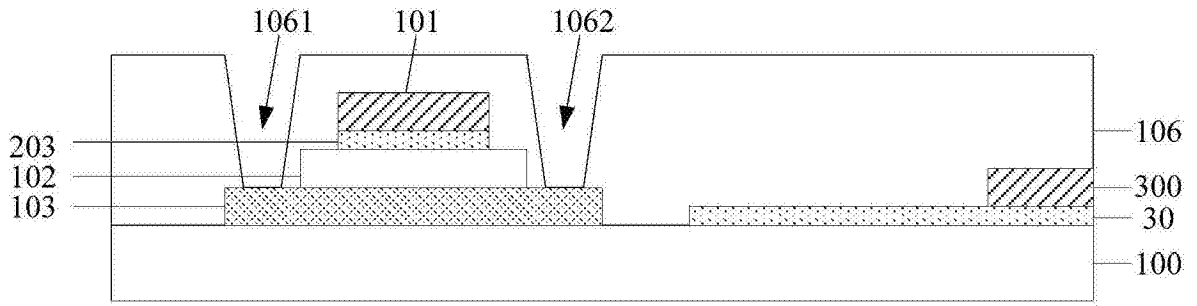


图9

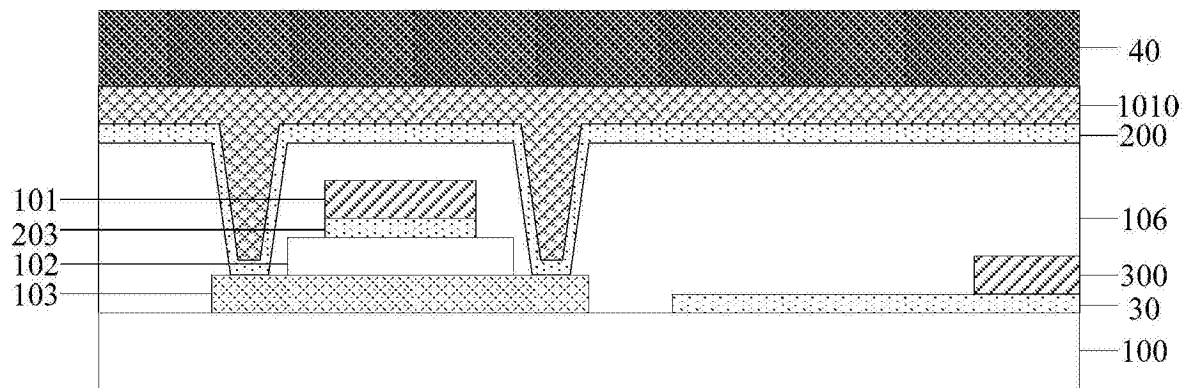


图10(a)

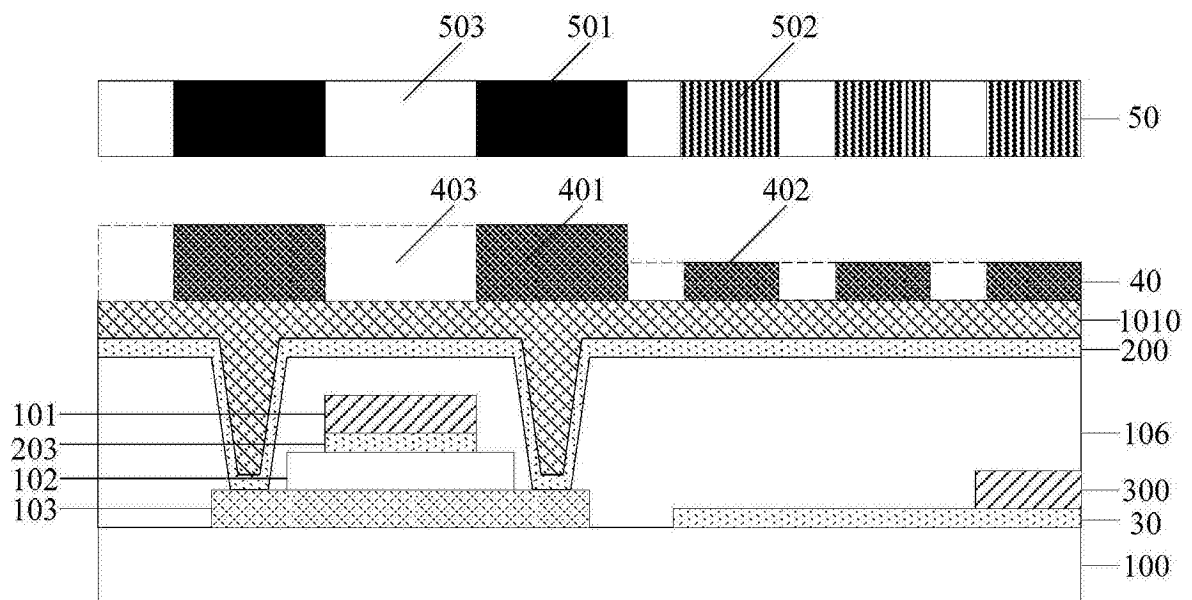


图10(b)

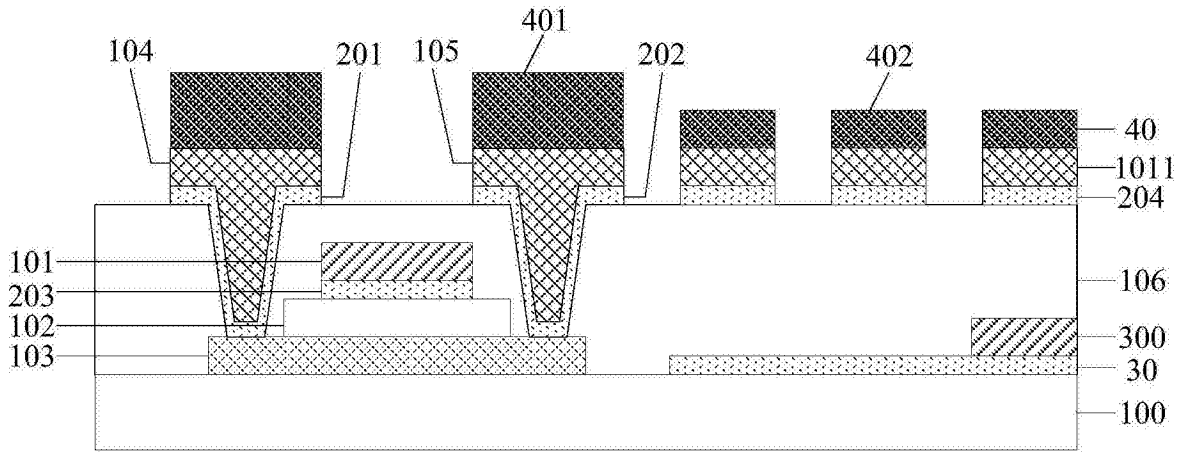


图10(c)

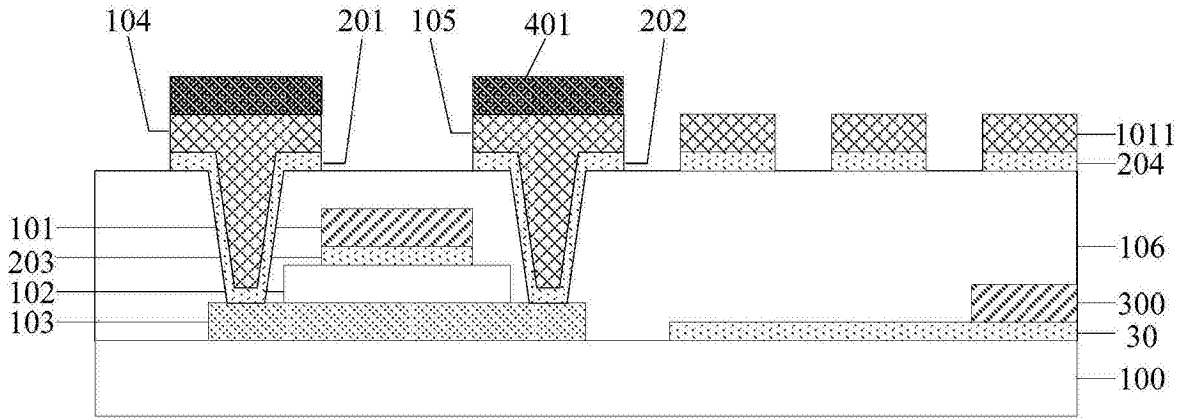


图10(d)

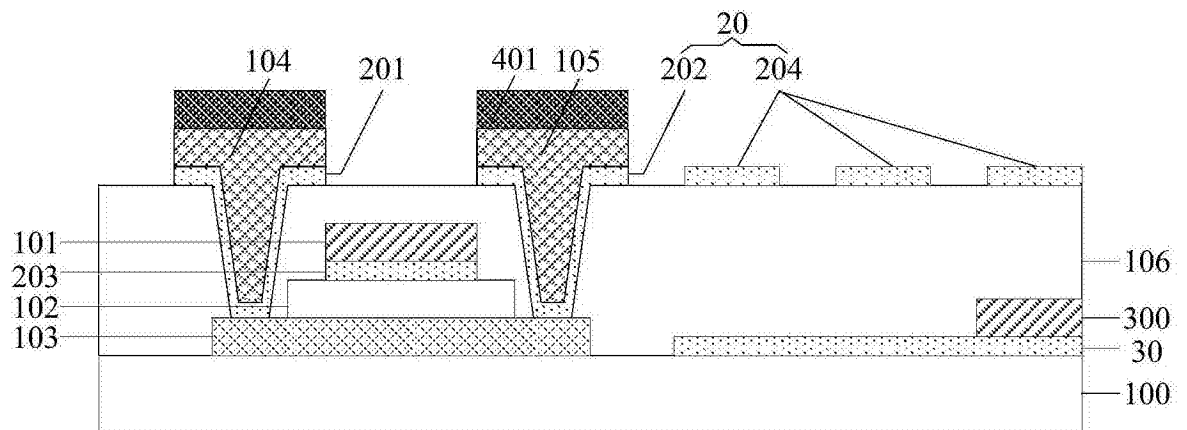


图10(e)