

發明專利說明書 200403740

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92/20076

※申請日期：92-07-23 ※IPC 分類：H01L21/304

壹、發明名稱：(中文/英文)

平坦化一半導體晶圓表面之方法

METHOD OF PLANARIZING A SURFACE OF A SEMICONDUCTOR WAFER

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

第一晶圓製造(馬來西亞)股份有限公司

1st SILICON (MALAYSIA) SDN BHD

代表人：(中文/英文)

高哲基/KO, CHUL GI

住居所或營業所地址：(中文/英文)

馬來西亞沙勞越·卡群·沙馬賈亞自由工業區晶圓道1號

1 Silicon Drive, Sama Jaya Free Industrial Zone, 93350 Kuching, Sarawak, Malaysia

國籍：(中文/英文)

馬來西亞/ Malaysia

參、發明人：(共 1 人)

姓名：(中文/英文)

白載學/ Baek Jae Hak

住居所地址：(中文/英文)

馬來西亞沙勞越·卡群·BDC 史坦賓·TMN 沙崔亞賈亞·伊洛朗 1365 號洛特 368

Lot 368, 1365 Lorong D-9, TMN Satria Jaya, BDC Stampin, 93050 Kuching, Sarawak, Malaysia

國籍：(中文/英文)

韓國/ KOREA

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.美國；2002, 07, 23；10/201, 752

2.

3.

4.

5.

主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

發明領域

本發明係有關於一種平坦化半導體晶圓表面之方法，其中該晶圓表面的平坦性係因為底下層而被視為不規則的。特別地，該方法係有關於使用光微影以實質地平坦化一不規則的晶圓表面。

【先前技術】

發明背景

10 因為超大型積體電路(VLSI)元件尺寸的減小，增加了電路複雜性及互連數量，進而造成在元件上晶胞與週邊區域之間拓樸差異較低的容差。該拓樸變異也使得圖形、微影及蝕刻過程較容易出現錯誤及失敗或無法被品管所接受，因為這些過程需要平坦的晶圓表面。

15 電路圖係蝕刻至晶圓各層上而導致各層的表面被分階成高坪和低坪。堆疊一後續層在此有圖案層之上會造成不規則的上表面，因此，突出部會因為底下高坪而升起，而凹槽會因為底下低坪而產生。

上表面的不平坦性也會由底下層的不平坦累積而成。因此，隨著底下互連層數量的增加，各層的可平坦度就需要被嚴格的觀察以使最上層呈平坦狀。

各種方法已被採用來將表面平坦化，最常使用的方法為化學機械研磨法(CMP)。但是，已被了解的是CMP方法並不提供一個一致的表面平坦性，其會隨著底下互連結構的

密度而改變。通常係以鋪設一較厚的介電層來克服底下拓樸作用的影響，進而在一個特定厚度半導體元件中減少層的總數量。

另外，在一CMP方法中化學溶解及機械磨耗的組合也會造成刮痕、腐蝕及殘渣。當被研磨的晶圓數量增加時，CMP研磨速度系統上的改變所造成晶圓對晶圓之介電層厚度嚴重的變異也會是一個問題。因此，CMP方法在整個研磨的過程中都需要被仔細的觀察及調整以適用於所製造的每個新元件。這增加了製造的成本及因為製造的設備在處理每一批晶圓後必須要被校正所損失的時間。

一般，光微影是用來蝕刻圖案至半導體晶圓層上。光阻係為一光敏性材料，一開始為液體或可溶解的形式，即為高流動性的。當暴露在光(或一特定波長的光譜)下時，該光敏性液體會聚合且變成不可溶解的。該光可被導引以聚合電路圖之上層部分上的光阻。接著可以使用蝕刻劑來蝕刻該層被暴露的部分。該光阻層可接著被溶解。

接下來所敘述的前案嘗試了使用光微影來達到平坦化。

Agere Systems的美國6,280,644專利案(Martin, et. al.)揭示了平坦化一半導體晶圓不規則表面之方法，其包含鋪設一光阻材料至不規則表面的凹槽區域及突出部，及採用光微影以選擇性地自不規則表面之突出部上移除光阻等步驟。該光阻係接著被蝕刻，且該蝕刻步驟係部分進行至該不規則表面的突出部。

一般，這種前案的方法包括鋪設光阻至一介電層上，該

介電層表現出底下互連層結構地形所造成的影響。接著，以光微影方法中之一光源處理該鋪設的光阻。這種方法並不是藉由單獨蝕刻光阻及介電層來達到平坦化，而是需要將經蝕刻的不規則表面研磨至平坦，這種方法包括CMP。

- 5 Lucent Technologies的美國6,010,828專利案(Lippitt)揭示了平坦化一光敏性材料，諸如一光阻，之方法，該光敏性材料係在半導體晶圓不規則表面之上。該方法的步驟包括，首先，將一輻射通過一第一玻璃介質及第二流體介質（諸如水及氣體），其中該玻璃介質係與該流體介質連接。
- 10 接著，來自該流體介質的輻射係傳至該光敏性材料以暴露該光敏性材料，該光敏性材料係與該第二介質連接。

- 該第一及第二介質與該光敏性材料具有輻射吸收係數，藉此輻射會實質地終止於該光敏性材料的一平面。接下來，經暴露的該光敏性材料係被蝕刻至該平面。該第一
- 15 及第二介質可各自具有相同或不同的折射指數以在輻射過程中允許產生最小的折射促使光敏性材料被均勻的暴露，藉此光阻可被蝕刻至一平面。

 本發明係意圖達到使用光微影方法有效地平坦化半導體晶圓表面而不需要前案所使用的CMP拋光。

- 20 本發明之方法亦不需要使用介質的光微影配置與折射係數的組合來暴露平面使光阻被蝕刻至一平面。

 特別地，本發明意圖去提供一種蝕刻方法，其能夠以實質上相同的速度蝕刻光阻及介電層以達到平坦的晶圓表面。

【發明內容】

發明概要

本發明揭露，作為一個概括性的實施例，一種平坦化一半導體晶圓不規則表面之方法，其中一光阻層係首先被鋪設於該不規則晶圓表面上以均勻地塗覆晶圓上不需要的拓撲特徵，藉此提供一實質平坦的光阻層上表面。接著，以一實質上相同的速度蝕刻該光阻及介電層。

光阻的可流動性允許該光阻均勻地鋪設及散佈在不規則晶圓表面上以達到一實質平坦的上表面。該光阻層及位在該光阻層下方之介電層可較佳地被進一步蝕刻直到該層的厚度係被減小為製造後續層所需要的。

在一實施例中，蝕刻劑係包括氧化物蝕刻劑、多晶矽蝕刻劑、金屬蝕刻劑、光阻蝕刻劑及聚亞醯胺蝕刻劑中任何一種或該等的組合。氧化物蝕刻劑可採用來蝕刻介電材料，而多晶矽及金屬蝕刻劑可採用來蝕刻包含導電結構或材料之層。

圖式簡單說明

本發明的光阻蝕刻平坦化方法可參照接下來作為特定例子的圖示被進一步說明，該圖示係不能限制本發明之範圍及本發明之方法所能達到之其他多種變化實施例。

第 1 圖顯示了一晶圓不規則上表面的橫斷面圖；

第 2 圖顯示了該不規則上表面被光阻所塗覆之橫斷面圖；

第 3 圖顯示了蝕刻光阻及介電層兩者之橫斷面圖；及

第 4 圖顯示了蝕刻介電層以減少其厚度之橫斷面圖。

【實施方式】

較佳實施例之詳細說明

參見第 1 圖，所製造的半導體晶圓 (10) 可包含蝕刻至晶圓各層上的電路圖。例如，較低層 (20) 可被分階成高坪 (22) 及低坪 (24)。堆疊一後續層 (30) 至經圖案化的較低層 (20) 上導致了不規則的上表面，其中突出部 (32) 的升起是因為底下的高坪 (22)，而凹槽 (34) 是因為底下的低坪 (24)。

如第 2 圖所示，本發明之方法包含，首先，鋪設一層光阻 (40) 至不規則上表面層 (30) 的上方。被了解的是當鋪設光阻 (40) 至上表面層 (30) 時的平坦性是因為光阻液體的可流動性所造成。該光阻液體 (40) 可接著藉由暴露至一光下而發展或聚合成不可溶解之光阻。進一步被了解的是光阻塗覆層的厚度係較佳為足以覆蓋最高的突出部 (32) 以達到光阻層一初步的平坦表面。

如第 3 圖所示，該光阻層 (40) 及晶圓的不規則上表面可接著被一蝕刻溶液蝕刻，該蝕刻溶液係以一相同的速度蝕刻該光阻及介電層 (30)。當以相同的速度蝕刻該光阻 (40) 及介電層 (30) 時，在蝕刻過程進行當中，上表面的平坦係被維持的。

如第 4 圖所示，進一步的蝕刻以減小該介電層 (30) 的厚度係可以被允許的，藉此所有經圖案化之互連層可在一單一半導體裝置製造，因此解決了如之前所提到需要厚的介電層來克服底下拓樸作用影響的問題。

為了使該蝕刻溶液以相同的速度溶解該光阻 (40) 及該介電層 (30)，該蝕刻劑可以為一單一化合物的溶液或是能夠溶解光阻及介電層兩者的組成物，或是用於該光阻 (40) 及該介電層 (30) 之特定蝕刻劑的混合。

- 5 特定蝕刻劑的例子係為氧化物蝕刻劑、多晶矽蝕刻劑、金屬蝕刻劑、光阻蝕刻劑及聚亞醯胺蝕刻劑或該等的組合及其它沒有特定在此指出的蝕刻劑。

例如，氧化物蝕刻劑可以採用來蝕刻包含介電材料之層，該介電材料包含一般材料諸如二氧化矽。對於導電性
10 的結構、互連層或材料，多晶矽及金屬蝕刻劑可以採用來蝕刻該等材料。

包含本發明方法之蝕刻溶液的組份蝕刻劑，其組合可基於特定蝕刻劑對於所要蝕刻之材料已知的選擇性，例如 (i) 介電材料或層、(ii) 導電性結構或互連層及 (iii) 所使用
15 的光阻種類。各組份蝕刻劑的濃度可以依據已知底下層的圖形及結構來調整，藉此使得蝕刻上述所分類之三種材料的速度係為一相同的速度。

可以被了解的是除了上述蝕刻劑的例子，一個熟悉技藝者可以知道有許多不同地化合物及組成物可以被用來取代
20 上述對應地蝕刻劑以達到本發明之方法或實施例。此等實施例係被認為不逸離本發明中所揭示的例子及特定的實施例，且應被認為落在如下列申請專利範圍所界定之本發明的範圍內。

【圖式簡單說明】

第 1 圖顯示了一晶圓不規則上表面的橫斷面圖；

第 2 圖顯示了該不規則上表面被光阻所塗覆之橫斷面圖；

第 3 圖顯示了蝕刻光阻及介電層兩者之橫斷面圖；及

第 4 圖顯示了蝕刻介電層以減少其厚度之橫斷面圖。

5 【圖式之主要元件代表符號表】

10	半導體晶圓	32	突出部
20	較低層	34	凹槽
22	高坪	40	光阻
24	低坪		
30	介電層、後續層、上表面層		

伍、中文發明摘要：

一種平坦化一晶圓表面之方法，其包含，首先，鋪設一光阻層至不規則晶圓表面上以均勻地塗覆晶圓上所不欲之地勢，藉此提供一光阻層上表面，其實質上係為平坦的，及第二，以一實質上相同的速度蝕刻該光阻及介電層。

光阻的可流動性確保該光阻可均勻地散佈在不規則表面上以達到一實質平坦的上表面。該介電層係較佳地被進一步蝕刻直到該層的厚度係為後續製造所需要的。

在一實施例中，蝕刻劑可包括氧化物、多晶矽、金屬、光阻及聚亞醯胺蝕刻劑中任何一種或該等的組合。氧化物蝕刻劑可採用來蝕刻介電材料，而多晶矽及金屬蝕刻劑可採用來蝕刻包含導電結構或材料之層。

陸、英文發明摘要：

A method of planarizing a semiconductor wafer, comprising firstly, applying a photoresist layer on the irregular wafer surface to evenly coat over the undesirable topography of the wafer so as to provide a top surface of the photoresist layer that is substantially planar, and secondly, etching the photoresist and dielectric layer at substantially the same rate.

The flowability of the photoresist ensures even spread over the irregular surface to achieve a substantially planar top surface. The dielectric layer may preferably be etched further until the thickness of the layer is desirable for subsequent fabrication.

In one embodiment, the etchant may include any one of oxide, poly-silicon, metal, photoresist and polyimide etchants, or combinations thereof. Oxide etchants may be employed for etching dielectric material while poly-silicon and metal etchants may be employed for etching layers comprised of conductive structures or materials.

拾、申請專利範圍：

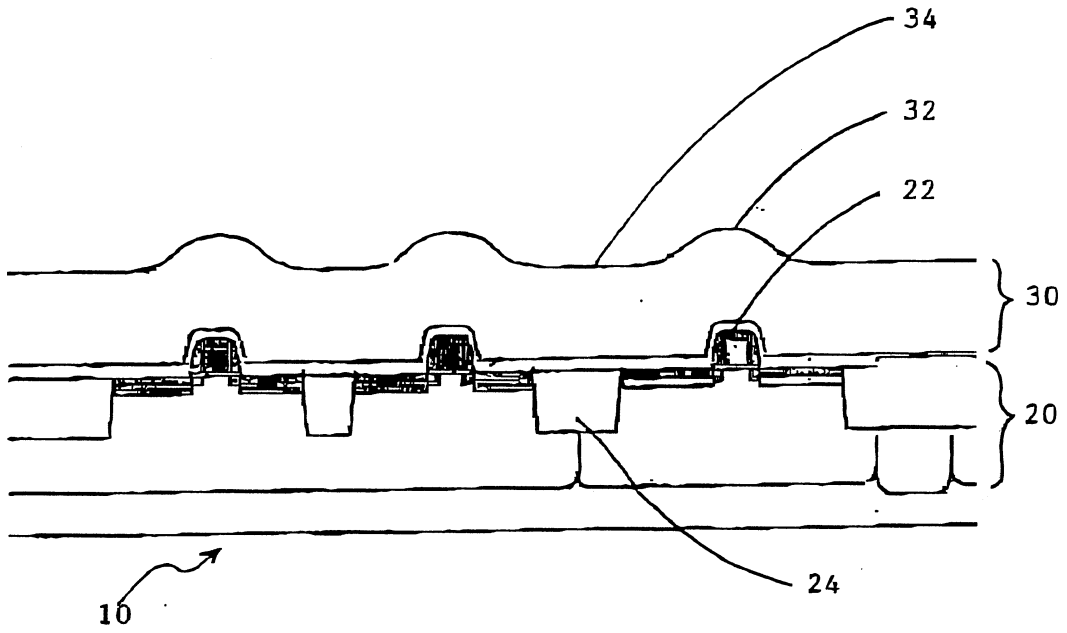
1. 一種平坦化一半導體晶圓不規則表面之方法，其包含：
 - 鋪設一光阻層至該不規則晶圓表面上以均勻地塗覆晶圓上所不欲之拓樸特徵，藉此提供一實質上平坦的光阻層上表面；及
 - 以一實質上相同的速度蝕刻該光阻及介電層。
2. 如申請專利範圍第 1 項之方法，其中該光阻的流動性允許將該光阻均勻地鋪設及散佈在該不規則晶圓表面上以達到一實質平坦的上表面。
3. 如申請專利範圍第 1 項之方法，其中該光阻層及位在該光阻層下方之介電層係進一步被蝕刻直到該層的厚度係為後續製造所需要的。
4. 如申請專利範圍第 1 項之方法，其中蝕刻劑包括氧化物蝕刻劑、多晶矽蝕刻劑、金屬蝕刻劑、光阻蝕刻劑及聚亞醯胺蝕刻劑中任何一種或該等的組合。
5. 如申請專利範圍第 4 項之方法，其中該氧化物蝕刻劑係採用來蝕刻包含介電材料之層。
6. 如申請專利範圍第 4 項之方法，其中該多晶矽蝕刻劑及金屬蝕刻劑係採用來蝕刻包含導電結構或材料之層。
7. 一種半導體晶圓，其依如申請專利範圍第 1 項之方法進行處理。
8. 一種半導體元件，其係如申請專利範圍第 1 項之方法所製造。
9. 一種機器，其包括如申請專利範圍第 8 項之半導體元

件。

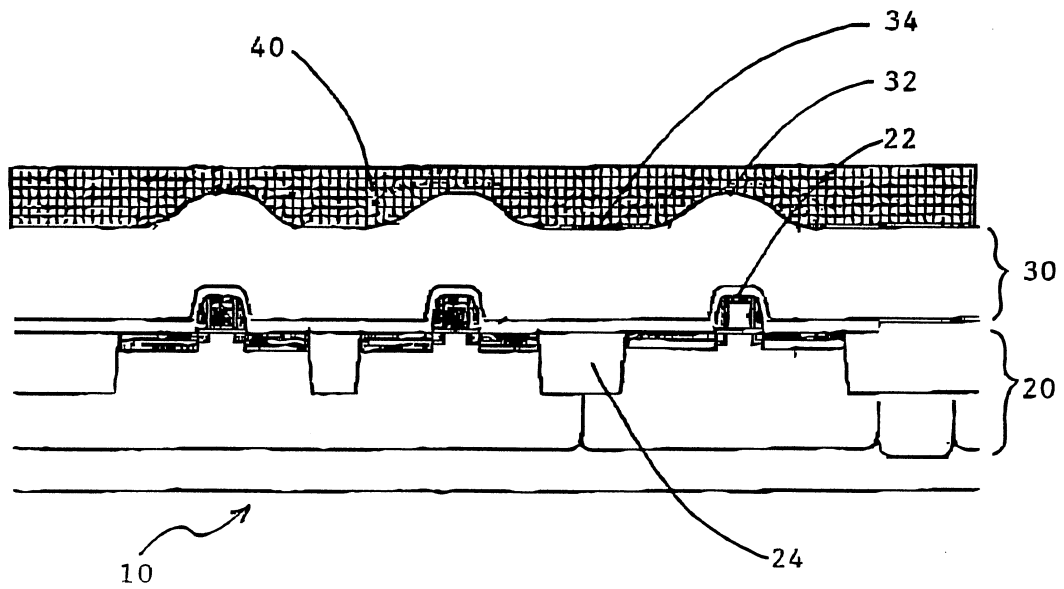
10. 一種蝕刻劑，其係調配成用於如申請專利範圍第 1 項之方法中。
11. 一種蝕刻溶液，其係調配成用於如申請專利範圍第 1 項之方法中，該蝕刻溶液包含二或多種蝕刻劑，該等蝕刻劑係被選擇以用一相同的速度來蝕刻材料。

92120076

1/2

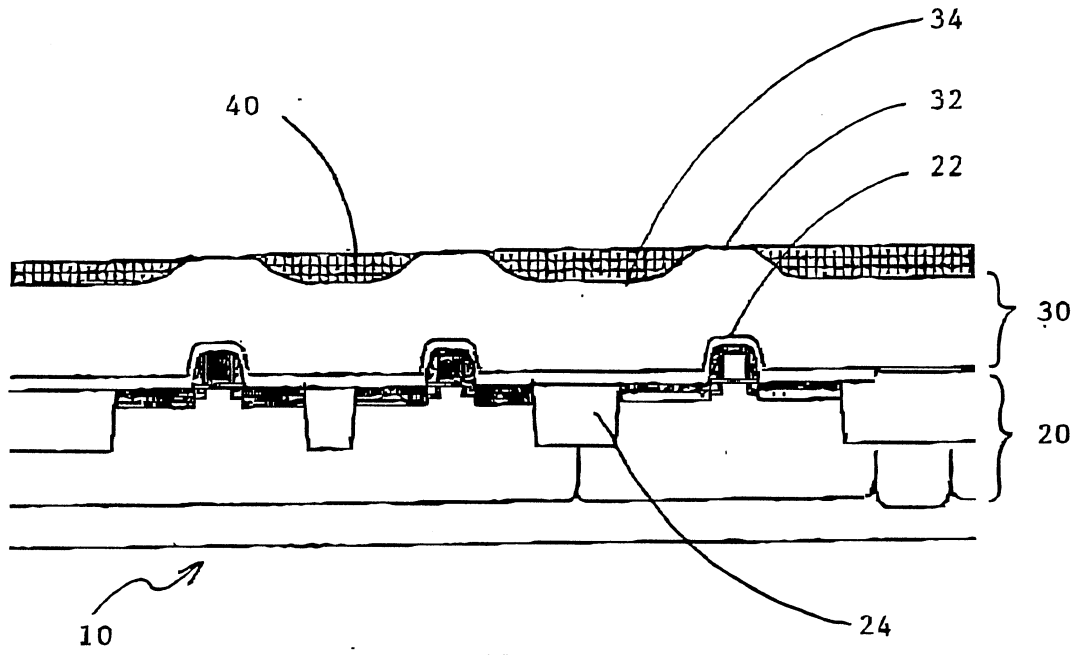


第 1 圖

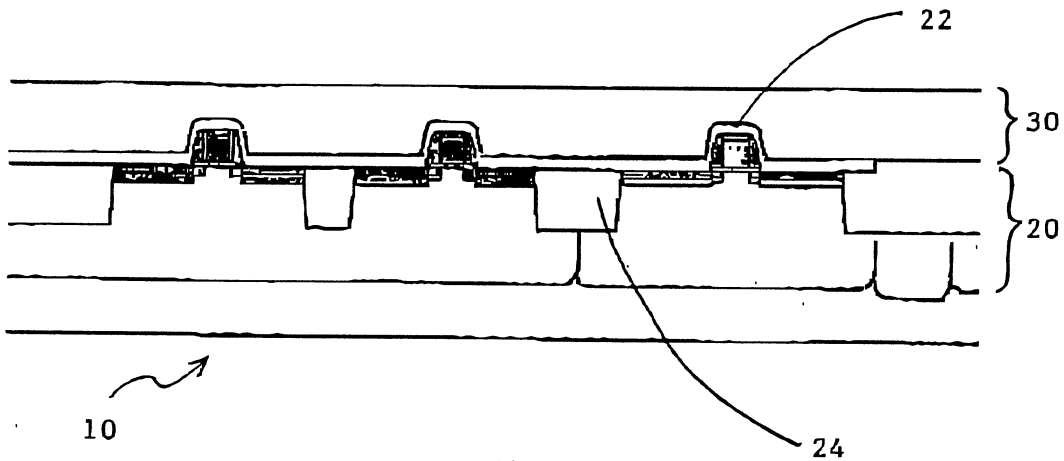


第 2 圖

2/2



第 3 圖



第 4 圖

柒、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件代表符號簡單說明：

- 10 半導體晶圓
- 20 較低層
- 22 高坪
- 24 低坪
- 30 介電層、後續層、上表面層
- 32 突出部
- 34 凹槽
- 40 光阻

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：