



(12) 发明专利申请

(10) 申请公布号 CN 115395931 A

(43) 申请公布日 2022. 11. 25

(21) 申请号 202210307862.3

(22) 申请日 2022.03.25

(30) 优先权数据

63/192,139 2021.05.24 US

17/692,142 2022.03.10 US

(71) 申请人 联发科技股份有限公司

地址 中国台湾新竹科学园区新竹市笃行一路1号

(72) 发明人 陈品文

(74) 专利代理机构 深圳市威世博知识产权代理

事务所(普通合伙) 44280

专利代理师 时乐行

(51) Int. Cl.

H03K 5/24 (2006.01)

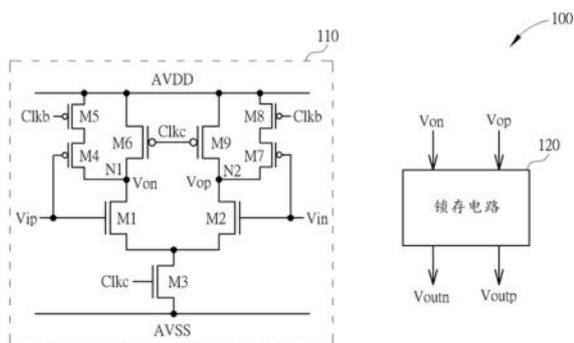
权利要求书2页 说明书10页 附图7页

(54) 发明名称

动态比较器

(57) 摘要

本发明提供了一种动态比较器,其包括动态放大器和锁存电路。动态放大器包括第一输入对、电流源和增益提升电路。第一输入对被配置为接收输入信号以在输出端产生放大信号。电流源耦接在第一输入对与第一参考电压之间。增益提升电路耦接在第一输入对与第二参考电压之间,并被配置为接收输入信号以选择性地向输出端注入电流或从输出端汲取电流。锁存电路耦接动态放大器,用于接收放大信号以产生输出信号。本发明提供的动态比较器可提供较高的增益。



1. 一种动态比较器,其特征在于,该动态比较器包括动态放大器和锁存电路,该动态放大器包括:

第一输入对,被配置为接收输入信号,以在输出端产生放大信号;

电流源,耦接在该第一输入对与第一参考电压之间;以及

增益提升电路,耦接在该第一输入对和第二参考电压之间,被配置为接收该输入信号,以选择性地向该输出端注入电流或者选择性地从该输出端汲取电流;

其中,该锁存电路耦接该动态放大器,被配置为接收该放大信号,以产生输出信号。

2. 如权利要求1所述的动态比较器,其特征在于,该输入信号为差分输入信号,该放大信号为在第一输出端和第二输出端产生的差分放大信号,该第一输入对包括第一晶体管和第二晶体管,以及,该增益提升电路包括第三晶体管和第四晶体管,该第三晶体管经由该第一输出端耦接到该第一晶体管,该第四晶体管经由该第二输出端耦接到该第二晶体管,其中,该差分输入信号被输入至该第一晶体管、该第二晶体管、该第三晶体管和该第四晶体管的栅极。

3. 如权利要求2所述的动态比较器,其特征在于,该第一晶体管和该第二晶体管为N型晶体管,该第三晶体管和该第四晶体管为P型晶体管。

4. 如权利要求2所述的动态比较器,其特征在于,该第一晶体管和该第二晶体管为P型晶体管,以及,该第三晶体管和该第四晶体管为N型晶体管。

5. 如权利要求2所述的动态比较器,其特征在于,该增益提升电路还包括第五晶体管和第六晶体管,该第五晶体管耦接在该第三晶体管和该第二参考电压之间,该第六晶体管耦接在该第四晶体管和该第二参考电压之间;以及,该电流源受第一时钟信号控制,该第五晶体管和该第六晶体管受第二时钟信号控制。

6. 如权利要求5所述的动态比较器,其特征在于,该动态比较器还包括:

逻辑电路,被配置为接收该第一时钟信号和该输出信号,以产生该第二时钟信号。

7. 如权利要求6所述的动态比较器,其特征在于,该逻辑电路被配置为在该动态放大器的放大阶段的一部分的期间产生该第二时钟信号以启用该第五晶体管和该第六晶体管,以及,该逻辑电路还被配置为在该锁存电路成功产生该输出信号时产生该第二时钟信号以禁用该第五晶体管和该第六晶体管。

8. 如权利要求6所述的动态比较器,其特征在于,该逻辑电路包括与非门。

9. 如权利要求5所述的动态比较器,其特征在于,该动态比较器还包括:

逻辑电路,被配置为接收该第一时钟信号和该放大信号以产生该第二时钟信号,其中,该逻辑电路被配置为在该动态放大器的放大阶段的一部分的期间产生该第二时钟信号以启用该第五晶体管和该第六晶体管,以及,该逻辑电路还被配置为在该锁存电路成功产生该输出信号时产生该第二时钟信号以禁用该第五晶体管和该第六晶体管。

10. 如权利要求2所述的动态比较器,其特征在于,该第一晶体管和该第二晶体管在第一时段的期间提供第一跨导以增大该动态放大器的增益,该第三晶体管和该第四晶体管在第二时段的期间提供第二跨导以增大该动态放大器的增益,该第一时段早于该第二时段,且该第一时段和该第二时段是部分重迭的。

11. 一种动态比较器,其特征在于,该动态比较器包括动态放大器和锁存电路,该动态放大器包括:

第一输入对和第二输入对,用于接收输入信号以在输出端产生放大信号;

第一电流源,耦接在该第一输入对与第一参考电压之间;以及

第二电流源,耦接在该第二输入对与第二参考电压之间;

其中,该锁存电路耦接该动态放大器,用于接收该放大信号以产生输出信号;

其中,该第一电流源和该第二电流源由第一时钟信号控制,以使得该第一输入对在该第一时钟信号的上升沿对该输入信号进行采样以及使得该第二输入对在该第一时钟信号的下降沿对该输入信号进行采样。

12. 如权利要求11所述的动态比较器,其特征在于,该第一输入对包括第一N型晶体管和第二N型晶体管,该第二输入对包括第一P型晶体管和第二P型晶体管,该第一N型晶体管通过第一输出端耦接至该第一P型晶体管,该第二N型晶体管通过第二输出端耦接至该第二P型晶体管,以及,该输入信号为差分输入信号,其被输入给该第一N型晶体管、该第二N型晶体管、该第一P型晶体管和该第二P型晶体管的栅极。

13. 如权利要求12所述的动态比较器,其特征在于,该第一电流源由第三N型晶体管实现,以及,该第二电流由第三P型晶体管实现。

14. 如权利要求13所述的动态比较器,其特征在于,该动态放大器还包括增益提升电路,该增益提升电路包括第四N型晶体管和第四P型晶体管,该第四N型晶体管耦接在该第一输入对与该第一参考电压之间,以及,该第四P型晶体管耦接在该第二输入对与该第二参考电压之间。

15. 如权利要求14所述的动态比较器,其特征在于,该第四N型晶体管受第二时钟信号控制,该第四P型晶体管受第三时钟信号控制,以及,该动态比较器还包括:

逻辑电路,其中,该逻辑电路接收该第一时钟信号和该输出信号以产生该第二时钟信号和该第三时钟信号,或者,该逻辑电路接收该第一时钟信号和该放大信号以产生该第二时钟信号和该第三时钟信号。

16. 如权利要求15所述的动态比较器,其特征在于,该逻辑电路被配置为在该动态放大器的放大阶段的一部分的期间产生该第三时钟信号以使能该第四P型晶体管并在该锁存电路成功产生该输出信号时产生该第三时钟信号以禁用该第四P型晶体管;以及,该逻辑电路还被配置为在该动态放大器的放大阶段的一部分的期间产生该第二时钟信号以使能该第四N型晶体管并在该锁存电路成功产生该输出信号时产生该第二时钟信号以禁用该第四N型晶体管。

动态比较器

技术领域

[0001] 本发明实施例通常涉及比较器技术,以及更具体地,涉及一种具有更高增益的动态比较器。

背景技术

[0002] 许多应用需要高速且低噪声的比较器,例如,高速和高分辨率逐次逼近寄存器模拟至数字转换器(successive-approximation register analog-to-digital converter, SAR ADC)。出于高速考虑,两级动态比较器被广泛使用,因为它可以工作在低电源电压下。

[0003] 传统的两级动态比较器包括放大器和锁存器,其中,放大器用于放大输入信号以产生输出信号,锁存器用于存储放大器的输出信号。动态比较器分两个阶段工作,即放大阶段(amplification phase)和重置阶段(reset phase)。在放大阶段,放大器像积分器一样对输入信号进行积分,然而,放大器的增益因放大器的输入对的跨导而受到限制,受限制的增益会降低噪声性能。因此,如何提供具有较高(higher)增益的动态比较器是一个重要课题。

发明内容

[0004] 有鉴于此,本发明的目的在于提供一种动态比较器,其可具有较高的增益,以提高噪声性能。

[0005] 以下发明内容仅是说明性的,而无意于以任何方式进行限制。即,提供以下概述来介绍本文描述的新颖和非显而易见的技术的概念,重点,益处和优点。选择的实施方式在下面的详细描述中进一步描述。因此,以下发明内容既不旨在标识所要求保护的主题的必要特征,也不旨在用于确定所要求保护的的主题的范围。

[0006] 第一方面,本发明提供了一种动态比较器,其中,该动态比较器包括动态放大器和锁存电路,该动态放大器包括:第一输入对,被配置为接收输入信号,以在输出端产生放大信号;电流源,耦接在该第一输入对与第一参考电压之间;以及增益提升电路,耦接在该第一输入对和第二参考电压之间,被配置为接收该输入信号,以选择性地向该输出端注入电流(如图1所示的实施例,当晶体管M5/M8接通时,可以通过附加的输入对M4/M7注入电流至输出端N1/N2)或者选择性地从该输出端汲取电流(如图6所示的实施例,当晶体管M5/M8接通时,可以通过附加的输入对M4/M7从输出端N1/N2汲取电流);其中,该锁存电路耦接该动态放大器,被配置为接收该放大信号,以产生输出信号。

[0007] 在一些实施例中,该输入信号为差分输入信号,该放大信号为在第一输出端和第二输出端产生的差分放大信号,该第一输入对包括第一晶体管和第二晶体管,以及,该增益提升电路包括第三晶体管和第四晶体管,该第三晶体管经由该第一输出端耦接到该第一晶体管,该第四晶体管经由该第二输出端耦接到该第二晶体管,其中,该差分输入信号被输入至该第一晶体管、该第二晶体管、该第三晶体管和该第四晶体管的栅极。

[0008] 在一些实施例中,该第一晶体管和该第二晶体管为N型晶体管,该第三晶体管和该

第四晶体管为P型晶体管。

[0009] 在一些实施例中,该第一晶体管 and 该第二晶体管为P型晶体管,以及,该第三晶体管 and 该第四晶体管为N型晶体管。

[0010] 在一些实施例中,该增益提升电路还包括第五晶体管和第六晶体管,该第五晶体管耦接在该第三晶体管和该第二参考电压之间,该第六晶体管耦接在该第四晶体管和该第二参考电压之间;以及,该电流源受第一时钟信号控制,该第五晶体管和该第六晶体管受第二时钟信号控制。

[0011] 在一些实施例中,该动态比较器还包括:逻辑电路,被配置为接收该第一时钟信号和该输出信号,以产生该第二时钟信号。

[0012] 在一些实施例中,该逻辑电路被配置为在该动态放大器的放大阶段的一部分的期间产生该第二时钟信号以启用该第五晶体管和该第六晶体管,以及,该逻辑电路还被配置为在该锁存电路成功产生该输出信号时产生该第二时钟信号以禁用该第五晶体管和该第六晶体管。

[0013] 在一些实施例中,该逻辑电路包括与非门。

[0014] 在一些实施例中,该动态比较器还包括:逻辑电路,被配置为接收该第一时钟信号和该放大信号以产生该第二时钟信号,其中,该逻辑电路被配置为在该动态放大器的放大阶段的一部分的期间产生该第二时钟信号以启用该第五晶体管和该第六晶体管,以及,该逻辑电路还被配置为在该锁存电路成功产生该输出信号时产生该第二时钟信号以禁用该第五晶体管和该第六晶体管。

[0015] 在一些实施例中,该第一晶体管和该第二晶体管在第一时段的期间提供第一跨导以增大该动态放大器的增益,该第三晶体管和该第四晶体管在第二时段的期间提供第二跨导以增大该动态放大器的增益,该第一时段早于该第二时段,且该第一时段和该第二时段是部分重迭的。

[0016] 第二方面,本发明提供了一种动态比较器,其中,该动态比较器包括动态放大器和锁存电路,该动态放大器包括:第一输入对和第二输入对,用于接收输入信号以在输出端产生放大信号;第一电流源,耦接在该第一输入对与第一参考电压之间;以及第二电流源,耦接在该第二输入对与第二参考电压之间;其中,该锁存电路耦接该动态放大器,用于接收该放大信号以产生输出信号;其中,该第一电流源和该第二电流源由第一时钟信号控制,以使得该第一输入对在该第一时钟信号的上升沿对该输入信号进行采样以及使得该第二输入对在该第一时钟信号的下降沿对该输入信号进行采样。

[0017] 在一些实施例中,该第一输入对包括第一N型晶体管和第一P型晶体管,该第二输入对包括第二N型晶体管和第二P型晶体管,该第一N型晶体管通过第一输出端耦接至该第一P型晶体管,该第二N型晶体管通过第二输出端耦接至该第二P型晶体管,以及,该输入信号为差分输入信号,其被输入给该第一N型晶体管、该第二N型晶体管、该第一P型晶体管和该第二P型晶体管的栅极。

[0018] 在一些实施例中,该第一电流源由第三N型晶体管实现,以及,该第二电流由第三P型晶体管实现。

[0019] 在一些实施例中,该动态放大器还包括增益提升电路,该增益提升电路包括第四N型晶体管和第四P型晶体管,该第四N型晶体管耦接在该第一输入对与第一参考电压之

间,以及,该第四P型晶体管耦接在该第二输入对与该第二参考电压之间。

[0020] 在一些实施例中,该第四N型晶体管受第二时钟信号控制,该第四P型晶体管受第三时钟信号控制,以及,该动态比较器还包括:逻辑电路,其中,该逻辑电路接收该第一时钟信号和该输出信号以产生该第二时钟信号和该第三时钟信号,或者,该逻辑电路接收该第一时钟信号和该放大信号以产生该第二时钟信号和该第三时钟信号。

[0021] 在一些实施例中,该逻辑电路被配置为在该动态放大器的放大阶段的一部分的期间产生该第三时钟信号以使能该第四P型晶体管并在该锁存电路成功产生该输出信号时产生该第三时钟信号以禁用该第四P型晶体管;以及,该逻辑电路还被配置为在该动态放大器的放大阶段的一部分的期间产生该第二时钟信号以使能该第四N型晶体管并在该锁存电路成功产生该输出信号时产生该第二时钟信号以禁用该第四N型晶体管。

[0022] 本领域技术人员在阅读附图所示优选实施例的下述详细描述之后,可以毫无疑问地理解本发明的这些目的及其它目的。详细的描述将参考附图在下面的实施例中给出。

附图说明

[0023] 附图(其中,相同的数字表示相同的组件)示出了本发明实施例。包括的附图用以提供对本公开实施例的进一步理解,以及,附图被并入并构成本公开实施例的一部分。附图示出了本公开实施例的实施方式,并且与说明书一起用于解释本公开实施例的原理。可以理解的是,附图不一定按比例绘制,因为可以示出一些部件与实际实施中的尺寸不成比例以清楚地说明本公开实施例的概念。

[0024] 图1是根据本发明一实施例示出的动态比较器的示意图。

[0025] 图2示出了根据本发明一实施例的动态放大器的信号时序和特性的示意图。

[0026] 图3是根据本发明一实施例示出的锁存电路的示意图。

[0027] 图4示出了根据本发明一实施例的被配置为产生时钟信号C1kb的逻辑电路和对应时序的示意图。

[0028] 图5示出了根据本发明另一实施例的被配置为产生时钟信号C1kb的逻辑电路和对应时序的示意图。

[0029] 图6为本发明一实施例的动态比较器的示意图。

[0030] 图7为本发明一实施例的动态比较器的示意图。

[0031] 图8根据本发明一实施例示出了图7所示动态放大器的信号时序和特性的示意图。

[0032] 图9示出了根据本发明一实施例的动态放大器900。

[0033] 图10根据本发明一实施例示出了图9的动态放大器的信号时序和特性的示意图。

[0034] 在下面的详细描述中,为了说明的目的,阐述了许多具体细节,以便本领域技术人员能够更透彻地理解本发明实施例。然而,显而易见的是,可以在没有这些具体细节的情况下实施一个或多个实施例,不同的实施例可根据需求相结合,而并不应当仅限于附图所列举的实施例。

具体实施方式

[0035] 以下描述为本发明实施的较佳实施例,其仅用来例举阐释本发明的技术特征,而并非用来限制本发明的范畴。在通篇说明书及权利要求书当中使用了某些词汇来指称特定

的元件,所属领域技术人员应当理解,制造商可能会使用不同的名称来称呼同样的元件。因此,本说明书及权利要求书并不以名称的差异作为区别元件的方式,而是以元件在功能上的差异作为区别的基准。本发明中使用的术语“元件”、“系统”和“装置”可以是与计算机相关的实体,其中,该计算机可以是硬件、软件、或硬件和软件的结合。在以下描述和权利要求书当中所提及的术语“包含”和“包括”为开放式用语,故应解释成“包含,但不限于…”的意思。此外,术语“耦接”意指间接或直接的电气连接。因此,若文中描述一个装置耦接于另一装置,则代表该装置可直接电气连接于该另一装置,或者透过其它装置或连接手段间接地电气连接至该另一装置。

[0036] 其中,除非另有指示,各附图的不同附图中对应的数字和符号通常涉及相应的部分。所绘制的附图清楚地说明了实施例的相关部分且并不一定是按比例绘制。

[0037] 文中所用术语“基本”或“大致”是指在可接受的范围内,本领域技术人员能够解决所要解决的技术问题,基本达到所要达到的技术效果。举例而言,“大致等于”是指在不影响结果正确性时,技术人员能够接受的与“完全等于”有一定误差的方式。

[0038] 图1为根据本发明一实施例的动态比较器(dynamic comparator)100的示意图。如图1所示,动态比较器100包括动态放大器(dynamic amplifier)110和锁存电路(latch circuit)120,其中,动态放大器110包括晶体管M1至M9,其耦接在参考电压AVDD(例如,电源电压(supply voltage))和参考电压AVSS(例如,接地电压(ground voltage))之间。动态比较器100可以用在需要高增益(higher gain)和低功耗(lower power)的任何电路中,例如,动态比较器100可以用在SAR ADC(逐次逼近寄存器模拟至数字转换器)中,也就是说,本发明提供的动态比较器具有较高的增益且功耗较低。

[0039] 本发明实施例以差分结构为例进行示例说明,但应当说明的是,本发明并不应当限于差分结构,例如,本发明也可以实现为单端结构,对此,本领域普通技术人员基于差分结构的实现将容易理解单端结构的对应实现,因此,为简洁起见,本发明不再单独描述单端结构的具体实现。在动态比较器100中,动态放大器110被配置为接收输入信号Vip和Vin(差分输入信号)以在输出端N1和N2产生放大信号Von和Vop(差分放大信号),以及,锁存电路120被配置为接收放大信号Von和Vop以产生输出信号Voutn和Voutp。关于动态放大器110,晶体管M1和M2可以分别由N型金属氧化物半导体(N-type Metal-Oxide-Semiconductor, NMOS)实现,以及,晶体管M1和M2用作输入对(在该示例中,输入对为“晶体管对”)来接收输入信号Vip和Vin以在晶体管M1和M2的增益电极(例如,漏极,即输出端N1和N2)产生放大信号Von和Vop。晶体管M3可以由NMOS实现,其耦接在晶体管M1/M2的源极和参考电压AVSS之间,以及,晶体管M3用作电流源,其用于启用/使能(enable)或者禁用/关闭(disable)动态放大器110的放大阶段(amplification phase)。晶体管M4至M9中的每一个可以由P型金属氧化物半导体(P-type Metal-Oxide-Semiconductor, PMOS)实现,其中,晶体管M4耦接到输出端N1,晶体管M5耦接在参考电压AVDD和晶体管M4之间,晶体管M6耦接在参考电压AVDD和输出端N1之间,晶体管M7耦接到输出端N2,晶体管M8耦接在参考电压AVDD和晶体管M7之间,晶体管M9耦接在参考电压AVDD和输出端N2之间。晶体管M4和M7用作另一输入对来接收差分输入信号Vip和Vin以提升/提高/增大(boost)动态放大器110(或动态比较器100)的增益。在本实施例中,晶体管M3、M6和M9受时钟信号(clock signal)Clkc控制,晶体管M5和M8受时钟信号Clkb控制,其中,时钟信号Clkc用于使能晶体管M3,以放大输入信号Vip和Vin并产生

放大信号Von和Vop,时钟信号Clkb用于在锁存器电路120成功产生输出信号Voutn和Voutp时禁用M5和M8,以降低/减少功耗。此外,时钟信号Clkb是根据时钟信号Clkc产生的,以及,时钟信号Clkb可以在适当的时候使能或禁用晶体管M5和M8。

[0040] 在本实施例中,晶体管M4、M5、M7、M8能够被视为增益提升电路(gain-boosting circuit),用于增大动态放大器110的增益。

[0041] 参考图1和图2,图2根据本发明一实施例示出了动态放大器110的信号时序和特性(characteristics)的示意图,其中,该时序示意图对应于时钟信号Clkc的上升沿(即时钟信号Clkc从低电压电平转变至高电压电平)和时钟信号Clkc随后的(following)高电压电平。一开始,时钟信号Clkc具有低电压电平(亦可称为低电平),因此,晶体管M3被禁用,而晶体管M6和M9被使能,从而,放大信号Von和Vop为高电压电平(亦可称为高电平)。此时,时钟信号Clkb使能晶体管M5和M8。然后,当时钟信号Clkc的电压电平开始上升/增大时(即,当时钟信号Clkc出现上升沿时),晶体管M3被使能并形成电流通路,从而,放大信号Von和Vop的电压电平开始下降(decrease)。此时,动态放大器110如同积分器一样工作,晶体管M1和M2工作在饱和区(saturation region),以及,晶体管M1和M2具有较高的跨导(即图2中的符号“gmn”),以增大动态放大器110的增益。当放大信号Von和Vop下降(drop)到阈值“Vi+thp”时,晶体管M4和M7开始工作在饱和区,以及,晶体管M4和M7具有较高的跨导(即图2中的符号“gmp”),以增大动态放大器110的增益,其中,“Vi”表示输入信号Vin或Vip,“thp”表示PMOS(例如,晶体管M4/M7)的阈值电压。然后,当放大信号Von和Vop下降到阈值“Vi-thn”时,晶体管M1和M2不工作在饱和区,从而,晶体管M1和M2具有较低的跨导,但晶体管M4和M7仍然具有较高的跨导,以维持动态放大器110的增益。其中,thn表示NMOS(例如,晶体管M1/M2)的阈值电压。最后,放大信号Von和Vop继续减小,以及,晶体管M4和M7不工作在饱和区,从而,使得晶体管M4和M7具有较低的跨导以及动态放大器110的增益降低。

[0042] 在图1和图2所示的实施例中,动态放大器110具有两个输入对,其中一个输入对包括晶体管M1和M2(NMOS),而另一输入对包括晶体管M4和M7(PMOS)。因此,由于晶体管M4和M7用于注入(inject)电流到输出端N1和N2,从而,动态放大器110的增益将会增大。此外,由于晶体管M1和M2在第一时段的期间(during a first period)提供跨导gmn,晶体管M4和M7在第二时段的期间提供跨导gmp,第一时段早于第二时段,且第二时段和第一时段是部分重迭的,因此,动态放大器110将具有更高的增益和更长的放大阶段(即,动态放大器110具有增益的时间将变得更长)。

[0043] 另外,为了保证动态放大器110的正常工作,PMOS M4/M5/M7/M8提供的电流小于NMOS M1/M2提供的电流,以使得放大信号Von和Vop在放大阶段的期间减小到零,以确保锁存电路120能够正常工作。

[0044] 图3是根据本发明一实施例示出的锁存电路120的示意图。如图3所示,锁存电路120包括多个NMOS MN1-MN8以及多个PMOS MP1-MP6,其耦接在参考电压AVDD和参考电压AVSS之间。锁存电路120用于接收放大信号Von及Vop以产生输出信号Voutp及Voutn,以及,当锁存电路120准备好/准备就绪(输出信号Voutp及Voutn被成功产生)时,输出信号Voutp及Voutn中的其中一者对应于高电压电平,而输出信号Voutp和Voutn中的另一者对应于低电压电平。此外,由于本领域技术人员应理解锁存电路120的运作,故在此不再赘述锁存电路120。值得注意的是,图3中所示的锁存电路120仅为示例,并非对本发明的限制。

[0045] 为了降低功耗,当锁存电路120准备好时,时钟信号C1kb被控制为具有高电压电平,以禁用晶体管M5和M8。图4示出了根据本发明一实施例的被配置为产生时钟信号C1kb的逻辑电路400和对应时序的示意图。如图4所示,逻辑电路400由与非门(NAND gate)实现,以及,逻辑电路400接收时钟信号C1kc以及输出信号Voutn和Voutp,以产生时钟信号C1kb。具体而言,当时钟信号C1kc为高电压电平且锁存电路120没有准备好/未就绪(is not ready)时,时钟信号C1kc与输出信号Voutn/Voutp均为高电压电平,以及,时钟信号C1kb为低电压电平,以启用/使能晶体管M5和M8。然后,当锁存电路120准备好(即图4所示的latch变为高电平)时,输出信号Voutn和Voutp中的其中一个变为低电压电平,从而,逻辑电路400产生具有高电压电平的时钟信号C1kb,以禁用晶体管M5和M8。

[0046] 应当说明的是,图4中所示的与非门只是一个例子,而并不是对本发明的限制,只要是能够在放大阶段的一部分的期间产生具有低电压电平的时钟信号C1kb以使能晶体管M5和M8以及在锁存电路120准备就绪/准备好时产生具有高电压电平的时钟信号C1kb以禁用晶体管M5和M8的电路均可以,也就是说,逻辑电路400可以由其它组件来实现,本发明对此不做任何限制。

[0047] 图5是根据本发明另一实施例示出的被配置为产生时钟信号C1kb的逻辑电路500和对应时序的示意图。如图5所示,逻辑电路500包括两个反相器510、520及与非门530。反相器510接收放大信号Vop,以产生反相放大信号Vop',反相器520接收放大信号Von以产生反相放大信号Von',与非门530接收反相放大信号Vop'、反相放大信号Von'和时钟信号C1kc,以产生时钟信号C1kb。具体而言,当时钟信号C1kc为高电平且放大信号Vop与Von为高电平时(即锁存电路120未准备就绪),时钟信号C1kb为低电平以致能/启用/使能/接通晶体管M5和M8。然后,当放大信号Vop和Von具有低电压电平时(即,锁存电路120准备好),逻辑电路400产生具有高电压电平的时钟信号C1kb,以禁用/关闭/断开晶体管M5和M8。

[0048] 在图5所示的实施例中,反相器510和520可以是图3所示的锁存电路120中部分结构的副本(replica),例如,可以是PMOS MP1和NMOS MN1,以及,PMOS MP2和NMOS MN4的副本。可以理解地,PMOS MP2和NMOS MN4的副本MP2'和NM4'可视为构成反相器510,其中,PMOS MP2'的漏极和NMOS MN4'的栅极用于接收Vop,以及,PMOS MP2'的漏极和NMOS MN4'的漏极耦接在一起,且用于输出Vop';相应地,PMOS MP1和NMOS MN1的副本MP1'和MN1'可视为构成反相器520,其中,PMOS MP1'和NMOS MN1'的栅极用于接收Von,以及,PMOS MP1'的漏极和NMOS MN1'的漏极耦接在一起,且用于输出Von'。因此,逻辑电路400可以在锁存电路120准备就绪时,立即产生高电压电平的时钟信号C1kb来关闭/禁用晶体管M5和M8,以节省更多的功耗。

[0049] 应当说明的是,图5中所示的逻辑电路只是一个例子,而并不是对本发明的限制,只要是能够在部分放大阶段的期间产生具有低电压电平的时钟信号C1kb以使能晶体管M5和M8以及在锁存电路120准备就绪/准备好时产生具有高电压电平的时钟信号C1kb以禁用晶体管M5和M8的电路均可以。

[0050] 在图1所示的实施例中,作为主(main)输入对的晶体管M1和M2由NMOS实现,作为附加(additional)输入对的晶体管M4和M7由PMOS实现,然而,在另一实施例中,主输入对可以由PMOS实现,而附加输入对可以由NMOS实现。具体来说,图6是根据本发明一实施例示出的动态比较器600的示意图。如图6所示,动态比较器600包括动态放大器610和锁存电路620,

其中,动态放大器610包括晶体管M1至M9,其耦接在参考电压AVDD(即电源电压)和参考电压AVSS(即接地电压)之间。动态比较器600可以用在需要更高增益和更低功耗的任意电路中,例如,动态比较器600可以用在SAR ADC中。

[0051] 在动态比较器600中,动态放大器610被配置为接收输入信号Vip和Vin(差分输入信号)以在输出端N1和N2产生放大信号Von和Vop(差分放大信号),以及,锁存电路620被配置为接收放大信号Von和Vop以产生输出信号Voutn和Voutp。对于动态放大器610,晶体管M1和M2中的每一个都由PMOS实现,以及,晶体管M1和M2作为/用作(serve as)输入对来接收输入信号Vip和Vin以在晶体管M1和M2的增益电极(即输出端N1和N2)产生放大信号Von和Vop。晶体管M3由PMOS实现,其耦接在晶体管M1/M2的源极和参考电压AVDD之间,以及,晶体管M3用作电流源,用于启用或禁用动态放大器610的放大阶段。晶体管M4至M9中的每一个均由NMOS实现,其中,晶体管M4耦接到输出端N1,晶体管M5耦接在参考电压AVSS与晶体管M4之间,晶体管M6耦接在参考电压AVSS与输出端N1之间,晶体管M7耦接至输出端N2,晶体管M8耦接在参考电压AVSS与晶体管M7之间,晶体管M9耦接在参考电压AVSS与输出端N2之间。晶体管M4和M7作为/用作另一输入对来接收差分输入信号Vip和Vin以提高动态放大器610的增益。在本实施例中,晶体管M3、M6和M9受时钟信号Clkc控制,而晶体管M5和M8受时钟信号Clkb控制,其中,时钟信号Clkc用于使能晶体管M3放大输入信号Vip和Vin以产生放大信号Von和Vop,时钟信号Clkb用于在锁存电路620成功产生输出信号Voutn和Voutp时禁用M5和M8,以降低功耗。此外,时钟信号Clkb是根据时钟信号Clkc产生的,时钟信号Clkb能够在适当的时候使能或禁止晶体管M5和M8。

[0052] 动态放大器610中的信号时序的示意图与图2所示的实施例类似,动态放大器610具有两个输入对,其中一个输入对包括晶体管M1和M2(PMOS),而另一个输入对包括晶体管M4和M7(NMOS),以及,由于晶体管M4和M7用于从输出端N1和N2汲取电流,因此,动态放大器110的增益将增大。此外,由于晶体管M1和M2提供跨导gmp,晶体管M4和M7提供跨导gmn,以及,跨导gmn和跨导gmp在时间上是部分重迭的,因此,动态放大器610将具有更高的增益和更长的放大阶段。此外,时钟信号Clkb的产生可参考图4和图5所示的实施例,因此,这里省略动态比较器600的详细描述。

[0053] 在图1和图6所示的实施例中,动态放大器110/610仅在时钟信号Clkc的上升沿对输入信号Vin/Vip进行采样(sample)。在另一实施例中,该动态放大器可以被设计为在该时钟信号的上升沿和下降沿均对输入信号Vin/Vip进行采样。具体来说,图7是根据本发明一实施例的动态比较器700的示意图。如图7所示,动态比较器700包括动态放大器710以及两个锁存电路720、730,其中,动态放大器710包括晶体管M11至M16,其耦接在参考电压AVDD(即电源电压)和参考电压AVSS(即,接地电压)之间。动态比较器700可以用在需要较高增益和较低功耗的任何电路中,例如,动态比较器700可以用在SAR ADC中。

[0054] 在动态比较器700中,动态放大器710被配置为在时钟信号Clk的上升沿和下降沿接收(例如,采样)输入信号Vip和Vin(差分输入信号)以产生放大信号Von和Vop(差分放大信号)。锁存电路720响应于时钟信号Clk的上升沿接收产生的放大信号Von和Vop,以产生输出信号Voutn和Voutp。锁存电路730响应于时钟信号Clk的下降沿接收产生的放大信号Von和Vop,以产生输出信号Voutn和Voutp。对于动态放大器710,晶体管M11和M12中的每一个都可以由NMOS实现,以及,晶体管M11和M12作为输入对接收输入信号Vip和Vin以在晶体管M1

和M2的增益电极(即输出端N1和N2)产生放大信号Von和Vop。晶体管M13可以由NMOS实现,其耦接在晶体管M11/M12的源极和参考电压AVSS之间,以及,晶体管M13用作电流源,用于启用或禁用动态放大器710的晶体管M11/M12对应的放大阶段(amplification phase)。晶体管M14和M15中的每一个可以分别由PMOS实现,其中,晶体管M14和M15用作另一输入对接收输入信号Vip和Vin以在晶体管M14和M15的增益电极(即输出端N1和N2)产生放大信号Von和Vop。晶体管M16由PMOS实现,其耦接在晶体管M14/M15的源极和参考电压AVDD之间,以及,晶体管M16用作电流源,用于启用或禁用动态放大器710的晶体管M14/M15对应的放大阶段。在本实施例中,晶体管M13和M16由时钟信号C1k控制。

[0055] 关于锁存电路720和730,当动态放大器710在时钟信号C1k的上升沿采样输入信号Vin和Vip以产生放大信号Vop和Von时,对应于锁存电路720的开关被使能,从而,锁存电路720接收放大信号Vop和Von以产生输出信号Voutp和Voutn。此外,当动态放大器710在时钟信号C1k的下降沿采样输入信号Vin和Vip以产生放大信号Vop和Von时,对应于锁存电路730的开关被使能,从而,锁存电路730接收到放大信号Vop和Von以产生输出信号Voutp和Voutn。

[0056] 图8示出了根据本发明一实施例的动态放大器710的信号时序和特性的示意图。一开始,时钟信号C1k为低电平,因此,晶体管M13被禁用而晶体管M16被使能,放大信号Von和Vop为高电平。然后,当时钟信号C1k的电压电平开始上升(即上升沿)时,晶体管M13被使能并形成电流通路,从而,放大信号Von和Vop的电压电平开始下降。此时,动态放大器710如同积分器一样工作,晶体管M11和M12工作在饱和区,以及,晶体管M11和M12具有较高的跨导(即图8中的符号“gmn”),以增大动态放大器710的增益。然后,当放大信号Von和Vop下降到阈值电压电平时,晶体管M11和M12不工作在饱和区,晶体管M11和M12具有较低的跨导,以及,动态增益放大器710减小。

[0057] 此外,当时钟信号C1k的电压电平开始下降(即下降沿)时,晶体管M16被使能并形成电流通路,从而,使得放大信号Von和Vop的电压电平开始上升/增大。此时,动态放大器710如同积分器一样工作,晶体管M14和M15工作在饱和区,以及,晶体管M14和M15具有较高的跨导(即图8中的符号“gmp”),以增大动态放大器710的增益。然后,当放大信号Von和Vop达到阈值电压电平时,晶体管M14和M15不工作在饱和区,晶体管M14和M15具有较低的跨导,以及,动态放大器710的增益减小。

[0058] 在图7和图8所示的实施例中,动态放大器710具有两个输入对,其中一个输入对是晶体管M11和M12(NMOS),而另一个输入对是晶体管M14和M15(PMOS)。因此,由于两个输入对被分别配置为在时钟信号C1k的上升沿和下降沿对输入信号Vin/Vip进行采样,因此,动态放大器710将具有更高的效率。

[0059] 在一实施例中,可以将动态放大器710修改为具有图1所示的增益提升技术。具体来说,图9示出了根据本发明一实施例的动态放大器900。如图9所示,与动态放大器710相比,动态放大器900还包括晶体管M17和晶体管M18,晶体管M17耦接在晶体管M12的源极与参考电压AVSS之间,以及,晶体管M18耦接在晶体管M15的源极与参考电压AVDD之间。在本实施例中,晶体管M17与M18可视为增益提升电路,用以提升/提高动态放大器710的增益。晶体管M17受时钟信号C1k_bn控制,以在动态放大器900的晶体管M14与M15在时钟信号C1k的下降沿对输入信号Vin和Vip进行采样时提供跨导,以提高动态放大器900的增益。晶体管M18受

时钟信号Clk_bp控制,以在动态放大器900的晶体管M11和M12在时钟信号Clk的上升沿对输入信号Vin和Vip进行采样时提供跨导,以提高动态放大器900的增益。

[0060] 图10示出了根据本发明一实施例的动态放大器910的信号时序和特性的示意图。一开始,时钟信号Clk为低电平,因此,晶体管M13被禁用而晶体管M16被使能,以及,放大信号Von和Vop具有高电平。然后,当时钟信号Clk的电压电平开始上升(即上升沿)时,晶体管M13被使能并形成电流通路,从而,使得放大信号Von和Vop的电压电平开始下降。此时,动态放大器900如同积分器一样工作,晶体管M11和M12工作在饱和区,以及,晶体管M11和M12具有较高的跨导(即图10中的符号“gmn”)以增大动态放大器710的增益。然后,当放大信号Von和Vop下降到阈值电压时,例如图2中所示的“Vi+thp”,晶体管M18开始工作在饱和区,以及,晶体管M18具有较高的跨导(即图10中的符号“gmp”),以增大动态放大器710的增益。然后,当放大信号Von和Vop下降到较低的阈值电压电平,晶体管M11和M12不工作在饱和区,晶体管M11和M12具有较低的跨导,以及,动态放大器900的增益降低。从而,由于晶体管M11和M12提供跨导gmn,晶体管M14和M15提供跨导gmp,且跨导gmn和跨导gmp是部分重迭的,因此,针对在时钟信号Clk的上升沿进行的采样操作,动态放大器900将具有更高的增益和更长的放大阶段。

[0061] 此外,当时钟信号Clk的电压电平开始下降(即下降沿)时,晶体管M16被使能并形成电流通路,使得放大信号Von和Vop的电压电平开始上升。此时,动态放大器900如同积分器一样工作,晶体管M14和M15工作在饱和区,以及,晶体管M14和M15具有较高的跨导(即图10中的符号“gmp”),以增大动态放大器900的增益。然后,当放大信号Von和Vop增大到阈值电压时,晶体管M11和M12开始工作在饱和区,以及,晶体管M11和M12具有更高的跨导(即图10中的符号“gmn”),以增大动态放大器900的增益。然后,当放大信号Von和Vop达到较高的阈值电压电平时,晶体管M14和M15不工作在饱和区,晶体管M14和M15具有较低的跨导,且动态放大器900的增益减小。从而,由于晶体管M14和M15提供跨导gmp,晶体管M11和M12提供跨导gmn,且跨导gmn和跨导gmp是部分重迭的,因此,针对在时钟信号Clk的下降沿进行的采样操作,动态放大器900将具有更高的增益和更长的放大阶段。

[0062] 此外,时钟信号Clk_bp可以是通过使用任何合适的逻辑电路产生的,只要该逻辑电路能够在放大阶段的一部分的期间产生具有低电压电平的时钟信号Clk_bp来使能晶体管M18以及能够在锁存电路720准备好时产生具有高电压电平的时钟信号Clk_bp就行。例如,时钟信号Clk_bp可以是通过使用逻辑电路400或逻辑电路500产生的,即该逻辑电路可以接收输出信号Voutn、Voutp和时钟信号Clk来产生时钟信号Clk_bp,或者,逻辑电路可以接收放大信号Von、Vop和时钟信号Clk以产生时钟信号Clk_bp。只要该逻辑电路可以在放大阶段的一部分的期间产生具有低电平的时钟信号Clk_bp来使能晶体管M18以及能够在锁存电路720准备好时产生具有高电平的时钟信号Clk_bp就可以,具体地,本发明不做限制。

[0063] 类似地,时钟信号Clk_bn可以是通过任何合适的逻辑电路产生的,只要该逻辑电路可以在放大阶段的一部分的期间产生具有高电压电平的时钟信号Clk_bn来使能晶体管M17且能够在锁存电路730准备好时产生具有低电压电平的时钟信号Clk_bn就行,具体地,本发明不做限制。

[0064] 简而言之,在本发明提供的动态比较器中,通过使用具有两个输入对的动态放大器,动态比较器将具有更高的增益和更长的放大阶段,以改善/提高噪声性能。此外,本发明

还提供了一种动态放大器,其能够在时钟信号的上升沿和下降沿对输入信号进行采样,以提高动态比较器的效率。

[0065] 在权利要求书中使用诸如“第一”,“第二”,“第三”等序数术语来修改申请专利要素,其本身并不表示一个申请专利要素相对于另一个申请专利要素的任何优先权、优先级或顺序,或执行方法动作的时间顺序,但仅用作标记,以使用序数词来区分具有相同名称的一个申请专利要素与具有相同名称的另一个元素要素。

[0066] 虽然本发明已经通过示例的方式以及依据优选实施例进行了描述,但是,应当理解的是,本发明并不限于公开的实施例。相反,它旨在覆盖各种变型和类似的结构(如对于本领域技术人员将是显而易见的),例如,不同实施例中的不同特征的组合或替换。因此,所附权利要求的范围应被赋予最宽的解释,以涵盖所有的这些变型和类似的结构。

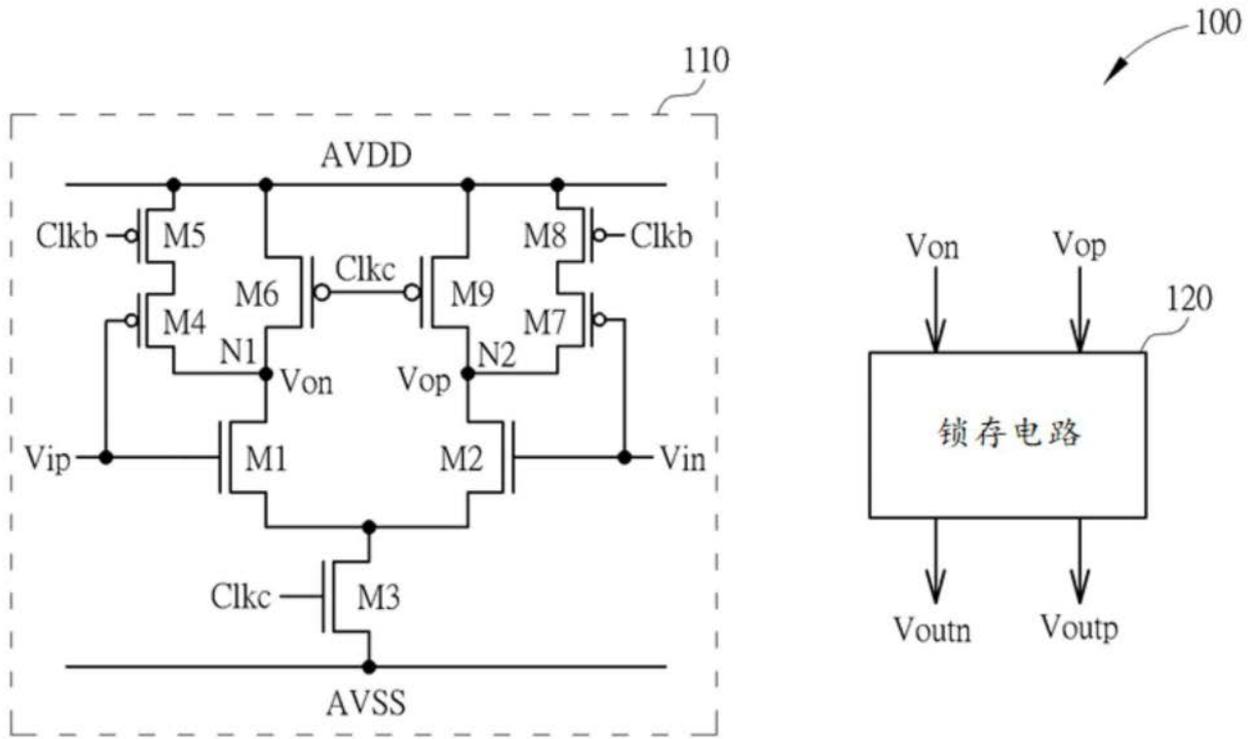


图1

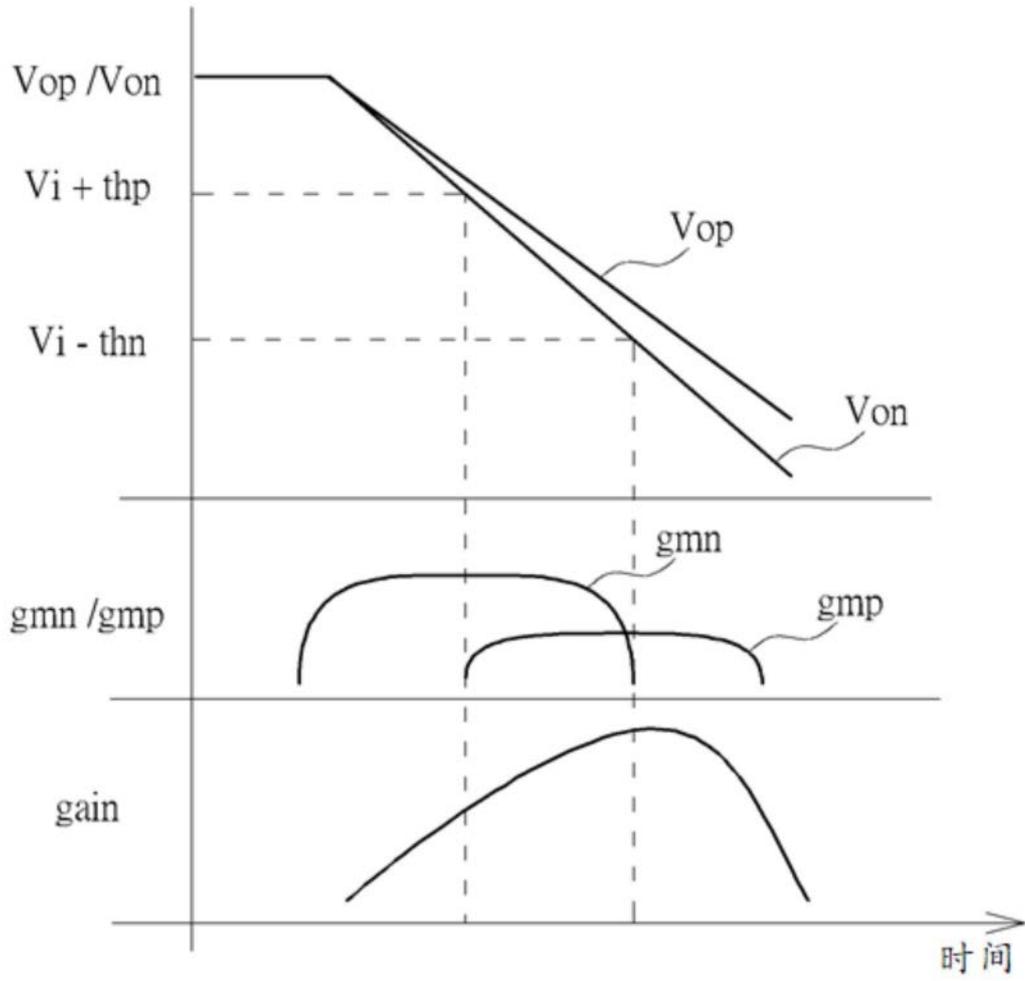


图2

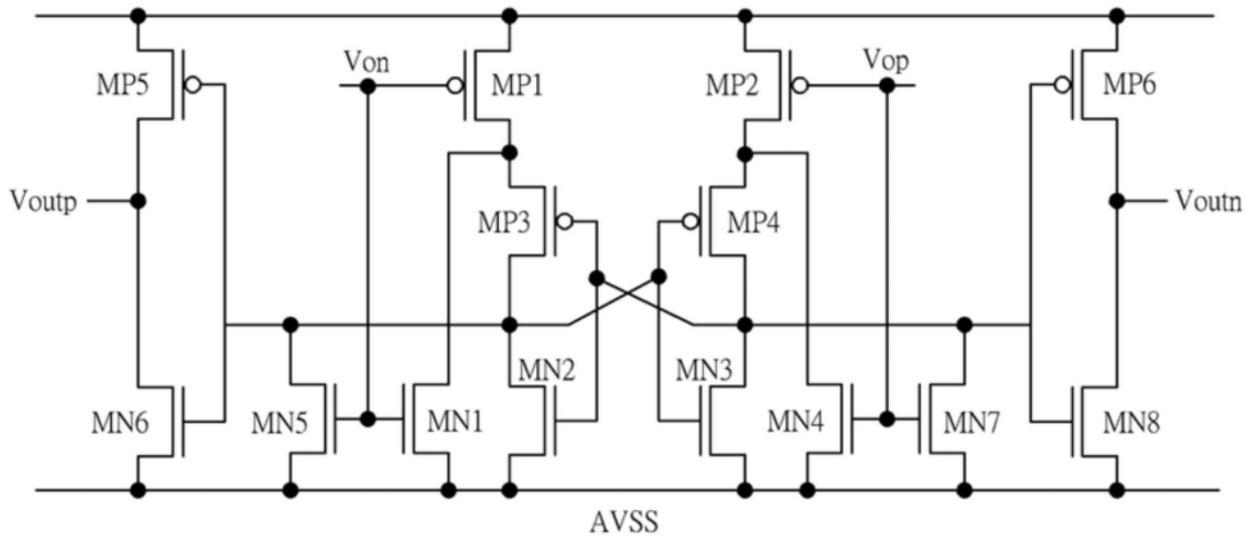


图3

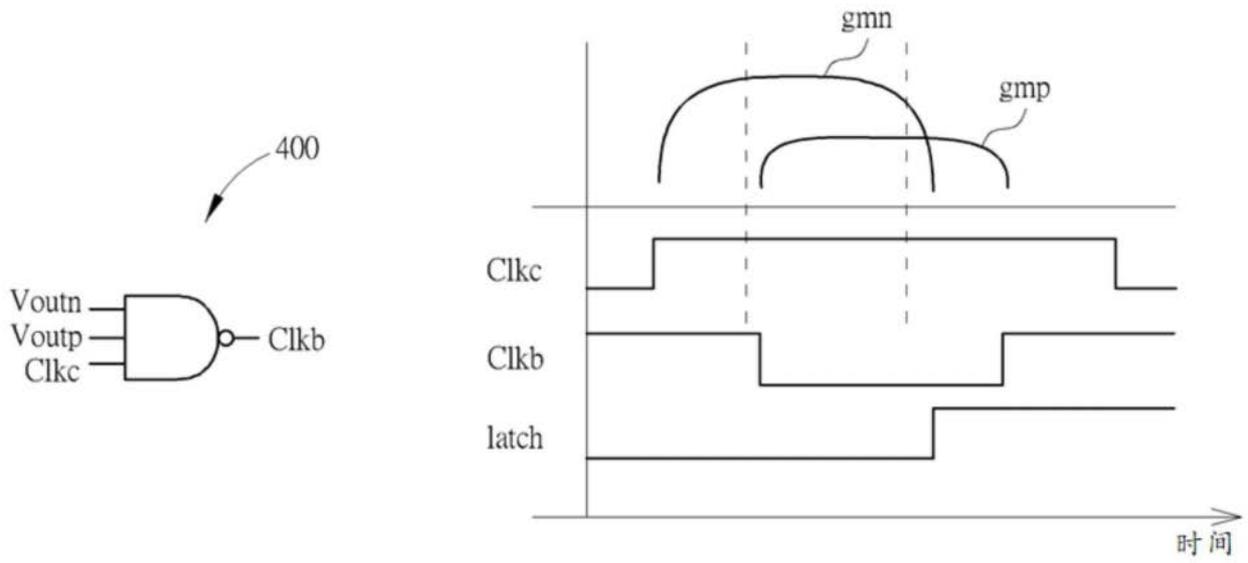


图4

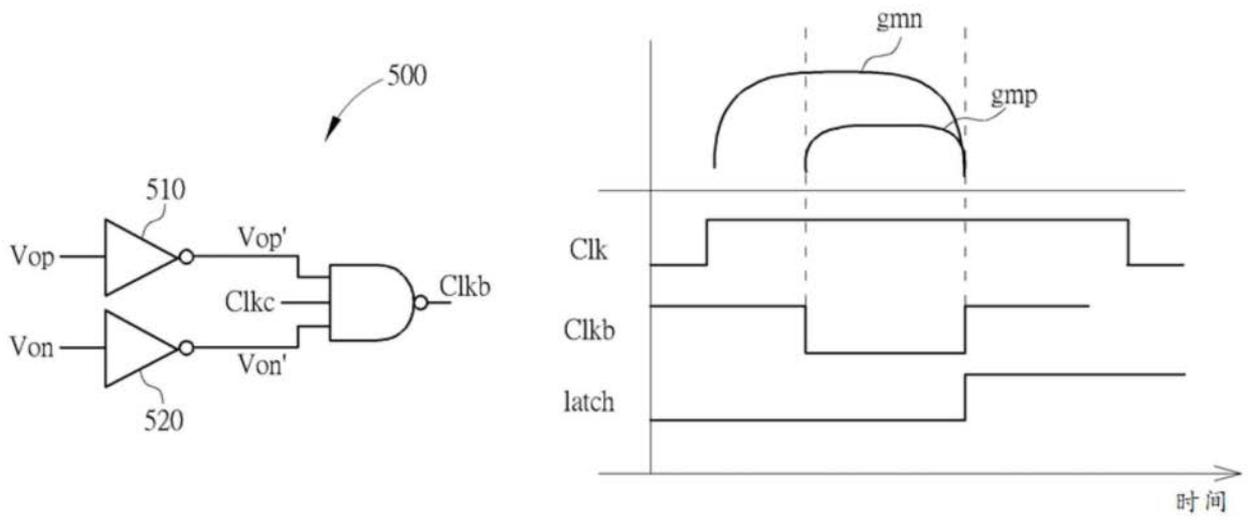


图5

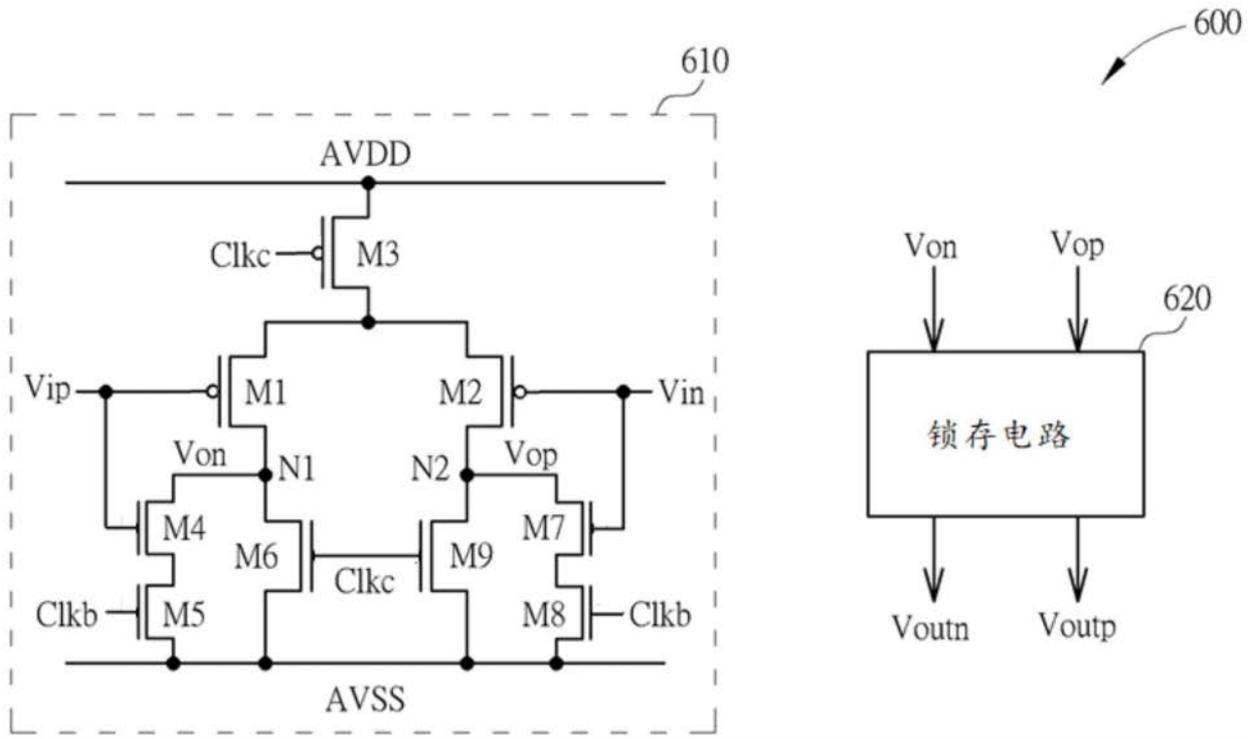


图6

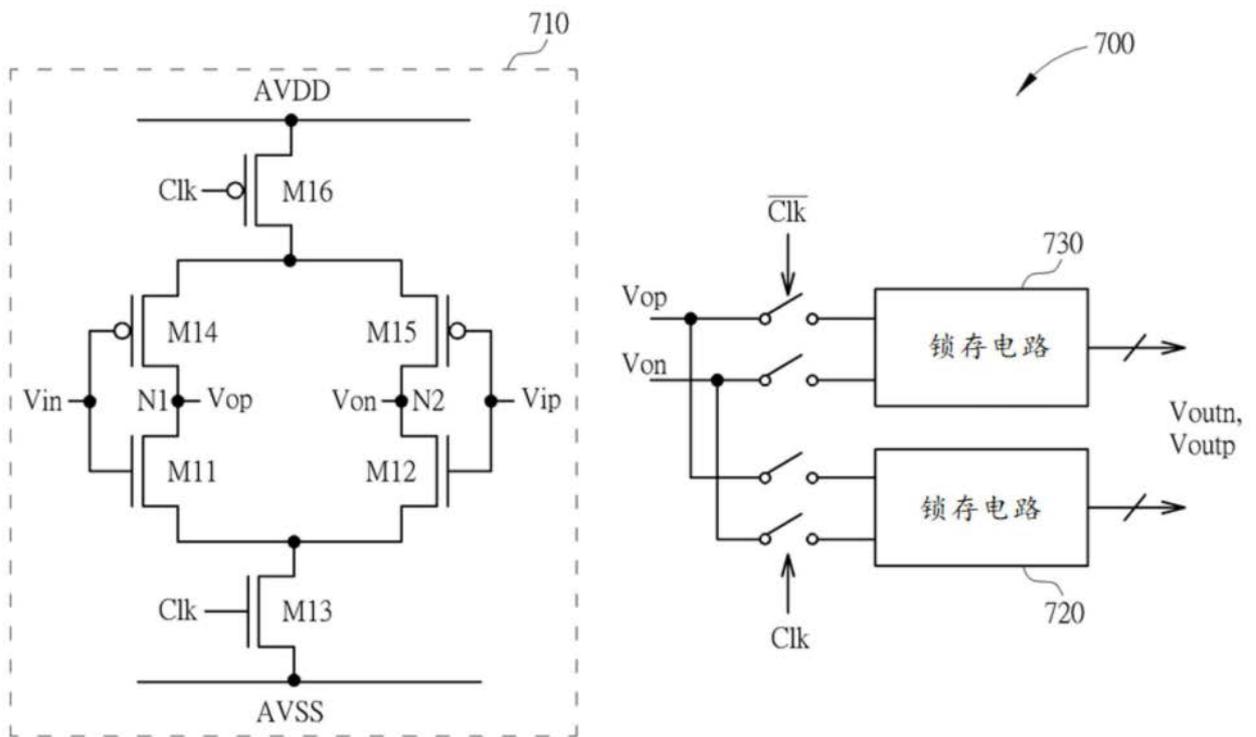


图7

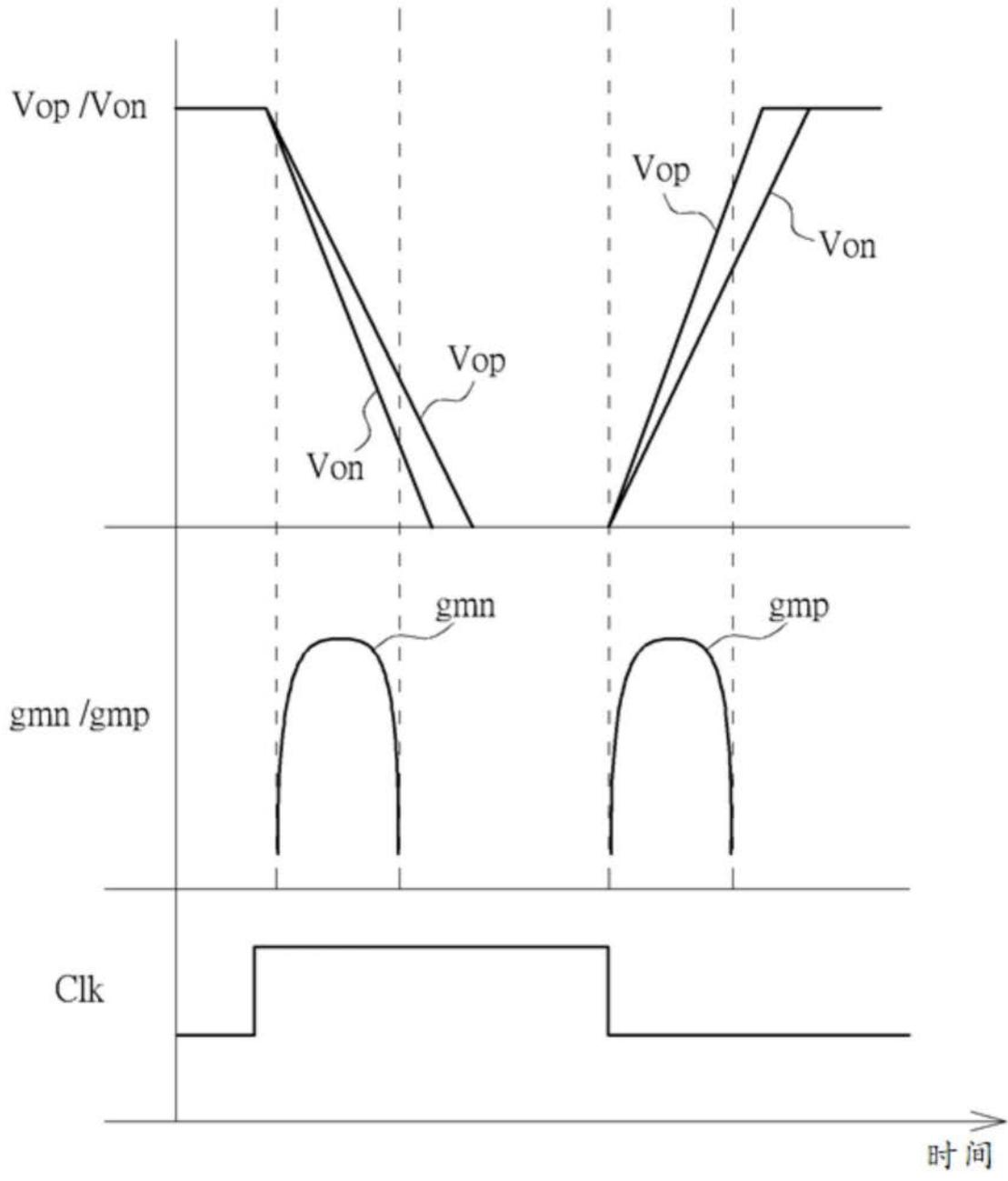


图8

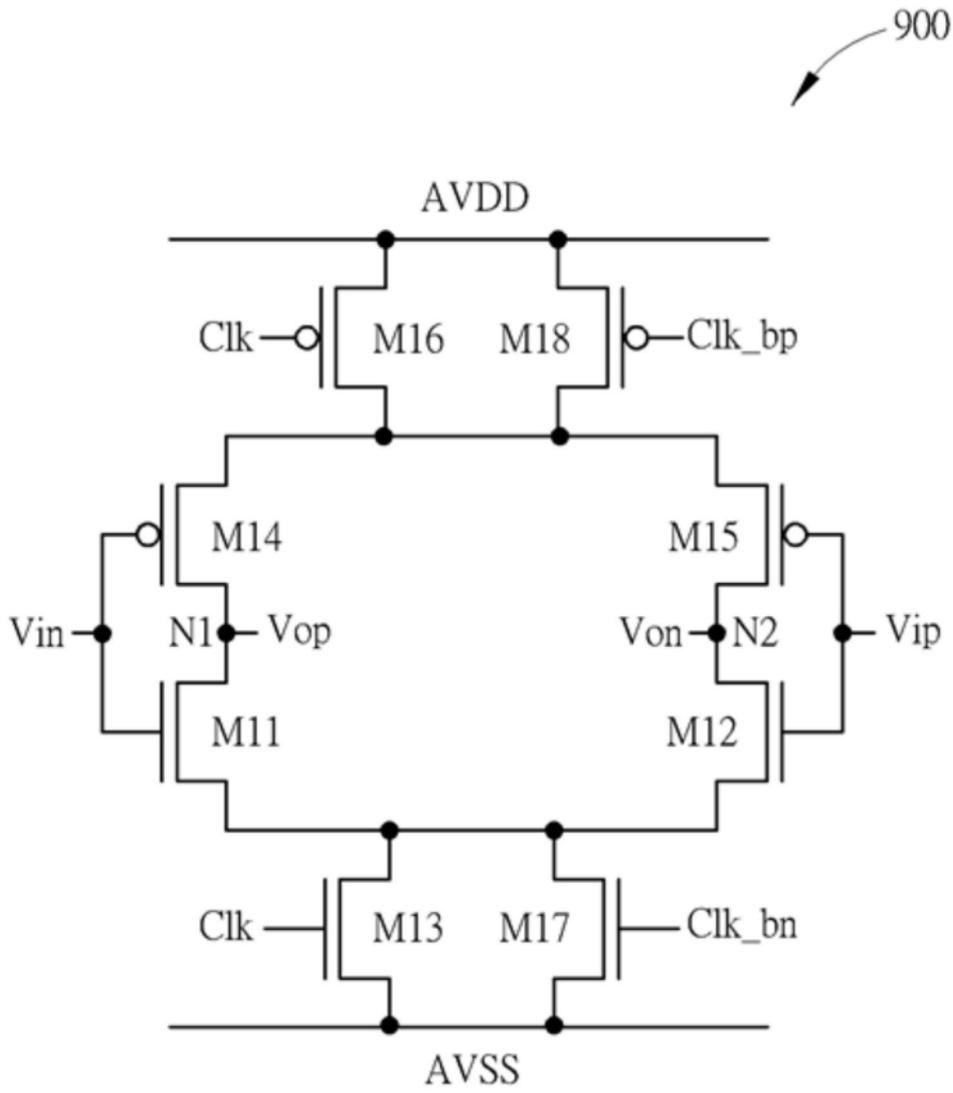


图9

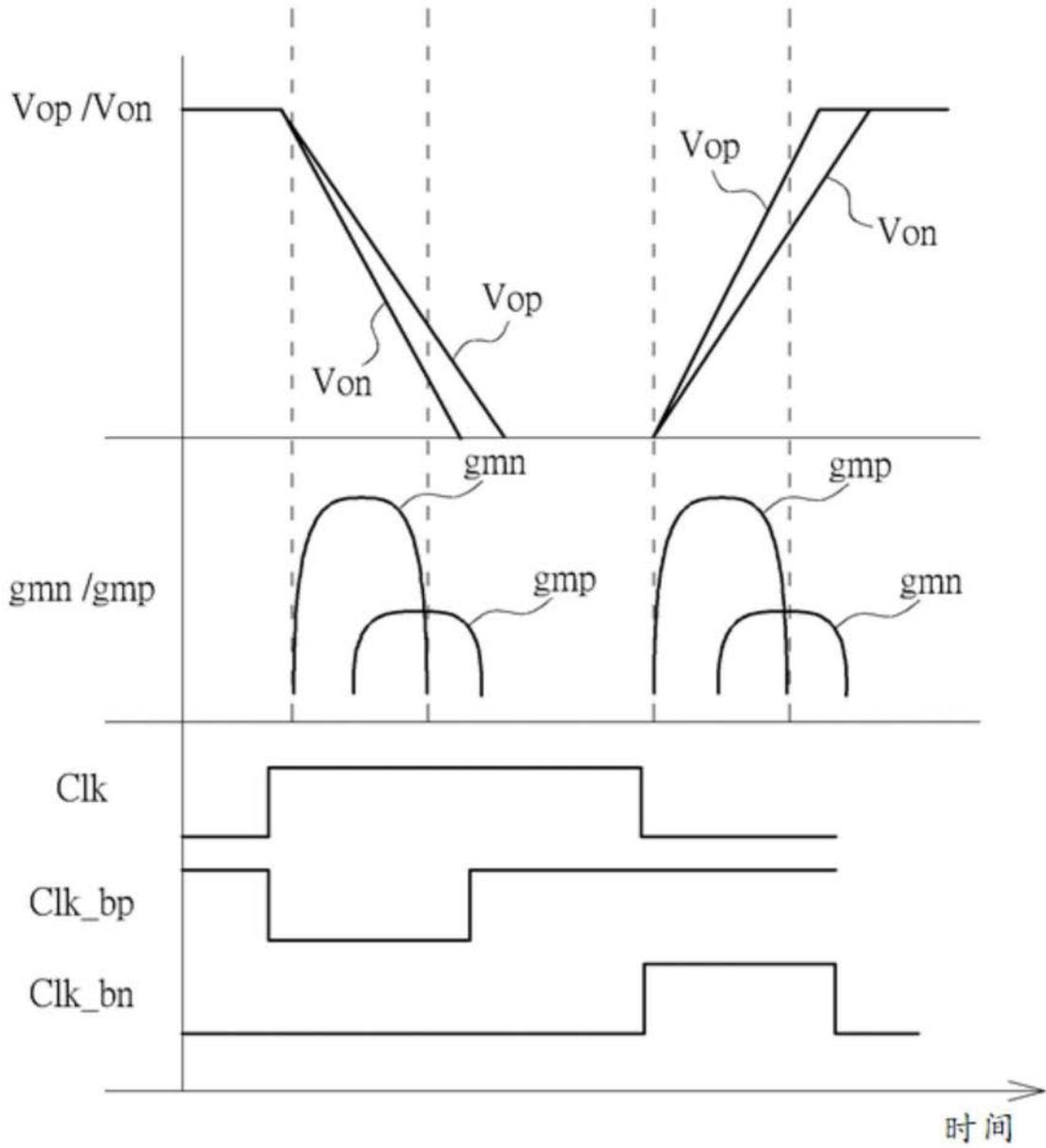


图10