



(12)发明专利申请

(10)申请公布号 CN 107450948 A

(43)申请公布日 2017.12.08

(21)申请号 201710630051.6

(22)申请日 2017.07.28

(71)申请人 西安电子科技大学

地址 710071 陕西省西安市雁塔区太白南路2号

(72)发明人 王海 秦红波 杨泽江 宫璐涯 刘建华 赵伟

(74)专利代理机构 陕西电子工业专利中心 61205

代理人 韦全生 王品华

(51)Int.Cl.

G06F 9/445(2006.01)

G06F 1/32(2006.01)

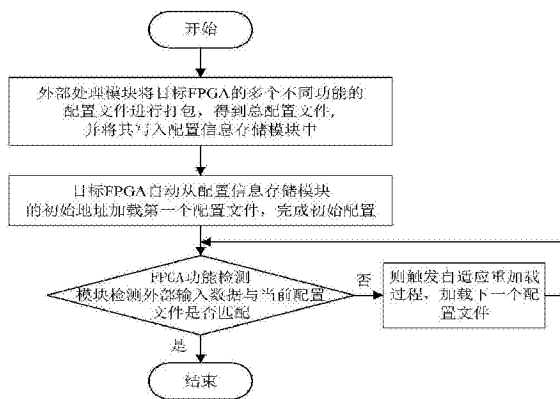
权利要求书2页 说明书5页 附图1页

(54)发明名称

一种低功耗的FPGA自适应加载方法及系统

(57)摘要

本发明提出了一种低功耗的FPGA自适应加载方法及系统,用以解决现有加载方法中存在的FPGA功耗高和内部资源消耗大的技术问题。外部处理模块将多个不同功能的配置文件进行打包,得到总配置文件,并将总配置文件写到配置信息存储模块中;目标FPGA自动从配置信息存储模块中加载第一个配置文件,实现初始配置;FPGA功能检测模块检测外部输入数据与当前配置文件的匹配特性,外部输入数据与当前配置文件匹配,目标FPGA进入正常工作模式;外部输入数据与当前配置文件匹配不匹配,则触发自适应重加载过程,加载下一个配置文件,配置完成后返回检测步骤。本发明可有效降低FPGA功耗和对FPGA内部资源的消耗。



1. 一种低功耗的FPGA自适应加载方法,其特征在于,包括如下步骤:

(1) 外部处理模块获取总配置文件,并将其写入配置信息存储模块中:

(1a) 编译多个不同功能的配置文件,各个配置文件都包含FPGA功能实现模块、FPGA功能检测模块和FPGA自适应加载模块;

(1b) 外部处理模块根据各个配置文件的大小设定各个配置文件的初始地址;

(1c) 外部处理模块根据各个配置文件的初始地址,将多个不同功能的配置文件进行打包,得到总配置文件,并将其写入配置信息存储模块中;

(2) 目标FPGA自动从配置信息存储模块中加载第一个配置文件,实现初始配置;

(3) FPGA功能检测模块检测外部输入数据与当前配置文件的匹配特性:

(3a) FPGA功能实现模块对外部输入数据中的头文件检测数据进行处理,得到输出数据;

(3b) FPGA功能检测模块对输出数据是否符合相应的数据特征进行判断,若是,则外部输入数据和当前配置文件相匹配,执行步骤(4),否则,外部输入数据和当前配置文件不匹配,执行步骤(5);

(4) FPGA功能实现模块对外部输入数据中的有效数据进行处理,得到有效输出数据;

(5) 配置文件载入模块对目标FPGA进行重配置:

(5a) FPGA功能检测模块触发FPGA自适应加载模块;

(5b) FPGA自适应加载模块向配置文件载入模块发送下一个配置文件的初始地址和配置文件载入命令;

(5c) 配置文件载入模块根据接收到的下一个配置文件的初始地址和配置文件载入命令,将下一个配置文件载入目标FPGA,并执行步骤(3)。

2. 根据权利要求1所述的一种低功耗的FPGA自适应加载方法,其特征在于,步骤(1a)中所述的多个不同功能的配置文件,是指包括可能会出现的所有功能状态的配置文件,每个功能状态对应一个配置文件,且各个功能状态之间是时分的。

3. 根据权利要求1所述的一种低功耗的FPGA自适应加载方法,其特征在于,步骤(1c)中所述将总配置文件写入配置信息存储模块中,总配置文件中的各个配置文件应该写入配置信息存储模块中互不重复的内存空间。

4. 根据权利要求1所述的一种低功耗的FPGA自适应加载方法,其特征在于,步骤(3)中所述外部输入数据,外部输入数据包括头文件检测数据和有效数据。

5. 根据权利要求1所述的一种低功耗的FPGA自适应加载方法,其特征在于,步骤(3b)中所述相应的数据特征,相应的数据特征是指头文件检测数据经相匹配的FPGA功能实现模块处理后的输出数据的数据特征。

6. 一种低功耗的FPGA自适应加载系统,包括外部处理模块、配置信息存储模块、配置文件载入模块和目标FPGA,其中:

所述外部处理模块,用于设定各个配置文件的初始地址,并对多个不同功能的配置文件进行打包后写入配置信息存储模块;

所述配置信息存储模块,用于存储总配置文件;

所述配置文件载入模块,用于根据接收到的配置文件的初始地址和配置文件载入命令,将配置文件载入目标FPGA中;

所述目标FPGA,用于对配置文件进行功能实现;

其特征在于:

所述目标FPGA连接有FPGA功能模块,该FPGA功能模块包括FPGA功能实现模块、FPGA功能检测模块和FPGA自适应加载模块,其中:

所述FPGA功能实现模块,用于对外部输入数据中的头文件检测数据和有效数据进行处理;

所述FPGA功能检测模块,用于检测外部输入数据与当前配置文件的匹配特性,并在外部输入数据与当前配置文件不匹配时,向FPGA自适应加载模块发送触发信号;

所述FPGA自适应加载模块,用于接收FPGA功能检测模块的触发信号,且向配置文件载入模块发送配置文件的初始地址和配置文件载入命令。

一种低功耗的FPGA自适应加载方法及系统

技术领域

[0001] 本发明属于数字信号处理技术领域,涉及一种FPGA加载方法及系统,特别涉及一种FPGA自适应加载方法及系统,可用于通信、图像处理、能源交通等领域。

背景技术

[0002] FPGA是一种可编程使用的信号处理器件,用户可通过改变配置信息对其功能进行定义,以满足设计需求。与传统数字电路系统相比,FPGA具有可编程、高集成度、高速和高可靠性等优点,通过配置器件内部的逻辑功能和输入、输出端口,将原来电路板级的设计放在芯片中进行,提高了电路性能,降低了印刷电路板设计的工作量和难度,有效提高了设计的灵活性和效率。随着通信系统的复杂化和功能多样化,很多系统需要在不同时刻实现不同的功能,但是在某一时刻只需要完成单独的实现一小部分功能。同时,FPGA存在功耗大、耐高温能力差的特点;并且,FPGA的功耗越大,其发热量就越大,这不但导致耗电量的增加、运营成本的提高,同时还使系统的热设计压力增大、系统成本增加,因此,如何简单、有效地降低FPGA的功耗,是解决所述耗电量、运营成本、热设计压力和系统成本等一系列问题的关键。

[0003] FPGA配置文件的加载,是由FPGA主动引导的。上电后,FPGA将主动从FLASH中加载配置文件。FLASH中的FPGA配置文件是用外部处理模块将编译所得的MCS格式文件写入FLASH中。

[0004] 传统的FPGA加载方法为:编译好总配置文件,经过外部处理设备将配置文件写入FLASH中,上电后,总配置文件自动从FLASH中加载入FPGA中。当FPGA要实现的功能单一时,配置文件也相对较小,FPGA的整体功耗也相对较小。当FPGA要实现的功能较多时,就需要将所有相关配置文件都加载入FPGA中会造成FPGA存在静态功耗与动态功耗两种情况,大大的增加了FPGA的功耗。同时所有相关配置文件全部加载进FPGA,也占用了大量的FPGA内部逻辑资源,使得开发FPGA时的硬件成本提高。

[0005] 可见,当FPGA要实现的功能较多时,以往的做法是将所有功能模块的程序放在一起,一次性的去加载入FPGA,这样FPGA里面要包含很多功能,而功能多则意味着FPGA必须拥有很多的内部资源,而FPGA内部资源的多少和其相应FPGA的价格是正相关的。而且在很多情况下都需要FPGA有尽可能低的功耗,以往的做法会让多个模块同时待命,会增大FPGA的功耗,对系统整体性能产生影响。可见现有FPGA加载技术都存在的FPGA功耗高和内部资源消耗大等缺陷。因此,找到一种可降低FPGA功耗的自适应加载方法显得尤为重要。

发明内容

[0006] 本发明的目的在于克服上述现有技术存在的缺陷,提出了一种低功耗的FPGA自适应加载方法及系统,用以解决现有加载方法中存在的FPGA功耗高和内部资源消耗大的技术问题。

[0007] 为了实现上述目的,本发明采取的技术方案为:

[0008] 一种低功耗的FPGA自适应加载方法,包括如下步骤:

[0009] (1) 外部处理模块获取总配置文件,并将其写入配置信息存储模块中:

[0010] (1a) 编译多个不同功能的配置文件,多个不同功能的配置文件是指包括可能会出现的所有功能状态的配置文件,每个功能状态对应一个配置文件,且各个功能状态之间是时分的,各个配置文件都包含FPGA功能实现模块、FPGA功能检测模块和FPGA自适应加载模块;

[0011] (1b) 外部处理模块根据各个配置文件的大小设定各个配置文件的初始地址;

[0012] (1c) 外部处理模块根据各个配置文件的初始地址,将多个不同功能的配置文件进行打包,得到总配置文件,总配置文件中的各个配置文件应该写入配置信息存储模块中互不重复的内存空间,并将总配置文件写入配置信息存储模块中;

[0013] (2) 目标FPGA自动从配置信息存储模块中加载第一个配置文件,实现初始配置;

[0014] (3) FPGA功能检测模块检测外部输入数据与当前配置文件的匹配特性,外部输入数据包括头文件检测数据和有效数据:

[0015] (3a) FPGA功能实现模块对外部输入数据中的头文件检测数据进行处理,得到输出数据;

[0016] (3b) FPGA功能检测模块对输出数据是否符合相应的数据特征进行判断,若是,则外部输入数据和当前配置文件相匹配,执行步骤(4),否则,外部输入数据和当前配置文件不匹配,执行步骤(5),相应的数据特征是指头文件检测数据经相匹配的FPGA功能实现模块处理后的输出数据的数据特征;

[0017] (4) FPGA功能实现模块对外部输入数据中的有效数据进行处理,得到有效输出数据;

[0018] (5) 配置文件载入模块对目标FPGA进行重配置:

[0019] (5a) FPGA功能检测模块触发FPGA自适应加载模块;

[0020] (5b) FPGA自适应加载模块向配置文件载入模块发送下一个配置文件的初始地址和配置文件载入命令;

[0021] (5c) 配置文件载入模块根据接收到的下一个配置文件的初始地址和配置文件载入命令,将下一个配置文件载入目标FPGA,并执行步骤(3)。

[0022] 一种低功耗的FPGA自适应加载系统,包括外部处理模块、配置信息存储模块、配置文件载入模块和目标FPGA,其中:

[0023] 所述外部处理模块,用于设定各个配置文件的初始地址,并对多个不同功能的配置文件进行打包后写入配置信息存储模块;

[0024] 所述配置信息存储模块,用于存储总配置文件;

[0025] 所述配置文件载入模块,用于根据接收到的配置文件的初始地址和配置文件载入命令,将配置文件载入目标FPGA中;

[0026] 所述目标FPGA,用于对配置文件进行功能实现;

[0027] 所述目标FPGA连接有FPGA功能模块,该FPGA功能模块包括FPGA功能实现模块、FPGA功能检测模块和FPGA自适应加载模块,其中:

[0028] 所述FPGA功能实现模块,用于对外部输入数据中的头文件检测数据和有效数据进行处理;

[0029] 所述FPGA功能检测模块,用于检测外部输入数据与当前配置文件的匹配特性,并在外部输入数据与当前配置文件不匹配时,向FPGA自适应加载模块发送触发信号;

[0030] 所述FPGA自适应加载模块,用于接收FPGA功能检测模块的触发信号,且向配置文件载入模块发送配置文件的初始地址和配置文件载入命令。

[0031] 本发明与现有技术相比,具有如下优点:

[0032] 1、本发明通过在目标FPGA连接有FPGA功能模块,FPGA功能模块中的FPGA功能检测模块和FPGA自适应加载模块进行的自适应重加载过程,使得只有与外部输入数据和当前配置文件相匹配的配置文件加载入目标FPGA中,使得FPGA内部不存在静态功耗,只存在该配置文件的动态功耗,有效的降低了FPGA的功耗。

[0033] 2、本发明通过在目标FPGA连接有FPGA功能模块,FPGA功能模块中的FPGA自适应加载模块触发配置文件载入模块,使得配置信息存储模块中每次只有一种功能配置文件加载入目标FPGA,避免将所有功能的配置文件全部加载入目标FPGA,有效的节约了FPGA内部的逻辑资源,有效的降低了FPGA的成本。

[0034] 3、本发明通过在目标FPGA连接有FPGA功能模块,FPGA功能模块中的FPGA功能检测模块和FPGA自适应加载模块可以实现目标FPGA在不同的时刻载入不同功能的配置文件,使得目标FPGA可以处理多种外部输入数据,避免了传统的FPGA配置过程中,每次对目标FPGA加载不同功能的配置文件都得掉电进行初始配置,大大的提高了配置的灵活性。

附图说明

[0035] 图1为本发明FPGA自适应加载方法的实现流程框图;

[0036] 图2为本发明FPGA自适应加载系统的结构示意图。

具体实施方式

[0037] 以下结合附图和具体实施例,对本发明作进一步详细说明;

[0038] 参照图1、一种低功耗的FPGA自适应加载方法,包括以下步骤:

[0039] 步骤1) 编译多个不同功能的配置文件,各个配置文件都包含FPGA功能实现模块、FPGA功能检测模块和FPGA自适应加载模块,外部处理模块根据各个配置文件的大小设定各个配置文件的初始地址,并根据各个配置文件的初始地址,将多个不同功能的配置文件进行打包,得到总配置文件,并将其写入配置信息存储模块中;

[0040] 本实施例中每个配置文件为一个FPGA功能模块,FPGA功能模块包含FPGA功能实现模块、FPGA功能检测模块和FPGA自适应加载模块,FPGA功能模块配置信息存储模块型号为JS28F00AP30,存储容量为128MB的FLASH芯片。FPGA的FLASH配置文件大小为30MB,经过压缩后的文件大小为32KB。显而易见,经过压缩后的配置文件长度大大缩小,一个闪存芯片中可以存储多个配置文件。外部处理模块即拥有USB接口的电脑,将打包后的FPGA配置文件通过JTAG接口写入目标FPGA的配置信息存储模块中;

[0041] 步骤2) 目标FPGA自动从配置信息存储模块中加载第一个配置文件,实现初始配置;

[0042] 本实施例中,目标FPGA芯片采用Xilinx公司的XC7K325T-FFG900;

[0043] 步骤3) FPGA功能检测模块检测外部输入数据与当前配置文件的匹配特性,FPGA功

能实现模块对外部输入数据中的头文件检测数据进行处理,得到输出数据,FPGA功能检测模块对输出数据是否符合相应的数据特征进行判断,如果外部输入数据和当前配置文件不匹配,执行步骤(5);

[0044] 本实施例中所述的目标FPGA检测现有配置文件是否可以达到预期功能是指,当目标FPGA从配置信息存储模块中加载第一个配置文件后,FPGA检测模块来检测现有配置文件能否正确适应当前的输入;

[0045] 步骤4)FPGA功能实现模块对外部输入数据中的有效数据进行处理,得到有效输出数据;

[0046] 本实施例中外部输入数据中的有效数据分别为:BPSK、QPSK、8PSK、16PSK四种格式的数据;

[0047] 步骤5)配置文件载入模块对目标FPGA进行重配置,FPGA功能检测模块触发FPGA自适应加载模块,FPGA自适应加载模块向配置文件载入模块发送下一个配置文件的初始地址和配置文件载入命令,配置文件载入模块根据接收到的下一个配置文件的初始地址和配置文件载入命令,将下一个配置文件载入目标FPGA,并执行步骤(3)。

[0048] 本实施例中检测模块若检测到现有配置文件不能正常适应当前的输入,则会触发自适应重加载过程,自动加载下一个配置文件。自适应重加载过程是通过向ICAPE核发送IPLD命令实现的,IPLD指令的作用是对FPGA芯片进行复位操作,该复位操作对FPGA内部的应用程序进行复位,复位过程中除专用配置管脚和JTAG管脚,其他输入/输出管脚均为高阻态。完成复位操作后,将默认的加载地址用热启动地址寄存器(Warm Boot Start Address,WBSTAR)中的新地址替换。在发送IPLD指令之前,需要对ICAPE核进行预配置。重载控制模块在收到触发信号后,第一个时钟周期将ICAPE核的写信号和片选信号置高,第二个周期将写信号置低,片选信号置高,第三个周期将写信号置低,片选信号也置低。接着在下面的8个时钟周期里,将指令队列中的控制命令逐个发出。在状态机发送IPLD指令的过程中,为了保证ICAPE核接收到正确的指令,每一个发送出去的命令和数据必须遵循SelectMAP数据顺序。SelectMAP数据顺序是将每个指令都按字节划分,划分后每个字节的数据都按比特位翻转。

[0049] 参照图2、一种低功耗的FPGA自适应加载系统,包括外部处理模块、配置信息存储模块、配置文件载入模块和目标FPGA,其中:

[0050] 外部处理模块,外部处理模块和目标FPGA连接,通过JTAG接口和目标FPGA进行数据传输,即拥有USB接口的电脑;

[0051] 配置信息存储模块,配置信息存储模块和目标FPGA连接,通过控制总线、地址总线和数据总线与FPGA之间进行数据传输,本发明中对配置信息存储模块的要求为存储容量必须大于128MB,本实施例中配置信息存储模块型号为JS28F00AP30,存储容量为128MB的FLASH芯片;

[0052] 配置文件载入模块,配置文件载入模块和FPGA连接,配置文件载入模块是固化在目标FPGA内部的ICAPE核和相关控制逻辑,ICAPE核和相关控制逻辑来控制配置文件载入目标FPGA;

[0053] 目标FPGA,目标FPGA分别和外部处理模块、配置信息存储模块、配置文件载入模块和FPGA功能模块连接。目标FPGA用于对配置文件进行功实现。目标FPGA是指接受动态配置

的FPGA,本发明中对目标FPGA的要求有两点,首先必须是基于SRAM结构的FPGA,其次内部必须具有大于1MB的BRAM,本实施例中目标FPGA芯片采用Xilinx公司的XC7K325T-FFG900;

[0054] FPGA功能模块,该FPGA功能模块和目标FPGA连接,FPGA功能模块包括FPGA功能实现模块、FPGA功能检测模块和FPGA自适应加载模块,其中:

[0055] FPGA功能实现模块,用于对外部输入数据中的头文件检测数据和有效数据进行处理;

[0056] FPGA功能检测模块,用于检测外部输入数据与当前配置文件的匹配特性,并在外部输入数据与当前配置文件不匹配时,向FPGA自适应加载模块发送触发信号;

[0057] FPGA自适应加载模块,用于接收FPGA功能检测模块的触发信号,且向配置文件载入模块发送配置文件的初始地址和配置文件载入命令。

[0058] 外部输入数据的头文件检测数据输入目标FPGA,目标FPGA中的FPGA功能实现模块对头文件检测数据进行处理,用FPGA功能检测模块检测得到的输出数据是否符合相应的数据特征,相应的数据特征是指头文件检测数据经相匹配的FPGA功能实现模块处理后的输出数据的数据特征,如果符合,则外部输入数据与当前配置文件匹配,如果不符合,FPGA功能检测模块触发FPGA自适应加载模块,自适应重加载过程启动,自适应重加载过程是通过向ICAPE核发送IPROG命令实现的,IPROG指令的作用是对FPGA芯片进行复位操作,该复位操作对FPGA内部的应用程序进行复位,复位过程中除专用配置管脚和JTAG管脚,其他输入/输出管脚均为高阻态。完成复位操作后,将默认的加载地址用热启动地址寄存器(Warm Boot Start Address,WBSTAR)中的新地址替换。在发送IPROG指令之前,需要对ICAPE核进行预配置。重载控制模块在收到触发信号后,第一个时钟周期将ICAPE核的写信号和片选信号置高,第二个周期将写信号置低,片选信号置高,第三个周期将写信号置低,片选信号也置低。接着在下面的8个时钟周期里,将指令队列中的控制命令逐个发出。在状态机发送IPROG指令的过程中,为了保证ICAPE核接收到正确的指令,每一个发送出去的命令和数据必须遵循SelectMAP数据顺序。SelectMAP数据顺序是将每个指令都按字节划分,划分后每个字节的数据都按比特位翻转。这样来保证下一个配置文件成功加载入目标FPGA。

[0059] 以上仅为本发明的优选实施例,并非因此限制本发明的保护范围,凡是利用本发明说明书及附图内容所做的等效结构和等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的保护范围内。

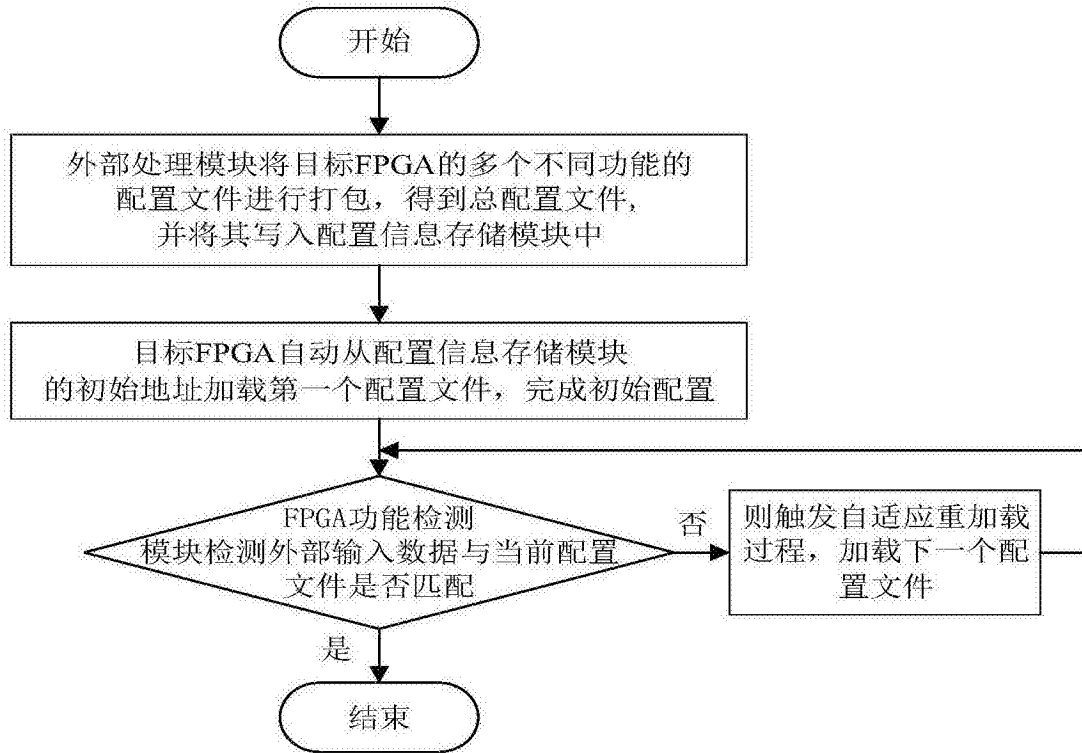


图1

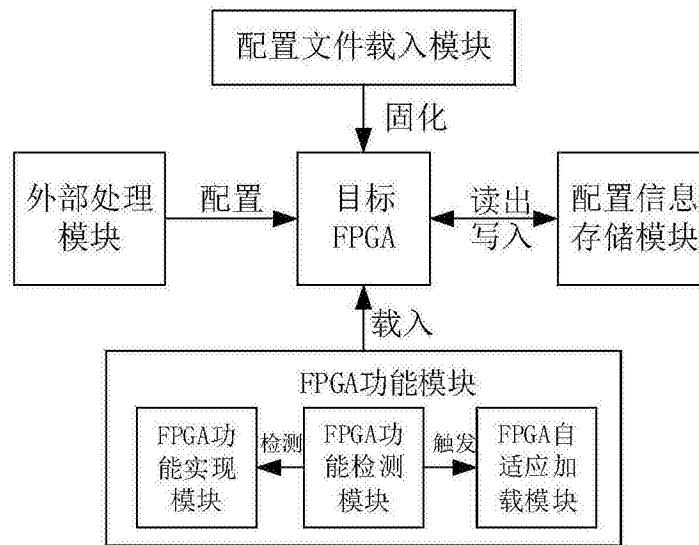


图2