

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G02F 1/1345

(11) 공개번호 10-2005-0108882  
(43) 공개일자 2005년11월17일

(21) 출원번호 10-2004-0034104  
(22) 출원일자 2004년05월14일

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 권은미  
경기도수원시팔달구영통동벽적골8단지아파트846동1604호  
백승수  
서울특별시관악구남현동602-55302호

(74) 대리인 박영우

심사청구 : 없음

(54) 표시 패널용 어레이 기판 및 그의 모기판

요약

육안 검사가 용이한 표시 패널용 어레이 기판 및 그의 모기판이 개시된다. 제1 신호 라인은 제1 방향으로 배선되고, 제2 신호 라인은 제2 방향으로 배선되어 제1 신호 라인과 교차한다. 제1 V/I 검사 인터페이스부는 외부로부터 제공되는 제1 테스트 신호를 제1 단위별로 그룹핑된 제1 신호 라인에 전달한다. 이에 따라, 인접한 제1 단위로 인가되는 테스트 신호에 의한 V/I 오검출을 막음으로써 V/I 검출력을 향상시킬 수 있다.

대표도

도 1

색인어

어레이 검사, 육안 검사, 구동 칩 패드, 어레이 기판, 모기판

명세서

도면의 간단한 설명

- 도 1은 본 발명의 제1 실시예에 따른 어레이 기판을 포함하는 모기판에 대한 개략적인 도면이다.
- 도 2는 본 발명의 제2 실시예에 따른 어레이 기판을 포함하는 모기판에 대한 개략적인 도면이다.
- 도 3은 본 발명의 제3 실시예에 따른 어레이 기판을 포함하는 모기판에 대한 개략적인 도면이다.
- 도 4는 본 발명의 제4 실시예에 따른 어레이 기판을 포함하는 모기판에 대한 개략적인 도면이다.

도 5는 본 발명의 제5 실시예에 따른 V/I 공정을 위한 표시 패널에 대한 개략적인 도면이다.

<도면의 주요부분에 대한 부호의 설명>

100 : 어레이 기판 110 : 화소부

130, 150 : 제1 V/I 검사 인터페이스부 135, 153 : 제1 V/I 용 패드

133 : 제1 공통 검사용 배선 155 : 제2 V/I 용 배선

200 : 모기판 270 : 절단선

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 패널용 어레이 기판 및 그의 모기판(Mother Board)에 관한 것으로, 보다 상세하게는 육안 검사를 용이하게 하기 위한 검사용 배선을 갖는 어레이 기판 및 그의 모기판에 관한 것이다.

일반적으로 액정 표시 패널은 어레이 기판, 상기 어레이 기판과 마주하는 상부 기판, 및 상기 어레이 기판과 상기 상부 기판과의 사이에 개재된 액정층으로 이루어진다. 상기 어레이 기판은 화소 영역과 신호 인가 영역을 갖는다.

상기 화소 영역은 제1 방향으로 연장된 데이터 라인과 제2 방향으로 연장되어 상기 데이터 라인과 직교하는 스캔 라인, 및 상기 스캔 라인과 데이터 라인에 연결되는 화소 전극을 포함하며, 상기 신호 인가 영역은 데이터 신호를 인가하는 구동 칩이 실장되는 제1 구동 칩 패드와, 상기 스캔 라인에 스캔 신호를 인가하는 구동 칩이 실장되는 제2 구동 칩 패드를 포함한다.

이상과 같이 어레이 기판이 형성되면, 액정 공정 이전에 어레이 기판 상의 배선들에 대한 전기적인 동작 상태를 점검하기 위한 어레이 검사 공정과, 액정 공정 이후에 표시 패널의 전기적 및 광학적인 동작 상태를 점검하기 위한 육안 검사(Visual Inspection; 이하, V/I) 공정을 수행한다.

상기와 같은 어레이 검사 공정 및 V/I 공정을 위한 검사용 배선 및 패드는 모기판에 대한 어레이 기판의 절단선을 기준으로 배치된다. 다시 말해서, 절단선의 바깥 영역(즉, 모기판의 일부 영역)에 어레이 검사용 패드를 배치하고, 절단선 안쪽 영역(즉, 어레이 기판의 가장 자리 영역)에는 육안 검사용 패드를 배치하고, 어레이 검사용 배선 및 V/I 용 배선은 공통 배선으로 절단선 안쪽 영역에 배치한다.

따라서, 어레이 검사 공정이 완료된 후, 절단선을 따라 표시 셀 단위로 어레이 기판이 절단되면, 절단선 안쪽 영역에 배치된 V/I 용 패드 및 배선을 통해서 육안 검사를 수행한다. 여기서, 어레이 검사 방식 및 육안 검사 방식은 소정개의 단위로 게이트 라인 및 데이터 라인을 각각 묶어(예컨대, 2G2D, 2G3D 등) 테스트 신호를 인가하여 검사한다.

#### 발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술적 과제는 이러한 점에 착안한 것으로, 본 발명의 목적은 육안 검사 오류를 막기 위한 검사용 배선을 갖는 표시 패널용 어레이 기판을 제공하는 것이다.

본 발명의 다른 목적은 상기한 어레이 기판을 갖는 모기판을 제공하는 것이다.

### 발명의 구성 및 작용

상기한 본 발명의 목적을 실현하기 위한 하나의 실시예에 따른 표시 패널용 어레이 기판은 제1 신호 라인과, 제2 신호 라인과, 제1 V/I 검사 인터페이스부를 포함한다. 제1 신호 라인은 제1 방향으로 배선되고, 제2 신호 라인은 제2 방향으로 배선되어 상기 제1 신호 라인과 교차하며, 제1 V/I 검사 인터페이스부는 외부로부터 제공되는 제1 테스트 신호를 제1 단위별로 그룹핑된 제1 신호 라인에 전달한다.

상기한 본 발명의 다른 목적을 실현하기 위한 하나의 실시예에 따른 모기판은, 어레이 기판과, 제1 어레이 검사 인터페이스부를 포함한다. 어레이 기판은 제1 방향으로 배선된 복수개의 제1 신호 라인과, 제2 방향으로 배선된 제2 신호 라인과, 외부로부터 제공되는 제1 테스트 신호를 제1 단위별로 그룹핑된 제1 신호 라인에 전달하는 제1 V/I 검사 인터페이스부를 포함한다. 제1 어레이 검사 인터페이스부는 제1 어레이 검사용 패드 및 제1 어레이 검사용 배선을 갖고서, 상기 어레이 기판을 정의하는 가상선의 외측 영역에 형성되어 상기 제1 신호 라인의 동작 상태를 검사하는 제2 테스트 신호를 상기 제1 신호 라인에 전달한다.

이러한 표시 패널용 어레이 기판 및 그의 모기판에 의하면, 구동 칩 별로 V/I 용 패드 및 배선을 각각 분리하여 테스트 신호를 각각 인가함으로써 인접한 구동 칩에 인가되는 테스트 신호의 지연으로 인한 V/I 오검출을 막을 수 있다.

이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

도 1은 본 발명의 제1 실시예에 따른 대형 표시 패널에 적합한 검사용 패드 및 배선을 갖는 어레이 기판 및 그의 모기판(Mother Board)에 대한 개략적인 도면이다.

도 1을 참조하면, 모기판(200)은 적어도 하나 이상의 표시 패널용 어레이 기판(100)과, 소정의 어레이 기판(100)에 대한 어레이 검사 공정을 수행하기 위한 제1 어레이 검사 인터페이스부(230) 및 제2 어레이 검사 인터페이스부(250), 및 표시 셀 단위로 표시 셀 단위로 어레이 기판(100)의 영역을 정의하는 절단선(270)을 갖는다. 상기 절단선(270)은 모기판(200) 상에 표시 될 수도 있고, 절단(Cutting) 공정에 이용되는 가상의 선일 수도 있다.

어레이 기판(100)은 화소부(110)와, 화소부(110)의 외곽에는 데이터 신호가 인가되는 제1 V/I 검사 인터페이스부(130) 및 스캔 신호가 인가되는 제2 V/I 검사 인터페이스부(150)를 갖는다.

화소부(110)는 복수개의 스캔 라인과, 복수개의 스캔 라인과 직교하는 복수개의 데이터 라인을 갖으며, 복수개의 스캔 라인과 복수개의 데이터 라인에 의해 정의되는 영역에 스위칭 소자(TFT) 및 액정 커패시터(Clc)의 제1 전극인 화소전극이 각각 구비된다.

제1 V/I 검사 인터페이스부(130)는 복수개의 제1 구동 칩 패드(131)와, 제1 공통 검사용 배선(133), 및 제1 V/I 용 패드(135)를 갖는다.

구체적으로, 제1 구동 칩 패드(131)는 구동 칩을 실장하기 위한 패드로서, 소정 단위로 그룹핑된 제1 신호 라인들의 집합이다. 제1 공통 검사용 배선(133)은 제1 구동 칩 패드(131)의 배선과 연결되어 어레이 공정 및 V/I 공정에 사용되는 공통 배선이다. 제1 V/I 용 패드(135)는 제1 공통 검사용 배선(133)과 연결되고 복수개의 제1 구동 칩 패드(131)에 각각 대응하여 형성된다. 예컨대, 제1 V/I 용 패드(135)는 2G3D 방식을 사용함에 따라서  $3n-2$ ,  $3n-1$ ,  $3n$ (여기서,  $n=1,2,3,\dots$ 인 자연수)번째 라인별로 묶은 3개의 패드를 갖는다.

제2 V/I 검사 인터페이스부(150)는 복수개의 제2 구동 칩 패드(151)와, 제2 V/I 용 패드(153)와, 제2 V/I 용 배선(155), 및 공통 전극 패드(157)를 갖는다.

구체적으로, 제2 구동 칩 패드(151)는 구동 칩을 실장하기 위한 패드로서, 소정의 단위로 그룹핑된 제1 신호 라인들의 집합이다. 제2 V/I 용 패드(153) 및 제2 V/I 용 배선(155)은 제2 구동 칩 패드(151)별로 각각 분리되어 형성되며, 여기서, 제2 V/I 용 패드(153)는 2G3D 방식을 사용함에 따라서  $2n-1$ ,  $2n$ (여기서,  $n=1,2,3,\dots$ 인 자연수)번째 라인별로 묶은 2개의 패드를 갖는다. 공통 전극 패드(157)는 스토리지 커패시터(Cs)를 정의하는 하부 전극에 공통 전압을 공급하기 위한 패드이다. 도시하지는 않았지만, 당업자라면 화소부(110)에 형성된 스캔 라인과 평행하게 공통 전극 라인을 형성하는 것은 자명하다.

따라서, 각각의 구동 칩 패드 별로 마련된 제2 V/I 용 패드에 테스트 신호가 각각 인가됨으로써 다른 제2 V/I 용 패드로부터 인가된 테스트 신호의 영향을 받지 않는다.

제1 어레이 검사 인터페이스부(230)는 어레이 기관(200)의 제1 V/I 검사 인터페이스부(130)와 인접한 모기관(200) 상에 형성되는 제1 어레이 검사용 패드(231,232)와, 제1 V/I 검사 인터페이스부(130)의 제1 공통 검사용 배선(133)을 갖는다. 제1 어레이 검사용 패드(231,232)는 2G1D 방식에 따라서 전체 데이터 라인을 하나의 라인으로 묶은 1개의 패드를 갖으며, 1개의 패드는 화소부(110)의 좌우 양측에 각각 형성되어 테스트 신호가 인가된다. 제2 공통 검사용 배선(253)은 어레이 검사 및 육안 검사에 사용되는 공통 배선이다.

제2 어레이 검사 인터페이스부(250)는 제2 어레이 검사용 패드(251,252) 및 제2 어레이 검사용 배선(253)을 갖으며, 어레이 기관(100)의 제2 V/I 검사 인터페이스부(150)와 인접한 모기관(200)상에 형성된다. 제2 어레이 검사용 패드(251,252)는 2G1D 방식에 따라서  $2n-1$ ,  $2n$ (여기서,  $n=1,2,3,\dots$ 인 자연수)번째 라인별로 묶은 2개의 패드를 갖으며, 2개의 패드는 화소부(110)의 상하 양측에 각각 형성되어 테스트 신호가 인가된다. 바람직하게 제2 어레이 검사용 배선(253)은 배선 간의 저항 및 신호 지연을 해결하기 위해 충분한 폭 및 간격으로 형성한다.

상기와 같이, 제2 V/I 용 패드 및 제2 V/I 용 배선을 구동 칩 패드 단위로 각각 형성함으로써 다른 구동 칩 패드에 대응하는 인접한 제2 V/I 용 패드로부터 인가되는 테스트 신호에 의한 영향을 막을 수 있다.

또한, 제2 어레이 검사 인터페이스부(250)를 모기관(200)에 형성함으로써, 제2 어레이 검사용 배선(253)을 충분한 폭 및 간격으로 형성함으로써 저항 및 신호 지연을 최소화 할 수 있다.

이상에서는 매 화소마다 형성된 공통 전극 라인의 종단에 연결되는 공통 전극 패드를 갖는 독립 배선 방식의 어레이 기관을 하나의 실시예로 설명하였다. 하지만, 당업자라면 상기한 공통 전극 라인이나 공통 전극 패드를 구비하지 않은 전단 게이트(Previous Gate) 방식의 어레이 기관에도 동일하게 적용될 수 있음은 자명하다.

도 2는 본 발명의 제2 실시예에 따른 대형 표시 패널에 적합한 검사용 배선을 갖는 어레이 기관 및 그의 모기관에 대한 개략적인 도면이다.

도 2를 참조하면, 모기관(400)은 적어도 하나 이상의 표시 패널용 어레이 기관(300)과, 소정의 어레이 기관(300)에 대한 어레이 검사 공정을 수행하기 위한 제1 어레이 검사 인터페이스부(430) 및 제2 어레이 검사 인터페이스부(450), 및 표시 셀 단위로 어레이 기관(300)의 영역을 정의하는 절단선(470)을 갖는다. 상기 절단선(470)은 모기관(400)상에 표시 될 수도 있고, 절단 공정에 이용되는 가상의 선일 수도 있다.

어레이 기관(300)은 화소부(310)와, 화소부(310)의 외곽에는 데이터 신호가 인가되는 제1 V/I 검사 인터페이스부(330) 및 스캔 신호가 인가되는 제2 V/I 검사 인터페이스부(350)를 갖는다.

화소부(310)는 복수개의 스캔 라인과, 복수개의 스캔 라인과 직교하는 복수개의 데이터 라인을 갖으며, 복수개의 스캔 라인과 복수개의 데이터 라인에 의해 정의되는 영역에 스위칭 소자(TFT) 및 액정 커패시터(Clc)의 제1 전극인 화소전극이 각각 구비된다.

제1 V/I 검사 인터페이스부(330)는 복수개의 제1 구동 칩 패드(331)와, 제1 V/I 용 패드(335), 및 제1 V/I 용 배선(336)을 갖는다. 제1 구동 칩 패드(331)는 구동 칩을 실장하기 위한 패드로서, 소정 단위로 그룹핑된 제1 신호 라인들의 집합이다. 제1 V/I 용 패드(335) 및 제1 V/I 용 배선(336)은 제1 구동 칩 패드(331)별로 각각 분리되어 형성된다.

데이터 구동 칩이 실장되는 복수개의 제1 구동 칩 패드(331)와, 각각의 제1 구동 칩 패드(331)에 대응하여 형성된 제1 V/I 용 패드(335), 및 제1 V/I 용 패드(335)와 연결된 제1 V/I 용 배선(336)을 갖는다. 여기서, 제1 V/I 용 패드(335) 및 제1 V/I 용 배선(336)은 구동 칩 별로 각각 분리되어 형성되며, 각각의 제1 V/I 용 패드(335)는 2G3D 방식에 따라서  $3n-2$ ,  $3n-1$ ,  $3n$ (여기서,  $n=1,2,3,\dots$ 인 자연수)번째 라인별로 묶은 3개의 패드를 갖는다.

따라서, 각각의 제1 V/I 용 패드에 테스트 신호가 각각 인가됨으로써 다른 구동 칩 패드에 대응하는 인접한 제1 V/I 용 패드로부터 인가된 테스트 신호의 영향을 막을 수 있다.

제2 V/I 검사 인터페이스부(350)는 복수개의 제2 구동 칩 패드(351)와, 제2 V/I 용 패드(353)와, 제2 V/I 용 배선(355), 및 공통 전극 패드(357)를 갖는다. 제2 구동 칩 패드(351)는 구동 칩이 실장되는 패드로서, 소정 단위의 제2 신호 라인들

의 집합이다. 제2 V/I 용 패드(353) 및 제2 V/I 용 배선(355)은 구동 칩 패드 별로 각각 형성되며, 각각의 제2 V/I 용 패드(353)는 2G3D 방식에 따라서  $2n-1$ ,  $2n$ (여기서,  $n=1,2,3,\dots$ 인 자연수)번째 라인별로 묶은 2개의 패드를 갖는다. 공통 전극 패드(357)는 스토리지 커패시터(Cs)의 공통 전극에 공급되는 공통 전압을 공급하기 위한 패드이다.

따라서, 각각의 제2 V/I 용 패드에 테스트 신호가 각각 인가됨으로써 다른 구동 칩 패드에 대응하는 인접한 제2 V/I 용 패드로부터 인가된 테스트 신호의 영향을 막을 수 있다.

제1 어레이 검사 인터페이스부(430)는 제1 어레이 검사용 패드(431,432) 및 제1 어레이 검사용 배선(433)을 갖으며, 어레이 기관(300)의 제1 V/I 검사 인터페이스부(330)와 인접한 모기관(400)상에 형성된다. 제1 어레이 검사용 패드(431,432)는 2G1D 방식에 따라서 전체 라인을 하나의 라인으로 묶은 1개의 패드를 갖으며, 1개의 패드는 화소부(310)의 좌우 양측에 각각 형성되어 테스트 신호가 인가된다. 바람직하게 제1 어레이 검사용 배선(433)은 배선 간의 저항 및 신호 지연을 해결하기 위해 충분한 폭 및 간격으로 형성한다.

제2 어레이 검사 인터페이스부(450)는 제2 어레이 검사용 패드(451,452) 및 제2 어레이 검사용 배선(453)을 갖으며, 어레이 기관(300)의 제2 V/I 검사 인터페이스부(350)와 인접한 모기관(400)상에 형성된다. 제2 어레이 검사용 패드(451,452)는 2G1D 방식에 따라서  $2n-1$ ,  $2n$ (여기서,  $n=1,2,3,\dots$ 인 자연수)번째 라인별로 묶은 2개의 패드를 갖으며, 2개의 패드는 화소부(310)의 상하 양측에 각각 형성되어 테스트 신호가 인가된다. 제2 어레이 검사용 배선(453)은 배선 간의 저항 및 신호 지연을 해결하기 위해 충분한 폭 및 간격으로 형성한다.

상기와 같이, 제1 및 제2 V/I 용 패드 및 제1 및 제2 V/I 용 배선을 구동 칩 패드 단위로 각각 형성함으로써 다른 구동 칩 패드에 대응하는 인접한 제1 및 제2 V/I 용 패드로부터 인가되는 테스트 신호에 의한 영향을 막을 수 있다.

또한, 제1 및 제2 어레이 검사 인터페이스부(430,450)를 모기관(400)상에 형성함으로써, 제1 및 제2 어레이 검사용 배선(433,453)을 충분한 폭 및 간격으로 형성함으로써 저항 및 신호 지연을 최소화 할 수 있다.

이상에서는 매 화소마다 형성된 공통 전극 라인의 종단에 연결되는 공통 전극 패드를 갖는 독립 배선 방식의 어레이 기관을 하나의 실시예로 설명하였다. 하지만, 당업자라면 상기한 공통 전극 라인이나 공통 전극 패드를 구비하지 않은 전단 게이트(Previous Gate) 방식의 어레이 기관에도 동일하게 적용될 수 있음은 자명하다.

도 3은 본 발명의 제3 실시예에 따른 대형 표시 패널에 적합한 검사용 배선을 갖는 어레이 기관 및 그의 모기관에 대한 개략적인 도면이다.

도 3을 참조하면, 모기관(600)은 적어도 하나 이상의 표시 패널용 어레이 기관(500)과, 소정의 어레이 기관(500)에 대한 어레이 검사 공정을 수행하기 위한 제1 어레이 검사 인터페이스부(630) 및 제2 어레이 검사 인터페이스부(650), 및 표시 셀 단위로 표시 셀 단위로 어레이 기관(500)의 영역을 정의하는 절단선(670)을 갖는다. 상기 절단선(670)은 모기관(600)상에 표시 될 수도 있고, 절단(Cutting) 공정에 이용되는 가상의 선일 수도 있다.

어레이 기관(500)은 화소부(510)와, 화소부(510)의 외곽에는 데이터 신호가 인가되는 제1 V/I 검사 인터페이스부(530) 및 스캔 신호가 인가되는 제2 V/I 검사 인터페이스부(550)를 갖는다.

화소부(510)는 복수개의 스캔 라인과, 복수개의 스캔 라인과 직교하는 복수개의 데이터 라인을 갖으며, 복수개의 스캔 라인과 복수개의 데이터 라인에 의해 정의되는 영역에 스위칭 소자(TFT) 및 액정 커패시터(Clc)의 제1 전극인 화소전극이 각각 구비된다.

제1 V/I 검사 인터페이스부(530)는 복수개의 제1 구동 칩 패드(531)와, 제1 공통 검사용 배선(533), 및 제1 V/I 용 패드(535)를 갖는다. 제1 구동 칩 패드(531)는 구동 칩을 실장하기 위한 패드로서, 소정 단위로 그룹핑된 제1 신호 라인들의 집합이다. 제1 공통 검사용 배선(533)은 제1 구동 칩 패드(531)의 배선과 연결되어 어레이 공정 및 V/I 공정에 사용되는 공통 배선이다. 제1 V/I 용 패드(535)는 제1 공통 검사용 배선(533)과 연결되고 복수개의 제1 구동 칩 패드(531)에 각각 대응하여 형성된다. 예컨대, 제1 V/I 용 패드(535)는 2G3D 방식을 사용함에 따라서  $3n-2$ ,  $3n-1$ ,  $3n$ (여기서,  $n=1,2,3,\dots$ 인 자연수)번째 라인별로 묶은 3개의 패드를 갖는다.

제2 V/I 검사 인터페이스부(550)는 복수개의 제2 구동 칩 패드(551)와, 제2 V/I 용 패드(553)와, 제2 V/I 용 배선(555), 및 공통 전극 패드(557)를 갖는다. 제2 구동 칩 패드(551)는 구동 칩이 실장되는 패드로서, 소정 단위의 제2 신호 라인들의 집합이다. 제2 V/I 용 패드(553) 및 제2 V/I 용 배선(553)은 구동 칩 패드 별로 각각 형성되며, 제2 V/I 용 배선(555)은

절단선(670)을 지나는 연장배선(555a)을 통해 제2 어레이 검사용 배선(653)과 연결되는 구조를 갖는다. 여기서, 제2 V/I 용 패드(553)는 2G3D 방식에 따라서  $2n-1$ ,  $2n$ (여기서,  $n=1,2,3,\dots$ 인 자연수)번째 라인별로 묶은 2개의 패드를 갖는다. 공통 전극 패드(337)는 스토리지 커패시터(Cs)의 공통 전극에 공급되는 공통 전압을 공급하기 위한 패드이다.

제1 어레이 검사 인터페이스부(630)는 어레이 기관(500)의 제1 V/I 검사 인터페이스부(530)와 인접한 모기관(600)상에 형성되는 제1 어레이 검사용 패드(631,632)와, 제1 V/I 검사 인터페이스부(530)의 제1 공통 검사용 배선(533)을 갖는다. 제1 어레이 검사용 패드(631,632)는 2G1D 방식에 따라서 전체 데이터 라인을 하나의 라인으로 묶은 1개의 패드를 갖으며, 1개의 패드는 화소부(510)의 좌우 양측에 각각 형성되어 테스트 신호가 인가된다. 제1 공통 검사용 배선(533)은 어레이 검사 및 육안 검사에 사용되는 공통 배선이다.

제2 어레이 검사 인터페이스부(650)는 제2 어레이 검사용 패드(651,652) 및 제2 어레이 검사용 배선(653)을 갖는다. 제2 어레이 검사용 패드(651,652)는 제2 V/I 검사 인터페이스부(550)와 인접한 모기관(600)상에 형성되고, 2G1D 방식에 따라서  $2n-1$ ,  $2n$ (여기서,  $n=1,2,3,\dots$ 인 자연수)번째 라인별로 묶은 2개의 패드를 갖으며, 2개의 패드는 화소부(510)의 상하 양측에 각각 형성되어 테스트 신호가 인가된다. 제2 어레이 검사용 배선(653)은 절단선(670)을 지나는 연장배선(555a)을 통해 제2 V/I 용 배선(555)과 연결된 구조를 갖으며, 상기와 같은 구조는 제2 구동 칩 패드(551)마다 반복된다.

따라서, 절단 공정 이후 제2 V/I 용 배선(555)은 제2 구동 칩 패드(551) 별로 각각 마련되며, 이에 의해 다른 구동 칩 패드에 대응하는 인접한 제2 V/I 용 패드로부터 인가된 테스트 신호의 영향을 막을 수 있다.

이상에서는 매 화소마다 형성된 공통 전극 라인의 종단에 연결되는 공통 전극 패드를 갖는 독립 배선 방식의 어레이 기관을 하나의 실시예로 설명하였다. 하지만, 당업자라면 상기한 공통 전극 라인이나 공통 전극 패드를 구비하지 않은 전단 게이트(Previous Gate) 방식의 어레이 기관에도 동일하게 적용될 수 있음은 자명하다.

도 4는 본 발명의 제4 실시예에 따른 대형 표시 패널에 적합한 검사용 배선을 갖는 어레이 기관 및 그의 모기관에 대한 개략적인 도면이다.

도 4를 참조하면, 모기관(800)은 적어도 하나 이상의 표시 패널용 어레이 기관(700)과, 소정의 어레이 기관(700)에 대한 어레이 검사 공정을 수행하기 위한 제1 어레이 검사 인터페이스부(830) 및 제2 어레이 검사 인터페이스부(850), 및 표시 셀 단위로 어레이 기관(700)의 영역을 정의하는 절단선(870)을 갖는다. 상기 절단선(870)은 모기관(800)상에 표시 될 수도 있고, 절단 공정에 이용되는 가상의 선일 수도 있다.

어레이 기관(700)은 화소부(710)와, 화소부(710)의 외곽에는 데이터 신호가 인가되는 제1 V/I 검사 인터페이스부(730) 및 스캔 신호가 인가되는 제2 V/I 검사 인터페이스부(750)를 갖는다.

화소부(710)는 복수개의 스캔 라인과, 복수개의 스캔 라인과 직교하는 복수개의 데이터 라인을 갖으며, 복수개의 스캔 라인과 복수개의 데이터 라인에 의해 정의되는 영역에 스위칭 소자(TFT) 및 액정 커패시터(Clc)의 제1 전극인 화소전극이 각각 구비된다.

제1 V/I 검사 인터페이스부(730)는 복수개의 제1 구동 칩 패드(731)와, 제1 V/I 용 패드(735) 및 제1 V/I 용 배선(736)을 갖는다. 제1 구동 칩 패드(731)는 구동 칩을 실장하기 위한 패드로서, 소정 단위로 그룹핑된 제1 신호 라인들의 집합이다. 제1 V/I 용 패드(735) 및 제1 V/I 용 배선(736)은 구동 칩 별로 각각 형성되며, 제1 V/I 용 배선(736)은 절단선(870)을 지나는 연장배선(736a)을 통해 제1 어레이 검사용 배선(833)과 연결되는 구조를 갖는다. 여기서, 제1 V/I 용 패드(735)는 2G3D 방식에 따라서  $3n-2$ ,  $3n-1$ ,  $3n$ (여기서,  $n=1,2,3,\dots$ 인 자연수)번째 라인별로 묶은 3개의 패드를 갖는다.

제2 V/I 검사 인터페이스부(750)는 복수개의 제2 구동 칩 패드(751)와, 제2 V/I 용 패드(753)와, 제2 V/I 용 배선(755), 공통 전극 패드(757)를 갖는다. 제2 구동 칩 패드(751)는 구동 칩이 실장되는 패드로서, 소정 단위의 제2 신호 라인들의 집합이다. 제2 V/I 용 패드(753) 및 제2 V/I 용 배선(753)은 구동 칩 패드 별로 각각 형성되며, 제2 V/I 용 배선(755)은 절단선(870)을 지나는 연장배선(755a)을 통해 제2 어레이 검사용 배선(853)과 연결되는 구조를 갖는다. 여기서, 제2 V/I 용 패드(753)는 2G3D 방식에 따라서  $2n-1$ ,  $2n$ (여기서,  $n=1,2,3,\dots$ 인 자연수)번째 라인별로 묶은 2개의 패드를 갖는다. 공통 전극 패드(757)는 스토리지 커패시터(Cs)의 공통 전극에 공급되는 공통 전압을 공급하기 위한 패드이다.

제1 어레이 검사 인터페이스부(830)는 제1 어레이 검사용 패드(831,832) 및 제1 어레이 검사용 배선(833)을 갖는다.

제1 어레이 검사용 패드(831,832)는 제1 V/I 검사 인터페이스부(730)와 인접한 모기관(800)상에 형성되고, 2G1D 방식에 따라서 전체 데이터 라인을 하나의 라인으로 묶은 1개의 패드를 갖으며, 1개의 패드는 화소부(710)의 좌우 양측에 각각 형성되어 테스트 신호가 인가된다. 제1 어레이 검사용 배선(833)은 절단선(870)을 지나는 연장배선(736a)을 통해 제1 V/I 용 배선(736)과 연결된 구조를 갖으며, 상기와 같은 구조는 제1 구동 칩 패드(731) 마다 반복된다.

제2 어레이 검사 인터페이스부(850)는 제2 어레이 검사용 패드(851,852) 및 제2 어레이 검사용 배선(853)을 갖는다. 제2 어레이 검사용 패드(851,852)는 제2 V/I 검사 인터페이스부(750)와 인접한 모기관(800)상에 형성되고, 2G1D 방식에 따라서  $2n-1, 2n$ (여기서,  $n=1,2,3,\dots$ 인 자연수)번째 라인별로 묶은 2개의 패드를 갖으며, 2개의 패드는 화소부(710)의 상하 양측에 각각 형성되어 테스트 신호가 인가된다. 제2 어레이 검사용 배선(853)은 절단선(870)을 지나는 연장배선(755a)을 통해 제2 V/I 용 배선(755)과 연결된 구조를 갖으며, 상기와 같은 구조는 제2 구동 칩 패드(751) 마다 반복된다.

따라서, 절단 공정 이후 제1 및 제2 V/I 용 배선(736,775)은 제1 및 제2 구동 칩 패드(731,751) 별로 각각 마련되며, 이에 의해 다른 구동 칩 패드에 대응하는 인접한 제1 및 제2 V/I 용 패드로부터 인가된 테스트 신호의 영향을 막을 수 있다.

이상에서는 매 화소마다 형성된 공통 전극 라인의 종단에 연결되는 공통 전극 패드를 갖는 독립 배선 방식의 어레이 기판을 하나의 실시예로 설명하였다. 하지만, 당업자라면 상기한 공통 전극 라인이나 공통 전극 패드를 구비하지 않은 전단 게이트(Previous Gate) 방식의 어레이 기판에도 동일하게 적용될 수 있음은 자명하다.

도 5는 본 발명의 제 5 실시예에 따른 표시 패널을 도시한 것으로, 액정 공정 이후 2G3D 방식으로 V/I 공정을 수행하기 위한 표시 패널에 대한 개략적인 도면이다. 도 1에 도시된 제1 실시예에 따른 어레이 기판을 예로서 설명한다.

표시 패널은 어레이 기판(910)과, 상기 어레이 기판(910)에 대응하는 컬러 필터 기판(970)을 갖는다.

어레이 기판(910)은 컬러 필터 기판(970)에 마주하는 영역에 화소부(미도시)와, 화소부의 외곽에는 데이터 신호가 인가되는 제1 V/I 검사 인터페이스부(930) 및 스캔 신호가 인가되는 제2 V/I 검사 인터페이스부(950)를 갖는다.

화소부(미도시)는 복수개의 스캔 라인과, 복수개의 스캔 라인과 직교하는 복수개의 데이터 라인을 갖으며, 복수개의 스캔 라인과 복수개의 데이터 라인에 의해 정의되는 복수개의 화소를 갖는다.

하나의 화소는 스위칭 소자(TFT), 액정 커패시터(Clc), 및 스토리지 커패시터(Cs)를 갖는다. 스위칭 소자(TFT)의 게이트 전극은 스캔 라인(GL)과, 소스 전극은 데이터 라인과, 드레인 전극은 액정 커패시터(Clc)의 제1 전극인 화소 전극과 각각 연결된다.

액정 커패시터(Clc)는 화소 전극과 컬러 필터 기판(970)의 공통 전극(Vcom:991) 사이의 액정층에 의해 전하를 축적하며, 스토리지 커패시터(Cs)는 스토리지 전극과 공통 전극(Vest:957)에 의해 스위칭 소자(TFT)가 오프되는(비선택기간) 동안 액정 커패시터(Clc)에 축적된 전하를 유지시킨다.

제1 V/I 검사 인터페이스부(930)는 게이트 구동 칩이 실장되는 복수개의 제1 구동 칩 패드(931)와, 각각의 제1 구동 칩 패드(931)에 대응하여 각각 형성된 제1 V/I 용 패드(933) 및 제1 V/I 용 배선(933)과 연결된 제1 V/I 용 배선(935)을 갖는다. 제1 V/I 용 패드(933)에 테스트 신호가 인가되고, 테스트 신호는 스위칭 소자(TFT)의 소스 전극에 인가된다.

제2 V/I 검사 인터페이스부(950)는 게이트 구동 칩이 실장되는 복수개의 제2 구동 칩 패드(951)와, 각각의 제2 구동 칩 패드(951)에 대응하여 각각 형성된 제2 V/I 용 패드(953) 및 제2 V/I 용 배선(955)을 갖는다. 각각의 구동 칩에 대응하여 마련된 제2 V/I 용 패드(953) 및 제2 V/I 용 배선(955)을 통해 구동 칩 별로 테스트 신호가 인가된다.

따라서, 다른 구동 칩 패드에 대응하는 인접한 제2 V/I 용 패드로부터 인가된 테스트 신호의 영향을 막을 수 있다.

### 발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면 어레이 기판에 구동 칩 별로 V/I 용 패드 및 배선을 각각 분리하여 형성하고 구동 칩 별로 테스트 신호를 각각 인가한다. 이에 의해 인접한 구동 칩에 인가된 테스트 신호의 지연으로 인한 V/I 오검출을 막음으로써 V/I 검출력을 향상시킬 수 있다.

이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**(57) 청구의 범위**

**청구항 1.**

제1 방향으로 배선된 제1 신호 라인;

제2 방향으로 배선되어 상기 제1 신호 라인과 교차하는 제2 신호 라인; 및

외부로부터 제공되는 제1 테스트 신호를 제1 단위별로 그룹핑된 제1 신호 라인에 전달하는 제1 V/I 검사 인터페이스부를 포함하는 표시 패널용 어레이 기판.

**청구항 2.**

제1항에 있어서, 상기 제1 신호 라인과 제2 신호 라인에 의해 정의되는 영역에는 스위칭 소자가 형성되고, 상기 제1 신호 라인은 상기 스위칭 소자의 게이트 전극에 연결된 스캔 라인이며,

상기 제1 단위는 상기 스캔 라인을 활성화 및 비활성화시키는 제1 구동칩에 대응하는 것을 특징으로 하는 표시 패널용 어레이 기판.

**청구항 3.**

제1항에 있어서, 상기 제1 V/I 검사 인터페이스부는,

상기 제1 단위별로 상기 제1 테스트 신호를 전달받는 복수개의 제1 V/I 용 패드; 및

상기 제1 단위별로 분리되고, 상기 복수개의 제1 V/I 용 패드를 경유하는 상기 제1 테스트 신호를 상기 제1 신호 라인 각각에 전달하는 복수개의 제1 V/I 용 배선을 포함하는 표시 패널용 어레이 기판.

**청구항 4.**

제1항에 있어서, 외부로부터 제공되는 제2 테스트 신호를 제2 단위별로 그룹핑된 제2 신호 라인에 전달하는 제2 V/I 검사 인터페이스부를 더 포함하는 표시 패널용 어레이 기판.

**청구항 5.**

제4항에 있어서, 상기 제1 신호 라인과 제2 신호 라인에 의해 정의되는 영역에는 스위칭 소자가 형성되고, 상기 제2 신호 라인은 상기 스위칭 소자의 소오스 전극에 연결된 데이터 라인이며,

상기 제2 단위는 상기 데이터 라인에 화상 신호를 공급하는 제2 구동칩에 대응하는 것을 특징으로 하는 표시 패널용 어레이 기판.

**청구항 6.**

제4항에 있어서, 상기 제2 V/I 검사 인터페이스부는,

상기 제2 단위별로 상기 제2 테스트 신호를 전달받는 복수개의 제2 V/I 용 패드; 및

상기 제2 단위별로 분리되고, 상기 복수개의 제2 V/I 용 패드를 경유하는 상기 제2 테스트 신호를 상기 제2 신호 라인 각각에 전달하는 복수개의 제2 V/I 용 배선을 포함하는 표시 패널용 어레이 기관.

### 청구항 7.

제1 방향으로 배선된 복수개의 제1 신호 라인과, 제2 방향으로 배선된 제2 신호 라인과, 외부로부터 제공되는 제1 테스트 신호를 제1 단위별로 그룹핑된 제1 신호 라인에 전달하는 제1 V/I 검사 인터페이스부를 포함하는 어레이 기관; 및

제1 어레이 검사용 패드 및 제1 어레이 검사용 배선을 갖고서, 상기 어레이 기관을 정의하는 가상선의 외측 영역에 형성되어 상기 제1 신호 라인의 동작 상태를 검사하는 제2 테스트 신호를 상기 제1 신호 라인에 전달하는 제1 어레이 검사 인터페이스부를 포함하는 모기관.

### 청구항 8.

제7항에 있어서, 상기 제1 V/I 용 배선은 상기 어레이 기관의 주변 영역에 형성되고, 상기 제1 단위별로 분리되며,

상기 제1 어레이 검사용 배선은 상기 가상선의 외측 영역에 형성되고, 상기 제1 V/I 용 배선과 연결되는 것을 특징으로 하는 모기관.

### 청구항 9.

제7항에 있어서, 상기 어레이 기관은 외부로부터 제공되는 제3 테스트 신호를 제2 단위별로 그룹핑된 제2 신호 라인에 전달하는 제2 V/I 검사 인터페이스부를 더 포함하는 것을 특징으로 하는 모기관.

### 청구항 10.

제9항에 있어서, 제2 어레이 검사용 패드 및 제2 어레이 검사용 배선을 갖고서, 상기 어레이 기관을 정의하는 가상선의 외측 영역에 형성되어 상기 제2 신호 라인의 동작 상태를 검사하는 제4 테스트 신호를 상기 제2 신호 라인에 전달하는 제2 어레이 검사 인터페이스부를 더 포함하는 모기관.

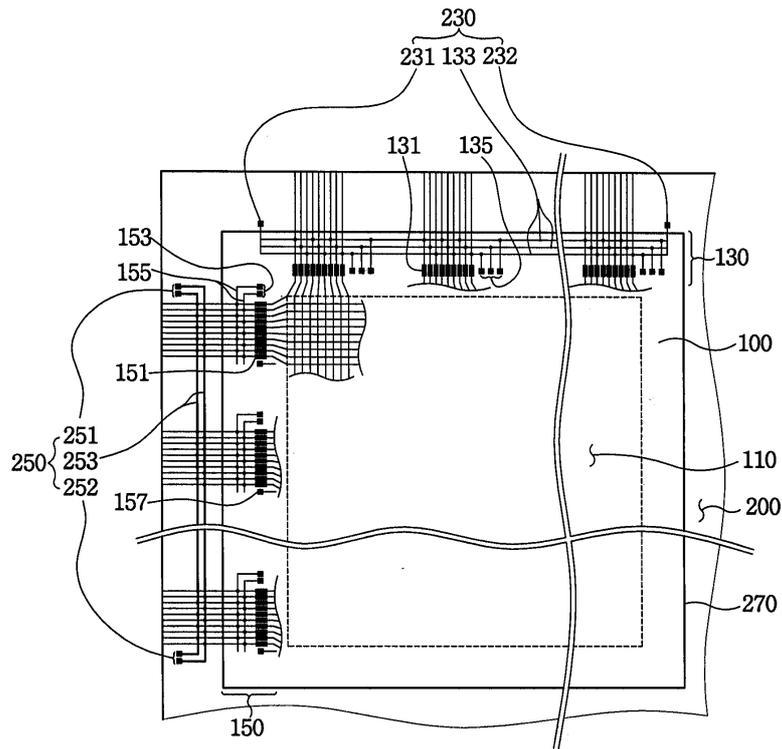
### 청구항 11.

제10항에 있어서, 상기 제2 V/I 용 배선은 상기 어레이 기관의 주변 영역에 형성되고, 상기 제2 단위별로 분리되며,

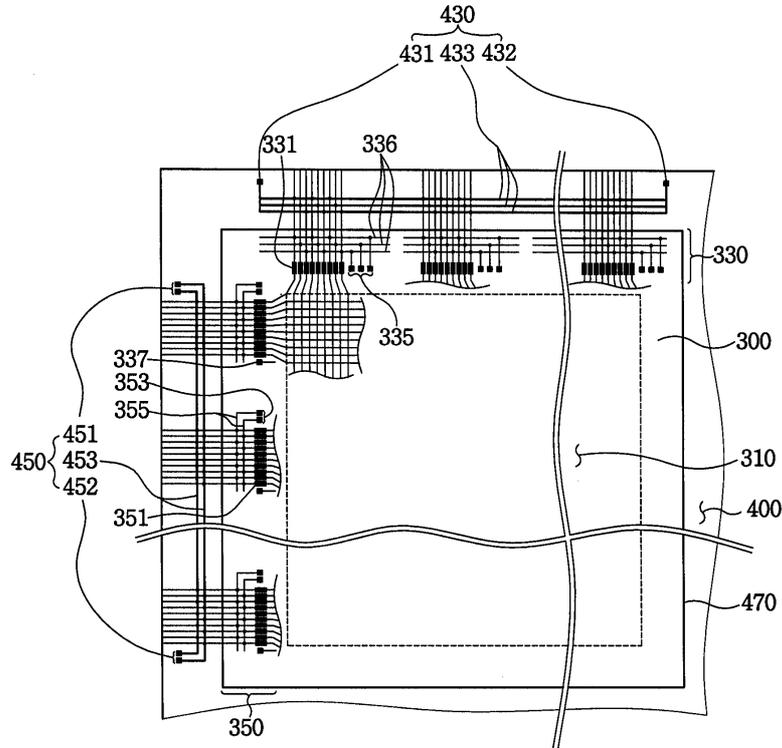
상기 제2 어레이 검사용 배선은 상기 가상선의 외측 영역에 형성되고, 상기 제2 V/I 용 배선과 연결되는 것을 특징으로 하는 모기관.

도면

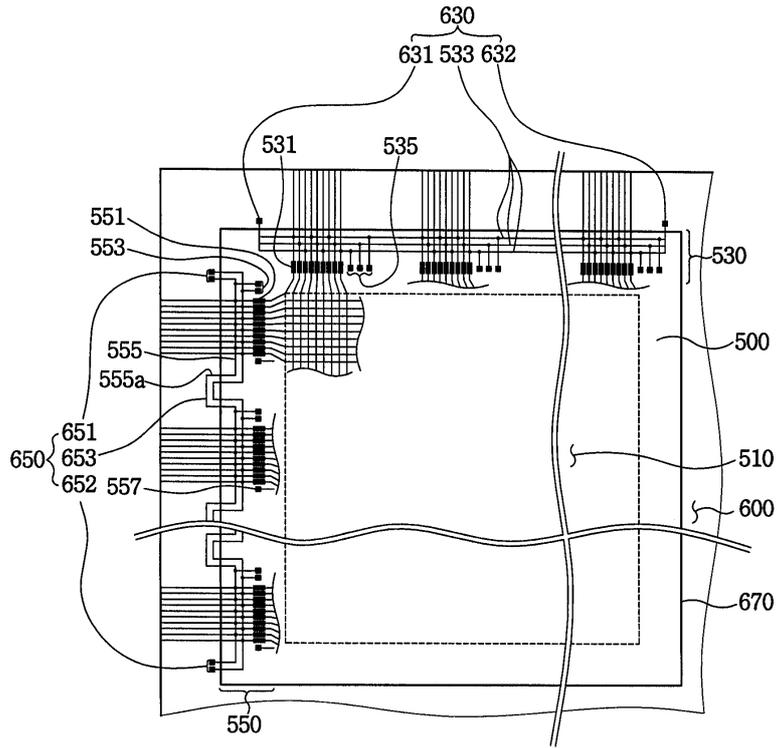
도면1



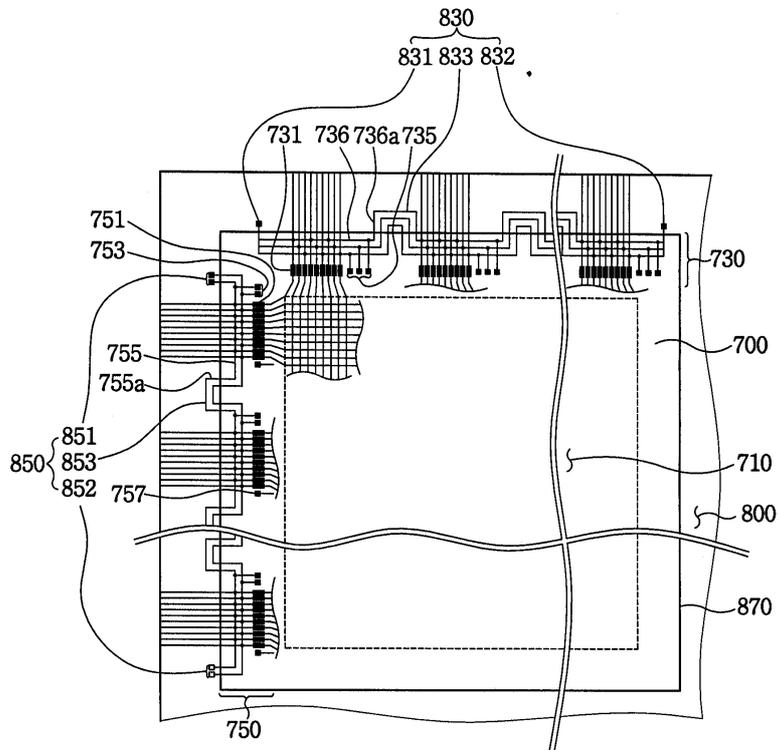
도면2



도면3



도면4



도면5

