



(12)发明专利申请

(10)申请公布号 CN 107833916 A

(43)申请公布日 2018.03.23

(21)申请号 201710952453.8

(22)申请日 2017.10.13

(71)申请人 厦门市三安集成电路有限公司

地址 361000 福建省厦门市同安区洪塘镇  
民安大道753-799号

(72)发明人 颜志泓 魏鸿基

(74)专利代理机构 厦门市首创君合专利事务所  
有限公司 35204

代理人 张松亭 陈淑娴

(51) Int. Cl.

H01L 29/778(2006.01)

权利要求书1页 说明书3页 附图2页

(54)发明名称

一种高迁移率电子电晶体的制造方法

(57)摘要

本发明公开了一种高迁移率电子电晶体的制造方法,是在已完成器件制程的高迁移率电子电晶体结构表面形成保护层,所述保护层覆盖其源极、漏极和栅极,然后将覆盖于所述源极和漏极上的保护层蚀刻开孔,同时将覆盖于栅极及其引出垫上的保护层全部蚀刻开,再进行第一金属连线层的沉积。金属沉积于源极、漏极上的开孔内以及栅极的引出垫上作为引出连线,同时沉积于栅极上作为栅极的顶部金属层,从而在不增加整体厚度的前提下增加了栅极金属的厚度,降低了栅极的阻值。本发明的方法仅需光罩的改变,无需增加额外的制程及工序,适用于常规生产线的实际生产应用。

1. 一种高迁移率电子电晶体的制造方法,其特征在于包括以下步骤:

1) 提供已完成器件制程的高迁移率电子电晶体结构,所述高迁移率电子电晶体结构包括化合物半导体基底以及由金属沉积于化合物半导体基底上形成的源极、漏极和栅极,其中栅极末端扩大形成引出垫;所述栅极的底部线宽小于 $0.5\mu\text{m}$ ,顶部线宽是底部线宽的3~8倍;

2) 于所述高迁移率电子电晶体结构表面形成保护层,所述保护层覆盖所述源极、漏极和栅极;

3) 将覆盖于所述源极和漏极上的保护层蚀刻开孔,同时将覆盖于栅极及其引出垫上的保护层全部蚀刻开;

4) 进行第一金属连线层的沉积,金属沉积于源极、漏极上的开孔内以及栅极的引出垫上作为引出连线,同时沉积于栅极上作为栅极的顶部金属层。

2. 根据权利要求1所述的高迁移率电子电晶体的制造方法,其特征在于:所述栅极为T型栅结构,底部线宽为 $0.2\sim 0.3\mu\text{m}$ ,顶部线宽为 $0.8\sim 1.2\mu\text{m}$ 。

3. 根据权利要求1所述的高迁移率电子电晶体的制造方法,其特征在于:所述栅极为Y型栅结构,底部线宽为 $0.1\sim 0.2\mu\text{m}$ ,顶部线宽为 $0.7\sim 0.9\mu\text{m}$ 。

4. 根据权利要求1所述的高迁移率电子电晶体的制造方法,其特征在于:所述栅极为Ti/Pt/Au金属复合层,厚度分别为 $20\sim 40\text{nm}/20\sim 40\text{nm}/500\sim 700\text{nm}$ 。

5. 根据权利要求1所述的高迁移率电子电晶体的制造方法,其特征在于:所述栅极为Ni/Au金属复合层,厚度分别为 $10\sim 30\text{nm}/100\sim 300\text{nm}$ 。

6. 根据权利要求1所述的高迁移率电子电晶体的制造方法,其特征在于:步骤4)中,沉积金属的厚度为 $0.5\sim 2\mu\text{m}$ 。

7. 根据权利要求1所述的高迁移率电子电晶体的制造方法,其特征在于:步骤4)中,沉积金属为Al、Cu、AlCu合金或其组合。

8. 根据权利要求1所述的高迁移率电子电晶体的制造方法,其特征在于:所述保护层为SiN、SiO<sub>2</sub>或两者的复合层,所述保护层的厚度为 $0.3\sim 0.8\mu\text{m}$ 。

## 一种高迁移率电子电晶体的制造方法

### 技术领域

[0001] 本发明涉及半导体器件制作工艺,特别是涉及一种高迁移率电子电晶体的制造方法。

### 背景技术

[0002] 在假晶性高电子迁移率电晶体(pseudomorphic High Electron Mobility Transistor;pHEMT)上很多参数影响器件之高频响应特性,其中栅极阻值,是一重要参数。一般用于在RF功率器件制造中所用高电子迁移率晶体管,为了提升器件高频性能的核心在于降低栅极电阻,降低电阻的方式包括增大截面积以及增加厚度,而目前发展的趋势是器件高度集成化和微型化,因而,寻求提高性能和减少尺寸兼并的解决方式对于行业发展具有重要的意义。

[0003] 现有技术所用之工艺是将栅极之上半部截面积加大而不增加下方的栅极长度,即制作成T型状(或Y型状)栅极结构,在实现窄栅极的同时增加了截面积,实现了降低电阻的作用。在栅极金属沉积完成之后覆盖沉积氮化硅(SiN)保护膜,器件工艺即已结束,后续在保护膜上开窗进行金属连线的制程。具体,源极、漏极由于面积较大可以直接将其表面保护膜打开进行金属引出,栅极由于金属线宽窄(微纳米级别),为提高接合稳定性以及减小失效风险,在制作时需要于栅极后加一大面积金属引出垫,将引出垫上的保护膜开孔做金属引出,即连线金属层沉积于源极、漏极表面以及栅极引出垫上。

[0004] 上述工艺的栅极电阻随栅极金属沉积薄膜厚度决定。增加栅极金属沉积的厚度虽然可以降低电阻,但显然会导致晶体管整体厚度的增加并且增加了表面高度落差,不利于后续制程。因此,基于尺寸小型化的考虑,栅极金属的沉积厚度往往受限。在此基础上,如何进一步提升综合性能成为需要考虑的问题。

### 发明内容

[0005] 本发明的目的在于克服现有技术之不足,提供一种高迁移率电子电晶体的制造方法。

[0006] 本发明解决其技术问题所采用的技术方案是:

[0007] 一种高迁移率电子电晶体的制造方法包括以下步骤:

[0008] 1) 提供已完成器件制程的高迁移率电子电晶体结构,所述高迁移率电子电晶体结构包括化合物半导体基底以及由金属沉积于化合物半导体基底上形成的源极、漏极和栅极,其中栅极末端扩大形成引出垫;所述栅极的底部线宽小于 $0.5\mu\text{m}$ ,顶部线宽是底部线宽的3~8倍;

[0009] 2) 于所述高迁移率电子电晶体结构表面形成保护层,所述保护层覆盖所述源极、漏极和栅极;

[0010] 3) 将覆盖于所述源极和漏极上的保护层蚀刻开孔,同时将覆盖于栅极及其引出垫上的保护层全部蚀刻开;

[0011] 4) 进行第一金属连线层的沉积,金属沉积于源极、漏极上的开孔内以及栅极的引出垫上作为引出连线,同时沉积于栅极上作为栅极的顶部金属层。

[0012] 可选的,所述栅极为T型栅结构,底部线宽为 $0.2\sim 0.3\mu\text{m}$ ,顶部线宽为 $0.8\sim 1.2\mu\text{m}$ 。

[0013] 可选的,所述栅极为Y型栅结构,底部线宽为 $0.1\sim 0.2\mu\text{m}$ ,顶部线宽为 $0.7\sim 0.9\mu\text{m}$ 。

[0014] 可选的,所述栅极为Ti/Pt/Au金属复合层,厚度分别为 $20\sim 40\text{nm}/20\sim 40\text{nm}/500\sim 700\text{nm}$ 。

[0015] 可选的,所述栅极为Ni/Au金属复合层,厚度分别为 $10\sim 30\text{nm}/100\sim 300\text{nm}$ 。

[0016] 可选的,步骤4)中,沉积金属的厚度为 $0.5\sim 2\mu\text{m}$ 。

[0017] 可选的,步骤4)中,沉积金属为Al、Cu、AlCu合金或其组合。

[0018] 可选的,所述保护层为SiN、SiO<sub>2</sub>或两者的复合层,所述保护层的厚度为 $0.3\sim 0.8\mu\text{m}$ 。

[0019] 本发明的有益效果是:

[0020] 在常规的工艺程序制作第一金属连接线时,将栅极上的保护层蚀刻开来,在沉积第一金属连接线时一并将金属形成于栅极上以作为栅极的顶层金属层,从而在不增加整体厚度的前提下增加了栅极金属的厚度,降低了栅极的阻值,将器件应用于低噪声放大器(Low noise amplifier,LNA)上,改善栅极金属电阻可使噪声值下降,从而提高了器件的性能。本发明的方法仅需光罩的改变,无需增加额外的制程及工序,适用于常规生产线的实际生产应用。

## 附图说明

[0021] 图1为实施例1的工艺流程示意图;

[0022] 图2为栅极部分的俯视结构示意图;

[0023] 图3为实施例2的结构示意图。

## 具体实施方式

[0024] 以下结合附图及实施例对本发明作进一步详细说明。本发明的各附图仅为示意以更容易了解本发明,其具体比例可依照设计需求进行调整。文中所描述的图形中相对组件的上下关系,在本领域技术人员应能理解是指构件的相对位置而言,因此皆可以翻转而呈现相同的构件,此皆应同属本说明书所揭露的范围。此外,图中所示的组件及结构的个数,均仅为示例,并不以此对数目进行限制,实际可依照设计需求进行调整。

[0025] 实施例1

[0026] 参考图1,实施例1的一种高迁移率电子电晶体的制造方法,首先提供已完成器件制程的高迁移率电子电晶体结构,所述高迁移率电子电晶体结构包括化合物半导体基底1以及由金属沉积于化合物半导体基底上形成的源极2、漏极3和栅极4。所述半导体基底1可以是三五族化合物半导体,例如GaAs、InGaP、InP等。所述栅极4为T型栅结构,顶部线宽大于底部线宽,具体,底部线宽为 $0.2\sim 0.3\mu\text{m}$ ,顶部线宽为 $0.8\sim 1.2\mu\text{m}$ 。参考图2,俯视来看,所述栅极4位于源极2和漏极3之间,其末端扩大形成引出垫41。所述栅极4为Ti/Pt/Au金属复合层,厚度分别为 $20\sim 40\text{nm}/20\sim 40\text{nm}/500\sim 700\text{nm}$ ,优选为 $30\text{nm}/30\text{nm}/600\text{nm}$ 。

[0027] 然后,于所述高迁移率电子电晶体结构表面形成保护层5,所述保护层5覆盖所述

源极2、漏极3和栅极4；所述保护层5为SiN、SiO<sub>2</sub>或两者的复合层，所述保护层5的厚度为0.3~0.8μm。

[0028] 接着，将覆盖于所述源极2和漏极3上的保护层5蚀刻开孔，同时将覆盖于栅极4及其引出垫上的保护层5全部蚀刻开，然后进行第一金属连线层6的沉积，金属沉积于源极2、漏极3上的开孔内以及栅极4的引出垫41上作为引出连线，同时沉积于栅极4上作为栅极的顶部金属层，即相当于最终栅极金属层厚度为原栅极4加上第一金属连线层6总厚度，从而增加了栅极金属层的厚度，降低栅极金属电阻值。第一金属连线层6沉积金属的厚度为0.5~2μm，例如优选为1μm厚，沉积金属为Al、Cu、AlCu合金或其组合。后续流程同现有技术，具体包括保护层以及第二金属连线层的设置，其中第二金属连线层仍然与引出垫41做连接。

[0029] 制得的改善器件可应用于低噪声放大器 (Low noise amplifier, LNA) 上，低噪声放大器其噪声值 (noise figure) 与栅极金属电阻有如下比例关系式，亦即改善栅极金属电阻可使噪声值下降。

$$\begin{aligned}
 [0030] \quad f_{\min} &= 1 + 2\pi K_f f C_{gs} \sqrt{\frac{R_g + R_s}{g_m}} \times 10^{-3} = 1 + K_f \frac{f}{f_T} \sqrt{g_m (R_g + R_s)} \\
 &= 1 + K_1 L f \sqrt{g_m (R_g + R_s)}
 \end{aligned}$$

[0031] 实施例2

[0032] 参考图3，实施例2与实施例1的差别在于，其栅极7为Y型栅结构，底部线宽为0.1~0.2μm，顶部线宽为0.7~0.9μm。所述栅极7为Ni/Au金属复合层，厚度分别为10~30nm/100~300nm，例如可以是20nm/200nm。

[0033] 同样，在进行第一金属连线层的制作时同时于窄线宽的Y型栅及其引出垫沉积金属，在实现连线引出的同时增加了栅极金属层的厚度，降低栅极金属电阻层。其中栅极金属层的加厚与金属互联于同道金属互联工艺中形成，适用于标准制程，在增加栅极金属层厚度的同时不增加器件的整体厚度，也避免了较大的高度落差所导致的稳定性不良等问题。

[0034] 上述实施例仅用来进一步说明本发明的一种高迁移率电子电晶体的制造方法，但本发明并不局限于实施例，凡是依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰，均落入本发明技术方案的保护范围内。

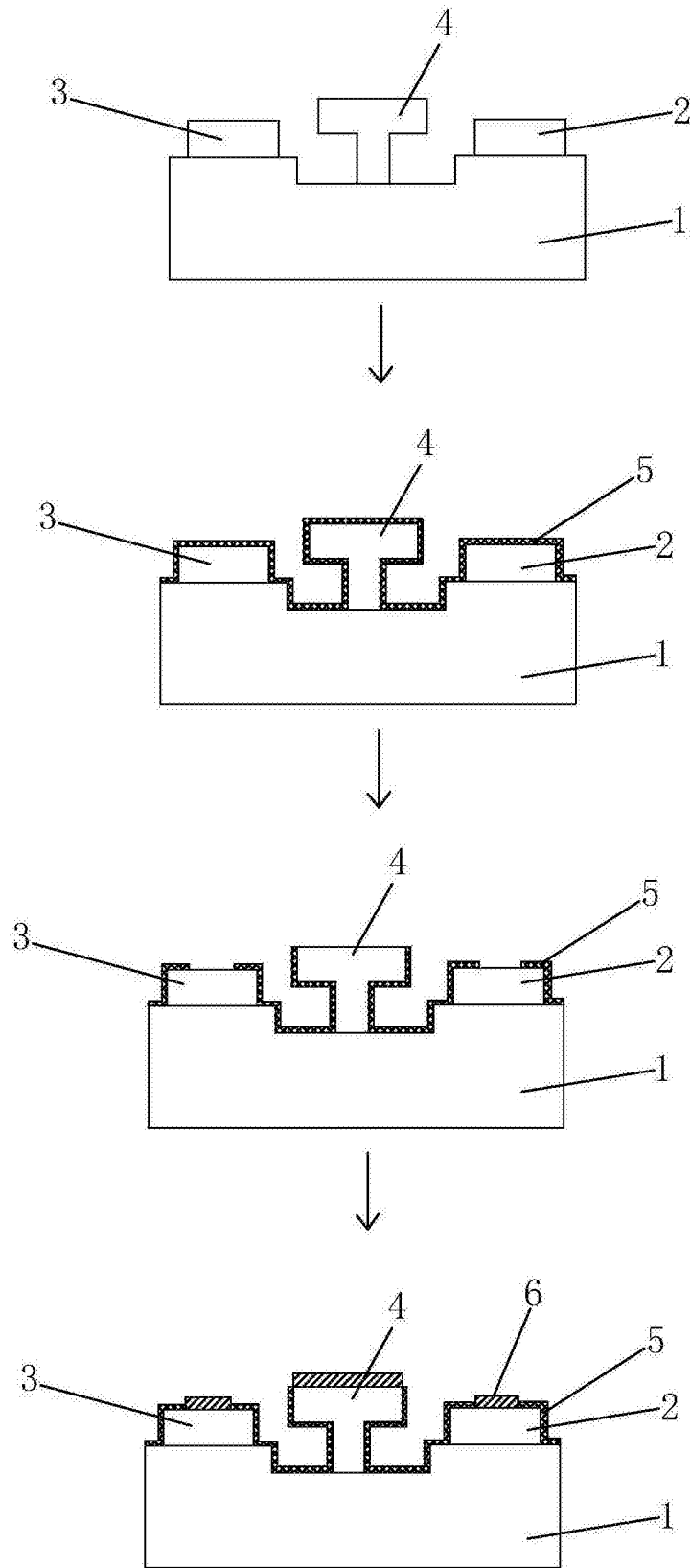


图1

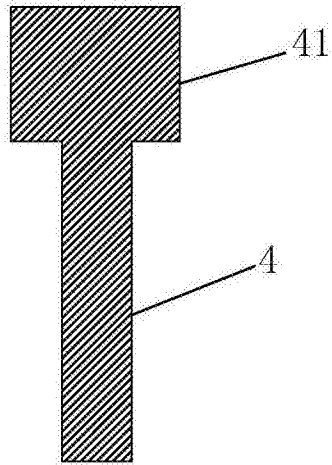


图2

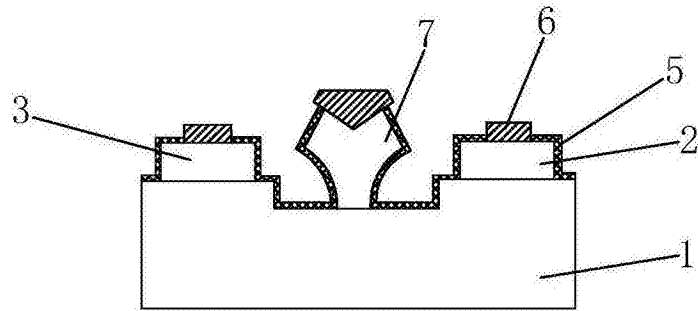


图3