



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년06월05일
(11) 등록번호 10-0834742
(24) 등록일자 2008년05월28일

(51) Int. Cl.

H01L 21/20 (2006.01)

(21) 출원번호 10-2006-0119853

(22) 출원일자 2006년11월30일

심사청구일자 2006년11월30일

(56) 선행기술조사문헌

KR1020010029900 A*

JP2000036597 A

KR100460553 B1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이원창

경기 성남시 분당구 정자동 백궁동양파라곤 A동 811호

(74) 대리인

정상빈, 특허법인가산

전체 청구항 수 : 총 12 항

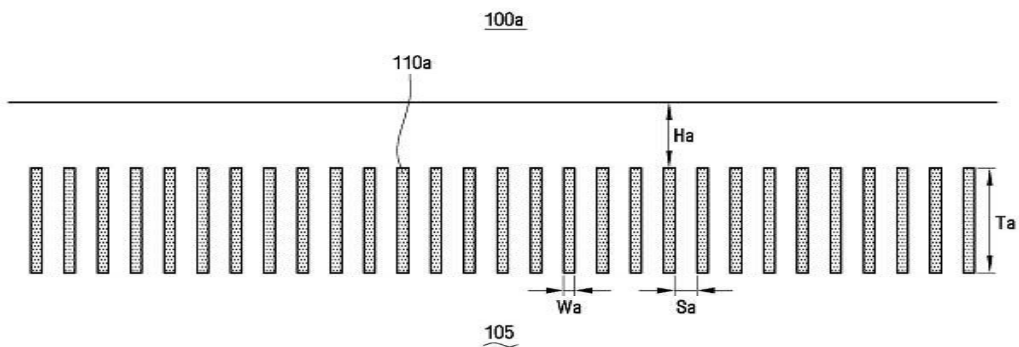
심사관 : 이시근

(54) 내부에 절연성 영역을 포함하는 실리콘 반도체 기판, 그것을 사용하여 제조된 반도체 소자 및 그 제조 방법

(57) 요약

내부에 절연성 영역을 포함하는 반도체 기판, 그것을 사용한 반도체 소자 및 그 제조 방법이 설명된다. 본 발명의 일 실시예에 의한 반도체 소자는 기판 내에 형성된 다수개의 소자 분리 영역들, 기판 상에 형성된 트랜지스터들, 기판 내에 트랜지스터와 소자 분리 영역들 사이에 형성된 소스/드레인 영역들, 및 기판의 내부에 표면으로부터 소정 간격으로 이격되어 형성된 다수개의 절연물을 포함한다.

대표도 - 도2a



특허청구의 범위

청구항 1

기판 표면으로부터 내측으로 제1 간격으로 이격되어 형성된 다수개의 절연물 기둥을 포함하되, 상기 다수개의 절연물 기둥은 서로 횡방향으로 제2 간격씩 이격되어 형성되고, 상기 각 절연물 기둥은 횡 방향 폭이 수직 높이보다 작으며, 상기 제1 간격은 상기 제2 간격보다 큰 실리콘 재질의 반도체 기판.

청구항 2

제1항에 있어서,
상기 절연물 기둥은 실리콘 산화물인 반도체 기판.

청구항 3

삭제

청구항 4

제1항에 있어서,
상기 다수개의 절연물 기둥은 다층으로 형성된 반도체 기판.

청구항 5

기판 표면으로부터 내측으로 제1 간격으로 이격되어 형성되며 다수개의 절연물 그레이를 포함하는 절연물 그레이 그룹을 포함하되, 상기 다수개의 절연물 그레이는 다층으로 형성되며, 동일한 층에 형성된 절연물 그레이들은 서로 횡방향으로 제2 간격씩 이격되어 형성되고, 상기 제1 간격은 상기 제2 간격보다 큰 실리콘 재질의 반도체 기판.

청구항 6

삭제

청구항 7

제1항 또는 제5항에 있어서,
상기 제1 간격은 활성 영역이 형성되는 영역인 반도체 기판.

청구항 8

기판 내에 제1 간격으로 이격되어 형성된 두개의 소자 분리 영역,
상기 기판 상에 형성된 트랜지스터들,
상기 기판 내에 상기 트랜지스터와 상기 소자 분리 영역들 사이에 형성된 소스/드레인 영역들, 및
상기 기판 표면으로부터 내측으로 제2 간격씩 이격되어 상기 두개의 소자 분리 영역 사이에 형성된 다수개의 절연물로, 상기 다수개의 절연물은 서로 횡방향으로 제3 간격씩 이격되어 형성된 다수개의 절연물을 포함하는 반도체 소자.

청구항 9

제8항에 있어서,
상기 소스/드레인 영역과 상기 다수개의 절연물이 부분적으로 중첩되는 반도체 소자.

청구항 10

제8항에 있어서,

상기 절연물은 실리콘 산화물인 반도체 소자.

청구항 11

제8항에 있어서,

상기 다수개의 절연물은 기둥 형태인 반도체 소자.

청구항 12

제11항에 있어서,

상기 다수개의 절연물 기둥은 다층으로 형성된 반도체 소자.

청구항 13

제8항에 있어서,

상기 다수개의 절연물은 그레인 형태인 반도체 소자.

청구항 14

제13항에 있어서,

상기 다수개의 절연물 그레인은 다층으로 형성된 반도체 소자.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<31> 본 발명은 반도체 기판의 구조 및 제조 방법에 관한 것으로서 특히 SOI 구조의 반도체 기판과 그것을 사용하여 제조된 반도체 소자 및 그 제조 방법에 관한 것이다.

<32> 차세대 반도체 기판으로 주목받고 있는 것 중 하나로 SOI(Silicon-On-Insulator) 기판이 있다. 이 SOI 기판은 누설 전류가 적으며, 특히 반도체 소자가 저전력에서 고속으로 동작할 수 있는 여건을 제공하기 때문에 차세대

반도체 기판 중에서도 가장 실효성이 있을 것으로 기대되는 반도체 기판이다.

- <33> 도면을 참조하여 SOI 기판 및 SOI 기판을 사용하여 제조되는 반도체 소자를 더욱 상세히 설명한다.
- <34> 도 1은 일반적인 SOI 기판을 사용하여 제조되는 반도체 소자의 종단면을 개략적으로 도시한 도면이다.
- <35> 도 1을 참조하면, SOI 기판을 사용하여 제조되는 반도체 소자는, 하부 실리콘 기판 영역(10), 하부 실리콘 기판 영역(10) 상에 형성된 절연층(80), 절연층(80)상에 형성된 상부 실리콘 기판 영역(15)으로 구성된다.
- <36> 상부 실리콘 기판 영역(15)과 하부 실리콘 기판 영역(10)은 절연층(80)에 의하여 전기적으로 격리되어 있고, 상부 실리콘 기판 영역(15)들은 소자 분리 영역(20)에 의하여 서로 격리되어 있다. 이렇게 SOI 기판은 활성 영역이 형성되는 상부 실리콘 기판 영역(15)이 플로팅되어 있는 구조이므로, 이로 인한 부작용이 야기된다. 구체적으로, SOI 구조의 기판을 사용하여 반도체 소자를 제조하는 경우, 고유의 목적을 달성하기 위하여 상부 실리콘 기판 영역(15)을 되도록 작게 만들어야 한다. 이로 인하여, 상부 실리콘 기판 영역(15)이 협소할 경우 부작용이 야기되는 것이다. 예를 들어, 상부 실리콘 기판 영역(15)에 전자 또는 정공 등의 캐리어(carrier)들이 축적(charge)되어 트랜지스터의 턴온 전압(Vth: threshold voltage)이 변하고 게이트 전압에 따른 전류가 정상을 유지하지 못하는 킥(kink) 현상이 발생한다. 또, 캐리어가 축적된 영역이 트랜지스터의 소스/드레인 영역(40, 50)과 함께 일종의 바이폴라 트랜지스터와 같은 오동작을 일으키는 패러스틱 바이폴라 트랜지스터(PBT: Parastic Bipolar Transistor) 현상이 발생한다. 뿐만 아니라, 절연층(80)은 실리콘보다 열전달 특성이 떨어지기 때문에 상부 실리콘 기판 영역(15)에서 발생하는 열이 충분히 방출되지 못하여 반도체 소자가 열화되는 현상이 야기된다. 이러한 부(-)적인 효과들은 SOI 기판의 상부 실리콘 기판 영역(15)이 격리, 즉 플로팅되어 있기 때문에 일어나는 현상이다.
- <37> 따라서, SOI 구조의 반도체 기판을 사용하여 제조된 반도체 소자에서, 상부 실리콘 기판 영역(15)에서 캐리어가 축적되는 현상 및 열화 현상을 방지 또는 치유할 수 있는 방법이 필요하다.

발명이 이루고자 하는 기술적 과제

- <38> 본 발명이 이루고자 하는 기술적 과제는, SOI 구조의 반도체 기판에서, 상부 실리콘 기판 영역에서 발생하는 캐리어 및 열을 하부 실리콘 기판 영역으로 배출시킬 수 있는 반도체 기판 및 반도체 소자를 제공함에 있다.
- <39> 본 발명이 이루고자 하는 또 다른 기술적 과제는, SOI 구조의 기판을 사용하여 캐리어 및 열을 하부 실리콘 기판 영역으로 배출시킬 수 있는 반도체 기판 및 반도체 소자를 제조하는 방법을 제공함에 있다.
- <40> 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

- <41> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 의한 반도체 기판은, 실리콘 재질이며, 기판 내부에 표면으로부터 소정 간격으로 이격되어 형성된 다수개의 절연물을 포함한다.
- <42> 다수개의 절연물은 실리콘 산화물이고, 다층으로 형성된 기둥 형태 또는 그레이н 형태일 수 있다.
- <43> 이격된 간격은 활성 영역이 형성되는 영역일 수 있다.
- <44> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 의한 반도체 소자는, 기판 내에 형성된 다수개의 소자 분리 영역들, 기판 상에 형성된 트랜지스터들, 기판 내에 트랜지스터와 소자 분리 영역들 사이에 형성된 소스/드레인 영역들, 및 기판의 내부에 표면으로부터 소정 간격으로 이격되어 형성된 다수개의 절연물을 포함한다.
- <45> 소스/드레인 영역과 다수개의 절연물이 부분적으로 중첩되도록 형성될 수 있다.
- <46> 다수개의 절연물은 실리콘 산화물이고, 다층으로 형성된 기둥 형태 또는 그레이н 형태일 수 있다.
- <47> 이격된 간격은 활성 영역이 형성되는 영역일 수 있다.
- <48> 또한, 상기 또 다른 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 의한 반도체 기판 또는 반도체 소자의 제조 방법은, 실리콘 재질의 반도체 기판을 준비하고, 기판 상에 제1 절연물 형성용 이온 주입 마스크 패턴을 형성하고, 제1 절연물 형성용 이온 주입 마스크 패턴을 이용하여 제1 이온을 주입하고, 제1 이온을 주입한 영역

을 절연성 영역으로 변환하고, 기관 내에 소자 분리 영역을 형성하고, 기관 내에 웰 영역을 형성하고, 기관 상에 게이트 패틴을 형성하고, 및 기관 내에 소스/드레인 영역을 형성하는 것을 포함한다.

- <49> 제1 이온은 산소 이온이고, 절연성 영역은 다층으로 형성될 수 있는 기둥 형태 또는 그레이 형태일 수 있다.
- <50> 절연성 영역과 소스/드레인 영역이 부분적으로 중첩되도록 형성될 수 있다.
- <51> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.
- <52> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- <53> 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.
- <54> 이하, 본 발명의 다양한 실시예들에 의한 반도체 기관을 첨부한 도면을 참조하여 상세히 설명한다.
- <55> 도 2a 내지 3c는 본 발명의 다양한 실시예들에 의한 반도체 기관들의 종단면을 개략적으로 도시한 도면들이다.
- <56> 도 2a를 참조하면, 본 발명의 제1 실시예에 의한 반도체 기관(100a)은, 기관 내부(105)에 형성된 다수개의 절연성 기둥들(110a)을 포함한다. 본 실시예에서, 절연성 기둥들(110a)이 형성되는 위치는 SOI 기관에서 절연층이 형성되는 위치이고, 반도체 기관(100a)의 표면과 절연성 기둥들(110a)의 사이(Ha)는 반도체 소자의 활성 영역이 형성되는 공간이다. 본 발명의 제1 실시예에 의한 반도체 기관(100a)은 활성 영역에서 발생한 캐리어 또는 열이 절연성 기둥들(110a) 사이로 방출될 수 있으므로 SOI 구조의 반도체 기관에서 활성 영역이 플로팅되어 있기 때문에 발생하는 현상들이 방지된다.
- <57> 절연성 기둥들(110a)은 수직 높이(Ta)는 일반적인 SOI 기관의 절연층의 두께와 부합하도록 형성될 수 있다. 즉, 수 내지 수십 μm 정도로 형성될 수 있다. SOI 기관의 절연층의 두께는 다양하게 설정될 수 있고 잘 알려진 기술이므로 구체적인 수치를 제시하지 않는다.
- <58> 절연성 기둥들(110a)의 폭(Wa)은 예시적으로 수 십Å 정도이다. 그러나 절연성 기둥들(110a)의 폭(Wa)은 SOI 기관의 특성에 큰 영향을 미치지 않는 것으로 평가된다. SOI 기관의 특성은 절연성 기둥들(110a)의 폭(Wa) 보다는 절연성 기둥들(110a)의 간격(Sa)이 더욱 중요하며, 본 실시예에서 절연성 기둥들(110a)의 간격(Sa)은 평균적으로 약 100Å을 타겟으로 형성된다. 그러나 이 수치는 본 발명의 기술적 사상을 구현해보이기 위한 예시적인 수치이며, 실시자의 의도에 따라 다양하게 형성될 수 있다.
- <59> 예시적으로, 본 실시예에서는 절연성 기둥들(110a)의 간격(Sa)이 절연성 기둥들(110a)의 폭(Wa)보다 넓게 형성된 것을 도시하였다.
- <60> 본 실시예에서, 절연성 기둥들(110a)은 산화물, 더 상세하게 실리콘 산화물로 형성될 수 있다. 본 실시예에서, 절연성 기둥들(110a)을 실리콘 산화물로 형성하는 이유는 다른 절연물(예를 들어 실리콘 질화물)을 형성하는 것보다 단순한 공정을 선택할 수 있으며, 절연 효과가 뛰어나고 열전도성이 좋기 때문이다. 그러나 실리콘 질화물로 절연성 기둥들(110a)을 형성할 수도 있다.
- <61> 도 2b는 본 발명의 제2 실시예에 의한 반도체 기관(100b)의 종단면을 개략적으로 도시한 도면이다.
- <62> 도 2b를 참조하면, 본 발명의 제2 실시예에 의한 반도체 기관(100b)은 기관 내부(105)에 폭(Wb)과 간격(Sb)이 유사하도록 형성된 다수의 절연성 기둥들(110b)을 포함한다. 도 2a와 비교하여, 절연성 기둥들(110b)의 폭(Wb)과 절연성 기둥들(110b)의 간격(Sb)이 실질적으로 동일하다. 절연성 기둥들(110b)의 폭(Wb)과 간격(Sb)이 실질적으로 동일할 경우, 본 발명의 실시예에 의한 반도체 기관(100b)을 제조하기 위한 설계 및 공정이 상대적으로 단순해질 수 있다.

- <63> 본 발명의 제1 실시예에서도, 절연성 기둥들(110b)의 높이(Tb)는 일반적인 SOI 기판의 절연층의 두께와 부합하도록 형성될 수 있다.
- <64> 도 2c를 참조하면, 본 발명의 제삼 실시예에 의한 반도체 기판(100c)은 기판 내부(105)에 폭(Wc)이 간격(Sc)보다 크도록 형성된 다수개의 절연성 기둥들(110c)을 포함한다. 도 2a 및 도 2b와 비교하여, 절연성 기둥들(110c)의 폭(Wc)이 절연성 기둥들(110c)의 간격(Sc)보다 크다. 절연성 기둥들(110c)의 폭(Wc)이 클수록 기본적인 SOI 구조에 가까우므로 SOI 기판의 장점을 최대한 수용할 수 있다.
- <65> 도 2a 내지 2c에 도시된 다양한 실시예들에 의한 반도체 기판들(100a, 100b, 100c)은 실시자가 제조하고자 하는 반도체 소자의 특성에 따라 각 절연성 기둥들(110a, 100b, 110c)의 모양, 형태 및 크기 등을 자유롭게 선택되어 형성될 수 있다. 반도체 기판(100a, 100b, 100c)의 종류를 선택하기 위한 조건으로는 반도체 소자의 집적도와 소자 분리 영역들의 깊이, 폭 및 상호 거리, 반도체 소자의 동작 전압과 동작 전류 등을 비롯한 많은 팩터들이 있을 것이다.
- <66> 도 3a를 참조하면, 본 발명의 제사 실시예에 의한 반도체 기판(200a)은 기판 내부(205)에 다수개의 절연성 그레이들(210a)을 포함한다. 도 2a 내지 2c는 절연성 기둥들(110a, 100b, 110c)을 형성하여 SOI 기판과 유사한 효과를 얻었으나, 본 실시예에서는 절연성 그레이들(210a)을 형성하여 SOI 기판과 유사한 효과를 얻을 수 있다. 본 실시예에 의한 절연성 그레이들(210a)은 직경(Da) 또는 크기가 서로 간의 수평 간격(La)보다 작다. 또한 절연성 그레이들(210a)의 수직 간격(Ga)도 절연성 그레이들(210a)의 직경(Da)보다 크다. 본 실시예를 도시한 도면에는 절연성 그레이들(210a)의 수평 간격(La)이 수직 간격(Ga)보다 큰 것으로 도시되어 있으나, 이는 예시적인 것이다. 즉, 절연성 그레이들(210a)의 수평 간격(La)과 수직 간격(Ga)은 필수적으로 어느 하나가 크거나 작아야 하는 것이 아니다. 절연성 그레이들(210a)의 수평 간격(La)과 수직 간격(Ga)은 제조하고자 하는 반도체 소자의 특성에 따라 다양하게 설정될 수 있다. 실험적으로, 절연성 그레이들(210a)의 수평 간격(La)이 수직 간격(Ga)보다 큰 경우, 상대적으로 제조 공정이 보다 수월해지고, 제조된 반도체 소자의 특성이 좋아질 수 있다.
- <67> 본 실시예에서, 절연성 그레이들(210a)을 실리콘 산화물로 형성하는 이유는 다른 절연물(예를 들어 실리콘 질화물)을 형성하는 것보다 단순한 공정을 선택할 수 있으며, 절연 효과가 뛰어나고 열전도성이 좋기 때문이다. 그러나 실리콘 질화물로 절연성 그레이들(210a)을 형성할 수도 있다.
- <68> 도 3b를 참조하면, 본 발명의 제오 실시예에 의한 반도체 기판(200b)은 기판 내부(205)에 직경(Db) 및 간격(Lb)이 유사하게 형성된 다수개의 절연성 그레이들(210b)을 포함한다. 도 2a와 비교하여, 절연성 그레이들(210b)의 직경(Db)과 서로 간의 간격(Lb)이 실질적으로 동일하다. 또한, 절연성 그레이들(210b)의 층간 거리(Gb)도 절연성 그레이들(210b)의 직경(Db) 또는 간격(Lb)과 실질적으로 동일하도록 형성될 수 있다. 그 이외의 설명은 도 3a 및 그 설명을 참조할 수 있다.
- <69> 도 3c를 참조하면, 본 발명의 제육 실시예에 의한 반도체 기판(200c)은 기판 내부(205)에 직경(Dc)이 간격(Lc)보다 더 크게 형성된 다수개의 절연성 그레이들(210b)을 포함한다. 도 3a 및 3b와 비교하여, 절연성 그레이들(210c)의 직경(Dc)이 서로 간의 간격(Lc)보다 크다. 본 도면에서 절연성 그레이들(210c)의 수직 간격(Gc)이 0(zero)인 것으로 가정하여 도시하나 0보다 클 수도 있고, 작을 수도 있다.
- <70> 도 3a 내지 3c에서, 절연성 그레이들(210a, 210b, 210c)이 형성된 영역들의 깊이 또는 두께(Ra, Rb, Rc)는 일반적인 SOI 기판의 절연층의 두께에 해당되도록 형성될 수 있다. 또는 도 2a 내지 2c에 도시된 절연성 기둥들(110a, 110b, 110c)의 높이(Ta, Tb, Tc)에 해당되도록 형성될 수 있다.
- <71> 도 2a 내지 3c에 도시된 다양한 모양의 실시예들에 의한 반도체 기판들(100a, 100b, 100c, 200a, 200b, 200c)은, 절연성 기둥들(110a, 110b, 110c) 또는 절연성 그레이들(210a, 210b, 210c)이 다양한 크기 및 간격으로 형성될 수 있음을 예시하고자 한 것이다. 본 발명의 다양한 실시예들에 의한 반도체 기판들(100a, 100b, 100c, 200a, 200b, 200c)은 활성 영역이 플로팅되지 않으므로, 활성 영역에서 발생하는 전자 또는 정공 및 발생하는 열을 방출할 수 있다.
- <72> 또한, 본 명세서에는 절연성 기둥들(110a, 110b, 110c)이 1개 층으로 형성된 경우만을 도시하였으나, 여러 층으로 응용되어 형성될 수 있다.
- <73> 도 4a 내지 5c는 본 발명의 다양한 실시예들에 의한 반도체 소자들의 종단면을 개략적으로 도시한 도면들이다.
- <74> 도 4a를 참조하면, 본 발명의 제일 실시예에 의한 반도체 소자(300)는, 기판(305) 내에 형성된 다수개의 소자 분리 영역들(320), 기판(305) 내에 소자 분리 영역들(320)보다 깊게 형성된 웰 영역들(330a, 330b), 기판(305)

상에 형성된 게이트 패턴들(370a, 270b), 기판(305) 내에 게이트 패턴들(370a, 370b)과 소자 분리 영역들(320) 사이에 형성된 소스/드레인 영역들(340, 350), 및 기판(305) 내에 형성된 다수개의 절연성 기둥들(380)을 포함한다.

- <75> 기판(305)은 본 실시예에서 실리콘으로 형성될 수 있고, 소자 분리 영역들(320)은 본 실시예에서 STI영역일 수 있다.
- <76> 웰 영역들(330a, 330b)은 As나 P같은 N형 이온 또는 B같은 P형 이온이 주입되어 형성될 수 있다. 본 실시예에서는 예시적으로 P웰 영역(330a)과 N웰 영역(330b)을 형성한 것을 도시한다. 부가하여, P웰 영역(330a)이 N웰 영역(330b)보다 더 깊게 형성될 수 있으나 이에 한정되지 아니한다. 각 웰 영역(330)의 이온 주입 농도는 반도체 소자 별로 다양하게 설정되며, 잘 알려진 기술이므로 상세한 설명을 생략한다.
- <77> 게이트 패턴들(270a, 270b)은 기판(305)의 표면에 형성된 게이트 절연막들(350a, 350b)과 게이트 절연막들(350a, 350b) 상에 형성된 게이트 전극들(360a, 360b)을 포함한다. 게이트 절연막들(350a, 350b)은 본 실시예에서 실리콘 산화물이지만, 이것은 예시적인 것이며 이에 한정되지 아니한다. 게이트 절연막들(350a)은 다른 절연성 물질로 형성될 수도 있다. 예를 들어, 하프늄 산화물 또는 알루미늄 산화물 등이 있으며, 그 외에 다양한 종류의 절연물로 형성될 수 있다.
- <78> 게이트 전극들(360a, 360b)은 전도성 물질이며, 도핑된 다결정 실리콘, 금속 실리사이드 또는 금속 등으로 형성될 수 있다. 게이트 전극들(260a, 260b)에 대한 기술은 잘 알려져 있으므로 더 이상의 설명을 생략한다.
- <79> 본 실시예에서는 본 발명의 기술적 사상을 이해하기 쉽도록 하기 위하여 반도체 소자(300a)를 게이트 패턴들(370a, 370b)을 형성한 단계까지만 도시한다.
- <80> 소스/드레인 영역들(340, 350)은 웰 영역들(330a, 330b)과 반대되는 극성을 가진 불순물 이온을 주입하여 형성될 수 있다. 예를 들어, P웰 영역(330a)에서는 N형 불순물 이온이 주입된 N형 소스/드레인 영역(340)이 형성될 수 있고, N형 웰 영역(330b)에서는 P형 불순물이 주입된 P형 소스/드레인 영역(350)이 형성될 수 있다. 각 소스/드레인 영역들(240, 250)의 이온 주입 농도는 잘 알려져 있으므로 상세한 설명을 생략한다.
- <81> 절연성 기둥들(380)은 본 실시예에서 산화물, 예를 들어 실리콘 산화물로 형성될 수 있다. 절연성 기둥들(380)은 소스/드레인 영역들(340, 350) 중 적어도 한 곳과 중첩될 수 있다. 본 실시예에서, P형 소스/드레인 영역(350)은 스트레인드(strained) 기판, 즉 SiGe 영역일 수 있으며, 이때에는 도시된 것과 달리 P형 소스/드레인 영역(350)과 절연성 기둥들(380)이 중첩되지 않을 수도 있다. 또한, 절연성 기둥들(380)은 소자 분리 영역들(320)과 중첩될 수 있다.
- <82> 도 4b를 참조하면, 본 발명의 제1 실시예에 의한 반도체 소자(400)는, 기판(405) 내에 형성된 다수개의 소자 분리 영역들(420), 기판(405) 내에 소자 분리 영역들(420)보다 깊게 형성된 웰 영역들(430a, 430b), 기판(405) 상에 형성된 게이트 패턴들(470a, 470b), 기판(405) 내에 게이트 패턴들(470a, 470b)과 소자 분리 영역들(420) 사이에 형성된 소스/드레인 영역들(440, 450), 및 기판 내에 형성된 다수개의 절연성 기둥들(480)을 포함한다.
- <83> 본 실시예에서, 절연성 기둥들(480)은 도 2b에 도시 및 설명된 본 발명의 제1 실시예에 의한 반도체 기판(100b)을 이용한 반도체 소자(400)로서, 소스/드레인 영역들(440, 450)과 중첩되지 않는다. 다른 참조 부호들은 도 4a 및 그 설명을 참조할 수 있다.
- <84> 도 4c를 참조하면, 본 발명의 제2 실시예에 의한 반도체 소자(500)는, 기판(505) 내에 형성된 다수개의 소자 분리 영역들(520), 기판(505) 내에 소자 분리 영역들(520)보다 깊게 형성된 웰 영역들(530a, 530b), 기판(505) 상에 형성된 게이트 패턴들(570a, 570b), 기판(505) 내에 게이트 패턴들(570a, 570b)과 소자 분리 영역들(520) 사이에 형성된 소스/드레인 영역들(540, 550), 및 기판(505) 내에 형성된 다수개의 절연성 기둥들(580)을 포함한다.
- <85> 본 실시예에서, 절연성 기둥들(580)은 도 2c에 도시 및 설명된 본 발명의 제2 실시예에 의한 반도체 기판(100c)을 이용한 반도체 소자(500)로 볼 수 있다. 다른 참조 부호들은 도 4a, 4b 및 그 설명들을 참조할 수 있다.
- <86> 도 5a를 참조하면, 본 발명의 제3 실시예에 의한 반도체 소자(600)는, 기판(605) 내에 형성된 다수개의 소자 분리 영역들(620), 기판(605) 내에 소자 분리 영역들(620)보다 깊게 형성된 웰 영역들(630a, 630b), 기판(605) 상에 형성된 게이트 패턴들(670a, 670b), 기판(605) 내에 게이트 패턴들(670a, 670b)과 소자 분리 영역들(620) 사이에 형성된 소스/드레인 영역들(640, 650), 및 기판(605) 내에 형성된 다수개의 절연성 그레인들(680)을 포

함한다.

- <87> 본 실시예에서, 절연성 그레이들(680)은 도 3a에 도시 및 설명된 본 발명의 제1 실시예에 의한 반도체 기판(200a)을 이용한 반도체 소자(600)로 볼 수 있다. 다른 참조 부호들은 도 2a, 2b, 2c 및 그 설명들을 참조할 수 있다.
- <88> 도 5b를 참조하면, 본 발명의 제2 실시예에 의한 반도체 소자(700)는, 기판(705) 내에 형성된 다수개의 소자 분리 영역들(720), 기판(705) 내에 소자 분리 영역들(720)보다 깊게 형성된 웰 영역들(730a, 730b), 기판(705) 상에 형성된 게이트 패턴들(770a, 770b), 기판(705) 내에 게이트 패턴들(770a, 770b)과 소자 분리 영역들(720) 사이에 형성된 소스/드레인 영역들(740, 750), 및 기판(705) 내에 형성된 다수개의 절연성 그레이들(780)을 포함한다.
- <89> 본 실시예에서, 절연성 그레이들(780)은 도 3b에 도시 및 설명된 본 발명의 제3 실시예에 의한 반도체 기판(200b)을 이용한 반도체 소자(700)로 볼 수 있다. 다른 참조 부호들은 도 4a, 4b, 4c, 5a 및 그 설명들을 참조할 수 있다.
- <90> 도 5c를 참조하면, 본 발명의 제4 실시예에 의한 반도체 소자(800)는, 기판(805) 내에 형성된 다수개의 소자 분리 영역들(820), 기판(805) 내에 소자 분리 영역들(820)보다 깊게 형성된 웰 영역들(830a, 830b), 기판(805) 상에 형성된 게이트 패턴들(870a, 870b), 기판(805) 내에 게이트 패턴들(870a, 870b)과 소자 분리 영역들(820) 사이에 형성된 소스/드레인 영역들(840, 850), 및 기판(805) 내에 형성된 다수개의 절연성 그레이들(880)을 포함한다.
- <91> 본 실시예에서, 절연성 그레이들(880)은 도 3c에 도시 및 설명된 본 발명의 제5 실시예에 의한 반도체 기판(200c)을 이용한 반도체 소자(800)로 볼 수 있다. 다른 참조 부호들은 도 4a, 4b, 4c, 5a, 5b 및 그 설명들을 참조할 수 있다.
- <92> 이어서, 본 발명의 실시예에 의한 반도체 기판을 제조하는 방법을 도면을 첨부하여 설명한다.
- <93> 도 6a 내지 6h는 본 발명의 일 실시예에 의한 반도체 기판 및 반도체 소자를 제조하는 방법을 설명하기 위한 도면들이다.
- <94> 도 6a를 참조하면, 기판(905) 상에 제1 이온 주입 마스크 패턴(M1)을 형성하고 기판(905) 내에 산소(oxygen) 이온(Io)을 주입한다.
- <95> 본 실시예에서, 이온 주입 마스크(M1)는 포토레지스트 패턴을 이용할 수 있으나, 이에 한정되지 아니한다. 즉, 반도체 기판(905) 상에 일반적인 반도체 제조 공정에서 널리 사용되는 물질이면 어떠한 물질이어도 무방하다. 예를 들어, 실리콘 산화물, 실리콘 질화물, 실리콘 산화질화물과 같은 절연성 물질이 일반적이거나 전도성 물질이어도 무방하다. 이때, 산소 이온(Io)을 주입하는 농도와 에너지는 형성하고자 하는 절연성 기둥들(980)의 위치, 높이 및 폭에 따라 다양하게 설정될 수 있다. 이렇게 산소 이온(Io)을 주입하는 기술은 SOI 구조의 기판을 제조하는 방법 중 하나인 SIMOX(Separation by Implantation of Oxygen) 기술을 참조하여 응용할 수 있다. 예를 들어, 약 500 °C의 온도에서, 약 2×10^{18} I/cm²의 농도로 이온을 주입할 수 있다. 이외에, 이온 주입에 관한 것은 잘 알려진 기술이므로 더 상세한 설명을 생략한다.
- <96> 도 6b를 참조하면, 소자 분리 영역들(920)을 형성한다. 본 실시예에서, 소자 분리 영역들(920)은 STI 이다.
- <97> STI 형성 방법은 잘 알려져 있으므로 본 명세서에서는 상세한 설명을 생략한다. 도면에서는 소자 분리 영역들(920)이 절연성 기둥들(980)보다 기판(905) 방향으로 더 깊이 형성되어 있으나, 이는 예시적인 것이다. 소자 분리 영역들(920)과 절연성 기둥들(980)은 실시자의 의도에 따라 다양한 위치와 모양으로 형성될 수 있기 때문에 절연성 기둥들(980)이 소자 분리 영역들(920)보다 더 깊은 위치까지 형성될 수도 있다.
- <98> 도 6c를 참조하면, 기판(905) 상에 제2 이온 주입 마스크(M2)를 형성하고, 제1 웰 영역(930a)을 형성하기 위한 이온(Iwp)을 주입한다.
- <99> 본 실시예에서, 웰 영역(930a)은 P형일 수 있고, 제2 이온 주입 마스크(M2)는 포토레지스트 패턴일 수 있다. 웰 영역(930a)을 형성하는 기술은 잘 알려져 있으므로 상세한 설명을 생략한다.
- <100> 도 6d를 참조하면, 기판(905) 상에 제3 이온 주입 마스크(M3)를 형성하고, 제2 웰 영역(930b)을 형성하기 위한 이온(Iwn)을 주입한다.

- <101> 본 실시예에서, 제2 웰 영역(930b)은 N형일 수 있고, 제3 이온 주입 마스크(M3)는 포토레지스트 패턴일 수 있다. 웰 영역(930b)을 형성하는 기술은 잘 알려져 있으므로 상세한 설명을 생략한다.
- <102> 본 실시예에서, 제1 웰 영역(930a)과 제2 웰 영역(930b)은 어느 영역이 먼저 형성되던지 관계 없다. 즉, 제2 웰 영역(930b)을 먼저 형성하고 제1 웰 영역(930a)을 나중에 형성할 수도 있다. 또, 도면에는 제1 웰 영역(930a)이 제2 웰 영역(930b)보다 깊게 형성된 것으로 도시되었으나, 이는 예시적인 것이며, 제2 웰 영역(930b)이 제1 웰 영역(930a)보다 깊게 형성될 수도 있다.
- <103> 도 6e를 참조하면, 기판(905) 상에 전면적으로 게이트 절연막 형성용 절연막(950)과 게이트 전극 형성용 전도성 물질막(960)을 형성하고, 포토레지스트 패턴(P)을 형성한다.
- <104> 본 실시예에서, 게이트 절연막 형성용 절연막(950)은 실리콘 산화물로 형성될 수 있으나, 이에 한정되지 아니한다. 예를 들어, 하프늄 산화물, 알루미늄 산화물 등으로 형성될 수도 있다. 이러한 물질로 게이트 절연막 형성용 절연막(950)을 형성하는 기술은 잘 알려져 있으므로 상세한 설명을 생략한다.
- <105> 본 실시예에서, 게이트 전극 형성용 전도성 물질막(960)은 예시적으로 다결정 실리콘일 수 있으나, 이에 한정되지 아니한다. 예를 들어, 금속 실리사이드 또는 금속으로 형성될 수도 있다. 이러한 물질로 게이트 전극 형성용 전도성 물질막(960)을 형성하는 기술은 잘 알려져 있으므로 상세한 설명을 생략한다.
- <106> 본 실시예에서, 포토레지스트 패턴(P)은 게이트 패턴을 형성하기 위한 식각 마스크로 사용될 수 있다. 도면은 예시적인 것이며, 포토레지스트 패턴(P) 외에도 다양한 물질이 게이트 패턴을 형성하기 위한 식각 마스크로 사용될 수 있다. 예를 들어, 실리콘 질화물, 실리콘 산화질화물 등이 하드 마스크로 사용될 수 있다.
- <107> 도 6f를 참조하면, 게이트 전극 형성용 전도성 물질막(960) 및 게이트 절연막 형성용 절연막(950)을 식각하여 게이트 패턴들(970a, 970b)을 형성한다.
- <108> 본 실시예에서, 제1 게이트 패턴(970a)은 NMOS일 수 있고, 제2 게이트 패턴(970b)은 PMOS일 수 있다.
- <109> 게이트 패턴들(970a, 970b)을 형성한 후, 포토레지스트 패턴(P)을 제거한다.
- <110> 도 6g를 참조하면, 선택적으로 제1 게이트 패턴(970a)과 그 주변을 노출시키는 제4 이온 주입 마스크(M4)를 형성하고, 이온(In)을 주입하여 제1 소스/드레인 영역(940)을 형성한다.
- <111> 본 실시예에서, 선택적으로 노출된 게이트 패턴(970a)은 NMOS이고, 주변의 노출된 영역은 NMOS 영역일 수 있다. 즉, 주입되는 이온(In)은 N형 불순물이고, 예를 들어 As 또는 P 이온일 수 있다.
- <112> 도 6h를 참조하면, 선택적으로 제2 게이트 패턴(970b)과 그 주변을 노출시키는 제5 이온 주입 마스크(M5)를 형성하고, 이온(Ip)을 주입하여 제2 소스/드레인 영역(950)을 형성한다.
- <113> 본 실시예에서, 선택적으로 노출된 게이트 패턴(970b)은 PMOS이고, 주변의 노출된 영역은 PMOS 영역일 수 있다. 즉, 주입되는 이온(Ip)은 P형 불순물이고, 예를 들어 B 이온일 수 있다.
- <114> 이후, 제5 이온 주입 마스크(M5)를 제거하여, 도 4a에 도시된 본 발명의 제일 실시예에 의한 반도체 소자(300)를 완성한다.
- <115> 도 6a에 도시된 제1 이온 주입 마스크(M1)의 모양 및 이온(Io) 주입 조건을 조절하여 본 발명의 다양한 실시예들에 의한 반도체 기판들(100a, 100b, 100c)을 제조할 수 있다.
- <116> 절연성 기둥들(110a, 110b, 110c)을 형성할 경우, 이온 주입 에너지를 고에너지로부터 저에너지까지 여러 단계로 조절하여 형성할 수 있고, 절연성 그레이들(210a, 210b, 210c)을 형성할 경우, 고에너지로부터 저에너지까지 적은 단계로 조절하면서 형성할 수 있다. 예를 들어, 절연성 기둥들(110a, 110b, 110c)을 형성할 경우, 아날로그적으로 형성하여야 하므로 수십 단계로 이온 주입 에너지를 조절하거나, 이온 주입 공정 중에 이온 주입 에너지를 점차 줄이거나 증가시키는 방법으로 절연성 기둥들(110a, 110b, 110c)을 형성할 수 있다. 절연성 그레이들(210a, 210b, 210c)을 형성할 경우, 절연성 기둥들(110a, 110b, 110c)을 형성할 때 보다 상대적으로 적은 단계, 예를 들어 수 단계 정도로 이온 주입 에너지를 조절하여 이온 주입 공정을 수행함으로써 절연성 그레이들(210a, 210b, 210c)을 형성할 수 있다.
- <117> 도 7a 내지 7c는 본 발명의 실시예들에 의한 절연성 그레이들을 포함하는 반도체 기판들을 제조하는 방법을 예시한 도면들이다.

- <118> 도 7a를 참조하면, 본 발명의 일 실시예에 의한 반도체 기판(200)의 제조 방법은, 먼저 기판(205) 상에 제1차 이온 주입 마스크(Ma)를 형성하고 이온(I)을 주입하여 제1층의 절연성 그래인들(F1)을 형성한다.
- <119> 본 실시예에서, 기판(200)은 실리콘 재질일 수 있고, 이온(I)은 산소 이온일 수 있다.
- <120> 본 실시예에서, 제1 이온 주입 마스크(Ma)는 예를 들어, 포토레지스트로 형성될 수 있으나 이에 한정되지 않고 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 또는 기타 절연성 막질로 형성될 수 있다.
- <121> 제 1층의 절연성 그래인들(F1)은 예를 들어, 형성하고자 하는 절연성 그래인층의 가장 저면에 형성될 수 있으나 이에 한정되지 않는다.
- <122> 본 도면에서, 제1층의 절연성 그래인들(F1)의 모양을 사각형(rectangular)으로 도시한 것은 이온을 주입한 다음 일반적으로 수행되는 열처리 공정을 수행하지 않은 것을 암시하기 위한 것이다. 주입된 이온을 확산시키기 위하여 수행되는 열처리 공정은 여러 층의 절연성 그래인들을 형성한 다음 최종적으로 수행될 수 있다.
- <123> 도 7b를 참조하면, 기판(200) 상에 제2차 이온 주입 마스크(Mb)를 형성하고 제2층의 절연성 그래인들(F2)을 형성한다.
- <124> 본 도면에는 제2차 이온 주입 마스크(Mb)와 제1차 이온 주입 마스크(Ma)가 서로 다른 모양이고, 형성된 절연성 그래인들(F1, F2)이 형성된 위치가 서로 다르지만 이것은 예시적인 것이다. 본 실시예에서는 두 층의 절연성 그래인들(F1, F2)의 위치 등이 서로 다를 수 있다는 것을 암시하기 위한 것이다. 다른 예로, 제2차 이온 주입 마스크(Mb)를 형성하지 않고, 제1차 이온 주입 마스크(Ma)를 이용하여 서로 다른 이온 주입 에너지로 이온(I)을 주입하여 제2층 절연성 그래인들(F2)을 형성할 수도 있다. 제2층의 절연성 그래인들(F2)은 제1층의 절연성 그래인들(F1)보다 낮은 이온 주입 에너지로 주입되어 형성될 수 있으나 이에 한정되지 않는다.
- <125> 도 7c를 참조하면, 기판(200) 상에 제3차 이온 주입 마스크(Mc)를 형성하고 제3층의 절연성 그래인들(F3)을 형성한다.
- <126> 본 실시예에서, 제3차 이온 주입 마스크(Mc)는 제1차 이온 주입 마스크(Ma)와 동일한 모양일 수 있다. 그러나 이에 한정되지 않으며, 제2차 이온 주입 마스크(Mb)와 동일한 모양일 수도 있다.
- <127> 이후, 상술한 과정을 실시자가 원하는 만큼 반복하여 적절한 두께로 절연성 그래인층들(F1, F2, F3)을 형성할 수 있다.
- <128> 절연성 그래인 층들(F1, F2, F3)을 형성한 다음, 열처리하여 절연성 그래인 층들(F1, F2, F3)을 산화시켜 최종적으로 절연성 그래인들(210)을 포함하는 반도체 기판(200)을 완성할 수 있다. 본 실시예에서, 열처리 공정은 예를 들어 약 400°C 정도로 수행될 수 있다.
- <129> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

- <130> 상술한 바와 같이 본 발명의 실시예들에 의한 반도체 기판을 사용하여 제조된 반도체 소자는 활성 영역에서 발생하는 캐리어 및 열이 기판으로 배출되므로, 활성 영역에 캐리어가 축적되거나 열화되는 현상이 방지되므로 안정된 동작 특성을 가질 수 있다.

도면의 간단한 설명

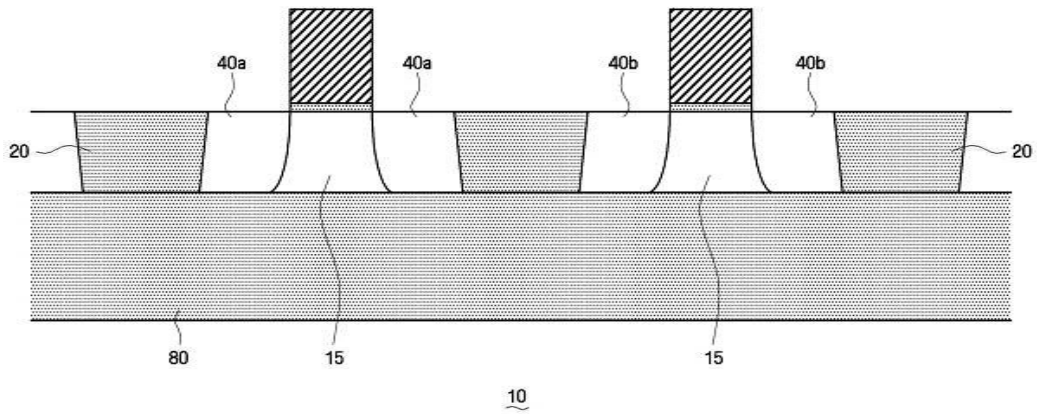
- <1> 도 1은 일반적인 SOI 기판을 사용하여 제조되는 반도체 소자의 종단면을 개략적으로 도시한 도면이다.
- <2> 도 2a 내지 3c는 본 발명의 다양한 실시예들에 의한 반도체 기판들의 종단면을 개략적으로 도시한 도면들이다.
- <3> 도 4a 내지 5c는 본 발명의 다양한 실시예들에 의한 반도체 소자들의 종단면을 개략적으로 도시한 도면들이다.
- <4> 도 6a 내지 6h는 본 발명의 일 실시예에 의한 반도체 기판 및 반도체 소자를 제조하는 방법을 설명하기 위한 도면들이다.
- <5> 도 7a 내지 7c는 본 발명의 실시예들에 의한 절연성 그래인들을 포함하는 반도체 기판들을 제조하는 방법을 예

시한 도면들이다.

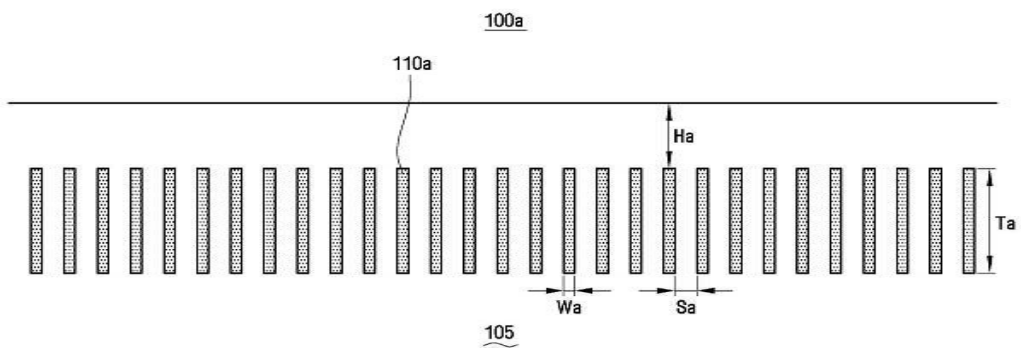
- <6> (도면의 주요부분에 대한 부호의 설명)
- <7> 100, 200, 300, 400, 500, 600, 700, 800, 900: 반도체 기판
- <8> 110: 절연성 기둥
- <9> 210: 절연성 그레이н
- <10> 305, 405, 505, 605, 705, 805, 905: 기판
- <11> 320, 420, 520, 620, 720, 820, 920: 소자 분리 영역
- <12> 330, 430, 530, 630, 730, 830, 930: 웰 영역
- <13> 340, 440, 540, 640, 740, 840, 940: 소스/드레인 영역
- <14> 350, 450, 550, 650, 750, 850, 950: 게이트 절연막
- <15> 360, 460, 560, 660, 760, 860, 960: 게이트 전극
- <16> 370, 470, 570, 670, 770, 870, 970: 게이트
- <17> 380, 480, 580, 980: 절연성 기둥
- <18> 680, 780, 880: 절연성 그레이н
- <19> W: 절연성 기둥의 폭
- <20> S: 절연성 기둥들의 상호 간격
- <21> H: 절연성 기둥과 기판 표면과의 거리
- <22> T: 절연성 기둥의 수직 높이
- <23> D: 절연성 그레이н의 직경
- <24> L: 절연성 그레이н들의 수평 간격
- <25> G: 절연성 그레이н들의 수직 간격
- <26> R: 절연성 그레이н들이 형성된 영역의 깊이
- <27> M: 이온 주입 마스크
- <28> I: 이온
- <29> P: 포토레지스트 패턴
- <30> F: 절연성 그레이н 층

도면

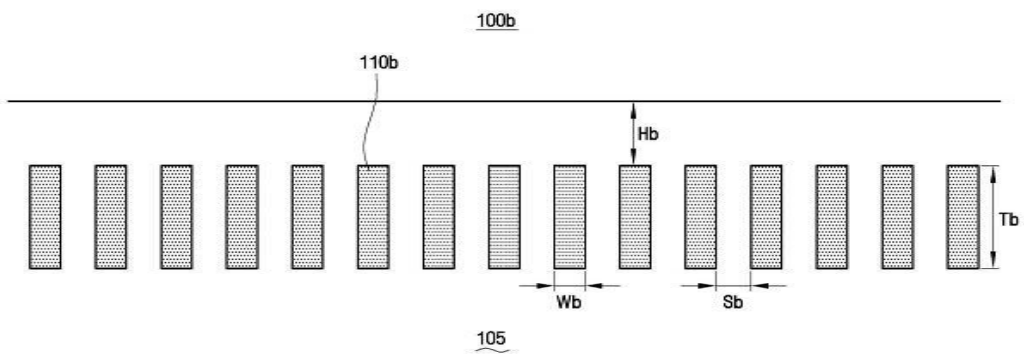
도면1



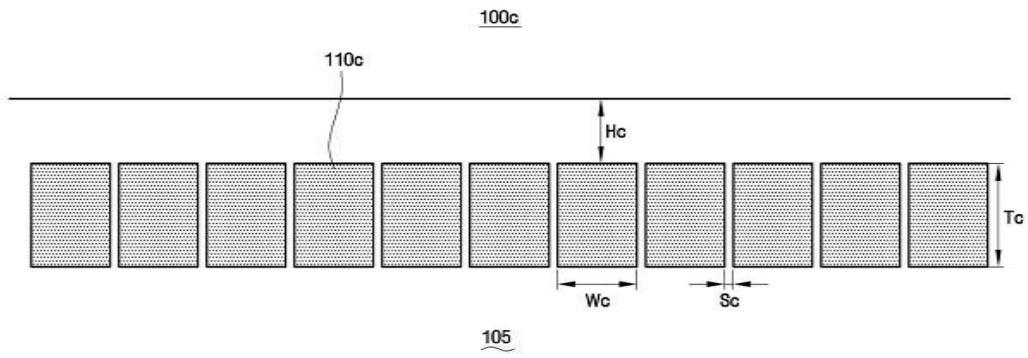
도면2a



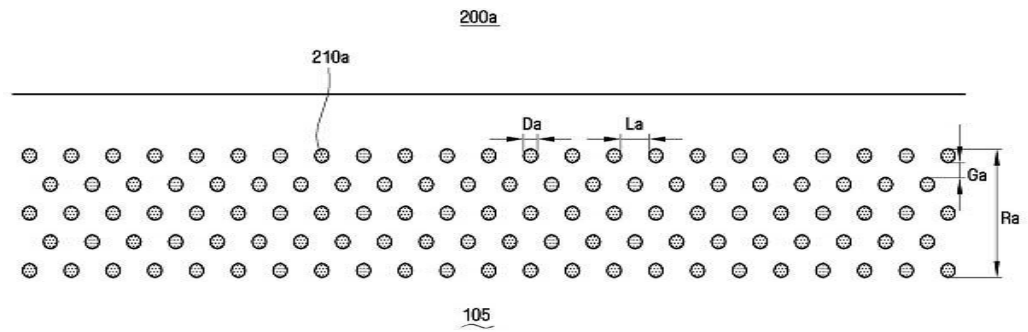
도면2b



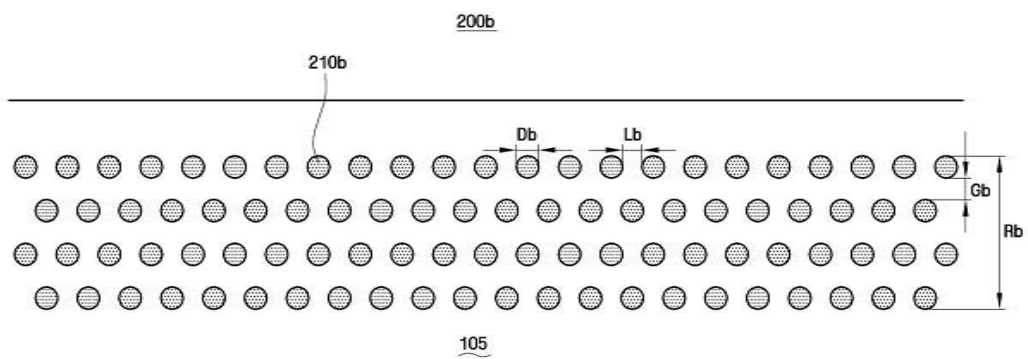
도면2c



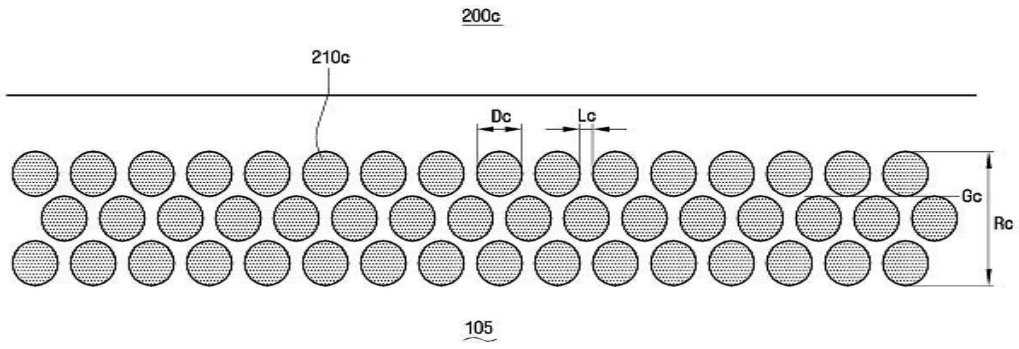
도면3a



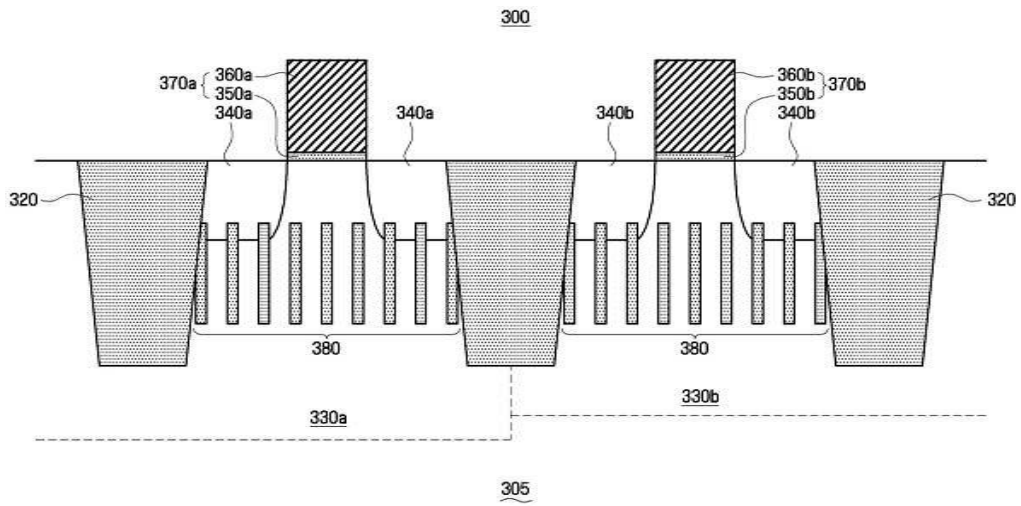
도면3b



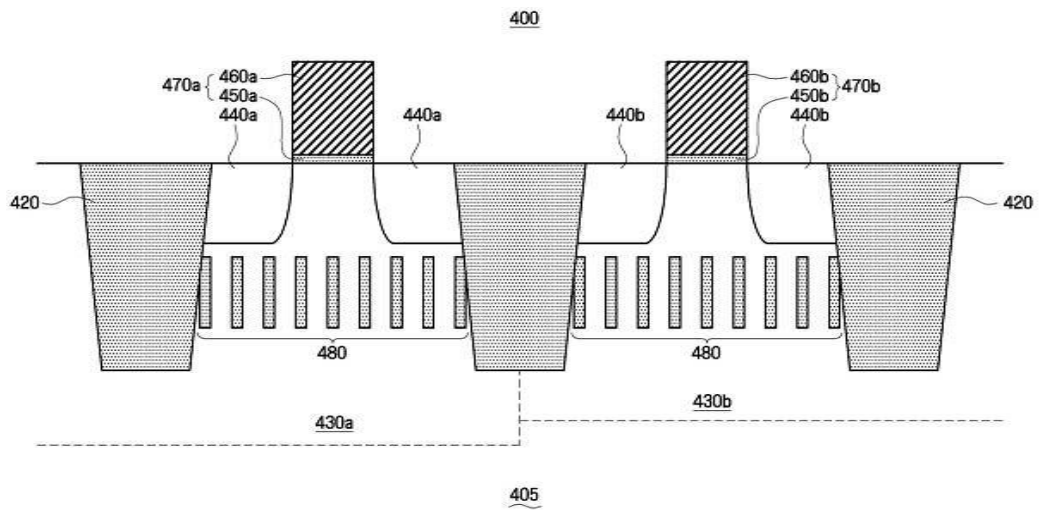
도면3c



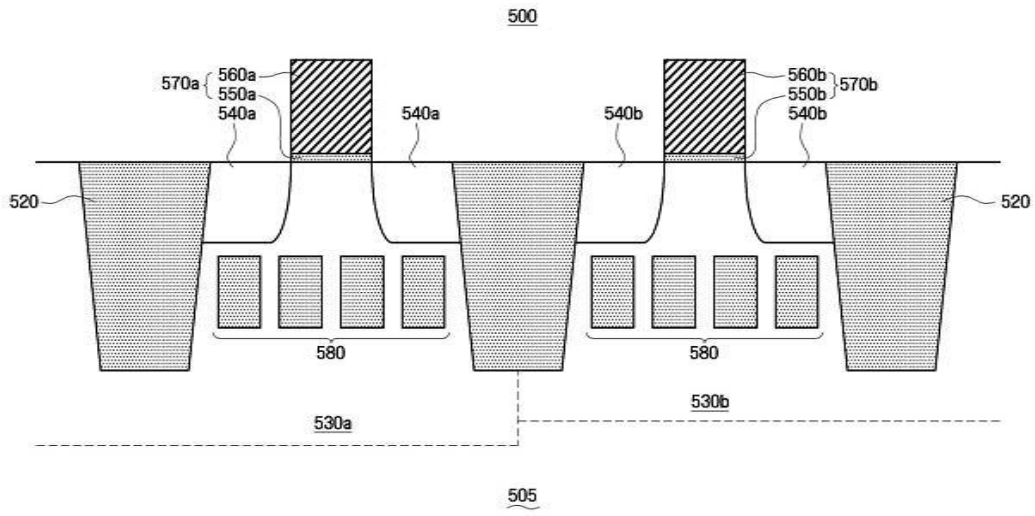
도면4a



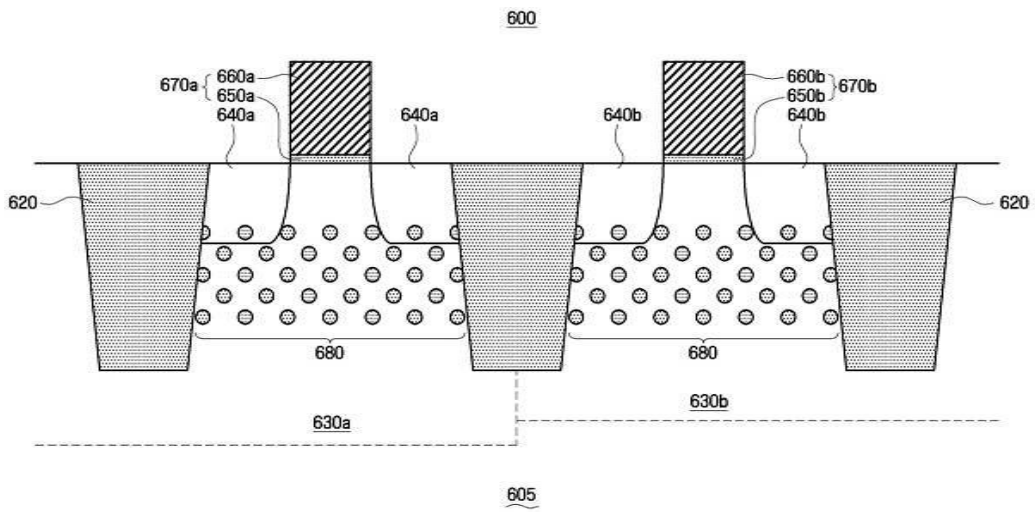
도면4b



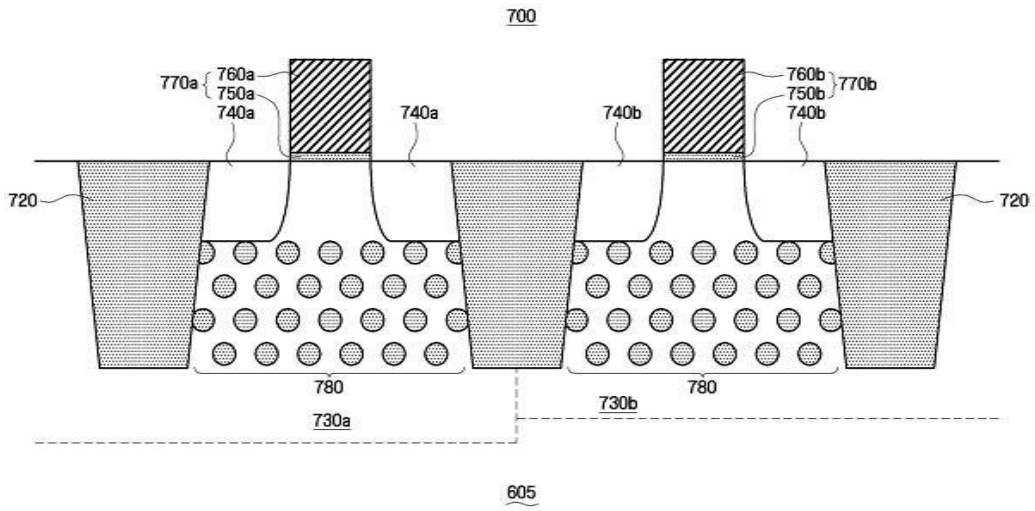
도면4c



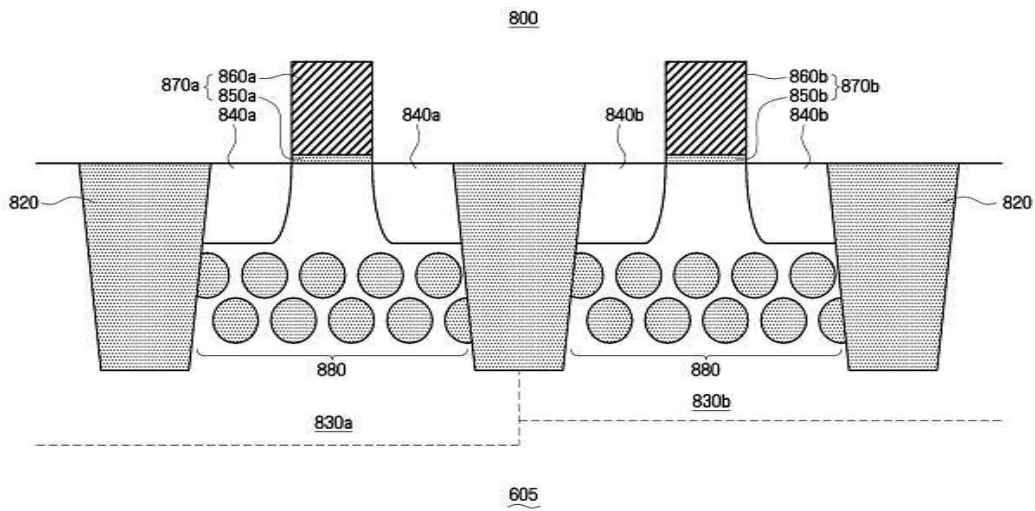
도면5a



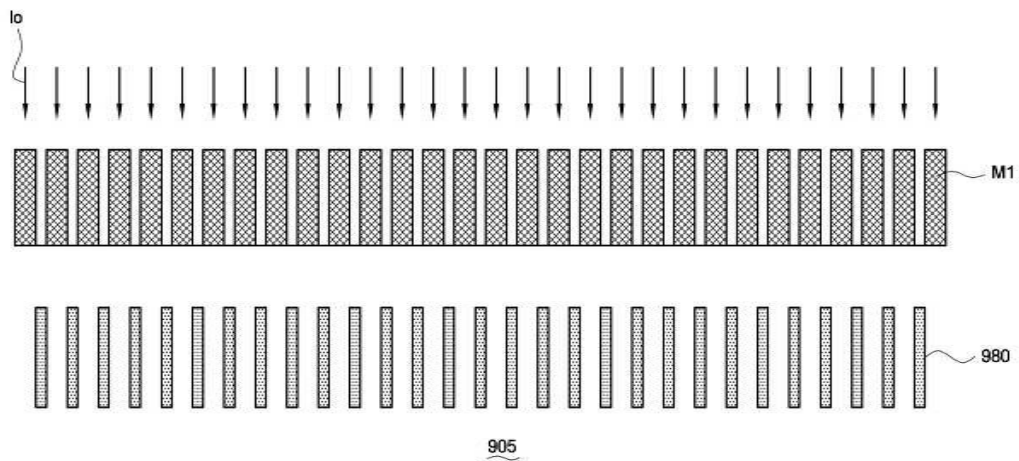
도면5b



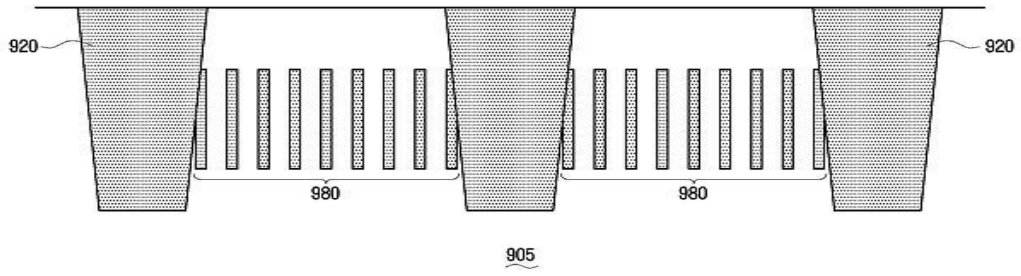
도면5c



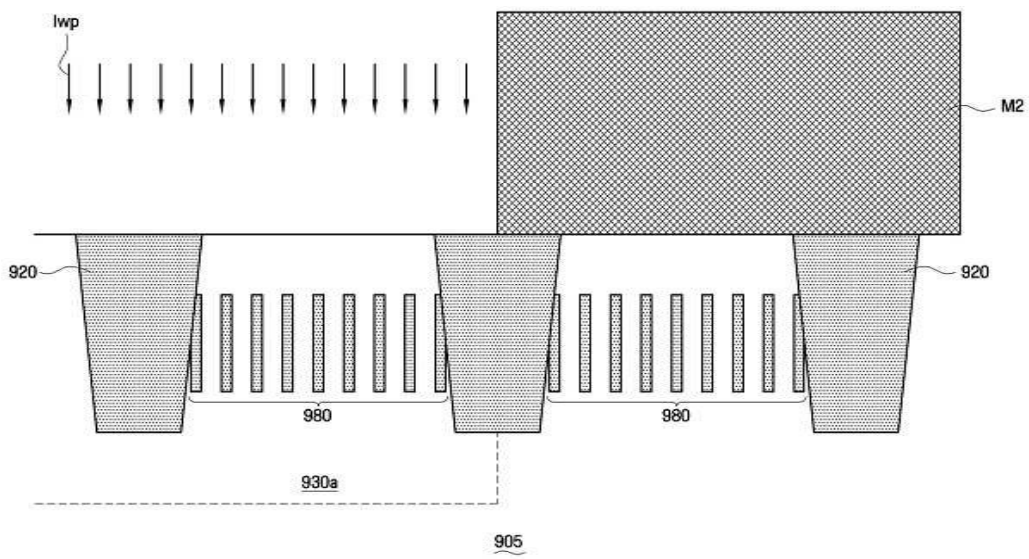
도면6a



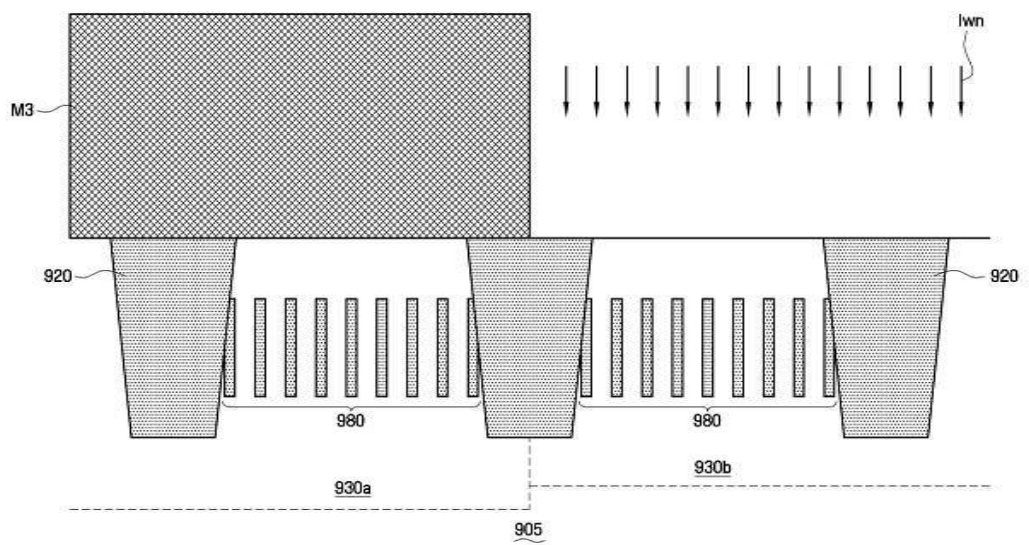
도면6b



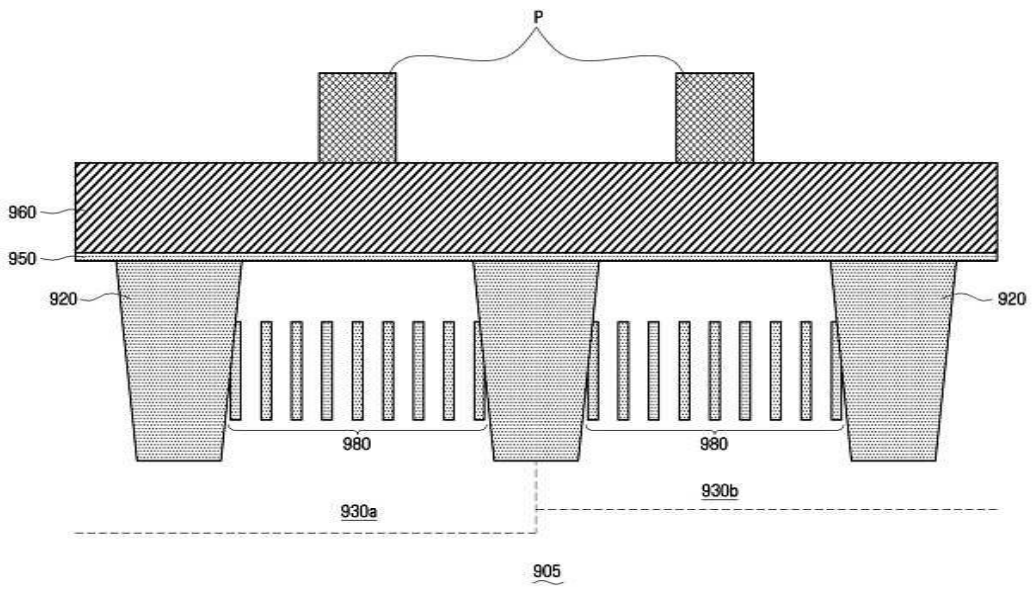
도면6c



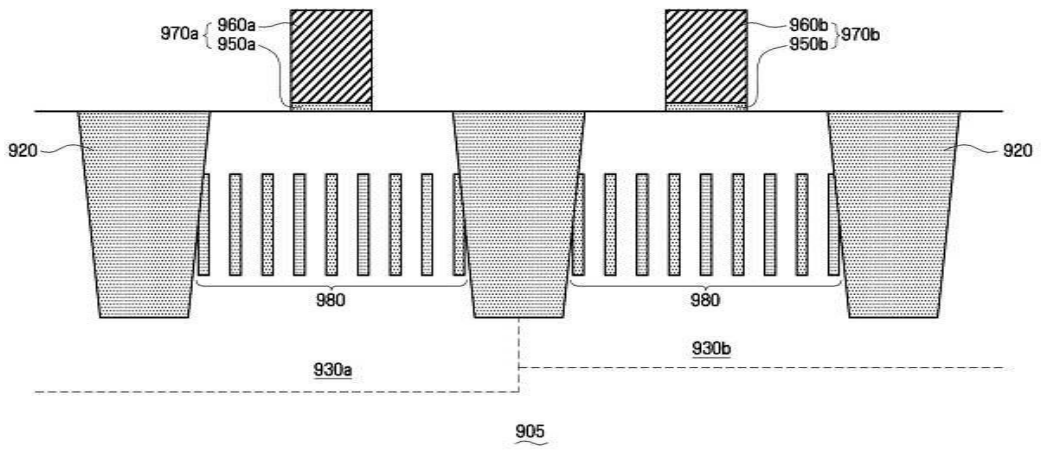
도면6d



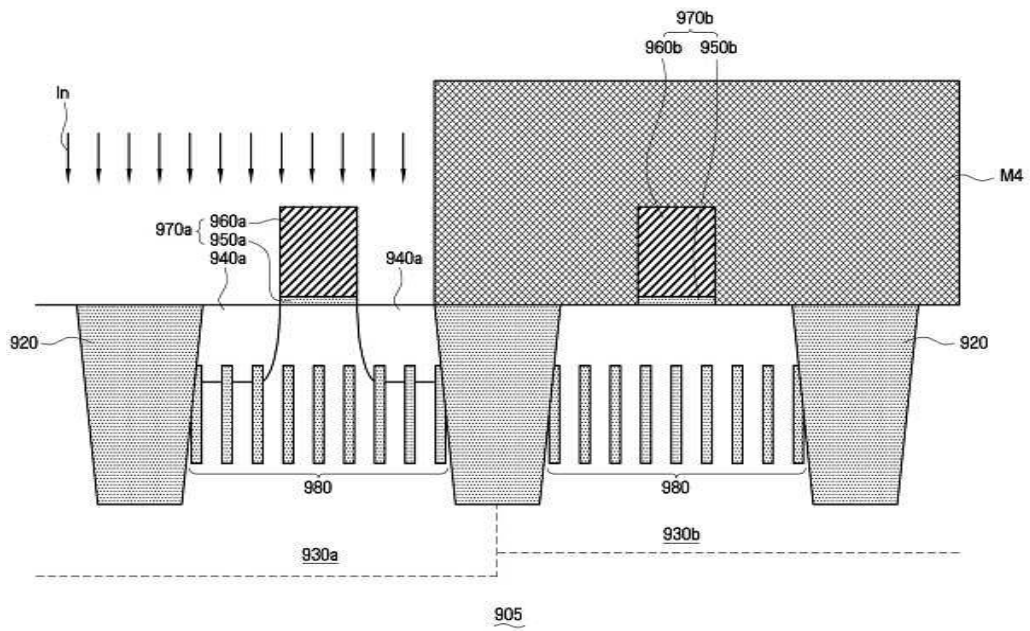
도면6e



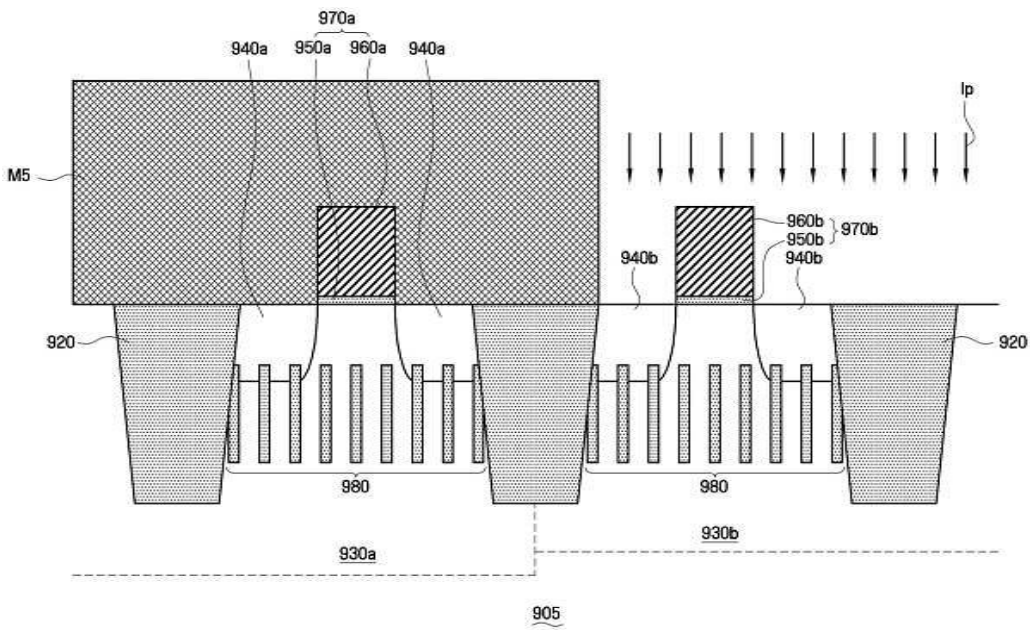
도면6f



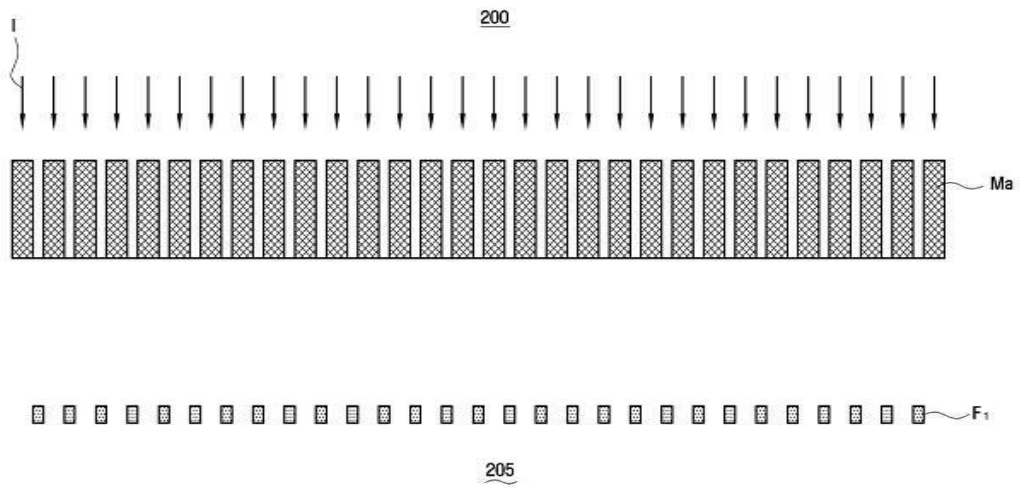
도면6g



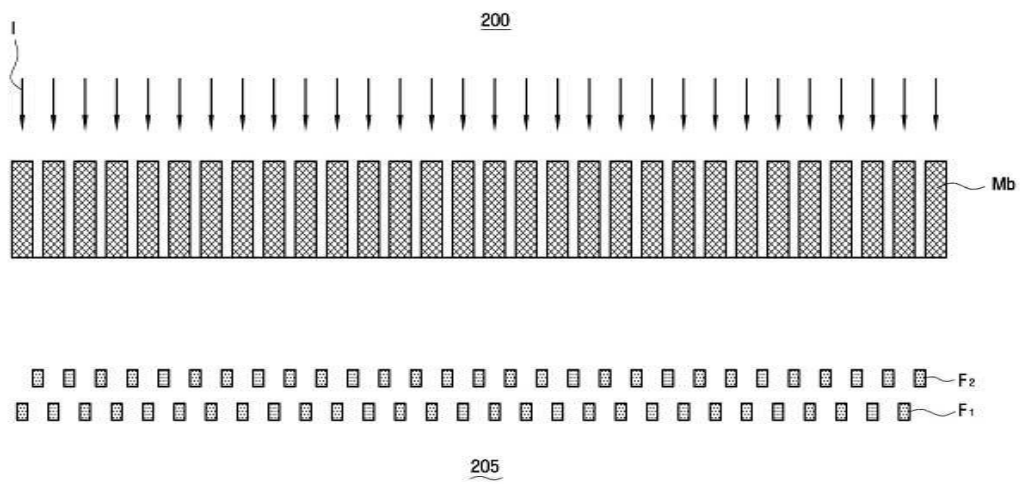
도면6h



도면7a



도면7b



도면7c

