



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2017년07월28일  
(11) 등록번호 10-1762918  
(24) 등록일자 2017년07월24일

(51) 국제특허분류(Int. Cl.)  
G11C 17/16 (2006.01) G11C 17/18 (2006.01)  
G11C 7/06 (2006.01) G11C 8/08 (2006.01)  
G11C 8/10 (2006.01) H01L 29/66 (2006.01)

(73) 특허권자  
창원대학교 산학협력단  
경상남도 창원시 의창구 창원대학교 20(퇴촌동)

(52) CPC특허분류  
G11C 17/16 (2013.01)  
G11C 17/18 (2013.01)

(72) 발명자  
김영희  
경남 창원시 성산구 외동반림로 219, 112동 1001호 (반림동, 현대아파트)

(21) 출원번호 10-2016-0071562  
(22) 출원일자 2016년06월09일  
심사청구일자 2016년06월09일

(74) 대리인  
이철희, 고윤호

(56) 선행기술조사문헌  
KR1020110048833 A  
(뒷면에 계속)

전체 청구항 수 : 총 10 항

심사관 : 한선경

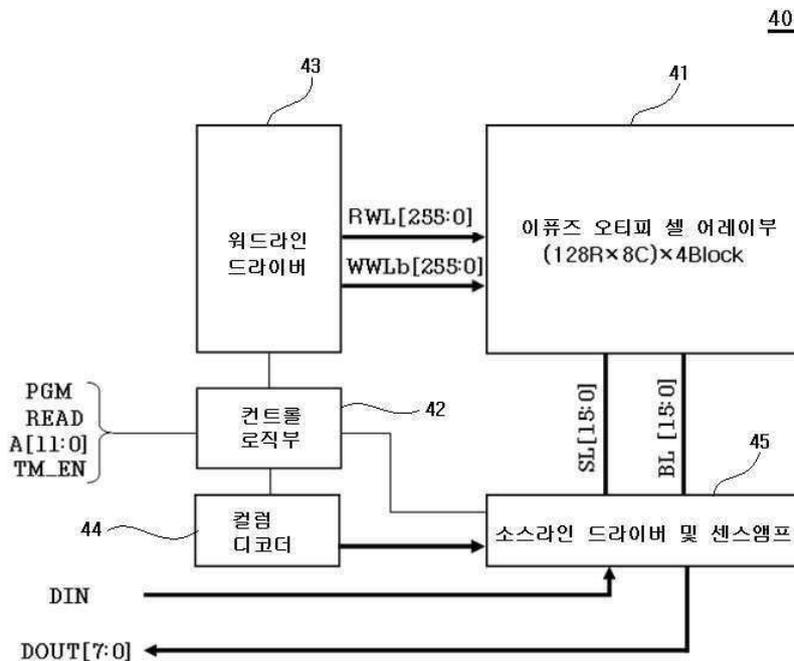
(54) 발명의 명칭 **접합 다이오드를 이용한 이퓨즈 오티피 메모리 회로**

(57) 요약

본 발명은 이퓨즈 오티피(eFuse OTP) 메모리의 면적을 줄이고 데이터 센싱 불량율을 줄이는 기술에 관한 것이다. 이를 위해 본 발명에 따른 이퓨즈 오티피 셀은 채널 폭이 작은 엔모스 트랜지스터와 기억소자인 이퓨즈 링크를 구비한다.

(뒷면에 계속)

대표도 - 도4



프로그램 선택 소자는 채널 폭이 큰 NMOS 트랜지스터 대신 DNW 안에 형성된 채널 폭이 작은 분리된 NMOS 트랜지스터의 바디인 PW와 소스 노드인 n+ 확산층 사이에 기생하는 접합 다이오드를 사용하는 NMOS-Diode eFuse OTP 셀이다.

본 발명에 따른 이퓨즈 오틀피 셀은 프로그램 모드에서 NMOS 트랜지스터에 기생하는 접합 다이오드를 이용하여 이퓨즈를 블로잉 시킨다. 그리고 읽기 모드에서는 상기 접합 다이오드를 이용하는 것이 아니고 NMOS 트랜지스터를 이용하기 때문에 다이오드의 접촉전압(contact voltage) 강하 현상이 발생되지 않아 '0' 데이터에 대한 센싱 불량이 제거된다.

또한 읽기 모드에서 채널 폭이 작은 NMOS 트랜지스터를 이용하여 비트라인에 전압을 전달하므로 오틀피 셀의 블로잉되지 않은 이퓨즈를 통해 흐르는 읽기 전류가 100 $\mu$ A 이내로 억제되어 목적하지 않은 이퓨즈가 블로잉되는 문제를 해결할 수 있다.

(52) CPC특허분류

*G11C 7/06* (2013.01)

*G11C 8/08* (2013.01)

*G11C 8/10* (2013.01)

*H01L 29/66136* (2013.01)

(56) 선행기술조사문헌

US20120209888 A1

KR101619779 B1

KR101403500 B1

US20120044736 A1

공지예외적용 : 있음

---

## 명세서

### 청구범위

#### 청구항 1

딥엔웰 안에 형성된 엔모스 트랜지스터의 바디인 피웰과 n+ 확산층 사이에 기생하는 접합 다이오드를 구비한 이퓨즈 오티피 셀이 매트릭스 형태로 배열된 이퓨즈 오티피 셀 어레이를 구비하되, 프로그램 모드에서 상기 접합 다이오드에 의하여 해당 이퓨즈 오티피 셀의 이퓨즈 링크가 블로잉되고, 읽기 모드에서는 상기 엔모스 트랜지스터에 의하여 해당 이퓨즈 오티피 셀의 이퓨즈 링크에 프로그램된 데이터가 읽혀지는 이퓨즈 오티피 셀 어레이부;

제어신호에 따라 상기 이퓨즈 오티피 셀 어레이부에 대한 프로그램 모드, 노멀 리드 모드 및 프로그램 확인 리드 모드에 적합한 내부 제어 신호를 출력하는 컨트롤 로직부;

상기 컨트롤 로직부의 제어하에 행 어드레스를 공급받아 상기 이퓨즈 오티피 셀 어레이부에 리드워드라인신호 및 라이트워드라인바신호를 출력하는 워드라인 드라이버;

상기 컨트롤 로직부의 제어하에 상기 이퓨즈 오티피 셀 어레이부의 소스라인 구동을 위하여, 열 어드레스를 디코딩하여 디코딩된 열 어드레스를 출력하는 컬럼 디코더; 및

상기 열 어드레스 및 상기 컨트롤 로직부의 제어하에 프로그램 모드에서 입력데이터에 대응되는 프로그램데이터를 상기 이퓨즈 오티피 셀 어레이부에 공급하고, 읽기 모드에서는 상기 이퓨즈 오티피 셀 어레이부로부터 공급되는 비트라인신호를 감지 및 증폭하여 그에 따른 출력데이터를 발생하는 소스라인 드라이버 및 센스앰프;를 포함하는 것을 특징으로 하는 접합 다이오드를 이용한 이퓨즈 오티피 메모리 회로.

#### 청구항 2

제1항에 있어서, 상기 엔모스 트랜지스터는

이퓨즈 블로잉을 위해 사용되는 엔모스 트랜지스터의 채널폭에 비하여 작은 것을 특징으로 하는 접합 다이오드를 이용한 이퓨즈 오티피 메모리 회로.

#### 청구항 3

제1항에 있어서, 상기 엔모스 트랜지스터는

블로잉되지 않은 이퓨즈를 통해 흐르는 읽기 전류를 통과시키되, 상기 읽기 전류는 100 $\mu$ A 이내인 것을 특징으로 하는 접합 다이오드를 이용한 이퓨즈 오티피 메모리 회로.

#### 청구항 4

제1항에 있어서, 상기 이퓨즈 오티피 셀은

게이트에 리드워드라인신호가 공급되고 일측단자에 비트라인신호가 공급되며 플로팅게이트에 소스라인신호가 공급되는 엔모스 트랜지스터; 및

일측 단자가 상기 엔모스 트랜지스터의 타측 단자에 연결되고, 상기 타측 단자에 라이트워드라인바신호가 공급되는 이퓨즈를 구비한 것을 특징으로 하는 접합 다이오드를 이용한 이퓨즈 오티피 메모리 회로.

#### 청구항 5

제1항에 있어서, 상기 이퓨즈 오티피 셀은  
 기관 상에 형성된 딥엔웰(DNW: Deep N-Well);  
 상기 딥엔웰에 형성된 엔모스 트랜지스터의 바디인 피웰; 및  
 상기 피웰에서 형성된 n+ 확산층 및 p+ 확산층을 구비하되,  
 상기 피웰과 n+ 확산층 사이에 기생하는 접합 다이오드가 해당 셀의 이퓨즈 링크를 블로잉하는데 사용되는 것을  
 특징으로 하는 접합 다이오드를 이용한 이퓨즈 오티피 메모리 회로.

**청구항 6**

제1항에 있어서, 상기 이퓨즈 오티피 메모리 회로는  
 매트릭스 구조로 배열된 4개의 이퓨즈 오티피 셀 어레이;  
 상기 이퓨즈 오티피 셀 어레이 간의 수평방향으로 사이에 각각 배열된 상기 워드라인 드라이버;  
 상기 이퓨즈 오티피 셀 어레이 간의 수직 방향으로 사이에 배열된 소스라인 드라이버; 및  
 수직 방향으로 배열된 두 개의 상기 이퓨즈 오티피 셀 어레이의 하부에 각각 배열된 데이터 출력버퍼를 포함하  
 는 센스앰프;를 포함하는 것을 특징으로 하는 접합 다이오드를 이용한 이퓨즈 오티피 메모리 회로.

**청구항 7**

제1항에 있어서, 상기 워드라인 드라이버는  
 제어신호를 낸드연산하는 제1낸드게이트;  
 상기 제1낸드게이트의 출력신호와 워드라인인에이블신호를 낸드연산하는 제2낸드게이트;  
 상기 제2낸드게이트의 출력신호를 반전시켜 출력하는 제1인버터; 및  
 워드라인인에이블신호와 상기 제1낸드게이트의 출력신호를 노아연산하여 그에 따른 리드워드라인신호를 출력하  
 는 제1노아게이트를 구비한 것을 특징으로 하는 접합 다이오드를 이용한 이퓨즈 오티피 메모리 회로.

**청구항 8**

제1항에 있어서, 상기 소스라인 드라이버 및 센스앰프는 소스라인 드라이버를 구비하되,  
 상기 소스라인 드라이버는  
 내부프로그램신호와 제어신호를 낸드연산하는 제3낸드게이트;  
 상기 제3낸드게이트의 출력신호의 위상을 반전시키는 제2인버터;  
 상기 제2인버터의 출력신호와 입력데이터를 낸드연산하는 제4낸드게이트; 및  
 직렬 연결되어 상기 제4낸드게이트의 출력신호의 위상을 순차적으로 반전시켜 그에 따른 소스라인신호를 출력하  
 는 제3 내지 제5인버터;를 구비한 것을 특징으로 하는 접합 다이오드를 이용한 이퓨즈 오티피 메모리 회로.

**청구항 9**

제1항에 있어서, 상기 소스라인 드라이버 및 센스앰프에 구비된 센스앰프는  
 비트라인로드바 신호 및 비트라인프리차지 신호에 따라 비트라인을 제어하는 비트라인 제어부;  
 비트라인신호와 기준전압의 차동전압을 센싱하여 그에 따른 출력데이터를 발생하는 센스 앰프부;

상기 센스 앰프에서 출력되는 데이터를 래치하는 RS 래치; 및

상기 RS 래치에서 래치된 출력데이터를 완충 증폭하여 출력하는 출력버퍼;를 구비한 것을 특징으로 하는 접합 다이오드를 이용한 이퓨즈 오티피 메모리 회로.

**청구항 10**

제9항에 있어서, 센스 앰프부는

센스앰프인에이블신호가 활성화될 때 비트라인신호와 기준전압을 비교하는 방식으로 센싱하여 그에 따른 전압을 두 개의 노드에 출력하는 센스앰프회로를 구비한 것을 특징으로 하는 접합 다이오드를 이용한 이퓨즈 오티피 메모리 회로.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 이퓨즈(eFuse) 오티피(OTP: One-Time Programmable) 메모리의 블로잉(blowing) 기술에 관한 것으로, 특히 프로그램모드에서 딥엔웰(DNW: Deep N-Well) 안에 형성된 채널 폭이 작은 엔모스 트랜지스터의 바디인 피웰(PW: P-Well)과 n+ 확산층 사이에 기생하는 접합 다이오드를 사용하여 이퓨즈 링크를 블로잉할 수 있도록 한 접합 다이오드를 이용한 이퓨즈 오티피 메모리 회로에 관한 것이다.

**배경 기술**

[0002] 시모스(CMOS) 이미지 센서는 렌즈를 통해 입사되는 광자속(photon flux)을 디지털 신호로 변환하는 광전자 소자(opto-electronic device)이다. 입사되는 빛의 광자(photon)가 전하(charge)로 변환되고 집적화(integration)된 전하가 전압으로 변환된다. 그리고 픽셀로부터 독출된 전압은 A/D 변환을 거쳐 디지털 신호로 출력된다. CMOS 이미지 센서는 스마트폰, 디지털 카메라 등 전통 시장을 기반으로 최근에는 무인자동차, 드론, 스마트홈, 웨어러블 기기에 이르는 IoT(Internet of Things) 영역으로 확산이 가속화되고 있다.

[0003] CMOS 이미지 센서는 아날로그 회로 트리밍과 캘리브레이션(calibration), 칩 ID, 암호화키(encryption key), SRAM 리페어 어드레스(repair address), 배드 픽셀 어드레스(bad pixel address) 등을 저장하는 용도로 OTP 메모리 IP(Intellectual Property)가 많이 사용되고 있다. CIS(CMOS Image Sensor)에서 사용되는 오티피 메모리는 추가 공정이 필요 없는 이퓨즈나 안티퓨즈(antifuse) 방식의 로직 공정 기반의 이퓨즈 오티피 셀을 필요로 한다. 안티퓨즈 방식의 이퓨즈 오티피 셀은 얇은 게이트 산화막에 항복전압(breakdown voltage)보다 높은 전압을 인가하여 전기적으로 단락시키는 방식으로 프로그램한다. 반면 이퓨즈 방식의 오티피 오티피 셀은 폴리실리콘 퓨즈(polysilicon fuse)나 메탈 퓨즈(metal fuse)에 10mA~30mA 정도의 과전류를 흘려 이퓨즈를 블로잉(blowing)하여 끊어주는 방식으로 프로그램한다.

[0004] 안티퓨즈 방식의 오티피 메모리는 이퓨즈 방식의 오티피 메모리에 비하여 셀의 크기가 작고 프로그램과 읽기 동작을 바이트 단위로 수행하는 장점이 있는 반면, 게이트 산화막의 두께가 얇아지면서 포스트 프로그램(Post-Program) 저항의 값이 수 MΩ까지 나와 센싱 불량 발생 가능성이 있다. 그리고 고전압을 만들어주기 위한 전하펌프 회로가 필요하므로 소용량의 오티피 메모리에서는 이퓨즈 오티피 메모리보다 면적이 큰 단점이 있다. 이를 감안하여, 비교적 용량이 작은 오티피 메모리로서 설계가 쉬운 이퓨즈 오티피 메모리가 많이 사용되고 있다. 아래의 [표 1]은 이퓨즈 방식의 오티피 메모리와 안티퓨즈 방식의 오티피 메모리의 특성을 비교한 것이다.

[표 1]

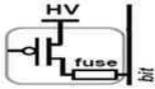
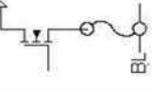
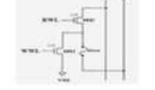
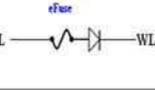
Items	eFuse OTP	Antifuse OTP
Fuse	Polysilicon, Metal	thin gate oxide
Program method	blowing	broken
Program voltage	medium voltage	high voltage
Program current	several tens $\mu$ A	several hundreds $\mu$ A
Program time	several tens $\mu$ s	Several $\mu$ s

[0005]

[0006]

이퓨즈 오티피 셀은 한 개의 프로그램 선택 소자와 하나의 기억소자(memory element)를 구비한다. 이퓨즈 오티피 셀의 기술개발 동향은 아래의 [표 2]와 같다. 즉, 프로그램 선택 소자로 PMOS 트랜지스터를 사용하는 이퓨즈 오티피 셀 [4], NMOS 트랜지스터를 사용하는 이퓨즈 오티피 셀 [5][6] 및 접합 다이오드를 사용하는 이퓨즈 오티피 셀 [7][8]이 있다. 그리고, 읽기 포트 (read port)와 프로그램 포트(program port)가 분리된 형태인 듀얼 포트 (dual port) 이퓨즈 오티피 셀 [6]이 있다. 듀얼 포트 이퓨즈 오티피 셀은 일정치 이상의 프로그램 전류를 흘릴 수 있는 채널폭을 갖는 NMOS 트랜지스터와 읽기 전류(read current)를 줄일 수 있도록 작은 채널 폭을 갖는 읽기용 NMOS 트랜지스터를 구비한다. 읽기용 NMOS 트랜지스터의 채널 폭을 작게 하는 이유는 프로그램 되지 않은 이퓨즈 오티피 셀을 읽을 때 전류밀도가 일정치 이상의 전류가 이퓨즈 링크(link)에 흐르면서 EM (Electro-Migration) 현상에 의해 블로잉되는 문제를 해결하기 위한 것이다 [6]. 한편, 기억소자로 니켈(Ni)이나 코발트 실리사이드 폴리실리콘(Cobalt silicide polysilicon), 메탈 콘택(metal contact) 등이 사용되고 있다. 이퓨즈를 블로잉시키기 위해서는 10~30mA의 프로그램 전류가 필요하며, 일정치 이상의 프로그램 전류를 흘리기 위해서는 일정치 이상의 채널 폭을 갖는 MOS 트랜지스터가 필요하므로 그만큼 이퓨즈 오티피 셀의 면적이 커진다. 반면, 다이오드를 프로그램 선택 소자로 사용하는 경우 접합 면적이 작아도 일정치 이상의 전류를 흘릴 수 있어 이퓨즈 오티피 셀의 면적을 줄일 수 있다. 상기 다이오드를 형성하는 방법은 p+ 폴리실리콘과 n+ 폴리실리콘을 부착(contact)한 폴리실리콘 다이오드 [7]와 NW(N-Well) 안의 p+와 NW 사이의 p+/NW 접합 다이오드 [8]가 있다. 읽기 동작 시 블로잉되지 않은 이퓨즈를 통해 일정치 이상의 전류가 흘러 EM 현상에 의해 블로잉되는 문제점을 해결하기 위해서는 비트라인 풀업 저항의 값이 커야한다. 이와 같은 경우 비트라인의 리드아웃(read-out) 전압은 거의 0V 정도가 되어야 한다. 다이오드를 프로그램 선택 소자로 사용하면 이퓨즈 오티피 셀의 사이즈를 줄일 수 있지만, 읽기 모드 시 다이오드의 접촉전압(contact voltage) 강하로 인하여 '0' 데이터에 대한 센싱 불량 발생될 수 있다.

[표 2]

Ref.	Process	Cell Structure	Cell Size	Memory Density	eFuse Type	Program Device
[4]	Intel 22nm CMOS		16.4 $\mu\text{m}^2$	80b	Metal	PMOS
[5]	IBM 45nm SOI CMOS		3.6 $\mu\text{m}^2$	4K	nikel silicide polysilicon	NMOS
[6]	Hynix 90nm CIS		74.23 $\mu\text{m}^2$	512b	Cobalt silicide polysilicon	NMOS
[7]	TSMC 0.18 $\mu\text{m}$ CMOS		2.33 $\mu\text{m}^2$		Contact	Polysilicon Diode
[8]	0.18 $\mu\text{m}$ CMOS			64Kb	silicide polysilicon	Junction Diode

[0007]

[0008]

도 1은 다이오드를 프로그램 선택 소자로 사용하는 종래 이퓨즈 오틀피 셀의 회로를 나타낸 것으로 이에 도시한 바와 같이 비트라인신호(BL)의 단자와 워드라인바신호(WLb)의 단자 사이에 직렬 연결된 이퓨즈(eFuse11) 및 다이오드(D11)를 구비한다. 상기 다이오드(D11)는 폴리실리콘 다이오드로 제조되거나 p+/NW 접합 다이오드로 제조될 수 있다.

[0009]

도 2는 상기 폴리실리콘 다이오드의 구조를 나타낸 단면도로서 이에 도시한 바와 같이 기판(21) 상에 p+ 폴리실리콘층(22)과 n+ 폴리실리콘층(23)을 접착(contact)한 구조로 되어 있다.

[0010]

도 3a 내지 도 3c는 종래의 이퓨즈 오틀피 셀에서 p+/NW 접합 다이오드의 구조를 나타낸 단면도이다. 도 3a는 다이오드의 양극(anode)인 p+ 확산층(diffusion layer)(34)과 n+ 확산층(33)을 격리 산화막(STI: Shallow Trench Isolation)(35)을 이용하여 격리한 다이오드의 공정단면도를 나타낸 것이다. 여기서, p+ 확산층(34)과 n+ 확산층(33)의 사이에 기생하는 엔웰(NW)(32)의 저항값은 상기 격리 산화막(35)에 의해 크게 나타난다. 상기 엔웰(32)의 저항값을 줄이는 방법으로써, 도 3b와 도 3c에서와 같이 더미 시모스(dummy CMOS) 게이트와 SBL(Silicide Block Layer) 격리 기술을 이용하여 p+ 확산층(34)과 n+ 확산층(33) 사이의 엔웰 경로를 최소화하는 방법이 있다.

[0011]

한편, 다이오드를 프로그램 선택 소자로 사용하는 경우 이퓨즈 오틀피 셀의 사이즈를 줄일 수 있지만, 읽기 동작 시 블로잉되지 않은 이퓨즈를 통해 일정치 이상의 전류가 흘러 EM (Electro-Migration)에 의해 블로잉되는 문제점이 있다. 이와 같은 문제점을 해결하기 위해 비트라인 풀업 로드 저항값이 일정치 이상이 되어야 한다. 이와 같은 경우 비트라인의 리드아웃(read-out) 전압은 거의 0V 부근이 되어야 한다. 다이오드를 프로그램 선택 소자로 사용하면 이퓨즈 오틀피 셀의 사이즈를 줄일 수 있지만, 읽기 모드 시 다이오드의 접촉전압 강하로 인하여 '0' 데이터에 대한 센싱 불량이 발생할 수 있다. 아래의 [표 3]은 다이오드를 선택 소자로 사용한 이퓨즈 오틀피 셀이 블로잉되지 않은 경우에 대한 비트라인 전압의 모의실험 결과를 나타낸 것으로 0.91V까지 올라가는 것을 알 수 있다.

[표 3]

VDD	Temp	SS model	SF model	TT model	FS model	FF model
3V	-40℃	0.83V	0.86V	0.84V	0.83V	0.85V
	25℃	0.83V	0.85V	0.84V	0.83V	0.85V
	85℃	0.84V	0.86V	0.84V	0.83V	0.86V
3.3V	-40℃	0.85V	0.88V	0.87V	0.85V	0.88V
	25℃	0.85V	0.88V	0.86V	0.85V	0.87V
	85℃	0.84V	0.88V	0.87V	0.85V	0.88V
3.6V	-40℃	0.88V	0.91V	0.89V	0.88V	0.9V
	25℃	0.87V	0.9V	0.88V	0.87V	0.9V
	85℃	0.88V	0.9V	0.89V	0.87V	0.91V

[0012]

[0013]

이와 같이 종래 기술에 의한 이퓨즈 오틀피 메모리 회로는 일정치 이상의 프로그램 전류를 흘리기 위해서는 일정치 이상의 채널 폭을 갖는 MOS 트랜지스터가 필요하므로 그만큼 이퓨즈 오틀피 셀의 면적이 커지는 문제점이 있다.

[0014]

또한, 다이오드를 프로그램 선택 소자로 사용함으로써 이퓨즈 오틀피 셀의 사이즈를 줄일 수 있지만, 읽기 모드 시 다이오드의 접촉전압(contact voltage) 강화로 인하여 '0' 데이터에 대한 센싱 불량 발생하는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

[0015]

본 발명이 해결하고자 하는 과제는 이퓨즈 오틀피 셀의 어레이를 구비한 이퓨즈 오틀피 메모리에 있어서, 프로그램 모드에서 딥엔웰 안에 형성된 채널 폭이 작은 엔모스 트랜지스터의 바디인 피델과 n+ 확산층 사이에 기생하는 접합 다이오드를 사용하여 해당 셀의 이퓨즈 링크를 블로잉하고 읽기 모드에서는 엔모스 트랜지스터를 이용하여 해당 셀에 프로그램된 데이터를 읽어낼 수 있도록 하는데 있다.

**과제의 해결 수단**

[0016]

상기 기술적 과제를 이루기 위한 본 발명의 실시예에 따른 접합 다이오드를 이용한 이퓨즈 오틀피 메모리 회로는, 딥엔웰 안에 형성된 엔모스 트랜지스터의 바디인 피델과 n+ 확산층 사이에 기생하는 접합 다이오드를 구비한 이퓨즈 오틀피 셀이 매트릭스 형태로 배열된 이퓨즈 오틀피 셀 어레이를 구비하되, 프로그램 모드에서 상기 접합 다이오드에 의하여 해당 이퓨즈 오틀피 셀의 이퓨즈 링크가 블로잉되고, 읽기 모드에서는 상기 엔모스 트랜지스터에 의하여 해당 이퓨즈 오틀피 셀의 이퓨즈 링크에 프로그램된 데이터가 읽혀지는 이퓨즈 오틀피 셀 어레이부; 제어신호에 따라 상기 이퓨즈 오틀피 셀 어레이부에 대한 프로그램 모드, 노멀 리드 모드 및 프로그램 확인 리드 모드에 적합한 내부 제어 신호를 출력하는 컨트롤 로직부; 상기 컨트롤 로직부의 제어하에 행 어드레스를 공급받아 상기 이퓨즈 오틀피 셀 어레이부에 리드워드라인신호 및 라이트워드라인바신호를 출력하는 워드라인 드라이버; 상기 컨트롤 로직부의 제어하에 상기 이퓨즈 오틀피 셀 어레이부의 소스라인 구동을 위하여, 열 어드레스를 디코딩하여 디코딩된 열 어드레스를 출력하는 컬럼 디코더; 및 상기 열 어드레스 및 상기 컨트롤 로직부의 제어하에 프로그램 모드에서 입력데이터에 대응되는 프로그램데이터를 상기 이퓨즈 오틀피 셀 어레이부에 공급하고, 읽기 모드에서는 상기 이퓨즈 오틀피 셀 어레이부로부터 공급되는 비트라인신호를 감지 및 증폭하여 그에 따른 출력데이터를 발생하는 소스라인 드라이버 및 센스앰프;를 포함하는 것을 특징으로 한다.

**발명의 효과**

[0017]

본 발명은 이퓨즈 오틀피(eFuse OTP) 메모리의 프로그램 모드에서 딥엔웰 안에 형성된 채널 폭이 작은 엔모스 트랜지스터의 바디인 피델과 n+ 확산층 사이에 기생하는 접합 다이오드를 사용하여 해당 셀의 이퓨즈 링크를 블로잉하고, 읽기 모드에서는 엔모스 트랜지스터를 이용하여 해당 셀에 프로그램된 데이터를 읽어냄으로써, 이퓨즈 오틀피 메모리의 면적이 줄어들고 데이터 센싱 불량률이 줄어드는 효과가 있다.

[0018] 그리고, 읽기 모드에서 채널 폭이 작은 엔모스 트랜지스터를 이용하여 비트라인에 전압을 전달하므로 오틀피 셀의 블로잉되지 않은 이퓨즈를 통해 흐르는 읽기 전류가 100 $\mu$ A 이내로 억제되어 목적하지 않은 이퓨즈가 블로잉되는 것을 방지할 수 있는 효과가 있다.

**도면의 간단한 설명**

- [0019] 도 1은 다이오드를 프로그램 선택 소자로 사용하는 종래 이퓨즈 오틀피 셀의 회로도이다.
- 도 2는 종래의 이퓨즈 오틀피 셀에서 폴리실리컨 다이오드의 구조를 나타낸 단면도이다.
- 도 3a 내지 도 3c는 종래의 이퓨즈 오틀피 셀에서 p+/NW 접합 다이오드의 구조를 나타낸 단면도이다.
- 도 4는 본 발명의 실시예에 따른 접합다이오드를 이용한 이퓨즈 오틀피 메모리 회로의 블록도이다.
- 도 5는 본 발명의 실시예에 따른 이퓨즈 오틀피 셀의 상세 회로도이다.
- 도 6은 본 발명의 실시예에 따른 이퓨즈 오틀피 셀에서의 엔모스 트랜지스터의 단면도이다.
- 도 7은 본 발명의 실시예에 따른 이퓨즈 오틀피 메모리 회로의 포맷도이다.
- 도 8은 도 4에서 워드라인 드라이버의 상세 회로도이다.
- 도 9는 도 4에서 소스라인 드라이버의 상세 회로도이다.
- 도 10은 도 4에서 센스앰프의 상세 회로도이다.
- 도 11a 및 도 11b는 이퓨즈 오틀피 셀에 대한 프로그램 모드에서의 모의실험 결과를 나타낸 파형도이다.
- 도 12a 및 도 12b는 이퓨즈 오틀피 셀에 대한 리드 모드에서의 모의실험 결과를 나타낸 파형도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0020] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.
- [0021] 도 4는 본 발명의 실시예에 따른 이퓨즈 오틀피 메모리 회로의 블록도로서 이에 도시한 바와 같이, 이퓨즈 오틀피 메모리 회로(40)는 이퓨즈 오틀피 셀 어레이부(eFuse OTP Cell Array Unit)(41), 컨트롤 로직부(42), 워드라인 드라이버(43), 컬럼 디코더(44) 및 소스라인(Source Line) 드라이버 및 센스앰프(45)를 구비한다.
- [0022] 이퓨즈 오틀피 메모리 회로(40)에 사용되는 어드레스는 행 어드레스(row address)인 A[10:3], 열 어드레스(column address)인 A[2:0]가 있고 이퓨즈 오틀피 셀 어레이부(41)에서 왼쪽 블록과 오른쪽 블록을 선택해주는 블록 어드레스(block address) A[11]이 있다.
- [0023] 이퓨즈 오틀피 셀 어레이부(41)의 셀 배열 형태나 용량은 특별하게 한정되지 않으나, 본 실시예에서는 이퓨즈 오틀피 셀이 128행×8열로 배열된 4Kb 용량인 것을 예로 하여 설명한다. 프로그램 모드에서 딥엔웰 안에 형성된 채널 폭이 작은 엔모스 트랜지스터의 바딘인 피웰과 n+ 확산층 사이에 기생하는 접합 다이오드에 의하여 상기 이퓨즈 오틀피 셀 어레이부(41)상의 해당 이퓨즈 오틀피 셀의 이퓨즈 링크가 블로잉되고, 읽기 모드에서는 엔모스 트랜지스터에 의하여 해당 이퓨즈 오틀피 셀의 이퓨즈 링크에 프로그램된 데이터가 읽혀진다.
- [0024] 도 5는 본 발명의 실시예에 따른 상기 이퓨즈 오틀피 셀의 상세 회로를 나타낸 것으로 이에 도시한 바와 같이, 게이트에 리드워드라인신호(RWL)가 공급되고 일측단자(드레인)에 비트라인신호(BL)가 공급되며 플로팅게이트에 소스라인신호(SL)가 공급되는 일정치 이하의 채널폭을 갖는 엔모스 트랜지스터(MN51); 및 일측 단자가 상기 엔모스 트랜지스터(MN51)의 타측 단자(소오스)에 연결되고, 타측 단자에 라이트워드라인바신호(WWLb)가 공급되는 이퓨즈(eFuse51)를 구비한다.
- [0025] 도 6은 상기 엔모스 트랜지스터(MN51)의 단면도로서 이에 도시한 바와 같이, 기판(61) 상에 형성된 딥엔웰(DNW: Deep N-Well)(62), 상기 딥엔웰(62)에 형성된 엔모스 트랜지스터의 바딘인 피웰(PW: P-Well)(63), 상기 피웰(63)에서 소정의 간격을 두고 형성된 n+ 확산층(64) 및 p+ 확산층(diffusion layer)(65)을 구비한다.
- [0026] 도 5의 이퓨즈 오틀피 셀 회로에 대한 동작 모드별 바이어스 전압은 아래의 [표 4a] 및 [표 4b]와 같다. 프로그램 모드에서 '1'로 프로그램 되는 이퓨즈 오틀피 셀의 소스라인신호(SL)는 전원전압(VDD)으로 구동되고, 라이트워드라인바신호(WWLb)는 0V로 구동된다. 읽기 모드에서 상기 라이트워드라인바신호(WWLb)는 WWLb은 0V로 구동되고, 리드워드라인신호(RWL)는 전원전압(VDD)으로 구동된다. 이에 따라 '1'로 프로그램 된 이퓨즈 오틀피 셀로

부터 '1'의 출력데이터(DOUT)가 출력되고, '0'으로 프로그램된 이퓨즈 오티피 셀로부터 '0'의 출력데이터(DOUT)가 출력된다.

[표 4a]

	Non-Selected Row Selected Column		Selected Row Selected Column		Selected Row Non-Selected Col	Non-Selected Row Non-Selected Col
	DIN=0	DIN=1	DIN=0	DIN=1		
RWL	0V	0V	0V	0V	0V	0V
WWLb	VDD	VDD	0V	0V	0V	VDD
SL	0V	VDD	0V	VDD	0V	0V
BL	Floating	VDD-V <sub>γ</sub>	Floating	VDD-V <sub>γ</sub>	Floating	Floating
DOUT	X	X	X	X	X	X
eFuse	Unblown	Unblown	Unblown	Blown	Unblown	Unblown

[0027]

[표 4b]

	Non-Selected Row Selected Column		Selected Row Selected Column		Selected Row Non-Selected Col		Non-Selected Row Non-Selected Col	
	DIN=0	DIN=1	DIN=0	DIN=1	DIN=0	DIN=1	DIN=0	DIN=1
RWL	0V	0V	VDD	VDD	0V	0V	VDD	VDD
WWLb	0V	0V	0V	0V	0V	0V	0V	0V
SL	0V	0V	0V	0V	0V	0V	0V	0V
BL	0V	VDD	0V	VDD	0V	VDD	0V	VDD
DOUT	0	1	0	1	X	X	X	X
eFuse	Unblown	Blown	Unblown	Blown	Unblown	Blown	Unblown	Blown

[0028]

[0029]

프로그램 모드에서 비트라인신호(BL)가 엔모스 트랜지스터(MN51)의 바디(body)인 피웰(PW: P-We11)(63)과 n+ 확산층(64)의 사이에 기생하는 접합 다이오드를 통해 기억소자인 이퓨즈(eFuse51)에 공급된다. 이에 따라, 상기 이퓨즈(eFuse51)가 열적 파괴에 의해 블로잉된다. 상기 엔모스 트랜지스터(MN51)의 채널폭은 통상의 이퓨즈 블로잉을 위해 사용하는 엔모스 트랜지스터의 채널폭에 비하여 작게 설계되는 것이 바람직하다. 왜냐하면, 다이오드를 프로그램 선택 소자로 이용하는 경우 접합 면적이 작아도 일정치 이상의 전류를 흘릴 수 있기 때문이다.

[0030]

읽기 모드에서 상기 접합 다이오드를 이용하는 것이 아니라 상기 채널 폭이 작은 엔모스 트랜지스터(MN51)를 이용하여 비트라인신호(BL)를 전달하므로 상기 블로잉되지 않은 이퓨즈(eFuse51)를 통해 흐르는 읽기 전류를 소정치(예: 100μA) 이내로 억제하여 블로잉되지 않은 이퓨즈(eFuse51)가 본의 아니게 블로잉되는 문제를 해결할 수 있다. 그리고, 다이오드의 접촉 전압(contact voltage) 강하 문제가 해소되어 '0' 데이터에 대한 센싱 불량 문제가 발생되지 않는다.

[0031]

아래의 [표 5]는 본 발명의 실시예에 따른 이퓨즈 오티피 메모리 회로(40)의 주요 특징을 나타낸 것이다. 여기서, 이퓨즈 오티피 셀 어레이부(41)의 포맷 형태나 사이즈는 특별하게 한정되지 않지만, 본 실시예에서는 128행×8열×4개 블록으로 구성된 것을 예로 하여 설명한다. 전원전압(VDD)은 프로그램 모드에서 3.9V이고, 읽기 모드에서는 3.3V±0.3V인 것을 예로 하여 설명한다. 이퓨즈(eFuse51)의 재질은 코발트 실리사이드 n+ 폴리실리콘이고, 동작 모드로서 프로그램, 노멀 리드(normal read), 프로그램 확인 리드 모드(program-verify-read mode)가 있다. 그리고, 이퓨즈 오티피 메모리 회로(40)에 대한 프로그램 비트로써 1비트가 할당되고 읽기 비트로써 8비트가 할당될 수 있다. 이퓨즈 오티피 메모리 회로(40)에 사용된 소자는 3.3V의 MV (Medium Voltage) 트랜지스터이다.

[표 5]

Items		Main Features
Process Technology		DBH 110nm CIS
Supply Voltage	Read	3.3V±0.3V
	Program	3.9V
Fuse Type		n+ Poly Fuse with Co Silicide
Cell Array		(128R × 8C) × 4Block
Temperature Range		-40℃ ~ 85℃
Operating Mode		Program / Normal Read / Program-Verify-Read
Program bit / Read bit		1bit / 8bit
Program Time		20μs
Access Time		500ns

[0032]

[0033]

도 7은 이퓨즈 오틀피 메모리 회로(40)의 배치 구조 나타낸 것이다. 1Kb 용량의 4개의 이퓨즈 오틀피 셀 어레이(41A)가 매트릭스 구조로 배열된다. 워드라인 드라이버(43)는 이퓨즈 오틀피 셀 어레이(41A) 간의 수평방향으로 사이에 각각 배열되고, 소스라인 드라이버(45A)는 이퓨즈 오틀피 셀 어레이(41A) 간의 수직 방향으로 사이에 배열되며, 데이터 출력버퍼를 포함하는 센스앰프(45B)는 수직 방향으로 배열된 두 개의 이퓨즈 오틀피 셀 어레이(41A)의 하부에 각각 배열된다. 이퓨즈 오틀피 셀 어레이부(41)에 배열된 256개의 행 중에서 하나는 행 어드레스인 A[10:3]의 디코딩에 의해 선택된다. 프로그램 모드에서는 블록 어드레스 A[11]과 열 어드레스 A[2:0]의 디코딩에 의해 16개의 소스라인 중에서 하나가 구동되고, 읽기 모드에서는 A[11]에 의해 16개의 비트라인 중에서 8개가 선택된다.

[0034]

컨트롤 로직부(42)는 각종 제어신호(PGM, READ, A[11:0], TM\_EN)에 따라 상기 이퓨즈 오틀피 셀 어레이부(41)에 대한 프로그램 모드, 노멀 리드(normal read) 모드와 프로그램 확인 리드(Program-Verify-Read) 모드에 적합한 내부 제어 신호를 출력하는 역할을 수행한다.

[0035]

워드라인 드라이버(43)는 상기 컨트롤 로직부(42)의 제어하에 행 어드레스를 공급받아 상기 이퓨즈 오틀피 셀 어레이부(41)를 대상으로 리드워드라인신호(RWL) 및 라이트워드라인바신호(WWLb)를 출력한다.

[0036]

도 8은 상기 워드라인 드라이버(43)의 상세 회로도로서 이에 도시한 바와 같이, 제어신호(A98), (A76), (A543)를 낸드연산하는 낸드게이트(ND81), 상기 낸드게이트(ND81)의 출력신호와 워드라인인에이블신호(WLEN\_PGM)를 낸드연산하는 낸드게이트(ND82), 상기 낸드게이트(ND82)의 출력신호를 반전시켜 출력하는 인버터(I81) 및 워드라인인에이블바신호(WLENb\_RD)와 상기 낸드게이트(ND81)의 출력신호를 노아연산하여 그에 따른 리드워드라인신호(RWL)를 출력하는 노아게이트(NOR81)를 구비한다.

[0037]

프로그램 모드로 진입하여 워드라인인에이블신호(WLEN\_PGM)가 전원전압(VDD)으로 구동되면, 블록 어드레스 A[10]에 의해 상부의 워드라인 드라이버(43) 또는 하부의 워드라인 드라이버(43)가 선택되고, 행 어드레스인 A[9:3]을 디코딩하여 128개의 라이트워드라인바신호(WWLb) 중에서 선택된 라이트워드라인바신호(WWLb)만 0V로 구동하고 선택되지 않은 나머지의 라이트워드라인바신호(WWLb)는 전원전압(VDD)으로 유지된다. 프로그램 모드에서 상기 워드라인인에이블바신호(WLENb\_RD)는 전원전압(VDD)으로 유지되므로, 리드워드라인신호(RWL)는 0V로 유지된다. 그리고, 리드 모드(Read Mode)에서 선택된 리드워드라인신호(RWL)가 전원전압(VDD)으로 구동되고 선택되지 않은 리드워드라인신호(RWL)는 0V로 유지된다. 상기 리드 모드에서 워드라인인에이블신호(WLEN\_PGM)는 0V로 유지되므로 라이트워드라인바신호 WWLb[127:0]는 행 어드레스인 A[9:3]에 상관없이 모두 0V로 유지된다.

[0038]

컬럼 디코더(44)는 상기 이퓨즈 오틀피 셀 어레이부(41)의 소스라인 구동을 위하여, 상기 컨트롤 로직부(42)의 제어하에 열 어드레스를 디코딩하여 디코딩된 열 어드레스를 소스라인 드라이버 및 센스앰프(45)에 출력한다. 상기 컨트롤 로직부(42)로부터 상기 컬럼 디코더(44)에 공급되는 12개의 어드레스 A[11:0]에 의해 이퓨즈 오틀피 셀 어레이부(41) 상의 4Kb 중 1비트가 선택되며, 프로그램 모드는 1 바이트씩 수행되고 읽기 모드는 1비트씩 수행된다.

- [0039] 소스라인 드라이버 및 센스앰프(45)는 상기 컨트롤 로직부(42)의 제어하에 프로그램 모드에서 입력데이터(DIN)에 대응되는 프로그램데이터를 상기 이퓨즈 오틀피 셀 어레이부(41)에 공급하고, 읽기 모드에서 상기 이퓨즈 오틀피 셀 어레이부(41)로부터 공급되는 비트라인신호(BL)를 감지 및 증폭하여 그에 따른 출력데이터(DOUT)를 출력한다. 참고로, 상기 출력 데이터(DOUT)와 입력 데이터(DIN)는 각각 분리되어 있다. 그리고 10개의 어드레스 신호에 의해 1Kb 중 1비트가 선택되며, 읽기와 쓰기는 각각 1바이트와 1비트 씩 수행될 수 있다.
- [0040] 도 9는 상기 소스라인 드라이버(45A)의 상세 회로도로서 이에 도시한 바와 같이, 내부프로그램신호(IPGM)와 제어신호(A210)를 낸드연산하는 낸드게이트(ND91), 상기 낸드게이트(ND91)의 출력신호의 위상을 반전시키는 인버터(I91), 상기 인버터(I91)의 출력신호와 입력데이터(DIN)를 낸드연산하는 낸드게이트(ND92) 및 직렬 연결되어 상기 낸드게이트(ND92)의 출력신호의 위상을 순차적으로 반전시켜 그에 따른 소스라인신호(SL)를 출력하는 인버터(I92-I94)를 구비한다.
- [0041] 상기 소스라인 드라이버(45A)는 프로그램 모드에서 열 어드레스 A[2:0]을 디코딩하여 프로그램될 열을 선택해주는 역할을 한다. 프로그램 모드로 진입하면 내부프로그램신호(IPGM)가 '하이'로 활성화된다.
- [0042] 열 어드레스 A[2:0]의 디코딩에 의해 선택된 소스라인 드라이버(43)에서 입력데이터(DIN)가 '1'인 경우 해당 소스라인은 전원전압(VDD)으로 구동되고, 상기 입력데이터(DIN)가 '0'인 경우에는 상기 소스라인이 0V로 구동된다.
- [0043] 상기 열 어드레스 A[2:0]의 디코딩에 의해 선택되지 않은 소스라인 드라이버(43)의 소스라인은 입력데이터(DIN)에 상관없이 0V로 유지된다.
- [0044] 도 10은 상기 센스 앰프(45B)의 상세 회로도로서 이에 도시한 바와 같이, 비트라인 제어부(101A), 센스앰프부(101B), RS 래치(101C) 및 출력버퍼(101D)를 포함한다.
- [0045] 비트라인 제어부(101A)는 일측 단자가 전원전압(VDD)에 연결되고 게이트에 비트라인로드바 신호(BL\_LOADb)가 공급되는 피모스 트랜지스터(MP101), 일측 단자가 상기 피모스 트랜지스터(MP101)의 타측 단자에 연결되고 타측 단자에 비트라인신호(BL)가 공급되는 저항(R101) 및 일측 단자에 상기 비트라인신호(BL)가 공급되고 타측 단자가 접지전압(VSS)에 연결되며 게이트에 비트라인프리차지 신호(BL\_PCG)가 공급되는 엔모스 트랜지스터(MN101)를 구비한다.
- [0046] 센스앰프부(101B)는 피모스 트랜지스터(MP102-MP106) 및 엔모스 트랜지스터(MN102-MN106)로 이루어져 센스앰프 인에이블바신호(SAENb)가 '로우'로 활성화될 때 비트라인신호(BL)와 기준전압(VREF)을 비교하는 방식으로 센싱하여 그에 따른 전압을 노드(N1),(N2)에 출력하는 센스앰프회로, 스탠바이 모드에서 센스앰프 인에이블바신호(SAENb)에 의해 턴온되어 상기 센스앰프회로에 전원전압(VDD)을 공급하는 피모스 트랜지스터(MP102) 및 스탠바이 모드에서 센스앰프 인에이블바신호(SAENb)에 의해 각각 턴온되어 상기 노드(N1),(N2)의 전압을 접지전압(VSS)으로 프리차지시키는 엔모스 트랜지스터(MN104),(MN105)를 구비한다.
- [0047] RS 래치(101C)는 상기 노드(N1),(N2)를 통해 이전 상태의 데이터를 래치하는 역할을 수행하며, 이를 위해 노아 게이트(NOR101),(NOR102)를 구비한다.
- [0048] 출력버퍼(101D)는 상기 RS 래치(101C)에서 래치된 출력데이터(DOUT),(DOUTb)를 완충 증폭하여 출력한다.
- [0049] 스탠바이 상태에서 비트라인프리차지 신호(BL\_PCG)는 0V로 유지되고 비트라인로드바 신호(BL\_LOADb)는 전원전압(VDD)으로 유지된다.
- [0050] 이에 따라, 스탠바이 상태에서는 비트라인신호(BL)와 기준전압(VREF)이 플로팅 상태가 되고, 엔모스 트랜지스터(MN104),(MN105)가 턴온 상태이므로 노드(N1),(N2)가 접지전압(VSS)으로 각각 프리차지된다.
- [0051] 만약, 리드신호(RD)가 '하이'로 활성화되면 비트라인프리차지 신호(BL\_PCG)가 '하이'로 활성화되어 엔모스 트랜지스터(MN101)가 턴온되므로 상기 비트라인신호(BL)가 0V로 프리차지된다. 이때, 기준전압(VREF) 또한 상기 비트라인신호(BL)의 유사한 경로를 통해 0V로 프리차지된다.
- [0052] 이후, 리드워드라인신호(RWL)가 '하이'로 공급되어 도 5의 엔모스 트랜지스터(MN51)가 턴온된다. 이어서, 비트라인로드바 신호(BL\_LOADb)가 '하이'에서 '로우'로 활성화 되고 노멀 리드 모드에서 필요로 하는 기준전압(VREF)이 분배저항(도면에 미표시)을 통해 생성된다.
- [0053] 그리고, 선택된 이퓨즈 오틀피 셀의 이퓨즈 링크의 프로그램 유무에 따라 이퓨즈 링크의 저항값이 달라지고, 이에 의해 비트라인신호(BL)의 전압 레벨이 다르게 나타난다. 이퓨즈 오틀피 셀의 데이터 즉, 비트라인신호(BL)가

센스앰프부(101B)에 충분히 전달되면 비트라인로드바 신호(BL\_LOADb)가 '로우'로 활성화되고 센스앰프부(101B)에서 비트라인신호(BL)가 기준전압(VREF)이 비교되는 방식으로 센싱된다. 이렇게 센싱된 데이터가 RS 래치(101C) 및 출력버퍼(101D)를 통해 출력데이터(DOUT)로 전달된다.

[0054] 상기 도 10에서 비트라인 제어부(101A)를 제외한 센스앰프부(101B), RS 래치(101C) 및 출력버퍼(101D)는 센스앰프 기반의 D형 플립플롭 역할을 수행하는 영역이다.

[0055] 한편, 데이터 리텐션(retention) 시간 동안 프로그램된 이퓨즈 링크의 저항값이 줄어드는 것을 감안하여, 프로그램 확인 리드(Program-Verify-Read) 모드 및 읽기 모드에 따라 상기 기준전압(VREF)의 발생회로에서 기준저항값이 변경되도록 하였다. 따라서, 프로그램된 이퓨즈의 저항값이 변동되더라도 데이터로 정상적으로 센싱할 수 있게 된다.

[0056] 도 11a 및 도 11b는 4kb 용량의 이퓨즈 오틀피 셀에 대한 프로그램 모드에서의 모의실험 결과를 나타낸 파형도이다. 먼저, 컨트롤 로직부(42)에 어드레스 A[11:0]를 인가한 상태에서 프로그램신호(PGM)가 활성화 되면 입력 데이터(DIN)가 '1'인 경우 도 11a에서와 같이 선택된 이퓨즈 오틀피 셀의 소스라인신호(SL)가 전원전압(VDD)으로 구동되고, 라이트워드라인바신호(WWLb)가 0V로 구동된다. 이에 따라, pn 접합 다이오드가 온되어 일정치 이상의 전류가 해당 이퓨즈를 통해 흐르는 블로잉이 이루어진다.

[0057] 반면, 상기 입력데이터(DIN)가 '0'인 경우 도 11b에서와 같이 선택된 이퓨즈 오틀피 셀의 소스라인신호(SL)와 라이트워드라인바신호(WWLb)가 모두 0V로 구동된다. 이에 따라, 해당 이퓨즈에 전류가 흐르지 않게 되므로 해당 이퓨즈는 비블로잉(non-blown) 상태에 놓이게 된다.

[0058] 도 12a 및 도 12b는 4kb 용량의 이퓨즈 오틀피 셀에 대한 리드 모드에서의 모의실험 결과를 나타낸 파형도이다. 리드신호(RD)가 '하이'로 활성화 되면 '하이'의 비트라인프리차지 신호(BL\_PCG)에 의해 기준전압(VREF)과 비트라인신호(BL)가 0V로 프리차지된다. 그리고, 리드워드라인신호(RWL)가 '하이'로 활성화 되고 비트라인로드바 신호(BL\_LOADb)가 '로우'로 활성화된다. 이때, 기준전압(VREF)이 생성되고, 이퓨즈 오틀피 셀의 데이터가 비트라인에 전달된다. 이퓨즈 오틀피 셀의 데이터가 상기 비트라인에 충분히 전달되면 센스앰프인에이블신호(SAEN)가 '하이'로 활성화 된다. 이에 따라, 센스앰프(45B)에서 기준전압(VREF)과 비트라인신호(BL)가 비교, 센싱되어 그에 따른 출력데이터(DOUT)가 발생된다.

[0059] 상기 4kb 용량의 이퓨즈 오틀피 셀에 프로그램된 이퓨즈 링크의 센싱 저항에 대한 모의실험 결과는 다음의 [표 6a] 및 [표 6b]와 같다. 이퓨즈 오틀피 셀에 대한 프로그램 확인 리드(Program-Verify-Read) 모드와 리드 모드에서 프로그램된 이퓨즈 센싱 저항값은 모의 실험 결과 다음의 [표 6a] 및 [표 6b]에서와 같이 각각 16.6kΩ, 8.6kΩ으로 확인되었다.

[표 6a]

VDD	Temp	SS model	SF model	TT model	FS model	FF model
3V	-40℃	15.7K	15.3K	15.5K	15.5K	15.4K
	25℃	16.2K	15.7K	16K	15.9K	15.8K
	85℃	16.6K	16.1K	16.3K	16.3K	16.2K
3.3V	-40℃	15.3K	15.1K	15.3K	15.1K	15.1K
	25℃	15.6K	15.3K	15.5K	15.4K	15.3K
	85℃	16.1K	15.7K	15.9K	15.8K	15.8K
3.6V	-40℃	15.3K	15.1K	15.3	15.2K	15.2K
	25℃	15.4K	15.3K	15.5K	15.5K	15.3K
	85℃	15.6K	15.4K	15.6K	15.7K	15.6K

[0060]

[표 6b]

VDD	Temp	SS model	SF model	TT model	FS model	FF model
3V	-40℃	7.8K	6.9K	7K	7.5K	7.3K
	25℃	8.1K	7.2K	7.3K	7.8K	7.5K
	85℃	8.6K	7.8K	7.8K	8.1K	7.7K
3.3V	-40℃	7.2K	6.1K	6.6K	6.8K	6.8K
	25℃	7.6K	6.4K	6.7K	7K	7K
	85℃	7.9K	6.9K	7.2K	7.4K	7.2K
3.6V	-40℃	6.8K	5.8K	6.1K	6.5K	6.7K
	25℃	7K	6.1K	6.3K	6.8K	6.8K
	85℃	7.3K	6.4K	6.9K	7.1K	7K

[0061]

[0062]

그리고, 읽기 모드에서 채널 폭이 작은 엔모스 트랜지스터를 이용하여 비트라인에 전압을 전달하므로 아래의 [표 7]에서 보는 바와 같이 이퓨즈 오틀피 셀의 블로잉되지 않은 이퓨즈를 통해 흐르는 읽기 전류를 100 $\mu$ A 이내로 억제하여 신뢰성을 확보하였다.

[표 7]

VDD	Temp	SS model	SF model	TT model	FS model	FF model
3.0V	-40℃	41.0 $\mu$ A	54.4 $\mu$ A	49.3 $\mu$ A	49.8 $\mu$ A	59.4 $\mu$ A
	25℃	33.8 $\mu$ A	46.1 $\mu$ A	40.2 $\mu$ A	41.2 $\mu$ A	49.3 $\mu$ A
	85℃	30.5 $\mu$ A	38.6 $\mu$ A	35.9 $\mu$ A	37.8 $\mu$ A	43.3 $\mu$ A
3.3V	-40℃	52.9 $\mu$ A	67.0 $\mu$ A	61.9 $\mu$ A	62.6 $\mu$ A	73.7 $\mu$ A
	25℃	42.6 $\mu$ A	56.1 $\mu$ A	51.7 $\mu$ A	52.9 $\mu$ A	61.3 $\mu$ A
	85℃	38.1 $\mu$ A	48.5 $\mu$ A	44.7 $\mu$ A	46.2 $\mu$ A	54.0 $\mu$ A
3.6V	-40℃	61.7 $\mu$ A	80.5 $\mu$ A	75.3 $\mu$ A	63.3 $\mu$ A	88 $\mu$ A
	25℃	50.3 $\mu$ A	68.6 $\mu$ A	62.1 $\mu$ A	56.7 $\mu$ A	73.9 $\mu$ A
	85℃	42.1 $\mu$ A	60.0 $\mu$ A	54.4 $\mu$ A	49.8 $\mu$ A	65.1 $\mu$ A

[0063]

[0064]

이상에서 본 발명의 바람직한 실시예에 대하여 상세히 설명하였지만, 본 발명의 권리범위가 이에 한정되는 것이 아니라 다음의 청구범위에서 정의하는 본 발명의 기본 개념을 바탕으로 보다 다양한 실시예로 구현될 수 있으며, 이러한 실시예들 또한 본 발명의 권리범위에 속하는 것이다.

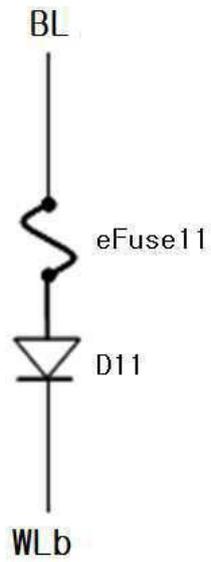
**부호의 설명**

[0065]

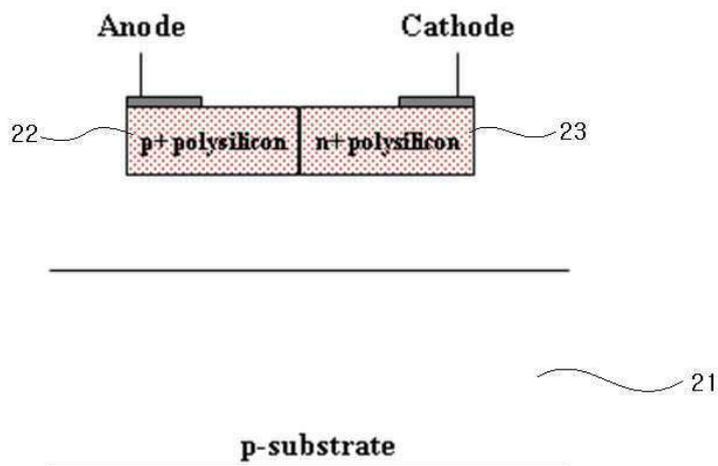
- 40 : 이퓨즈 오틀피 메모리 회로
- 41 : 이퓨즈 오틀피 셀 어레이부
- 42 : 컨트롤 로직부
- 43 : 워드라인 드라이버
- 44 : 컬럼 디코더
- 45 : 소스라인 드라이버 및 센스앰프

도면

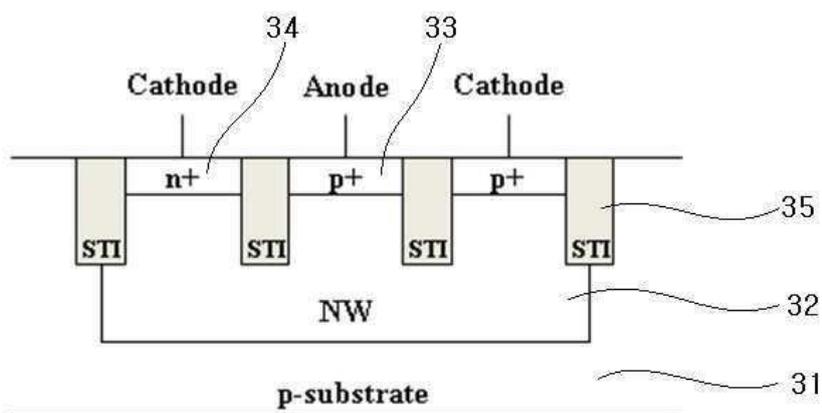
도면1



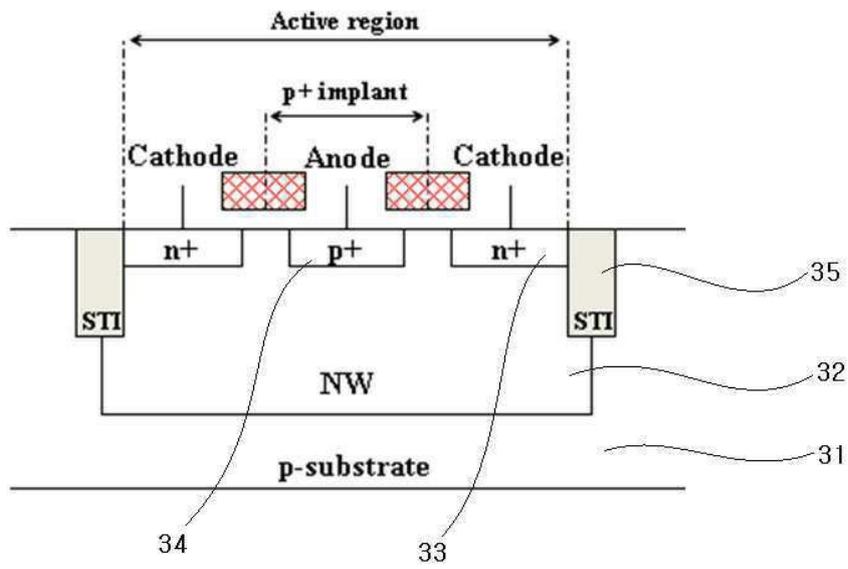
도면2



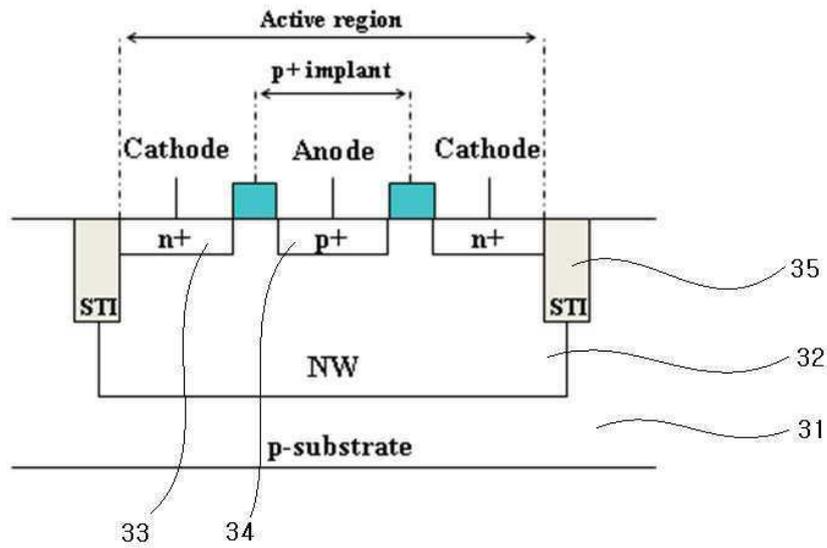
도면3a



도면3b

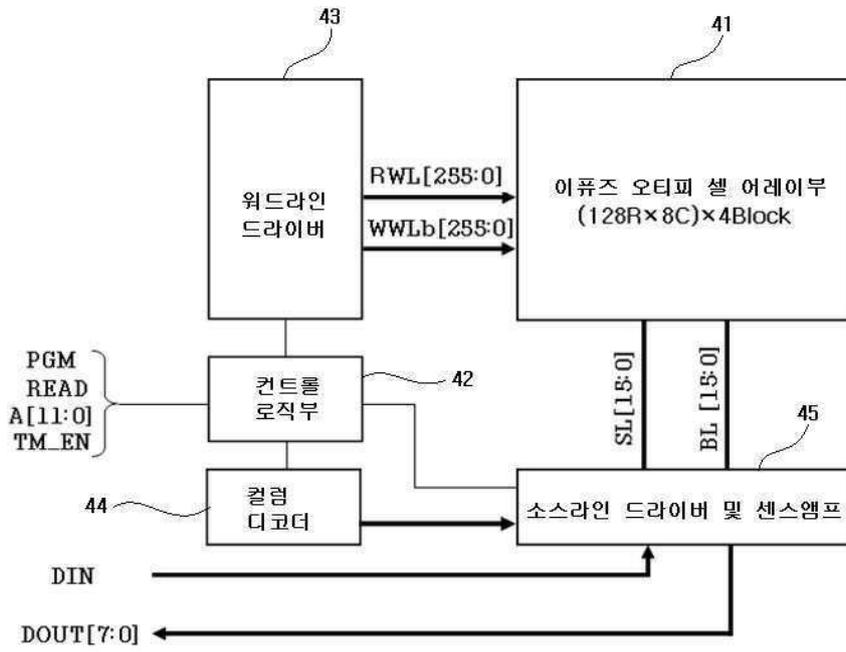


도면3c

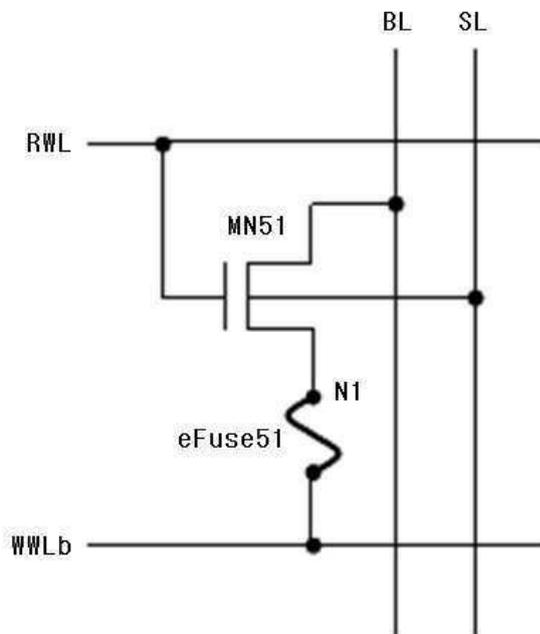


도면4

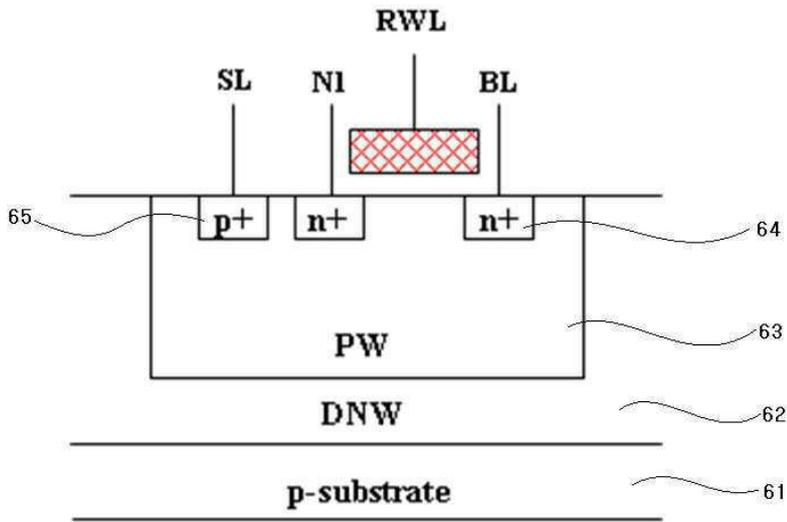
40



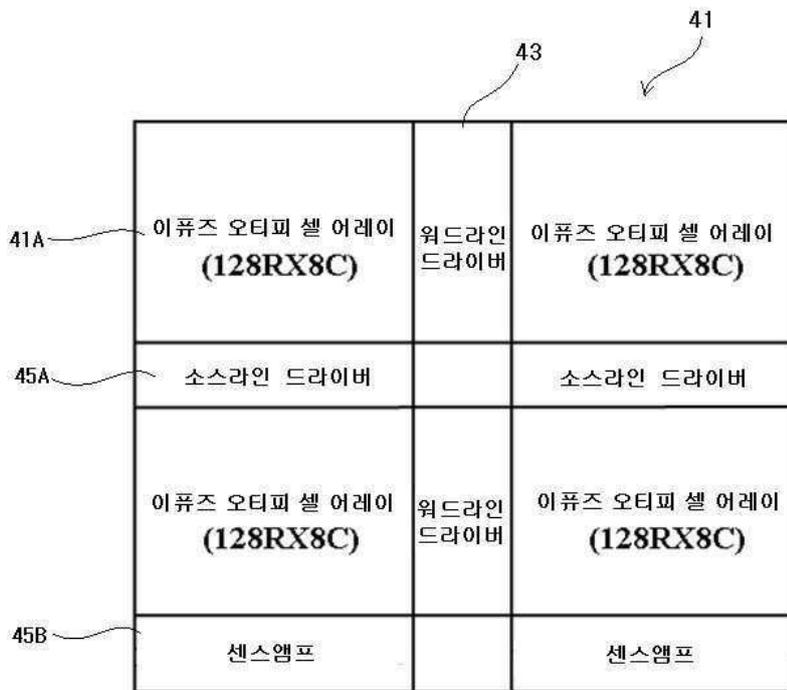
도면5



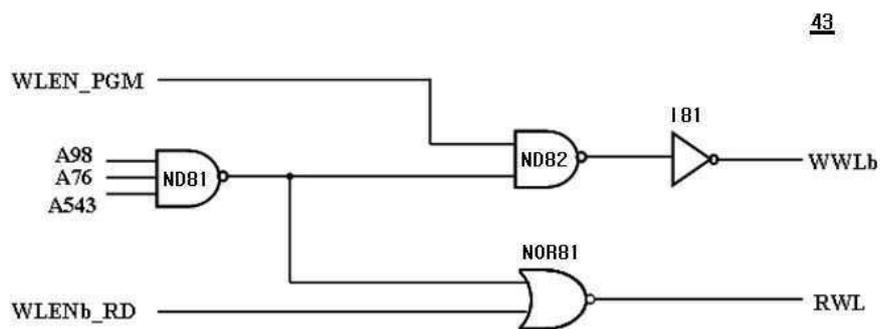
도면6



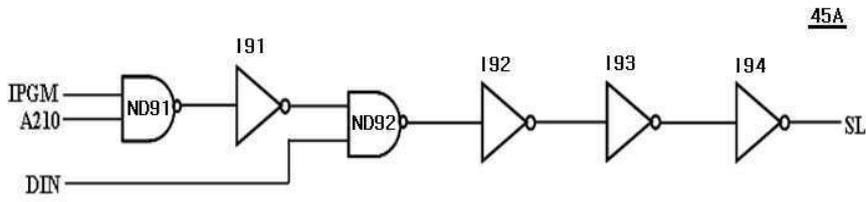
도면7



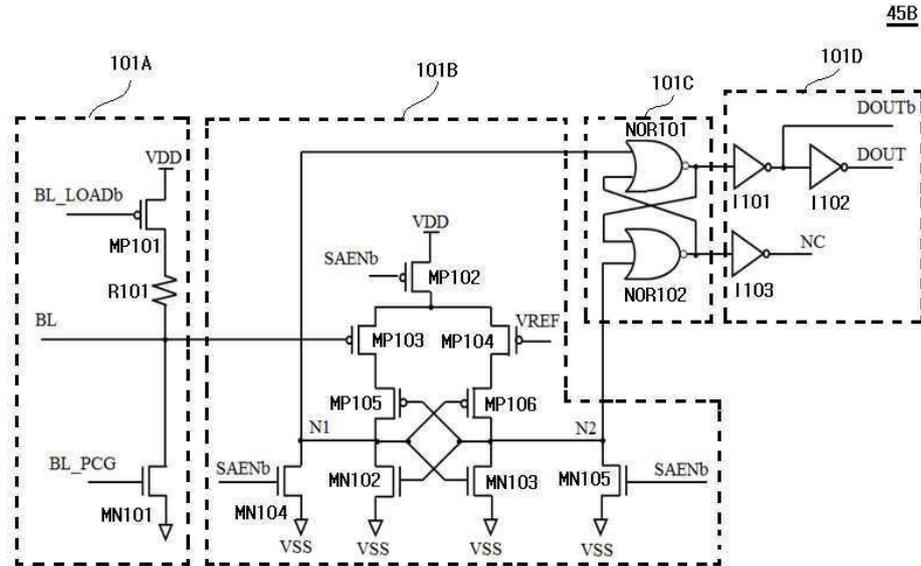
도면8



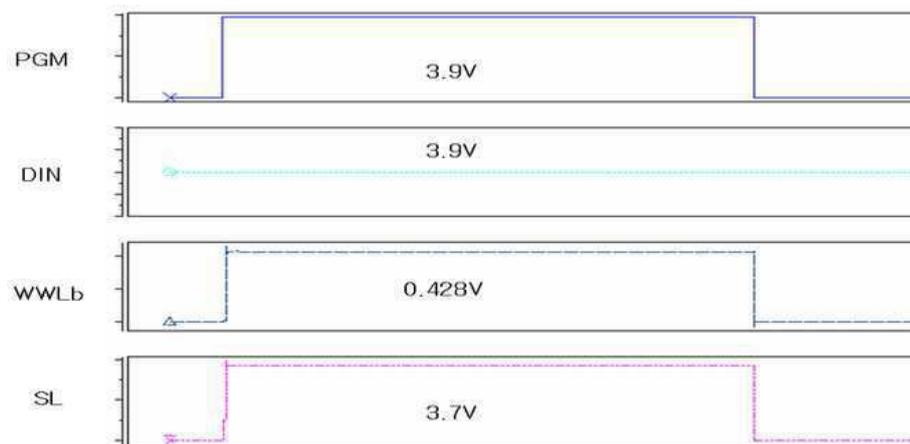
도면9



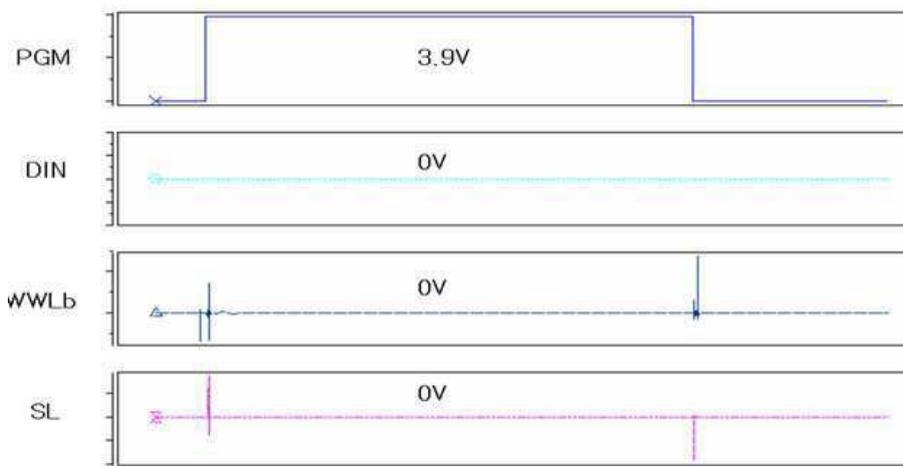
도면10



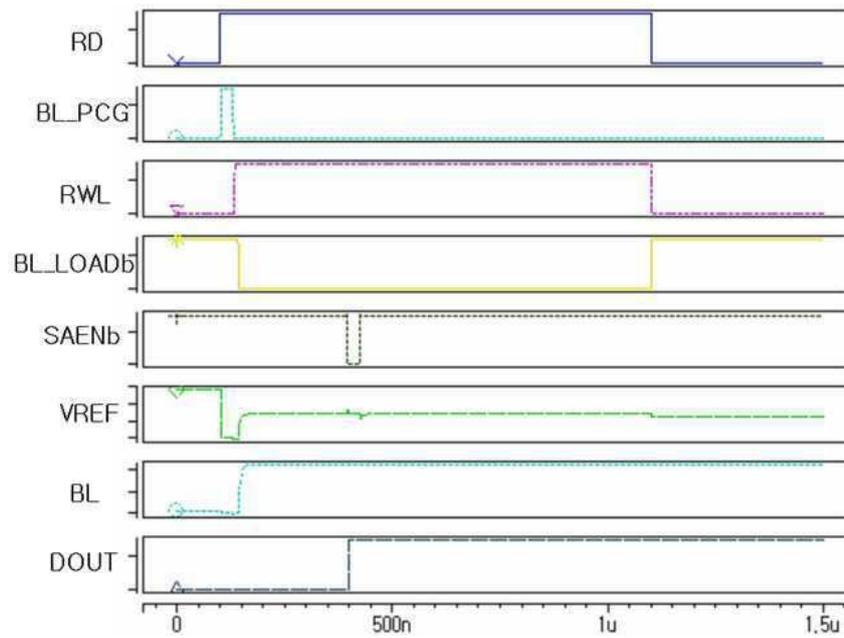
도면11a



도면11b



도면12a



도면12b

