



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년08월17일
(11) 등록번호 10-2289286
(24) 등록일자 2021년08월06일

- (51) 국제특허분류(Int. Cl.)
H01L 29/66 (2006.01) H01L 29/423 (2006.01)
H01L 29/78 (2006.01) H01L 29/786 (2006.01)
- (52) CPC특허분류
H01L 29/66795 (2013.01)
H01L 29/42392 (2013.01)
- (21) 출원번호 10-2019-0173207
- (22) 출원일자 2019년12월23일
심사청구일자 2019년12월23일
- (65) 공개번호 10-2021-0038810
- (43) 공개일자 2021년04월08일
- (30) 우선권주장
16/587,013 2019년09월29일 미국(US)
- (56) 선행기술조사문헌
KR101795208 B1*
KR1020110056225 A*
KR1020160043152 A*
KR1020160115655 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
- (72) 발명자
주 시 닝
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
치앙 쿠오-첵
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
(뒷면에 계속)
- (74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 9 항

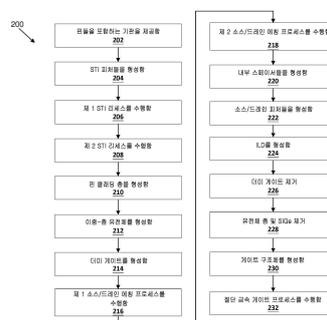
심사관 : 최정민

(54) 발명의 명칭 멀티-게이트 디바이스 및 관련 방법

(57) 요약

디바이스를 제조하는 방법은 제 1 디바이스 유형 영역에 제 1 핀을 그리고 제 2 디바이스 유형 영역에 제 2 핀을 제공하는 단계를 포함한다. 제 1 및 제 2 핀들 각각은 복수의 반도체 채널 층들을 포함한다. 제 1 및 제 2 핀들 각각의 대향하는 측들 상의 STI 영역의 2-단계 리세스가 수행되어 제 1 핀의 제 1 수의 반도체 채널 층들 및 제 2 핀의 제 2 수의 반도체 채널 층들을 노출시킨다. 제 1 디바이스 유형 영역에 제 1 게이트 구조체가 형성되고 제 2 디바이스 유형 영역에 제 2 게이트 구조체가 형성된다. 제 1 게이트 구조체는 제 1 수의 노출된 반도체 채널 층들을 갖는 제 1 핀 위에 형성되고, 제 2 게이트 구조체는 제 2 수의 노출된 반도체 채널 층들을 갖는 제 2 핀 위에 형성된다.

대표도



(52) CPC특허분류

H01L 29/785 (2013.01)

H01L 29/78696 (2013.01)

(72) 발명자

차이 칭-웨이

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

첵 쿠안-룬

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

왕 치-하오

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

명세서

청구범위

청구항 1

반도체 디바이스를 제조하는 방법으로서,

제 1 디바이스 유형 영역에 제 1 핀을 그리고 제 2 디바이스 유형 영역에 제 2 핀을 제공하는 단계 - 상기 제 1 핀 및 상기 제 2 핀 각각은 복수의 반도체 채널 층들을 포함함 - ;

상기 제 1 디바이스 유형 영역에서 상기 제 1 핀의 복수의 반도체 채널 층들 중 제 1 수의 반도체 채널 층들 및 상기 제 2 디바이스 유형 영역에서 상기 제 2 핀의 복수의 반도체 채널 층들 중 제 2 수의 반도체 채널 층들을 노출시키기 위해 상기 제 1 핀 및 상기 제 2 핀 각각의 대향하는 측들 상에 얇은 트렌치 격리(shallow trench isolation; STI) 영역의 2-단계 리세스를 수행하는 단계;

상기 STI 영역 위에 복수의 이중-층 유전체 블록들을 형성하는 단계로서, 상기 제 1 및 제 2 핀 각각은 상기 복수의 이중-층 유전체 블록들 중 인접한 이중-층 유전체 블록들 사이에 있고, 상기 인접한 이중-층 유전체 블록들 사이의 거리는 상기 제 1 및 제 2 핀 각각의 폭보다 큰 것인, 상기 복수의 이중-층 유전체 블록들을 형성하는 단계;

상기 제 1 및 제 2 디바이스 유형 영역 각각에 소스/드레인 영역들을 형성하는 단계로서,

상기 제 1 및 제 2 핀의 일부들을 제거하는 단계와,

상기 제 1 및 제 2 핀의 잔여 부분들 상에서 소스/드레인 피쳐들을 에피택셜 성장시키는 단계를 포함하는 것인,

상기 소스/드레인 영역들을 형성하는 단계; 및

상기 제 1 디바이스 유형 영역에 제 1 게이트 구조체를 그리고 상기 제 2 디바이스 유형 영역에 제 2 게이트 구조체를 형성하는 단계 - 상기 제 1 게이트 구조체는 상기 제 1 수의 노출된 반도체 채널 층들을 갖는 제 1 핀 위에 형성되고, 상기 제 2 게이트 구조체는 상기 제 2 수의 노출된 반도체 채널 층들을 갖는 제 2 핀 위에 형성됨 -

를 포함하는, 반도체 디바이스를 제조하는 방법.

청구항 2

제 1 항에 있어서,

상기 2-단계 리세스의 제 1 단계는 상기 제 1 디바이스 유형 영역의 제 1 핀 및 상기 제 2 디바이스 유형 영역의 제 2 핀 둘 모두의 상기 제 1 수의 반도체 채널 층들을 노출시키고, 상기 2-단계 리세스의 제 2 단계는 상기 제 2 수의 노출된 반도체 채널 층들을 제공하기 위해 상기 제 2 디바이스 유형 영역의 제 2 핀의 적어도 하나의 추가적인 반도체 채널 층을 노출시키는 것인, 반도체 디바이스를 제조하는 방법.

청구항 3

제 1 항에 있어서,

상기 제 1 핀의 적어도 하나의 반도체 채널 층은 상기 2-단계 리세스 이후에 상기 제 1 디바이스 유형 영역의 STI 영역 내에 매립된 채로 유지되는 것인, 반도체 디바이스를 제조하는 방법.

청구항 4

제 1 항에 있어서,

상기 제 2 수의 반도체 채널 층들은 상기 제 1 수의 반도체 채널 층들보다 많은 것인, 반도체 디바이스를 제조하는 방법.

청구항 5

제 1 항에 있어서,

상기 제 1 디바이스 유형 영역은 코어 디바이스 영역을 포함하고, 상기 제 2 디바이스 유형 영역은 아날로그 디바이스 영역 또는 정적 랜덤-액세스 메모리(static random-access memory; SRAM) 디바이스 영역을 포함하는 것인, 반도체 디바이스를 제조하는 방법.

청구항 6

제 1 항에 있어서,

상기 1 게이트 구조체는 제 1 트랜지스터에 대응하고, 상기 2 게이트 구조체는 제 2 트랜지스터에 대응하고, 상기 1 트랜지스터 및 상기 제 2 트랜지스터 둘 모두는 게이트-올-어라운드(gate-all-around; GAA) 트랜지스터들을 포함하는 것인, 반도체 디바이스를 제조하는 방법.

청구항 7

삭제

청구항 8

제 1 항에 있어서,

상기 제 1 핀 및 제 2 핀의 일부들을 제거하는 단계는,

상기 제 2 디바이스 유형 영역의 소스/드레인 영역들에 제 1 트렌치를 형성하기 위해 상기 제 2 수의 노출된 반도체 채널 층들의 제 1 부분들을 제거하는 단계; 및

상기 제 2 디바이스 유형 영역의 소스/드레인 영역들을 에칭한 이후, 상기 제 1 디바이스 유형 영역의 소스/드레인 영역들에 제 2 트렌치를 형성하기 위해 상기 제 1 수의 노출된 반도체 채널 층들의 제 1 부분들을 제거하는 단계

를 포함하는, 반도체 디바이스를 제조하는 방법.

청구항 9

반도체 디바이스를 제조하는 방법에 있어서,

기판으로부터 연장되는 복수의 핀들을 제공하는 단계 - 상기 복수의 핀들 각각은 복수의 제 1 유형의 층들 및 복수의 제 2 유형의 층들을 갖는 에피택셜 층들의 스택을 포함함 - ;

상기 복수의 핀들을 개재하는 복수의 얇은 트렌치 격리(shallow trench isolation; STI) 피처들을 형성하는 단계;

상기 복수의 핀들 각각 내의 제 1 수의 상기 제 1 유형의 층들 및 상기 제 2 유형의 층들 각각을 노출시키기 위해 제 1 STI 리세스 프로세스를 수행하는 단계 - 제 2 수의 상기 제 1 유형의 층들 및 상기 제 2 유형의 층들 각각은 상기 제 1 STI 리세스 프로세스 이후에 상기 STI 피처들 내에 매립된 채로 유지됨 - ;

상기 반도체 디바이스의 제 1 영역에서 제 2 수의 상기 제 1 유형의 층들 및 상기 제 2 유형의 층들 각각을 노출시키기 위해 제 2 STI 리세스 프로세스를 수행하는 단계 - 제 2 수의 상기 제 1 유형의 층들 및 상기 제 2 유형의 층들 각각은 상기 제 2 STI 프로세스 이후에 상기 반도체 디바이스의 제 2 영역에서 STI 피처들 내에 매립된 채로 유지됨 - ;

상기 STI 피처들 위에 복수의 이중-층 유전체 블록들을 형성하는 단계로서, 상기 복수의 핀들 각각은 상기 복수의 이중-층 유전체 블록들 중 인접한 이중-층 유전체 블록들 사이에 있고, 상기 인접한 이중-층 유전체 블록들 사이의 거리는 상기 복수의 핀들의 폭보다 큰 것인, 상기 복수의 이중-층 유전체 블록들을 형성하는 단계; 및

상기 복수의 핀들에 소스/드레인 영역들을 형성하는 단계로서,

상기 복수의 핀들의 일부들을 제거하는 단계와,

상기 복수의 핀들의 잔여 부분들 상에서 소스/드레인 피처들을 에피택셜 성장시키는 단계를 포함하는

것인,

상기 소스/드레인 영역들을 형성하는 단계
를 포함하는, 반도체 디바이스를 제조하는 방법.

청구항 10

반도체 디바이스에 있어서,

기판의 제 1 디바이스 유형 영역의 제 1 트랜지스터 - 상기 제 1 트랜지스터는 제 1 게이트 구조체 및 상기 제 1 게이트 구조체에 인접한 제 1 소스/드레인 피처를 포함함 - ; 및

상기 기판의 제 2 디바이스 유형 영역의 제 2 트랜지스터 - 상기 제 2 트랜지스터는 제 2 게이트 구조체 및 상기 제 2 게이트 구조체에 인접한 제 2 소스/드레인 피처를 포함함 -

를 포함하고,

상기 제 1 트랜지스터는 제 1 얇은 트렌치 격리(shallow trench isolation; STI) 영역 위에 배치되고 상기 제 1 소스/드레인 피처와 측방향으로 접촉하는 제 1 수의 반도체 채널 층들을 갖는 제 1 핀을 포함하고, 상기 제 2 트랜지스터는 제 2 STI 영역 위에 배치되고 상기 제 2 소스/드레인 피처와 측방향으로 접촉하는 제 2 수의 반도체 채널 층들을 갖는 제 2 핀을 포함하고, 상기 제 1 수의 반도체 채널 층들은 상기 제 2 수의 반도체 채널 층들과 상이하며,

상기 반도체 디바이스는 상기 제 1 및 제 2 STI 영역들 위에 위치한 복수의 이중-층 유전체 블록들을 더 포함하고, 상기 제 1 및 제 2 소스/드레인 피처들 각각은 상기 복수의 이중-층 유전체 블록들 중 인접한 이중-층 유전체 블록들 사이에 있으며,

상기 인접한 이중-층 유전체 블록들 사이의 거리는 상기 제 1 및 제 2 핀 각각의 폭보다 큰 것인, 반도체 디바이스.

발명의 설명

기술 분야

배경 기술

[0001] 전자 산업은 매우 다수의 점점 더 복잡하고 정교한 기능들을 동시에 지원할 수 있는 더 작고 빠른 전자 디바이스들에 대한 계속 증가하는 수요를 경험하였다. 따라서, 반도체 산업에서 저-비용, 고-성능 및 저-전력 집적 회로들(IC)을 제조하는 동향이 계속되고 있다. 지금까지는, 이러한 목표들은 반도체 IC 치수(예를 들어, 최소 피처 크기)를 축소시키고 그리하여 생산 효율성을 개선하고 연관된 비용들을 낮춤으로써 대부분 달성되었다. 그러나, 이러한 스케일링은 또한 반도체 제조 프로세스에 대한 증가된 복잡성을 야기하였다. 따라서, 반도체 IC들 및 디바이스들의 지속적인 진보의 실현은 반도체 제조 프로세스들 및 기술에서의 유사한 진보를 요구한다.

[0002] 최근, 게이트-채널 커플링(gate-channel coupling)을 증가시킴으로써 게이트 제어를 개선하고, 오프-상태 전류를 감소시키고, 단-채널 효과들(SCE)을 감소시키기 위한 일환으로 멀티-게이트 디바이스들이 도입되었다. 도입된 하나의 이러한 멀티-게이트 디바이스는 FinFET(fin field-effect transistor)이다. FinFET는 핀-형 구조체로부터 그의 이름을 얻었으며, 이 핀-형 구조체는 그것이 형성되는 기판으로부터 연장되고 FET 채널을 형성하는데 사용된다. FinFET들과 연관된 성능 난제들을 해결하기 위해 부분적으로 도입된 다른 멀티-게이트 디바이스는 게이트-올-어라운드(gate-all-around; GAA) 트랜지스터이다. GAA 트랜지스터들은 게이트 구조체로부터 그의 이름을 얻었으며, 이 게이트 구조체는 채널 주변으로 완전히 확장되어 FinFET들보다 더 양호한 정전기 제어를 제공한다. FinFET들 및 GAA 트랜지스터들은 종래의 CMOS(complementary metal-oxide semiconductor) 프로세스들과 호환 가능하며 그의 3차원 구조체는 게이트 제어를 유지하고 SCE들을 완화하면서, 이들이 공격적으로 스케일링될 수 있게 한다.

[0003] 일반적으로, GAA 트랜지스터들은 예를 들어, FinFET들이 더 이상 성능 요건들을 만족시킬 수 없는 경우들에 구

현될 수 있다. 그러나, 반도체 IC는 일반적으로 상이한 성능 조건들을 갖는 다양한 상이한 디바이스 유형들을 포함할 수 있다. 따라서, 이러한 다양한 디바이스 성능 조건들을 만족시킬 수 있는 (예를 들어, GAA 트랜지스터와 같은) 멀티-게이트 디바이스를 제공하는 것은 여전히 난제이다. 따라서, 기존 기술들은 모든 면들에서 완전히 만족스러운 것으로 판명되진 않았다.

도면의 간단한 설명

[0004]

본 개시내용의 양상들은 첨부 도면들과 함께 읽혀질 때 다음의 상세한 설명으로부터 가장 잘 이해된다. 업계의 표준 관행에 따라, 다양한 피처들이 실 적대로 그려지진 않는다는 것에 주의한다. 실제로, 다양한 피처들의 치수들은 논의의 명확성을 위해 임의로 증가되거나 축소될 수 있다.

도 1은 일부 실시예들에 따른 멀티-게이트 디바이스의 단순화된 하향식 레이아웃도를 제공한다.

도 2는 본 개시내용의 하나 이상의 양상들에 따라 반도체 디바이스(300)를 제조하는 방법의 흐름도이다.

도 3, 도 4, 도 5, 도 6a/6b/6c, 도 7a/7b/7c 및 도 8a/8b/8c는 일부 실시예들에 따라, 도 1의 섹션 BB' 또는 섹션 CC'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도를 제공한다.

도 9a/9b/9c, 도 21a/21b/21c, 도 22a/22b/22c 및 도 23a/23b/23c는 일부 실시예들에 따라, 도 1의 섹션 CC'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도를 제공한다.

도 10a/10b/10c, 도 12a/12b/12c, 도 14a/14b/14c, 도 16a/16b/16c, 도 18a/18b/18c, 도 20a/20b/20c 및 도 24a/24b/24c는 일부 실시예들에 따라, 도 1의 섹션 AA'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도를 제공한다.

도 11a/11b/11c, 도 13a/13b/13c, 도 15a/15b/15c, 도 17a/17b/17c 및 도 19a/19b/19c는 일부 실시예들에 따라, 도 1의 섹션 BB'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도를 제공한다.

발명을 실시하기 위한 구체적인 내용

[0005]

다음의 개시내용은 제공된 청구 대상의 상이한 피처들을 구현하기 위한 다수의 상이한 실시예들 또는 예들을 제공한다. 본 개시내용을 간략화하기 위해 컴포넌트들 및 어레이먼트들의 특정 예들이 아래에 설명된다. 이들은 물론 단지 예들일 뿐이며 제한하려는 것은 아니다. 예를 들어, 이어지는 설명에서 제 2 피처 위의 또는 그 상의 제 1 피처의 형성은 제 1 및 제 2 피처들이 직접 접촉하여 형성되는 실시예들을 포함할 수 있고, 제 1 및 제 2 피처들이 직접 접촉하지 않을 수 있도록 제 1 및 제 2 피처들 사이에 부가적인 피처들이 형성될 수 있는 실시예들을 또한 포함할 수 있다. 또한, 본 개시내용은 다양한 예들에서 참조 번호들 및/또는 글자들을 반복할 수 있다. 이러한 반복은 간략화 및 명확성을 위한 것이며, 논의되는 다양한 실시예들 및/또는 구성들 간의 관계를 그 자체가 제시하는 것은 아니다.

[0006]

또한, "아래 있는", "아래의", "하위", "위의", "상위" 등과 같은 공간적으로 상대적인 용어들은 본원에서 설명의 용이함을 위해, 도면들에서 예시되는 바와 같은 다른 요소(들) 또는 피처(들)에 대한 하나의 요소 또는 피처의 관계를 설명하는 데 이용될 수 있다. 공간적으로 상대적인 용어들은, 도면들에 도시된 배향에 부가하여, 사용 중이거나 동작 중인 디바이스의 상이한 배향들을 포괄하도록 의도된다. 장치는 다른 방식으로 배향(90도 회전 또는 다른 배향들)될 수 있고, 본원에서 이용되는 공간적으로 상대적인 기술어(descriptor)들은 마찬가지로 상응하게 해석될 수 있다.

[0007]

본 개시내용은 멀티-게이트 트랜지스터들의 형태로 실시예들을 제시한다는 것에 또한 주의한다. 멀티-게이트 트랜지스터들은 게이트 구조체들이 채널 영역의 적어도 두 측들 상에 형성된 그러한 트랜지스터들을 포함한다. 이들 멀티-게이트 디바이스들은 P-형 금속-산화물-반도체 디바이스 또는 N-형 금속-산화물-반도체 멀티-게이트 디바이스를 포함할 수 있다. 특정 예들이 제시되며, 그들의 핀-형 구조체로 인해 본원에서 FinFET들로서 지칭될 수 있다. GAA(gate-all-around) 트랜지스터로서 지칭되는 멀티-게이트 트랜지스터의 유형의 실시예들이 본원에서 또한 제시된다. GAA 트랜지스터는 그의 게이트 구조체 또는 그의 일부가 채널 영역의 4-측 상에 형성되는(예를 들어, 채널 영역의 일부를 둘러싸는) 임의의 디바이스를 포함한다. 본원에서 제시된 디바이스들은 또한 반도체 채널 층들에 배치된 채널 영역들을 갖는 실시예들을 포함한다. 다양한 실시예들에서, 반도체 채널 층들은 나노시트 채널(들), 나노와이어 채널(들), 바-형상 채널(들) 및/또는 다른 적합한 채널 구성들을 포함할

수 있다. 단일의 연속적인 게이트 구조체와 연관된 하나 이상의 채널 영역들(예를 들어, 반도체 채널 층들)을 가질 수 있는 디바이스들의 실시예들이 본원에서 제시된다. 그러나, 당업자는, 교시내용이 단일 채널(예를 들어, 단일 반도체 채널 층) 또는 임의의 수의 채널들에 적용될 수 있다는 것을 인식할 것이다. 당업자는 본 개시내용의 양상들로부터 이익을 얻을 수 있는 반도체 디바이스들의 다른 예들을 인식할 수 있다.

[0008] 본 개시내용의 실시예들은 기존 기술보다 나은 이점들을 제공하지만, 다른 실시예들은 상이한 이점들을 제공할 수 있고 모든 이점들이 본원에서 반드시 논의되는 것은 아니며, 모든 실시예들에 대해 특정한 이점이 요구되는 것은 아니라는 것이 이해된다. 예를 들어, 본원에서 논의되는 실시예들은 (예를 들어, GAA 트랜지스터들과 같은) 멀티-게이트 디바이스에 의해 구현되는 디바이스 유형에 기초하여 선택된 다수의 반도체 채널 층들을 갖는 멀티-게이트 디바이스들을 제공하기 위한 방법들 및 구조체들을 포함한다. GAA 트랜지스터들은 다른 것들 중에서도, 예를 들어, 코어(로직) 디바이스들, 정적 랜덤-액세스 메모리(SRAM) 디바이스들 및 아날로그 디바이스들을 구현하기 위해 다양한 디바이스 유형들에서 사용될 수 있다. GAA 트랜지스터들을 사용하여 구현된 이러한 다양한 디바이스 유형들과 관련하여, 그리고 일부 실시예들에서, 코어(로직) 디바이스들은 SRAM 및 아날로그 디바이스들과 비교하여 더 적은 수의 반도체 채널 층들을 사용하여 구현될 수 있는 반면, SRAM 및 아날로그 디바이스들은 코어(로직) 디바이스들과 비교하여 더 많은 수의 반도체 채널 층들을 사용하여 구현될 수 있다. 일부 예들에서, 코어(로직) 디바이스들은 총 디바이스 커패시턴스를 감소시키고 증가된 디바이스 속도를 제공하기 위해 더 적은 수의 반도체 채널 층들을 사용하여 구현될 수 있다. 대안적으로, 다양한 실시예들에서, SRAM 디바이스들은 증가된 셀 전류를 제공하기 위해 더 많은 수의 반도체 채널 층들을 사용하여 구현될 수 있다. 일부 실시예들에서, 아날로그 디바이스들은 증가된 셀 커패시턴스를 제공하기 위해 더 많은 수의 반도체 채널 층들을 사용하여 구현될 수 있다. 일부 예들에서, 코어(로직) 디바이스에 대한 반도체 채널 층의 수는 3 이하일 수 있고, SRAM 및 아날로그 디바이스들에 대한 반도체 채널 층들의 수는 4 이상일 수 있다. 일반적으로, 구현되는 디바이스 유형(예를 들어, 코어, SRAM 또는 아날로그 디바이스)에 기초하여 선택된 수의 반도체 채널 층들을 갖는 멀티-게이트 디바이스들을 제공함으로써, 본 개시내용의 실시예들은 다양한 상이한 디바이스 유형들의 다양한 성능 조건들을 동시에 충족시킬 수 있는 방법들 및 디바이스 구조체들을 제공한다. 더욱이, 아래에서 더 상세히 설명되는 바와 같이, 본원에서 개시되고 상이한 수의 반도체 채널 층들을 갖는 멀티-게이트 디바이스들을 포함하는 다양한 실시예들이 단일의 연속적인 프로세스 흐름을 사용하여 제조될 수 있다. 다른 실시예들 및 이점들은 본 개시내용을 읽었을 때 당업자에게 명백해질 것이다.

[0009] 하기 논의를 위해, 도 1은 멀티-게이트 디바이스(100)의 단순화된 하향식 레이아웃도를 제공한다. 다양한 실시예들에서, 멀티-게이트 디바이스(100)는 FinFET 디바이스, GAA 트랜지스터, 또는 다른 유형의 멀티-게이트 디바이스를 포함할 수 있다. 멀티-게이트 디바이스(100)는 기판으로부터 연장되는 복수의 핀 요소들(104), 핀 요소들(104) 위에 그리고 주위에 배치된 게이트 구조체(108) 및 소스/드레인 영역들(105, 107)을 포함할 수 있으며, 여기서 소스/드레인 영역들(105, 107)은 핀들(104) 내에, 그 상에 그리고/또는 그 주위에 형성된다. (예를 들어, 멀티-게이트 디바이스(100)가 GAA 트랜지스터를 포함할 때) 복수의 반도체 채널 층들을 포함할 수 있는 멀티-게이트 디바이스(100)의 채널 영역은 도 1의 섹션 AA'에 의해 정의된 평면에 실질적으로 평행한 평면을 따라 게이트 구조체(108) 하부의 핀들(104) 내에 배치된다. 일부 실시예들에서, 측벽 스페이서들은 또한 게이트 구조체(108)의 측벽들 상에 형성될 수 있다. 멀티-게이트 디바이스(100)의 다양한 다른 특징들은 도 2의 방법을 참조하여 아래에서 더 상세히 논의된다.

[0010] 도 2를 참조하면, 다양한 실시예들에 따라, 단일 기판 상에 상이한 수의 반도체 채널 층들을 갖는 반도체 디바이스(300)(이는 예를 들어, 멀티-게이트 디바이스를 포함함)의 제조를 포함하는 반도체 제조 방법(200)이 예시되며, 여기서, 주어진 멀티-게이트 디바이스에 대한 반도체 채널 층들의 수는 구현되는 디바이스 유형에 기초하여 선택된다. 방법(200)은 코어(로직) 디바이스들, 정적 랜덤-액세스 메모리(SRAM) 디바이스들 및 아날로그 디바이스들을 포함하는 다양한 디바이스 유형들을 구현하는 데 사용되는 GAA 트랜지스터들의 제조를 참조하여 아래에서 논의된다. 그러나, 방법(200)의 양상들은 본 개시내용의 범위를 벗어나지 않으면서, 다른 유형들의 멀티-게이트 디바이스들 또는 멀티-게이트 디바이스들에 의해 구현된 다른 유형의 디바이스들에 동일하게 적용될 수 있다는 것이 이해될 것이다. 일부 실시예들에서, 방법(200)은 도 1을 참조하여 위에서 설명된 멀티-게이트 디바이스(100)를 제조하는 데 사용될 수 있다. 따라서, 멀티-게이트 디바이스(100)를 참조하여 위에서 논의된 하나 이상의 양상들은 또한 방법(200)에 적용될 수 있다. 방법(200)은 CMOS(Complementary Metal-Oxide-Semiconductor) 기술 프로세스 흐름의 특징들을 갖는 단계들을 포함하고, 이에 따라 본원에서 간략히만 설명된다는 것이 이해된다. 또한, 방법(200) 이전, 이후 그리고/또는 도중에 추가적인 단계들이 수행될 수 있다.

[0011] 방법(200)의 소정의 양상들은 (예를 들어, 코어(로직) 디바이스, SRAM 디바이스, 및/또는 아날로그 디바이스와

같은) 특정 디바이스 유형을 포함하는 반도체 디바이스(300)의 영역에서 수행되는 것으로 설명된다는 것에 주의한다. 그러나, 특정 디바이스 유형을 포함하는 영역에서 수행되는 것으로 설명되지 않은 경우, 설명되는 방법(200)의 단계는 복수의 디바이스 유형들을 포함하는 복수의 영역에 걸쳐(예를 들어, 복수의 디바이스 유형 영역들에 걸쳐) 수행되는 것으로 가정될 수 있다. 또한, 반도체 디바이스(300)는 다양한 다른 디바이스들 및 피쳐들 이룰테면, 부가적인 트랜지스터들, 바이폴라 접합 트랜지스터들, 저항기들, 커패시터들, 인덕터들, 다이오드들, 퓨즈들 및/또는 다른 로직 회로들 등과 같은 다른 유형의 디바이스들을 포함할 수 있지만, 본 개시내용의 독창적인 개념들의 더 양호한 이해를 위해 간략화된다. 일부 실시예들에서, 반도체 디바이스(300)는 상호 연결될 수 있는, PFET들, NFET들 등을 포함하는 복수의 반도체 디바이스들(예를 들어, 트랜지스터들)을 포함한다. 더욱이, 도면들을 참조하여 주어진 임의의 설명들을 포함하는 방법(200)의 프로세스 단계들은 단지 예시적인 것이며, 다음의 청구항들에서 구체적으로 언급된 것 이상으로 제한되도록 의도되지 않는다는 것에 주의한다.

[0012] 방법(200)은 핀들을 포함하는 기관이 제공되는 블록(202)에서 시작한다. 도 3의 예를 참조하면, 블록(202)의 실시예에서, 핀들(304)을 포함하는 기관(302)이 제공된다. 도 3은 도 1의 섹션 BB' 또는 섹션 CC'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도를 제공한다. 일부 실시예들에서, 기관(302)은 실리콘 기관과 같은 반도체 기관일 수 있다. 기관(302)은 반도체 기관 상에 형성된 전도층 또는 절연층을 포함하는 다양한 층들을 포함할 수 있다. 기관(302)은 당업계에 알려진 바와 같이 설계 요건들에 의존하여 다양한 도핑 구성들을 포함할 수 있다. 기관(302)은 또한 게르마늄, 실리콘 탄화물(SiC), 실리콘 게르마늄(SiGe) 또는 다이아몬드와 같은 다른 반도체들을 포함할 수 있다. 대안적으로, 기관(302)은 화합물 반도체 및/또는 합금 반도체를 포함할 수 있다. 또한, 기관(302)은 선택적으로 에피택셜 층(에피-층(epi-layer))을 포함할 수 있고, 성능 향상을 위해 변형될 수 있고, SOI(silicon-on-insulator) 구조체를 포함할 수 있고 그리고/또는 다른 적합한 향상 특징들을 가질 수 있다.

[0013] 층들(308 및 310)을 포함하는 핀들(304)은 (예를 들어, 층들(308)을 형성하도록 후속적으로 패터닝되는) 제 2 조성물의 에피택셜 층들에 의해 개재된 (예를 들어, 층들(310)을 형성하도록 후속적으로 패터닝되는) 제 1 조성물의 에피택셜 층들을 성장시킴으로써 형성될 수 있다. 일 실시예에서, (예를 들어, 층들(310)을 형성하는 데 사용되는) 제 1 조성물의 에피택셜 층들은 SiGe이고, (예를 들어, 층들(308)을 형성하는 데 사용되는) 제 2 조성물의 에피택셜 층들은 실리콘(Si)이다. 그러나, 상이한 산화 레이트들 및/또는 에칭 선택도를 갖는 제 1 조성물 및 제 2 조성물을 제공하는 실시예들을 포함하는 다른 실시예들이 가능하다. 예를 들어, 일부 실시예들에서, 제 1 조성물 또는 제 2 조성물의 에피택셜 층들 중 어느 하나는 다른 재료들 이룰테면, 게르마늄, 화합물 반도체 이룰테면, 실리콘 탄화물, 갈륨 비화물, 갈륨 인화물, 인듐 인화물, 인듐 비화물 및/또는 인듐 안티몬화물, 합금 반도체 이룰테면, SiGe, GaAsP, AlInAs, AlGaAs, InGaAs, GaInP 및/또는 GaInAsP, 또는 이들의 조합들을 포함할 수 있다. 예로서, 제 1 조성물 또는 제 2 조성물의 에피택셜 층들의 에피택셜 성장은 분자 빔 에피택시(MBE) 프로세스, 금속 유기 화학 기상 증착(MOCVD) 프로세스 및/또는 다른 적합한 에피택셜 성장 프로세스에 의해 수행될 수 있다. 또한, 층들(308, 310)이 핀들(304) 내에 특정 적층 순서(여기서 층(308)이 층들(308, 310)의 스택의 최상위 층임)를 갖는 것으로 도시되지만, 다른 구성들이 가능하다는 것에 주의한다. 예를 들어, 일부 경우들에서, 층(310)은 대안적으로 층들(308, 310)의 스택의 최상위 층일 수 있다. 다른 말로 하면, 층들(308, 310)에 대한 성장의 순서, 및 그에 따른 그들의 적층 시퀀스는 본 개시내용의 범위 내로 유지되면서 스위칭되거나 그렇지 않으면, 도면들에 도시된 것과 상이할 수 있다.

[0014] 제 1 조성물의 에피택셜 층들(예를 들어, 층(310)을 형성하는 데 사용됨) 및 제 2 조성물의 에피택셜 층들(예를 들어, 층(308)을 형성하는 데 사용됨)을 형성한 이후, 하드 마스크(HM) 층이 디바이스(300) 위에 형성될 수 있다. 일부 실시예들에서, HM 층은 HM 층(312)을 형성하기 위해 아래에서 설명되는 바와 같이 후속적으로 패터닝될 수 있으며, 여기서 HM 층(312)은 산화물 층(314)(예를 들어, SiO₂를 포함할 수 있는 패드 산화물 층) 및 산화물 층(314) 위에 형성된 질화물 층(316)(예를 들어, Si₃N₄를 포함할 수 있는 패드 질화물 층)을 포함한다. 일부 예들에서, 산화물 층(314)은 열적으로 성장된 산화물, CVD-증착 산화물 및/또는 ALD-증착 산화물을 포함할 수 있고, 질화물 층(316)은 CVD 또는 다른 적합한 기술에 의해 증착된 질화물 층을 포함할 수 있다. 일반적으로, 일부 실시예들에서, HM 층은 CVD, ALD, PVD 또는 다른 적합한 프로세스에 의해 증착된 질화물-함유 재료를 포함할 수 있다.

[0015] HM 층을 형성한 이후, 기관(302)으로부터 연장되는 핀들(304)이 형성된다. 핀들(304)은 포토리소그래피 및 에칭 프로세스들을 포함하는 적합한 프로세스들을 사용하여 제조될 수 있다. 포토리소그래피 프로세스는 디바이스(300) 위에 포토레지스트 층을 형성하는 것, 레지스트를 패턴에 노출시키는 것, 노출-후 베이킹 프로세스를 수행하는 것, 그리고 레지스트를 현상하여 레지스트를 포함하는 마스크링 요소를 형성하는 것을 포함할 수 있다.

일부 실시예들에서, 마스크 요소를 형성하기 위해 레지스트를 패터닝하는 것은 전자 빔(e-빔) 리소그래피 프로세스를 사용하여 수행될 수 있다. 그 후, 마스크 요소는 기판(302)의 영역들 및 그 위에 형성된 층들을 보호하는 데 사용될 수 있는 반면, 에칭 프로세스는 HM 층을 통해, 제 1 조성물 및 제 2 조성물의 에피택셜 층들을 통해, 그리고 기판(302) 내로 비보호 영역들에 트렌치들(307)을 형성하고 그리하여 복수의 연장 핀들(304)이 남게 된다. 트렌치들(307)은 건식 에칭(예를 들어, 반응성 이온 에칭), 습식 에칭 및/또는 다른 적합한 프로세스들을 사용하여 에칭될 수 있다.

[0016] 다양한 실시예들에서, 핀들(304) 각각은 기판(302), 층들(310)(예를 들어, 제 1 조성물을 포함함), 층들(308)(예를 들어, 제 2 조성물을 포함함) 및 HM 층(312)으로부터 형성된 기판 부분(302A)을 포함한다. 일부 실시예들에서, HM 층(312)은 핀들(304)의 형성 이전에 (예를 들어, CMP 프로세스에 의해) 제거될 수 있다. 일부 예들에서, HM 층(312)은 후속 게이트 에칭 프로세스 동안 핀들(304)의 재료의 손실을 완화시키기 위해 사용된다. 다양한 실시예들에서, 에피택셜 층들(308)(예를 들어, 제 2 조성물을 포함함) 또는 이들의 부분들은 디바이스(300)의 GAA 트랜지스터의 채널 영역을 형성할 수 있다. 예를 들어, 층들(308)은 GAA 트랜지스터의 채널 영역을 형성하는 데 사용되는 반도체 채널 층들로서 지칭될 수 있다. 다양한 실시예들에서, 반도체 채널 층들(예를 들어, 층들(308) 또는 그의 부분들)은 나노시트 채널(들), 나노와이어 채널(들), 바-형상 채널(들) 및/또는 다른 적합한 채널 구성들을 포함할 수 있다. 반도체 채널 층들은 또한 아래에서 논의되는 바와 같이 GAA 트랜지스터의 소스/드레인 피쳐들의 부분들을 형성하는 데 사용된다.

[0017] 핀들(304)은 에피택셜 층(310)의 4개의 층들 및 에피택셜 층(308)의 4개의 층들을 포함하는 것으로 예시되지만, 이는 단지 예시 목적들을 위한 것일 뿐이며, 청구항에서 구체적으로 인용되는 것 이상으로 제한하려는 것이 아니란 것에 주의한다. 임의의 수의 에피택셜 층들이 형성될 수 있으며, 여기서 에피택셜 층들의 수는 예를 들어, GAA 트랜지스터에 대한 원하는 수의 반도체 채널 층들에 의존한다는 것이 인지될 수 있다. 일부 예들에서, 에피택셜 층들의 수, 및 이에 따른 반도체 채널 층들의 수는 (예를 들어, 다른 것들 중에서도, 코어(로직) 디바이스들, SRAM 디바이스들, 또는 아날로그 디바이스들 등과 같이) GAA 트랜지스터에 의해 구현되는 디바이스 유형에 기초하여 선택된다. 일부 실시예들에서, 에피택셜 층들(308)의 수 및 이에 따른 반도체 채널 층들의 수는 4 내지 10이다.

[0018] 일부 실시예들에서, 에피택셜 층들(310)은 각각 약 4-8 나노미터(nm)의 두께 범위를 갖는다. 일부 경우들에서, 에피택셜 층들(308)은 각각 약 4 내지 8 nm의 두께 범위를 갖는다. 위에서 언급된 바와 같이, 에피택셜 층들(308)은 후속적으로 형성된 멀티-게이트 디바이스(예를 들어, GAA 트랜지스터)에 대한 채널 영역(들)으로서 역할을 할 수 있고, 그의 두께는 디바이스 성능 고려사항들에 적어도 부분적으로 기초하여 선택될 수 있다. 에피택셜 층들(310)은 후속적으로 형성된 멀티-게이트 디바이스에 대한 인접 채널 영역(들) 사이의 갭 거리를 정의하는 역할을 할 수 있고, 그의 두께는 또한 디바이스 성능 고려사항들에 적어도 부분적으로 기초하여 선택될 수 있다.

[0019] 방법(200)은 그 후 얇은 트렌치 격리(STI) 피쳐들이 형성되는 블록(204)으로 진행된다. 도 3 및 도 4를 참조하면, 블록(204)의 실시예에서, STI 피쳐들(402)은 핀들(304)을 개재하여 형성된다. 도 4는 도 1의 섹션 BB' 또는 섹션 CC'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도를 제공한다. 일부 예들에서, 핀들(304)을 형성한 이후, 핀들(304)을 개재하는 트렌치들(307)은 유전체 재료로 충전될 수 있다. 일부 실시예들에서, 트렌치들(307)을 충전하는 데 사용되는 유전체 재료는 SiO₂, 실리콘 질화물, 실리콘 산질화물, 불소-도핑 실리케이트 유리(FSG), 로우-k 유전체, 이들의 조합들 및/또는 당업계에 알려진 다른 적합한 재료들을 포함할 수 있다. 다양한 예들에서, 유전체 재료는 CVD 프로세스, 부압(subatmospheric) CVD(SACVD) 프로세스, 유동성 CVD 프로세스, ALD 프로세스, PVD 프로세스 및/또는 다른 적합한 프로세스에 의해 증착될 수 있다.

[0020] 일부 예들에서, 유전체 재료를 증착한 이후, 유전체 재료의 과잉 부분들을 제거하고 디바이스(300)의 상부 표면을 평탄화하여 도 4에 도시된 바와 같이 STI 피쳐들(402)을 형성하도록 CMP 프로세스가 수행될 수 있다. 일부 실시예들에서, CMP 프로세스는 또한, 층들(308, 310)의 스택의 최상위 층을 노출시키기 위해 핀들(304) 각각 위의 HM 층(312)을 제거할 수 있다. 본 예에서, 층들의 스택(308, 310)의 최상위 층은 에피택셜 층(308)을 포함한다. 그러나, 이전에 논의된 바와 같이 다른 스택 구성들이 가능하다.

[0021] 그 후, 방법(200)은 제 1 STI 리세스 프로세스가 수행되는 블록(206)으로 진행된다. 도 4 및 도 5를 참조하면, 블록(206)의 실시예에서, STI 피쳐(402)를 리세스하여 도 5에 도시된 바와 같이 리세스된 STI 피쳐들(402A)을 형성하도록 STI 리세스 프로세스가 수행된다. 도 5는 도 1의 섹션 BB' 또는 섹션 CC'에 의해 정의된 평면에 실

질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도를 제공한다. 다양한 실시예들에서, 제 1 STI 리세스 프로세스에 의해 형성된 리세스된 STI 피처들(402A)은 복수의 디바이스 유형들(예를 들어, 코어 디바이스들, SRAM 디바이스들 및 아날로그 디바이스들)을 포함하는 반도체 디바이스(300)의 복수의 영역들에 걸쳐 형성될 수 있다. 다양한 예들에서, STI 피처들(402A)은 핀들(304)이 STI 피처들(402A) 위로 연장되도록 리세스된다. 일부 실시예들에서, 리세스 프로세스는 건식 에칭 프로세스, 습식 에칭 프로세스 및/또는 이들의 조합을 포함할 수 있다. 일부 실시예들에서, 제 1 STI 리세스 프로세스의 리세스 깊이는 핀들(304)의 노출된 상 위 부분의 원하는 높이('H1')를 초과하도록 (예를 들어, 에칭 시간을 제어함으로써) 제어된다. 일부 실시예들에서, 높이 'H1'은 각각의 핀들(304)의 층들(308, 310)의 에피택셜 스택의 서브세트(502)를 노출시킨다. 다양한 예들에서, 층들(308, 310)의 에피택셜 스택의 노출된 서브세트(502)는 제 1 수의 노출된 에피택셜 층들(308)을 포함한다. 다른 말로 하면, 층들(308, 310)의 에피택셜 스택의 노출된 서브세트(502)는 제 1 수의 노출된 반도체 채널 층들을 포함한다. 제 1 STI 리세스 프로세스에 의해 노출되지 않은 에피택셜 층들(308, 310)(적어도 하나의 반도체 채널 층을 포함함)은 STI 피처들(402A) 내에 매립된 채로 유지될 수 있다. 아래에서 더 상세히 설명되는 바와 같이, 서브세트(502)에 의해 제공되는 제 1 수의 노출된 반도체 채널 층들은 반도체 디바이스(300)의 제 1 영역 내에 배치된 제 1 디바이스 유형에 대한 제 1 수의 반도체 채널 층들을 정의할 수 있다. 본 예에서, 제 1 수의 노출된 반도체 채널 층들에 대응하는 제 1 디바이스 유형은 코어(로직) 디바이스를 포함할 수 있다. 더욱이, 서브세트(502)는 3개의 반도체 채널 층들을 포함하는 것으로 예시되지만, 일부 경우들에서, 서브세트(502)는 대안적으로 3개 미만의 반도체 채널 층들을 포함할 수 있다.

[0022] 그 후, 방법(200)은 제 2 STI 리세스 프로세스가 수행되는 블록(208)으로 진행된다. 도 5 및 도 6a/6b/6c를 참조하면, 블록(208)의 실시예에서, STI 피처(402A)를 추가로 리세스하여 도 6a 및 도 6c에 도시된 바와 같이 리세스된 STI 피처들(402B)을 형성하도록 STI 리세스 프로세스가 수행된다. 도 6a/6b/6c는 도 1의 섹션 BB' 또는 섹션 CC'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공한다. 일부 실시예들에서, 제 2 STI 리세스 프로세스에 의해 형성된 리세스된 STI 피처(402B)는 반도체 디바이스(300)의 아날로그 디바이스 영역(도 6a) 및 SRAM 디바이스 영역(도 6c)에 형성될 수 있는 반면, STI 피처들(402A)은 반도체 디바이스(300)의 코어 디바이스 영역(도 6b) 내에 유지된다. 예를 들어, 리세스된 STI 피처들(402B)을 형성하기 전에, 레지스트 층이 디바이스(300) 위에 형성되고 패터닝되어 반도체 디바이스(300)의 아날로그 및 SRAM 디바이스 영역들을 노출시키는 패터닝된 레지스트 층(602)을 형성하는 반면, 패터닝된 레지스트 층(602)은 코어 디바이스 영역 위에 배치된 채로 유지된다. 일부 실시예들에서, 패터닝된 레지스트 층(602)의 형성 이후에, 아날로그 및 SRAM 디바이스 영역들 내에 STI 피처들(402B)을 형성하기 위해 STI 피처들(402A)을 추가로 리세스하도록 제 2 STI 리세스 프로세스가 수행되는 반면, 코어 디바이스 영역은 패터닝된 레지스트 층(602)에 의해 마스크된 채로 유지된다. 일부 실시예들에서, 리세스 프로세스는 건식 에칭 프로세스, 습식 에칭 프로세스 및/또는 이들의 조합을 포함할 수 있다. 제 2 STI 리세스 프로세스 이후에, 패터닝된 레지스트 층(602)은 예를 들어, 용매, 레지스트 스트리퍼, 애싱(ashing) 또는 다른 적합한 기술에 의해 제거될 수 있다.

[0023] 일부 실시예들에서, 제 2 STI 리세스 프로세스의 리세스 깊이는 아날로그 및 SRAM 디바이스 영역에서 핀들(304)의 노출된 상 위 부분의 원하는 높이('H2')를 초과하도록 (예를 들어, 에칭 시간을 제어함으로써) 제어된다. 일부 실시예들에서, 높이 'H2'는 STI 피처들(402A)에 의해 이전에 커버된 층(308, 310)의 에피택셜 스택의 층들 중 하나 이상을 노출시킨다. 다양한 예들에서, 제 2 STI 리세스 프로세스는 하나 이상의 부가적인 에피택셜 층들(308)을 노출시켜 노출된 에피택셜 층들(308)의 총 수가 제 1 STI 리세스 프로세스에 의해 노출된 에피택셜 층들(308)의 제 1 수보다 크게 하는 역할을 한다. 다른 말로 하면, 제 2 STI 리세스 프로세스는 하나 이상의 부가적인 반도체 채널 층들을 노출시켜 노출된 반도체 채널 층들의 총 수가 제 1 STI 리세스 프로세스에 의해 노출된 반도체 채널 층들의 제 1 수 보다 크게 하는 역할을 한다. 따라서, 다양한 실시예들에서, 아날로그 및 SRAM 디바이스 영역들(도 6a 및 도 6c)에서 노출된 반도체 채널 층들의 수는 코어 디바이스 영역(도 6b)에서 노출된 반도체 채널 층들의 수보다 크다. 적어도 일부 실시예들에서, 제 2 STI 리세스 프로세스는 아날로그 및 SRAM 디바이스 영역들에서 모든 에피택셜 층들(308)을 노출시키는 역할을 한다. 아래에서 더 상세히 설명되는 바와 같이, 아날로그 및 SRAM 디바이스 영역들에서 노출된 에피택셜 층들(308)의 수는 반도체 디바이스(300)의 각각의 영역들에 형성된 아날로그 및 SRAM 디바이스들에 대한 반도체 채널 층들의 수를 정의할 수 있다. 도 6a 및 도 6c의 예는 각각 아날로그 및 SRAM 디바이스 영역들 내에 4개의 반도체 채널 층들을 포함하는 것으로 예시되지만, 일부 경우들에서, 아날로그 및 SRAM 디바이스 영역들은 대안적으로 4개 초과 반도체 채널 층들을 포함할 수 있다.

[0024] 방법(200)은 그 후, 핀 클래딩 층이 형성되는 블록(210)으로 진행된다. 도 6a/6b/6c 및 도 7a/7b/7c를 참조하면, 블록(210)의 실시예에서, 핀 클래딩 층(702)은 반도체 디바이스(300)의 아날로그, 코어 및 SRAM 디바이스

영역들 각각에서 핀들(304) 위에 형성될 수 있다. 도 7a/7b/7c는 도 1의 섹션 BB' 또는 섹션 CC'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공한다. 일부 실시예들에서, 핀 클래딩 층(702)은 에피택셜 SiGe 층을 포함한다. 핀 클래딩 층(702)은 핀들(304) 각각 위에 컨포멀하게(conformally) 증착될 수 있다. 예로서, 핀 클래딩 층(702)은 MBE 프로세스, MOCVD 프로세스, ALD 프로세스 및/또는 다른 적합한 에피택셜 성장 프로세스들에 의해 증착될 수 있다. 다양한 실시예들에서, 핀 클래딩 층(702)은 아래에서 설명되는 바와 같이 후속 프로세싱 스테이지에서 제거되는 희생 층이다. 또한, 핀 클래딩 층(702)은 반도체 디바이스(300) 상에 형성된 GAA 트랜지스터들의 게이트 면적 밀도를 증가시키기 위해 사용될 수 있다. 예를 들어, 디바이스의 게이트 면적에서(예를 들어, 아날로그, 코어 또는 SRAM 디바이스 영역 내에서), 핀 클래딩 층(702)에 의해 점유된 면적은 후속적으로 게이트 구조체(예를 들어, 유전체 층 및 금속 게이트 층을 포함함)에 의해 대체될 수 있다. 일부 경우들에서, 핀 클래딩 층(702)은 약 4-16 nm 범위의 두께를 갖는다. 다양한 실시예들에서, 핀 클래딩 층(702)의 두께는 반도체 디바이스(300)의 제조를 위해 적절한 프로세스 윈도우를 제공하면서, 후속적으로 형성된 게이트 구조체에 대해 원하는 면적 밀도를 또한 제공하도록(예를 들어, 더 낮은 게이트 저항을 제공하도록) 선택될 수 있다.

[0025] 방법(200)은 그 후, 이중-층 유전체가 형성되는 블록(212)으로 진행된다. 도 7a/7b/7c 및 도 8a/8b/8c를 참조하면, 블록(212)의 실시예에서, 이중-층 유전체(802)가 반도체 디바이스(300)의 아날로그, 코어 및 SRAM 디바이스 영역들 각각 내에 형성될 수 있다. 도 8a/8b/8c는 도 1의 섹션 BB' 또는 섹션 CC'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공한다. 일부 실시예들에서, (핀들(304) 각각 위에 증착된) 핀 클래딩 층(702)에 인접한 트렌치들을, 제 1 재료(804) 및 제 1 재료(804) 위에 배치된 제 2 재료(806)로 충전하고 그리하여 이중-층 유전체(802)를 형성함으로써 이중-층 유전체(802)가 형성된다. 다양한 경우들에서, 이중-층 유전체(802)는 CVD 프로세스, ALD 프로세스, PVD 프로세스 및/또는 다른 적합한 프로세스에 의해 증착될 수 있다. 일부 예들에서, 제 1 재료(804) 및 제 2 재료(806)를 증착한 이후, 과잉 재료 부분을 제거하고 디바이스(300)의 상부 표면을 평탄화하여 이중-층 유전체(802)를 제공하도록 CMP 프로세스가 수행될 수 있다. 일부 실시예들에서, 제 1 재료(804)는 SiCN, SiOC, SiOCN 또는 다른 로우-K(LK) 재료(예를 들어, 유전율 'k' < 7를 가짐)를 포함하는 로우-K 재료를 포함할 수 있다. 일부 예들에서, 제 2 재료(806)는 HfO₂, ZrO₂, HfAlO_x, HfSiO_x, Al₂O₃ 또는 다른 하이-K(HK) 재료(예를 들어, 유전율 'k' > 7을 가짐)를 포함하는 하이-K 재료를 포함할 수 있다. 따라서, 다양한 경우들에서, 이중-층 유전체(802)는 HK 상위 부분(예를 들어, 제 2 재료(806)) 및 LK 하위 부분(예를 들어, 제 1 재료(804))를 포함한다. 일부 예들에서, 상위 부분 대 하위 부분의 비, 즉 HK/LK 비는 약 1/20 내지 20/1이다. 일부 실시예들에서, 이중-층 유전체(802)는 절단 금속 게이트(cut metal gate; CMG) 프로세스 윈도우를 확대시키는 역할을 한다. 또한, 일부 경우들에서, 이중-층 유전체(802)는 인접 핀들(304) 상에 후속적으로 형성된 소스/드레인 에피-층들의 바람직하지 않은 측방향 병합을 방지하기 위해 사용될 수 있다.

[0026] 방법(200)은 그 후, 더미 게이트 구조체가 형성되는 블록(214)으로 진행된다. 본 논의는 더미 게이트 구조체가 형성되고 후속적으로 대체되는 대체 게이트(게이트-라스트) 프로세스에 관한 것이지만, 다른 구성들이 가능할 수 있다.

[0027] 도 9a/9b/9c 및 도 10a/10b/10c를 참조하면, 블록(214)의 실시예에서, 게이트 스택들(903, 905, 907)은 반도체 디바이스(300)의 아날로그, 코어 및 SRAM 디바이스 영역들 각각 내의 핀들(304) 위에 형성된다. 도 9a/9b/9c는 도 1의 섹션 CC'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공하고, 도 10a/10b/10c는 도 1의 섹션 AA'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공한다. 일 실시예에서, 게이트 스택들(903, 905, 907)은 아래에서 논의되는 바와 같이 디바이스(300)의 후속 프로세싱 스테이지에서 후속적으로 제거되고 최종 게이트 스택으로 대체되는 더미(희생) 게이트 스택들이다. 게이트 스택(903, 905, 907)은 추후의 프로세싱 스테이지에서 하이 K(HK) 유전체 층 및 금속 게이트(MG) 전극에 의해 대체될 수 있다. 일부 실시예들에서, 게이트 스택들(903, 905, 907)은 기판(302) 위에 형성되고, 반도체 디바이스(300)의 아날로그, 코어 및 SRAM 디바이스 영역들 각각 내에서 핀들(304) 위에 적어도 부분적으로 배치된다. 게이트 스택들(903, 905, 907) 하부의 핀들(304)의 부분은 채널 영역으로서 지칭될 수 있다. 게이트 스택들(903, 905, 907)은 또한, 핀들(304)의 소스/드레인 영역, 예를 들어 채널 영역의 대향하는 측들 상에 있고 그에 인접한 핀들(304)의 영역들을 정의할 수 있다.

[0028] 일부 실시예들에서, 게이트 스택들(903, 905, 907)은 유전체 층(904) 및 전극 층(906)을 포함한다. 게이트 스택들(903, 905, 907)은 또한 하나 이상의 하드 마스크 층들(908, 910)을 포함할 수 있다. 일부 실시예들에서, 하드 마스크 층(908)은 산화물 층을 포함할 수 있고, 하드 마스크 층(910)은 질화물 층을 포함할 수 있다. 일

부 실시예들에서, 게이트 스택들(903, 905, 907)은 층 증착, 패터닝, 에칭뿐만 아니라 다른 적합한 프로세싱 단계들과 같은 다양한 프로세스 단계들에 의해 형성된다. 일부 예들에서, 층 증착 프로세스는 CVD(저압 CVD 및 플라즈마 강화 CVD 둘 모두를 포함함), PVD, ALD, 열 산화, e-빔 증발 또는 다른 적합한 증착 기술 또는 이들의 조합을 포함한다. 예를 들어, 게이트 스택들(903, 905, 907)을 형성하는데 있어, 패터닝 프로세스는 리소그래피 프로세스(예를 들어, 포토리소그래피 또는 e-빔 리소그래피)를 포함하며, 이는 포토레지스트 코팅(예를 들어, 스핀-온 코팅), 소프트 베이킹, 마스크 정렬, 노출 후 베이킹, 포토레지스트 현상, 행균, 건조(예를 들어, 스핀-건조 및/또는 하드 베이킹), 다른 적합한 리소그래피 기술들 및/또는 이들의 조합들을 더 포함할 수 있다. 일부 실시예들에서, 에칭 프로세스는 건식 에칭(예를 들어, RIE 에칭), 습식 에칭 및/또는 다른 에칭 방법들을 포함할 수 있다.

[0029] 일부 실시예들에서, 유전체 층(904)은 실리콘 산화물을 포함한다. 대안적으로 또는 부가적으로, 유전체 층(904)은 실리콘 질화물, 하이-K 유전체 재료 또는 다른 적합한 재료를 포함할 수 있다. 일부 실시예들에서, 전극 층(906)은 다결정 실리콘(폴리실리콘)을 포함할 수 있다. 일부 실시예들에서, 하드 마스크 층(908)의 산화물은 SiO₂를 포함할 수 있는 패드 산화물 층을 포함한다. 일부 실시예들에서, 하드 마스크 층(910)의 질화물은 Si₃N₄, 실리콘 산질화물 또는 실리콘 탄화물을 포함할 수 있는 패드 질화물 층을 포함한다.

[0030] 일부 실시예들에서, 그리고 게이트 스택들(903, 905, 907)의 형성 이후에, 스페이서 층(1202)이 기판 상에 증착된다. 스페이서 층(1202)은 컨포멀 층일 수 있다. 예를 들어, 도 12a/12b/12c에 도시된 바와 같은 스페이서 층(1202)은 다양한 도면들에서 예시된다. 스페이서 층(1202)은 게이트 스택들(903, 905, 907)의 측벽들 상에 그리고 그 위에 증착될 수 있다. 일부 경우들에서, 스페이서 층(1202)은 약 2 내지 10 nm의 두께를 가질 수 있다. 일부 예들에서, 스페이서 층(1202)은 유전체 재료 이블테면, 실리콘 산화물, 실리콘 질화물, 실리콘 탄화물, 실리콘 산질화물, SiCN, 실리콘 옥시탄화물, SiOCN, 로우-K 재료(예를 들어, 유전율 'k' < 7를 가짐) 및/또는 이들의 조합들을 포함할 수 있다. 일부 실시예들에서, 스페이서 층(1202)은 메인 스페이서 층들, 라이너 층들 등과 같은 다수의 층들을 포함한다. 예를 들어, 스페이서 층(1202)은 CVD 프로세스, 부압 CVD(SACVD) 프로세스, 유동성 CVD 프로세스, ALD 프로세스, PVD 프로세스 또는 다른 적합한 프로세스와 같은 프로세스들을 사용하여 디바이스(300) 위에 유전체 재료를 컨포멀하게 증착함으로써 형성될 수 있다.

[0031] 그 후, 방법(200)은 제 1 소스/드레인 에칭 프로세스가 수행되는 블록(216)으로 진행된다. 도 11a/11b/11c 및 도 12a/12b/12c를 참조하면, 블록(216)의 실시예에서, 제 1 소스/드레인 에칭 프로세스는 반도체 디바이스(300)의 아날로그 및 SRAM 디바이스 영역들에 대해 수행된다. 도 11a/11b/11c는 도 1의 섹션 BB'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공하고, 도 12a/12b/12c는 도 1의 섹션 AA'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공한다. 일부 실시예들에서, 레지스트 층이 디바이스(300) 위에 형성되고 패터닝되어 반도체 디바이스(300)의 아날로그 및 SRAM 디바이스 영역들을 노출시키는 패터닝된 레지스트 층(1102)을 형성하는 반면, 패터닝된 레지스트 층(1102)은 코어 디바이스 영역 위에 배치된 채로 유지된다. 일부 실시예들에서, 패터닝된 레지스트 층(1102)의 형성 이후에, 코어 디바이스 영역은 패터닝된 레지스트 층(1102)에 의해 마스크된 채로 유지되는 반면, 아날로그 및 SRAM 디바이스 영역들에서 핀들(304)의 하부의 기판 부분들(302A)을 노출시키는 트렌치들(1104)을 형성하기 위해 아날로그 및 SRAM 디바이스 영역들의 소스/드레인 영역들에서 핀 클래딩 층(702) 및 노출된 에피택셜 층들(308, 310)을 제거하도록 제 1 소스/드레인 에칭 프로세스가 수행된다. 예로서, 제 1 소스/드레인 에칭 프로세스들은 위에서 설명된 블록(208)의 제 2 STI 리세스 프로세스 동안 노출된 (아날로그 및 SRAM 디바이스 영역들의 소스/드레인 영역들에 있는) 에피택셜 층들(308, 310)의 부분들을 제거하는 역할을 할 수 있다. 도 12a 및 12c에 도시된 바와 같이, 제 1 소스/드레인 에칭 프로세스는 또한 (예를 들어, 게이트 스택들(903 및 907)의 상부 표면들로부터) 스페이서 층(1202)의 부분들을 제거할 수 있다. 일부 실시예들에서, 제 1 소스/드레인 에칭 프로세스는 건식 에칭 프로세스, 습식 에칭 프로세스 및/또는 이들의 조합을 포함할 수 있다. 제 1 소스/드레인 에칭 프로세스 이후에, 패터닝된 레지스트 층(1102)은 예를 들어, 용매, 레지스트 스트리퍼, 애싱 또는 다른 적합한 기술에 의해 제거될 수 있다.

[0032] 그 후, 방법(200)은 제 2 소스/드레인 에칭 프로세스가 수행되는 블록(218)으로 진행된다. 도 13a/13b/13c 및 도 14a/14b/14c를 참조하면, 블록(218)의 실시예에서, 제 2 소스/드레인 에칭 프로세스는 반도체 디바이스(300)의 코어 디바이스 영역에 대해 수행된다. 도 13a/13b/13c는 도 1의 섹션 BB'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공하고, 도 14a/14b/14c는 도 1의 섹션 AA'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공한다. 일부 실시예들에서, 레지스트 층이 디바이스(300) 위에 형성되고 패터닝되어 반도체 디바이스(300)의 코어

디바이스 영역을 노출시키는 패터닝된 레지스트 층(1302)을 형성하는 반면, 패터닝된 레지스트 층(1302)은 아날로그 및 SRAM 디바이스 영역들 위에 배치된 채로 유지된다. 일부 실시예들에서, 패터닝된 레지스트 층(1302)의 형성 이후에, 아날로그 및 SRAM 디바이스 영역들은 패터닝된 레지스트 층(1302)에 의해 마스크된 채로 유지되는 반면, 코어 디바이스 영역 내의 핀들(304)의 하부의 부분들을 노출시키는 트렌치들(1304)을 형성하기 위해 코어 디바이스 영역의 소스/드레인 영역들에서 핀 클래딩 층(702) 및 노출된 에피택셜 층들(308, 310)을 제거하도록 제 2 소스/드레인 에칭 프로세스가 수행된다. 예로서, 제 2 소스/드레인 에칭 프로세스는 위에서 설명된 블록(206)의 제 1 STI 리세스 프로세스 동안 노출된 (코어 디바이스 영역의 소스/드레인 영역들에 있는) 에피택셜 층들(308, 310)의 부분들(예를 들어, 층(308, 310)의 에피택셜 스택의 서브세트(502)를 포함함)을 제거하는 역할을 할 수 있다. 제 1 STI 리세스 프로세스에 의해 노출되지 않은 에피택셜 층들(308, 310)(적어도 하나의 반도체 채널 층을 포함함)은 도 13b에 도시된 바와 같이 트렌치들(1304) 아래의 STI 피쳐들(402A) 내에 매립된 채로 유지될 수 있다. 도 14b를 참조하면, 제 2 소스/드레인 에칭 프로세스는 또한 (예를 들어, 게이트 스택(905)의 상부 표면들로부터) 스페이서 층(1202)의 부분들을 제거할 수 있다. 일부 실시예들에서, 제 2 소스/드레인 에칭 프로세스는 건식 에칭 프로세스, 습식 에칭 프로세스 및/또는 이들의 조합을 포함할 수 있다. 제 2 소스/드레인 에칭 프로세스 이후에, 패터닝된 레지스트 층(1302)은 예를 들어, 용매, 레지스트 스트리퍼, 애싱 또는 다른 적합한 기술에 의해 제거될 수 있다.

[0033] 그 후, 방법(200)은 내부 스페이서들이 형성되는 블록(220)으로 진행된다. 도 15a/15b/15c 및 도 16a/16b/16c를 참조하면, 블록(220)의 실시예에서, 내부 스페이서들(1602)이 반도체 디바이스(300)의 아날로그, 코어 및 SRAM 디바이스 영역들 각각에 형성된다. 도 15a/15b/15c는 도 1의 섹션 BB'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공하고, 도 16a/16b/16c는 도 1의 섹션 AA'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공한다. 일부 실시예들에서, 내부 스페이서들(1602)의 형성은 에피택셜 층들(310)(SiGe 층)의 측방향 에칭에 이어지는, 내부 스페이서들(1602)을 형성하도록 하는 유전체 재료의 증착 및 에칭-백(etch-back)을 포함할 수 있다. 일부 실시예들에서, 내부 스페이서들(1602)은 비정질 실리콘을 포함한다. 일부 예들에서, 내부 스페이서(1602)는 실리콘 산화물, 실리콘 질화물, 실리콘 탄화물, 실리콘 산질화물, SiCN, 실리콘 옥시탄화물, SiOCN, 로우-K 재료(예를 들어, 유전율 $k < 7$ 를 가짐) 및/또는 이들의 조합들을 포함할 수 있다. 다양한 예들에서, 내부 스페이서 층들(1602)은 아래에서 설명되는 바와 같이, 후속적으로 형성된 소스/드레인 피쳐들에 접하면서 (게이트 스택들(903, 905, 907)의 측벽들 상에 형성된) 스페이서 층(1202) 아래로 연장될 수 있다.

[0034] 방법(200)은 그 후 소스/드레인 피쳐들이 형성되는 블록(222)으로 진행된다. 도 17a/17b/17c 및 도 18a/18b/18c를 참조하면, 블록(222)의 실시예에서, 소스/드레인 피쳐들(1702)이 반도체 디바이스(300)의 아날로그 및 SRAM 디바이스 영역들에 형성되고, 소스/드레인 피쳐들(1802)은 반도체 디바이스(300)의 코어 디바이스 영역에 형성된다. 도 17a/17b/17c는 도 1의 섹션 BB'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공하고, 도 18a/18b/18c는 도 1의 섹션 AA'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공한다. 일부 실시예들에서, 소스/드레인 피쳐들(1702, 1802)은 게이트 스택들(903, 905, 907)의 양 측 상에 있고 그에 인접한 소스/드레인 영역들에 형성된다. 예를 들어, 소스/드레인 피쳐들(1702)은 아날로그 및 SRAM 디바이스 영역들의 트렌치들(1104) 내에 노출된 기관 부분들(302A) 위에 그리고 인접 내부 스페이서들(1602) 및 반도체 채널 층들(에피택셜 층(308))과 접촉하게 형성될 수 있다. 유사하게, 소스/드레인 피쳐들(1802)은 코어 디바이스 영역의 트렌치들(1304) 내에, STI 피쳐들(402)에 매립된 에피택셜 층들(308, 310) 위에 그리고 인접 내부 스페이서들(1602) 및 반도체 채널 층들(에피택셜 층(308))과 접촉하게 형성될 수 있다.

[0035] 일부 실시예들에서, 소스/드레인 피쳐들(1702, 1802)은 소스/드레인 영역들에서 반도체 재료 층을 에피택셜 방식으로 성장시킴으로써 형성된다. 다양한 실시예들에서, 소스/드레인 피쳐들(1702, 1802)을 형성하도록 성장된 반도체 재료 층은 Ge, Si, GaAs, AlGaAs, SiGe, GaAsP, SiP 또는 다른 적합한 재료를 포함할 수 있다. 소스/드레인 피쳐들(1702, 1802)은 하나 이상의 에피택셜(에피) 프로세스들에 의해 형성될 수 있다. 일부 실시예들에서, 소스/드레인 피쳐들(1702, 1802)은 에피 프로세스 동안 인-시추 도핑될 수 있다. 예를 들어, 일부 실시예들에서, 에피택셜 방식으로 성장된 Si 에피 소스/드레인 피쳐들은 붕소로 도핑될 수 있다. 일부 경우들에서, 에피택셜 방식으로 성장된 Si 에피 소스/드레인 피쳐들은 Si : C 소스/드레인 피쳐들을 형성하기 위해 탄소로, Si : P 소스/드레인 피쳐들을 형성하기 위해 인으로, 또는 SiCP 소스/드레인 피쳐들을 형성하기 위해 탄소 및 인 둘 모두로 도핑될 수 있다. 일부 실시예들에서, 소스/드레인 피쳐들(1702, 1802)은 인-시추 도핑되지 않고, 대신에 소스/드레인 피쳐들(1702, 1802)을 도핑하기 위해 주입 프로세스가 수행된다. 일부 실시예들에서, 소스/드레인 피쳐들(1702, 1802)의 형성은 N-형 및 P-형 소스/드레인 피쳐들 각각에 대한 별개의 프로세싱 시퀀스들

로 수행될 수 있다. 도 17a/17b/17c에 예시된 바와 같이, 이중-층 유전체(802)는 인접 핀들(304) 상에 형성된 소스/드레인 피처들(1702, 1802)의 바람직하지 않은 측방향 병합을 효과적으로 방지할 수 있다.

[0036] 그 후, 방법(200)은 층간 유전체(ILD) 층이 형성되는 블록(224)으로 진행된다. 도 19a/19b/19c 및 도 20a/20b/20c를 참조하면, 블록(224)의 실시예에서, ILD 층(1902)이 반도체 디바이스(300)의 아날로그, 코어 및 SRAM 디바이스 영역들 각각에 형성된다. 도 19a/19b/19c는 도 1의 섹션 BB'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공하고, 도 20a/20b/20c는 도 1의 섹션 AA'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공한다. 일부 실시예들에서, 접촉부 에칭 정지 층(CESL)(1904)은 ILD 층(1902)을 형성하기 전에 디바이스(300) 위에 형성된다. 일부 예들에서, CESL(1904)은 실리콘 질화물 층, 실리콘 산화물 층, 실리콘 산질화물 층 및/또는 당업계에 알려진 다른 재료들을 포함한다. CESL(1904)은 플라즈마 강화 화학 기상 증착(PECVD) 프로세스 및/또는 다른 적합한 증착 또는 산화 프로세스에 의해 형성될 수 있다. 일부 실시예들에서, ILD 층(1902)은 테트라에틸오르도실리케이트(TEOS) 산화물, 도핑되지 않은 실리케이트 유리, 또는 도핑된 실리콘 산화물, 이를테면 보로포스포실리케이트 유리(BPSG), 플루오로실리케이트 유리(FSG), 포스포실리케이트 유리(PSG), 붕소 도핑 실리콘 유리(BSG) 및/또는 다른 적합한 유전체 재료들과 같은 재료들을 포함한다. ILD 층(1902)은 PECVD 프로세스 또는 다른 적합한 증착 기술에 의해 증착될 수 있다. 일부 실시예들에서, ILD 층(1902)의 형성 이후에, 디바이스(300)는 ILD 층(1902)을 어닐링하기 위해 높은 열 예산 프로세스에 처해질 수 있다.

[0037] 일부 예들에서, ILD 층(1902)(및/또는 CESL(1904) 또는 다른 유전체 층들)을 증착한 이후에, 게이트 스택들(903, 905, 907)의 상부 표면을 노출시키기 위해 평탄화 프로세스가 수행될 수 있다. 예를 들어, 평탄화 프로세스는 게이트 스택들(903, 905, 907) 위에 놓인 ILD 층(1902)(및 만약 있다면, CESL(1904))의 부분들을 제거하고 디바이스(300)의 상부 표면을 평탄화하는 CMP 프로세스를 포함한다. 또한, CMP 프로세스는 더미 게이트들의 하부의 전극 층(906), 이를테면, 폴리실리콘 전극 층을 노출시키기 위해 게이트 스택들(903, 905, 907) 위에 놓인 하드 마스크 층들(908, 910)을 제거할 수 있다.

[0038] 방법(200)은 더미 게이트가 제거되는 블록(226)으로 진행된다. 도 20a/20b/20c 및 도 21a/21b/21c의 예를 참조하면, 블록(226)의 실시예에서, 게이트 스택들(903, 905, 907)의 노출된 전극 층(906)은 적합한 에칭 프로세스에 의해 제거될 수 있다. 도 21a/21b/21c는 도 1의 섹션 CC'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공한다. 다양한 실시예들에서, 전극 층(906)은 습식 에칭, 건식 에칭 또는 이들의 조합을 사용하여 에칭될 수 있다. 일부 실시예들에서, 그리고 전극 층(906)을 제거한 결과로서, 하부의 유전체 층(904)이 노출된다.

[0039] 방법(200)은 게이트 스택 유전체 층 및 하부의 SiGe 층들이 제거되는 블록(228)으로 진행된다. 도 21a/21b/21c 및 도 22a/22b/22c의 예를 참조하면, 블록(228)의 실시예에서, 게이트 스택들(903, 905, 907)의 노출된 유전체 층(904)은 습식 에칭, 건식 에칭 또는 이들의 조합과 같은 적합한 에칭 프로세스에 의해 초기에 제거될 수 있다. 도 22a/22b/22c는 도 1의 섹션 CC'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공한다. 유전체 층(904)의 제거 이후 및 블록(228)의 추가의 실시예에서, 반도체 디바이스(300)의 아날로그, 코어 및 SRAM 디바이스 면적들 각각의 GAA 트랜지스터의 채널 영역에서 SiGe 층들(핀 클래딩 층(702) 및 에피택셜 층들(310)을 포함함)의 선택적 제거가 수행된다. 일부 실시예들에서, SiGe 층들은 더미 게이트 전극 층(906) 및 유전체 층(904)의 제거에 의해 제공된 트랜치 내의 핀들(304)로부터 제거된다. 다양한 예들에서, SiGe 층들(핀 클래딩 층(702) 및 에피택셜 층들(310)을 포함함)은 선택적 습식 에칭 프로세스를 사용하여 노출된 핀들(304)로부터 제거된다. 일부 실시예들에서, 선택적 습식 에칭은 암모니아 및/또는 오존을 포함한다. 단지 일 예로서, 선택적 습식 에칭은 테트라-메틸 암모늄 하이드록사이드(TMAH)를 포함한다. 일 실시예에서, 핀 클래딩 층(702) 및 에피택셜 층들(310)은 SiGe이고 에피택셜 층들(308)은 실리콘 이어서, SiGe 층들의 선택적 제거를 허용한다. SiGe 층들의 선택적 제거 이후에, 채널 영역에서 인접 반도체 채널 층들 사이에 갭들(예를 들어, 에피택셜 층들(308) 사이의 갭들(2202))이 형성될 수 있다는 것에 주의한다. 일부 예들에서, 위에서 설명된 바와 같은 SiGe 층의 선택적 제거는 반도체 채널 층 릴리즈 프로세스로서 지칭될 수 있다.

[0040] 방법(200)은 그 후, 게이트 구조체가 형성되는 블록(230)으로 진행된다. 도 23a/23b/23c 및 도 24a/24b/24c를 참조하면, 블록(230)의 실시예에서, 게이트 구조체가 반도체 디바이스(300)의 아날로그, 코어 및 SRAM 디바이스 영역들 각각에 형성된다. 도 23a/23b/23c는 도 1의 섹션 CC'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공하고, 도 24a/24b/24c는 도 1의 섹션 AA'에 의해 정의된 평면에 실질적으로 평행한 평면을 따른 반도체 디바이스(300)의 실시예의 단면도들을 제공한다. 본원에서 설명

된 게이트 구조체들은 하이-K/금속 게이트 스택을 포함할 수 있지만, 다른 조성물들이 가능하다. 일부 실시예들에서, 게이트 구조체들은 디바이스(300)의 아날로그, 코어 및 SRAM 디바이스 영역 각각의 GAA 트랜지스터들의 채널 영역들에서 복수의 노출된 반도체 채널 층들(이제, 그 사이에 갭들이 존재하는 노출된 에피택셜 층들(308))에 의해 제공되는 다중-채널들과 연관된 게이트를 형성할 수 있다. 일부 실시예들에서, 게이트 유전체는 위에서 설명된 바와 같이, 더미 게이트의 제거에 의해 그리고/또는 반도체 채널 층들의 릴리즈에 의해 제공되는 디바이스(300)의 아날로그, 코어 및 SRAM 디바이스 영역들 각각의 GAA 트랜지스터들의 트렌치 내에 형성된다. 다양한 실시예들에서, 게이트 유전체는 계면 층(IL)(2302) 및 계면 층(2302) 위에 형성된 하이-K 게이트 유전체 층(2304)을 포함한다. 일부 실시예들에서, 게이트 유전체는 약 1 내지 5 nm의 총 두께를 갖는다. 본원에서 사용되고 설명된 바와 같은 하이-K 게이트 유전체들은 예를 들어, 열 실리콘 산화물(~ 3.9)의 것보다 높은 유전 상수를 갖는 유전체 재료들을 포함한다.

[0041] 일부 실시예들에서, 계면 층(2302)은 실리콘 산화물(SiO₂), HfSiO 또는 실리콘 산질화물(SiON)과 같은 유전체 재료를 포함할 수 있다. 계면 층(2302)은 화학적 산화, 열 산화, 원자 층 증착(ALD), 화학적 기상 증착(CVD) 및/또는 다른 적합한 방법에 의해 형성될 수 있다. 하이-K 게이트 유전체 층(2304)은 하프늄 산화물(HfO₂)과 같은 하이-K 유전체 층을 포함할 수 있다. 대안적으로, 하이-K 게이트 유전체 층(2304)은 다른 하이-K 유전체들 이룰테면, TiO₂, HfZrO, Ta₂O₃, HfSiO₄, ZrO₂, ZrSiO₂, LaO, AlO, ZrO, TiO, Ta₂O₅, Y₂O₃, SrTiO₃(STO), BaTiO₃(BTO), BaZrO, HfZrO, HfLaO, HfSiO, LaSiO, AlSiO, HfTaO, HfTiO, (Ba,Sr)TiO₃ (BST), Al₂O₃, Si₃N, 산 질화물들(SiON), 이들의 조합들 또는 다른 적합한 재료를 포함할 수 있다. 하이-K 게이트 유전체 층(2304)은 ALD, 물리 기상 증착(PVD), CVD, 산화 및/또는 다른 적합한 방법들에 의해 형성될 수 있다.

[0042] 블록(230)의 추가의 실시예에서, 금속 층(2306)을 포함하는 금속 게이트는 게이트 유전체 위에(예를 들어, IL(2302) 및 하이-K 게이트 유전체 층(2304) 위에) 형성된다. 금속 층(2306)은 금속, 금속 합금 또는 금속 실리사이드를 포함할 수 있다. 부가적으로, 게이트 유전체/금속 게이트 스택의 형성은 다양한 게이트 재료들을 형성하기 위한 증착들, 하나 이상의 라이너 층들, 및 과잉 게이트 재료들을 제거하여 디바이스(300)의 상부 표면을 평탄화하기 위한 하나 이상의 CMP 프로세스들을 포함할 수 있다.

[0043] 일부 실시예들에서, 금속 층(2306)은 단일 층 또는 대안적으로 다층 구조체, 이룰테면, 디바이스 성능을 향상시키도록 선택된 일 함수를 갖는 금속 층(일 함수 금속 층), 라이너 층, 습윤 층, 접착 층, 금속 합금 또는 금속 실리사이드의 다양한 조합을 포함할 수 있다. 예로서, 금속 층(2306)은 Ti, Ag, Al, TiAlN, TaC, TaCN, TaSiN, Mn, Zr, TiN, TaN, Ru, Mo, Al, WN, Cu, W, Re, Ir, Co, Ni, 다른 적합한 금속 재료들 또는 이들의 조합을 포함할 수 있다. 다양한 실시예들에서, 금속 층(2306)은 ALD, PVD, CVD, e-빔 증발 또는 다른 적합한 프로세스에 의해 형성될 수 있다. 또한, 금속 층(2306)은 상이한 금속 층들을 사용할 수 있는 N-형 및 P-형 트랜지스터들에 대해 별개로 형성될 수 있다. 또한, 금속 층(2306)은 N-형 또는 P-형 일 함수를 제공할 수 있고, 트랜지스터(예를 들어, GAA 트랜지스터) 게이트 전극으로서 역할을 할 수 있고, 적어도 일부 실시예들에서, 금속 층(2306)은 폴리실리콘 층을 포함할 수 있다. 도시되고 논의된 GAA 트랜지스터들과 관련하여, 게이트 구조체는, 각각이 GAA 트랜지스터들에 대한 반도체 채널 층들을 제공하는 에피택셜 층들(308) 각각을 개재하는 부분들을 포함한다.

[0044] 다양한 실시예들에서, 에피택셜 층들(308)에 의해 형성되고 반도체 채널 층들을 정의하는 채널 영역들은 반도체 디바이스(300)의 아날로그, 코어 및 SRAM 디바이스 영역들 각각 내에서 다양한 치수들을 가질 수 있다. 예를 들어, 에피택셜 층들(308)의 단면도(예를 들어, 도 23a/23b/23c)으로부터 에피택셜 층들(308)의 일반적인 두께 치수("T1") 및 일반적인 폭 치수("W1")를 고려한다. 일부 실시예들에서, 에피택셜 층들(308)은 반도체 디바이스(300)의 아날로그, 코어 및 SRAM 디바이스 영역들 각각에서 약 4-8 nm 범위의 두께 치수 'T1'을 가질 수 있다. 일부 예들에서, 에피택셜 층들(308)은 아날로그 디바이스 영역(도 23a)에서 약 15 nm 이상이고, 코어 디바이스 영역(도 23b)에서 약 10-60 nm의 범위에 있고, 반도체 디바이스(300)의 SRAM 디바이스 영역(도 23c)에서 약 6-20nm의 범위에 있는 폭 치수 'W1'을 가질 수 있다. 또한, (예를 들어, 도 24a/24b/24c를 참조하여) 에피택셜 층들(308)의 일반적인 길이 치수 'L1'을 고려하면, 에피택셜 층들(308)은 아날로그 디바이스 영역(도 24a)에서 약 20 nm 초과이고, 코어 디바이스 영역(도 24b)에서 약 20 nm 이하이고, 반도체 디바이스(300)의 SRAM 디바이스 영역(도 24c)에서 약 20nm 이하의 길이 치수 'L1'을 가질 수 있다. 일부 경우들에서, 인접 반도체 채널 층들(에피택셜 층들(308)) 사이의 간격/갭은 (예를 들어, 릴리즈된 에피택셜 층들(310)의 두께에 의해 결정되는 바와 같이) 약 4-8 nm와 동일하다.

[0045] 또한, 2-단계 STI 리세스 프로세스(방법(200)의 블록들(206 및 208)) 및 STI 피처들(402A) 내에(예를 들어, 코

어 디바이스 영역 내에) 내장된 채로 유지되는 결과적인 에피택셜 층들(308, 310)로 인해, 코어 디바이스 영역의 STI 피처들(402A)과 아날로그/SRAM 디바이스 영역들의 STI 피처들(402B) 사이에 STI 오프셋 'S1'이 존재할 것이다. 일부 실시예들에서, STI 오프셋 'S1'은 단일 쌍의 에피택셜 층(308, 310)의 두께 이상이다. 일반적으로, STI 오프셋 'S1'은 코어 디바이스 영역의 STI 피처들(402A) 내에 매립된 채로(또는 릴리즈되지 않은 채로) 유지되는 에피택셜 층들(308, 310)의 총 수의 두께와 동일할 수 있다. 일부 경우들에서, STI 오프셋 'S1'은 약 8-16 nm의 범위에 있다. 일부 예들에서, 코어 디바이스 영역에서 매립된(릴리즈되지 않은) 에피택셜 층들(308, 310)(예를 들어, 라인(2038)에 의해 표시됨)의 수는 한 쌍의 에피택셜 층들(308, 310) 이상일 수 있다. 다양한 실시예들에서, 반도체 디바이스(300)의 아날로그 또는 SRAM 디바이스 영역들 중 어느 하나에 매립된(릴리즈되지 않은) 에피택셜 층들(308, 310)이 존재하지 않을 수 있다.

[0046] 유사하게, 그리고 재차, 2-단계 STI 리세스 프로세스로 인해, 코어 디바이스 영역의 소스/드레인 피처들(1802)과 아날로그/SRAM 디바이스 영역들의 소스/드레인 피처들(1702) 사이에 소스/드레인 오프셋 'S2'가 존재할 것이다. 일부 실시예들에서, 소스/드레인 오프셋 'S2'는 단일 쌍의 에피택셜 층(308, 310)의 두께 이상이다. 일반적으로, 소스/드레인 오프셋 'S2'는 코어 디바이스 영역의 STI 피처들(402A) 내에 (예를 들어, 블록(218)의 제 2 소스/드레인 에칭 프로세스 동안) 매립되거나 에칭되지 않은 채로 유지되는 에피택셜 층들(308, 310)의 총 수의 두께와 동일할 수 있다. 일부 경우들에서, 소스/드레인 오프셋 'S2'는 약 8-16 nm의 범위에 있다. 일부 예들에서, 코어 디바이스 영역의 소스/드레인 영역들에서 그리고 소스/드레인 피처들(1802) 하에서 에칭되지 않은 에피택셜 층들(308, 310)(예를 들어, 라인(2408)에 의해 표시됨)의 수는 한 쌍의 에피택셜 층들(308, 310) 이상일 수 있다.

[0047] 그 후, 방법(200)은 절단 금속 게이트 프로세스가 수행되는 블록(232)으로 진행된다. 예를 들어, 도 23a/23b/23c를 참조하여, 블록(232)의 실시예에서 그리고 금속 층(2306)을 형성한 이후에, 절단 금속 게이트 프로세스가 수행되어 인접 구조체들의 금속 층들(2306)을 격리시킬 수 있다. 일 예로서, 절단 금속 게이트 영역(2310)에서 금속 층(2306)의 부분을 제거하기 위해 포토리소그래피 및 에칭 프로세스가 초기에 수행될 수 있다. 일부 실시예들에서, 절단 금속 게이트 영역(2310)에서 금속 층(2306)의 부분을 제거하는 것은 이중-층 유전체(802)의 하부의 제 2 재료(806)를 노출시키는 트렌치를 형성할 수 있다. 이 후, 다양한 예들에서, 절단 금속 게이트 재료(2312)가 인접 구조체들의 금속 층들(2306)을 전기적으로 격리시키기 위해 트렌치 내에 증착될 수 있다. 일부 실시예들에서, 절단 금속 게이트 재료(2312)는 ALD, CVD, PVD 또는 다른 적절한 프로세스에 의해 증착된 질화물-기반 재료를 포함한다. 일부 경우들에서, 절단 금속 게이트 재료(2312)를 증착한 이후, 과잉 재료를 제거하고 디바이스(300)의 상부 표면을 평탄화하도록 CMP 프로세스가 수행될 수 있다.

[0048] 일부 실시예들에서, 접촉 피처들이 또한 형성될 수 있다. 예를 들어, 일부 실시예들에서, 금속 층(2306)의 부분은 에칭-백될 수 있고 텅스텐(W) 층 또는 FFW(fluorine-free W) 층이 에칭-백된 금속 층(2306) 위에 증착될 수 있다. 다양한 예들에서, W 층 또는 FFW 층은 에칭-정지 층으로서 역할을 할 수 있고 감소된 접촉 저항을 (예를 들어, 금속 층(2306)에) 또한 제공할 수 있다. 일부 경우들에서, 자기-정렬 접촉 층이 W 층 또는 FFW 층 위에 형성될 수 있고, 여기서 자기-정렬 접촉 층은 유전체 재료 이룰데면, 실리콘 산화물, 실리콘 질화물, 실리콘 탄화물, 실리콘 산질화물, 이들의 조합들 또는 다른 적합한 재료를 포함할 수 있다. 다양한 실시예들에서, 소스/드레인 피처들(1702, 1802)에 대한 접촉을 제공하도록 소스/드레인 접촉부들이 형성되고, 소스/드레인 접촉부들에 대한 전기적 연결을 제공하도록 비아들이 형성될 수 있다. 일부 실시예들에서, 금속 접촉 에칭 정지 층(MCESL) 및 ILD 층이 또한 형성될 수 있다.

[0049] 일반적으로, 반도체 디바이스(300)는 당업계에 알려진 다양한 피처들 및 영역들을 형성하기 위해 추가의 프로세스를 겪을 수 있다. 예를 들어, 후속 프로세싱은 기관(302) 상에, 하나 이상의 멀티-게이트 디바이스(예를 들어, 하나 이상의 GAA 트랜지스터들)를 포함할 수 있는 기능 회로를 형성하기 위해 다양한 피처들을 연결하도록 구성된 접촉 개구들, 접촉 금속뿐만 아니라 다양한 접촉부들/비아들/라인들 및 다층 상호연결 피처들(예를 들어, 금속 층들 및 층간 유전체들)을 형성할 수 있다. 예를 촉진하기 위해, 다층 상호연결은 비아들 또는 접촉부들과 같은 수직 상호연결부들 및 금속 라인들과 같은 수평 상호연결부를 포함할 수 있다. 다양한 상호연결 피처들은 구리, 텅스텐 및/또는 실리사이드를 포함하는 다양한 전도성 재료들을 사용할 수 있다. 일 예에서, 구리 관련 다층 상호연결 구조체를 형성하기 위해 다마신 및/또는 이중 다마신 프로세스가 사용된다. 또한, 방법(200)의 다양한 실시예들에 따라, 방법(200) 이전에, 도중에 및 이후에 부가적인 프로세스 단계들이 구현될 수 있고, 위에서 설명된 일부 프로세스 단계들이 대체되거나 제거될 수 있다. 또한, 방법(200)이 GAA 트랜지스터를 갖는 디바이스(300)를 포함하는 것으로 도시되고 설명되지만, 다른 디바이스 구성들이 가능하다는 것이 이해될 것이다. 일부 실시예들에서, 방법(200)은 FinFET 디바이스 또는 다른 멀티-게이트 디바이스들을 제조하는

데 사용될 수 있다.

[0050] 본원에서 제공된 설명과 관련하여, (예를 들어, GAA 트랜지스터들과 같은) 멀티-게이트 디바이스에 의해 구현되는 디바이스 유형에 기초하여 선택된 다수의 반도체 채널 층들을 갖는 멀티-게이트 디바이스들을 제공하기 위한 방법들 및 구조체들이 개시된다. 일부 실시예들에서, 코어(로직) 디바이스들은 SRAM 및 아날로그 디바이스들과 비교하여 더 적은 수의 반도체 채널 층들을 사용하여 구현될 수 있는 반면, SRAM 및 아날로그 디바이스들은 코어(로직) 디바이스들과 비교하여 더 많은 수의 반도체 채널 층들을 사용하여 구현될 수 있다. 일부 예들에서, 코어(로직) 디바이스들은 총 디바이스 커패시턴스를 감소시키고 증가된 디바이스 속도를 제공하기 위해 더 적은 수의 반도체 채널 층들을 사용하여 구현될 수 있다. 대안적으로, 다양한 실시예들에서, SRAM 디바이스들은 증가된 셀 전류를 제공하기 위해 더 많은 수의 반도체 채널 층들을 사용하여 구현될 수 있다. 일부 실시예들에서, 아날로그 디바이스들은 증가된 셀 커패시턴스를 제공하기 위해 더 많은 수의 반도체 채널 층들을 사용하여 구현될 수 있다. 일부 예들에서, 코어(로직) 디바이스에 대한 반도체 채널 층의 수는 3 이하일 수 있고, SRAM 및 아날로그 디바이스들에 대한 반도체 채널 층들의 수는 4 이상일 수 있다. 일반적으로, 구현되는 디바이스 유형(예를 들어, 코어, SRAM 또는 아날로그 디바이스)에 기초하여 선택된 수의 반도체 채널 층들을 갖는 멀티-게이트 디바이스들을 제공함으로써, 본 개시내용의 실시예들은 다양한 상이한 디바이스 유형들의 다양한 성능 조건들을 동시에 충족시킬 수 있는 방법들 및 디바이스 구조체들을 제공한다. 당업자는, 본원에서 설명된 방법들 및 구조체들이 본 개시내용의 범위로부터 벗어남 없이, 그러한 다른 디바이스들로부터 유사한 이점들을 유리하게 달성하기 위해 다양한 다른 반도체 디바이스들에 적용될 수 있다는 것을 쉽게 인지할 것이다.

[0051] 따라서, 본 개시내용의 실시예들 중 하나는 제 1 디바이스 유형 영역에 제 1 핀을 그리고 제 2 디바이스 유형 영역에 제 2 핀을 제공하는 단계를 포함하는 방법을 설명하였다. 일부 실시예들에서, 제 1 및 제 2 핀들 각각은 복수의 반도체 채널 층들을 포함한다. 일부 예들에서, 방법은 제 1 디바이스 유형 영역에서 제 1 핀의 복수의 반도체 채널 층들 중 제 1 수의 반도체 채널 층들 및 제 2 디바이스 유형 영역에서 제 2 핀의 복수의 반도체 채널 층들 중 제 2 수의 반도체 채널 층들을 노출시키기 위해 제 1 핀 및 제 2 핀 각각의 대향하는 측들 상에 STI 영역의 2-단계 리세스를 수행하는 단계를 더 포함한다. 다양한 실시예들에서, 방법은 제 1 디바이스 유형 영역에 제 1 게이트 구조체를 그리고 제 2 디바이스 유형 영역에 제 2 게이트 구조체를 형성하는 단계를 더 포함하며, 여기서 제 1 게이트 구조체는 제 1 수의 노출된 반도체 채널 층들을 갖는 제 1 핀 위에 형성되고, 제 2 게이트 구조체는 제 2 수의 노출된 반도체 채널 층들을 갖는 제 2 핀 위에 형성된다.

[0052] 다른 실시예에서, 기관으로부터 연장되는 복수의 핀들을 제공하는 단계를 포함하는 방법이 논의되며, 여기서 복수의 핀들 각각은 복수의 제 1 유형의 층들 및 복수의 제 2 유형의 층들을 갖는 에피택셜 층들의 스택을 포함한다. 일부 실시예들에서, 방법은 복수의 핀들을 개재하는 복수의 STI 피처들을 형성하는 단계를 더 포함한다. 그 후, 일부 경우들에서, 복수의 핀들 각각 내의 제 1 수의 제 1 유형의 층들 및 제 2 유형의 층들 각각을 노출시키도록 제 1 STI 리세스 프로세스가 수행된다. 일부 실시예들에서, 제 2 수의 제 1 유형의 층들 및 제 2 유형의 층들 각각은 제 1 STI 리세스 프로세스 이후에 STI 피처들 내에 매립된 채로 유지된다. 일부 예들에서, 방법은 반도체 디바이스의 제 1 영역에서 제 2 수의 제 1 유형의 층들 및 제 2 유형의 층들 각각을 노출시키기 위해 제 2 STI 리세스 프로세스를 수행하는 단계를 더 포함하며, 여기서 제 2 수의 제 1 유형의 층들 및 제 2 유형의 층들 각각은 제 2 STI 프로세스 이후에 반도체 디바이스의 제 2 영역에서 STI 피처들 내에 매립된 채로 유지된다.

[0053] 또 다른 실시예들에서, 기관의 제 1 디바이스 유형 영역에 제 1 트랜지스터를 그리고 기관의 제 2 디바이스 유형 영역에 제 2 트랜지스터를 포함하는 반도체 디바이스가 논의된다. 일부 실시예들에서, 제 1 트랜지스터는 제 1 게이트 구조체 및 제 1 게이트 구조체에 인접한 제 1 소스/드레인 피처를 포함하고, 제 2 트랜지스터는 제 2 게이트 구조체 및 제 2 게이트 구조체에 인접한 제 2 소스/드레인 피처를 포함한다. 다양한 예들에서, 제 1 트랜지스터는 제 1 STI 영역 위에 배치되고 제 1 소스/드레인 피처와 측방향으로 접촉하는 제 1 수의 반도체 채널 층들을 갖는 제 1 핀을 포함하고, 제 2 트랜지스터는 제 2 STI 영역 위에 배치되고 제 2 소스/드레인 피처와 측방향으로 접촉하는 제 2 수의 반도체 채널 층들을 갖는 제 2 핀을 포함하고, 제 1 수의 반도체 채널 층들은 제 2 수의 반도체 채널 층들과 상이하다.

[0054] 위에서는 당업자들이 본 개시내용의 양상들을 더 잘 이해할 수 있도록 몇 개의 실시예들의 피처들을 약술하였다. 당업자는 이들이 본 명세서에서 도입된 실시예들의 동일한 이점들을 달성하고 및/또는 동일한 목적을 수행하기 위한 다른 프로세스들 및 구조체를 설계 또는 변형하기 위한 토대로서 본 개시내용을 쉽게 이용할 수 있다는 것을 인지해야 한다. 당업자들은 또한 이러한 등가의 구조체들이 본 개시내용의 사상 및 범위로부터 벗어나지 않고, 이들은 본 개시내용의 사상 및 범위로부터 벗어남 없이 여기서 다양한 변경들, 교체들 및

변형들을 가할 수 있다는 것을 깨달을 것이다.

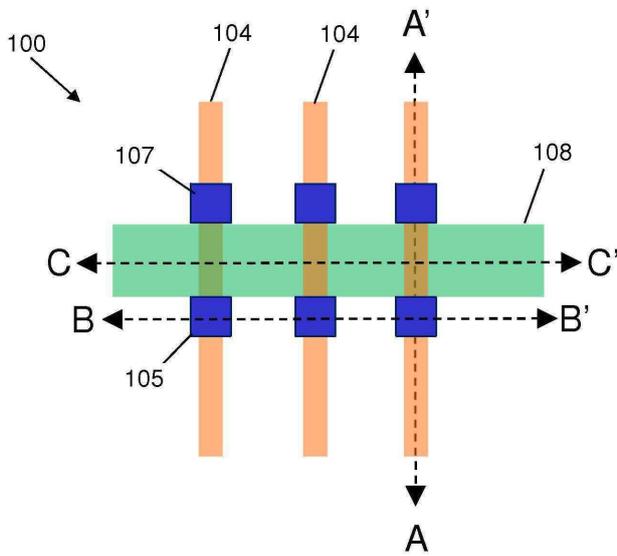
- [0056] 실시예
- [0057] 1. 반도체 디바이스를 제조하는 방법으로서,
- [0058] 제 1 디바이스 유형 영역에 제 1 핀을 그리고 제 2 디바이스 유형 영역에 제 2 핀을 제공하는 단계 - 상기 제 1 핀 및 상기 제 2 핀 각각은 복수의 반도체 채널 층들을 포함함 - ;
- [0059] 상기 제 1 디바이스 유형 영역에서 상기 제 1 핀의 복수의 반도체 채널 층들 중 제 1 수의 반도체 채널 층들 및 상기 제 2 디바이스 유형 영역에서 상기 제 2 핀의 복수의 반도체 채널 층들 중 제 2 수의 반도체 채널 층들을 노출시키기 위해 상기 제 1 핀 및 상기 제 2 핀 각각의 대향하는 측들 상에 얇은 트렌치 격리(shallow trench isolation; STI) 영역의 2-단계 리세스를 수행하는 단계; 및
- [0060] 상기 제 1 디바이스 유형 영역에 제 1 게이트 구조체를 그리고 상기 제 2 디바이스 유형 영역에 제 2 게이트 구조체를 형성하는 단계 - 상기 제 1 게이트 구조체는 상기 제 1 수의 노출된 반도체 채널 층들을 갖는 제 1 핀 위에 형성되고, 상기 제 2 게이트 구조체는 상기 제 2 수의 노출된 반도체 채널 층들을 갖는 제 2 핀 위에 형성됨 -
- [0061] 를 포함하는, 반도체 디바이스를 제조하는 방법.
- [0063] 2. 제 1 항에 있어서,
- [0064] 상기 2-단계 리세스의 제 1 단계는 상기 제 1 디바이스 유형 영역의 제 1 핀 및 상기 제 2 디바이스 유형 영역의 제 2 핀 둘 모두의 상기 제 1 수의 반도체 채널 층들을 노출시키고, 상기 2-단계 리세스의 제 2 단계는 상기 제 2 수의 노출된 반도체 채널 층들을 제공하기 위해 상기 제 2 디바이스 유형 영역의 제 2 핀의 적어도 하나의 부가적인 반도체 채널 층을 노출시키는 것인, 반도체 디바이스를 제조하는 방법.
- [0066] 3. 제 1 항에 있어서,
- [0067] 상기 제 1 핀의 적어도 하나의 반도체 채널 층은 상기 2-단계 리세스 이후에 상기 제 1 디바이스 유형 영역의 STI 영역 내에 매립된 채로 유지되는 것인, 반도체 디바이스를 제조하는 방법.
- [0069] 4. 제 1 항에 있어서,
- [0070] 상기 제 2 수의 반도체 채널 층들은 상기 제 1 수의 반도체 채널 층들보다 많은 것인, 반도체 디바이스를 제조하는 방법.
- [0072] 5. 제 1 항에 있어서,
- [0073] 상기 제 1 디바이스 유형 영역은 코어 디바이스 영역을 포함하고, 상기 제 2 디바이스 유형 영역은 아날로그 디바이스 영역 또는 정적 랜덤-액세스 메모리(static random-access memory; SRAM) 디바이스 영역을 포함하는 것인, 반도체 디바이스를 제조하는 방법.
- [0075] 6. 제 1 항에 있어서,
- [0076] 상기 1 게이트 구조체는 제 1 트랜지스터에 대응하고, 상기 2 게이트 구조체는 제 2 트랜지스터에 대응하고, 상기 1 트랜지스터 및 상기 제 2 트랜지스터 둘 모두는 게이트-올-어라운드(gate-all-around; GAA) 트랜지스터들을 포함하는 것인, 반도체 디바이스를 제조하는 방법.
- [0078] 7. 제 1 항에 있어서,
- [0079] 상기 STI 영역의 2-단계 리세스를 수행한 이후 및 상기 제 1 게이트 구조체 및 상기 제 2 게이트 구조체를 형성하기 이전에, 상기 STI 영역 위와 상기 제 1 핀 및 상기 제 2 핀 각각의 대향하는 측들 상에 이중-층 유전체를 형성하는 단계
- [0080] 를 더 포함하는, 반도체 디바이스를 제조하는 방법.
- [0082] 8. 제 7 항에 있어서,
- [0083] 상기 이중-층 유전체는 상기 STI 영역 위에 배치된 로우-K 유전체 층 및 상기 로우-K 유전체 층 위에 배치된 하이-K 유전체 층을 포함하는 것인, 반도체 디바이스를 제조하는 방법.

- [0085] 9. 제 1 항에 있어서,
- [0086] 상기 STI 영역의 2-단계 리세스를 수행한 이후 및 상기 제 1 게이트 구조체 및 상기 제 2 게이트 구조체를 형성하기 이전에, 상기 제 2 디바이스 유형 영역의 소스/드레인 영역들에 제 1 트렌치를 형성하기 위해 상기 제 2 수의 노출된 반도체 채널 층들의 제 1 부분들을 제거하도록 상기 제 2 디바이스 유형 영역의 소스/드레인 영역들을 에칭하는 단계; 및
- [0087] 상기 제 2 디바이스 유형 영역의 소스/드레인 영역들을 에칭한 이후, 상기 제 1 디바이스 유형 영역의 소스/드레인 영역들에 제 2 트렌치를 형성하기 위해 상기 제 1 수의 노출된 반도체 채널 층들의 제 1 부분들을 제거하도록 상기 제 1 디바이스 유형 영역의 소스/드레인 영역들을 에칭하는 단계
- [0088] 를 더 포함하는, 반도체 디바이스를 제조하는 방법.
- [0090] 10. 제 9 항에 있어서,
- [0091] 상기 제 1 트렌치 및 상기 제 2 트렌치를 형성한 이후, 상기 제 1 트렌치 및 상기 제 2 트렌치 각각 내에 소스/드레인 피쳐들을 에피택셜 방식으로 성장시키는 단계
- [0092] 를 더 포함하고, 상기 제 1 트렌치에서 성장된 소스/드레인 피쳐들은 상기 제 2 게이트 구조체 아래에 배치된 상기 제 2 수의 노출된 반도체 채널 층들의 제 2 부분들과 접촉하고, 상기 제 2 트렌치에서 성장된 소스/드레인 피쳐들은 상기 제 1 게이트 구조체 아래에 배치된 상기 제 1 수의 노출된 반도체 채널 층들의 제 2 부분들과 접촉하는 것인, 반도체 디바이스를 제조하는 방법.
- [0094] 11. 반도체 디바이스를 제조하는 방법에 있어서,
- [0095] 기판으로부터 연장되는 복수의 핀들을 제공하는 단계 - 상기 복수의 핀들 각각은 복수의 제 1 유형의 층들 및 복수의 제 2 유형의 층들을 갖는 에피택셜 층들의 스택을 포함함 - ;
- [0096] 상기 복수의 핀들을 개재하는 복수의 얇은 트렌치 격리(shallow trench isolation; STI) 피쳐들을 형성하는 단계;
- [0097] 상기 복수의 핀들 각각 내의 제 1 수의 상기 제 1 유형의 층들 및 상기 제 2 유형의 층들 각각을 노출시키기 위해 제 1 STI 리세스 프로세스를 수행하는 단계 - 제 2 수의 상기 제 1 유형의 층들 및 상기 제 2 유형의 층들 각각은 상기 제 1 STI 리세스 프로세스 이후에 상기 STI 피쳐들 내에 매립된 채로 유지됨 - ; 및
- [0098] 상기 반도체 디바이스의 제 1 영역에서 제 2 수의 상기 제 1 유형의 층들 및 상기 제 2 유형의 층들 각각을 노출시키기 위해 제 2 STI 리세스 프로세스를 수행하는 단계 - 제 2 수의 상기 제 1 유형의 층들 및 상기 제 2 유형의 층들 각각은 상기 제 2 STI 프로세스 이후에 상기 반도체 디바이스의 제 2 영역에서 STI 피쳐들 내에 매립된 채로 유지됨 -
- [0099] 를 포함하는, 반도체 디바이스를 제조하는 방법.
- [0101] 12. 제 11 항에 있어서,
- [0102] 상기 제 1 영역은 아날로그 디바이스 영역 또는 정적 랜덤-액세스 메모리(SRAM) 디바이스 영역을 포함하고, 상기 제 2 영역은 코어 디바이스 영역을 포함하는 것인, 반도체 디바이스를 제조하는 방법.
- [0104] 13. 제 11 항에 있어서,
- [0105] 상기 제 2 STI 리세스 프로세스를 수행한 이후에, 상기 복수의 제 1 유형의 층들의 인접 층들 사이에 갭들을 형성하기 위해 상기 반도체 디바이스의 제 1 영역 및 제 2 영역 각각 내에서 상기 제 1 리세스 프로세스 및 상기 제 2 리세스 프로세스에 의해 노출된 복수의 제 2 유형의 층들 각각의 부분을 선택적으로 제거하는 단계
- [0106] 를 더 포함하는, 반도체 디바이스를 제조하는 방법.
- [0108] 14. 제 13 항에 있어서,
- [0109] 상기 복수의 제 2 유형의 층들 각각의 부분을 선택적으로 제거한 이후에, 상기 복수의 제 1 유형의 층들의 인접 층들 사이의 갭들 각각 내에 게이트 구조체의 부분을 형성하는 단계
- [0110] 를 더 포함하는, 반도체 디바이스를 제조하는 방법.
- [0112] 15. 제 11 항에 있어서,

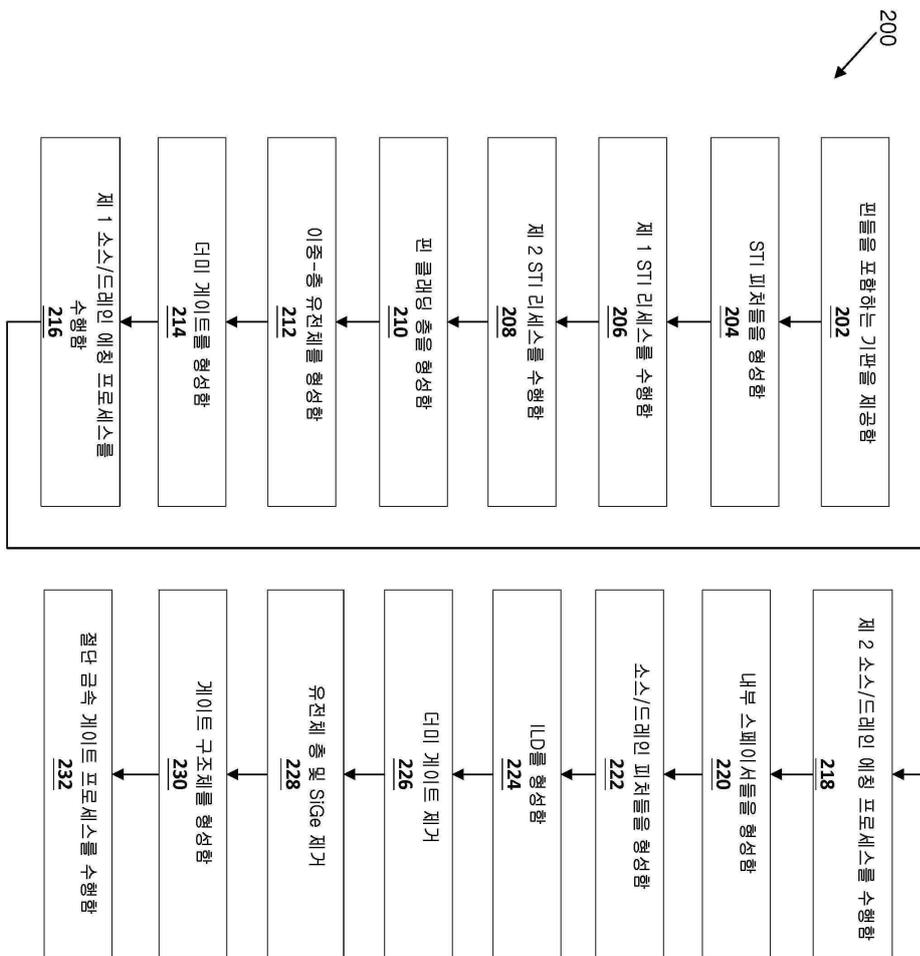
- [0113] 상기 노출된 제 1 수 및 제 2 수의 제 1 유형의 층은 상기 제 1 영역 및 상기 제 2 영역 각각에서 트랜지스터와 연관된 채널 층들을 포함하고, 상기 제 1 영역의 제 1 수의 채널 층들은 상기 제 2 영역의 제 2 수의 채널 층들보다 더 많은 것인, 반도체 디바이스를 제조하는 방법.
- [0115] 16. 제 15 항에 있어서,
- [0116] 상기 제 1 영역 및 상기 제 2 영역 각각에서의 트랜지스터는 게이트-올-어라운드(gate-all-around; GAA) 트랜지스터를 포함하는 것인, 반도체 디바이스를 제조하는 방법.
- [0118] 17. 반도체 디바이스에 있어서,
- [0119] 기관의 제 1 디바이스 유형 영역의 제 1 트랜지스터 - 상기 제 1 트랜지스터는 제 1 게이트 구조체 및 상기 제 1 게이트 구조체에 인접한 제 1 소스/드레인 피치를 포함함 - ; 및
- [0120] 상기 기관의 제 2 디바이스 유형 영역의 제 2 트랜지스터 - 상기 제 2 트랜지스터는 상기 제 2 게이트 구조체 및 상기 제 2 게이트 구조체에 인접한 제 2 소스/드레인 피치를 포함함 -
- [0121] 를 포함하고,
- [0122] 상기 제 1 트랜지스터는 제 1 얇은 트렌치 격리(shallow trench isolation; STI) 영역 위에 배치되고 상기 제 1 소스/드레인 피치와 측방향으로 접촉하는 제 1 수의 반도체 채널 층들을 갖는 제 1 핀을 포함하고, 상기 제 2 트랜지스터는 제 2 STI 영역 위에 배치되고 상기 제 2 소스/드레인 피치와 측방향으로 접촉하는 제 2 수의 반도체 채널 층들을 갖는 제 2 핀을 포함하고, 상기 제 1 수의 반도체 채널 층들은 상기 제 2 수의 반도체 채널 층들과 상이한 것인, 반도체 디바이스.
- [0124] 18. 제 17 항에 있어서,
- [0125] 상기 제 1 핀의 적어도 하나의 반도체 채널 층은 상기 제 1 STI 영역 내에 매립되는 것인, 반도체 디바이스.
- [0127] 19. 제 17 항에 있어서,
- [0128] 상기 제 1 STI 영역 위와 상기 제 1 게이트 구조체의 대향하는 측들 상에 배치된 제 1 이중-층 유전체; 및
- [0129] 상기 제 2 STI 영역 위와 상기 제 2 게이트 구조체의 대향하는 측들 상에 배치된 제 2 이중-층 유전체
- [0130] 를 더 포함하는, 반도체 디바이스.
- [0132] 20. 제 17 항에 있어서,
- [0133] 상기 제 1 STI 영역의 제 1 상부 표면은 상기 제 1 STI 영역 내에 매립된 제 1 핀의 적어도 단일 쌍의 Si/SiGe 에피택셜 층들의 두께와 동일한 양만큼 상기 제 2 STI 영역의 제 2 상부 표면으로부터 오프셋되는 것인, 반도체 디바이스

도면

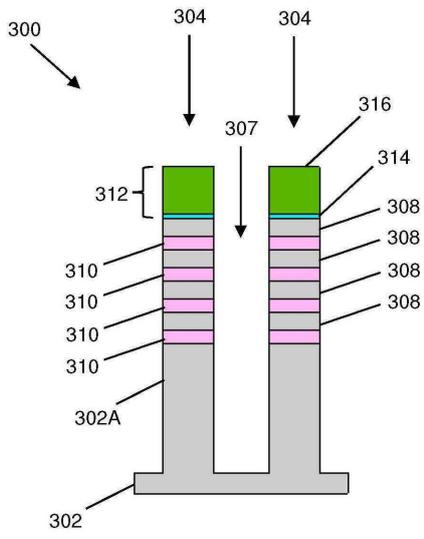
도면1



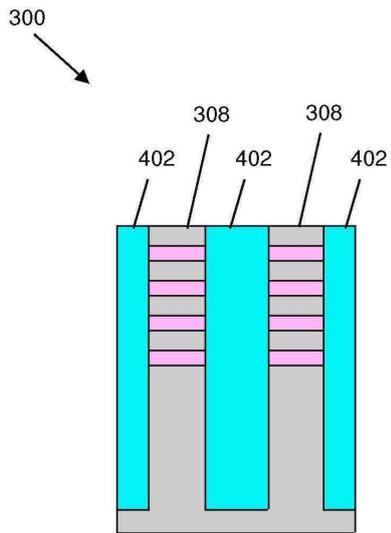
도면2



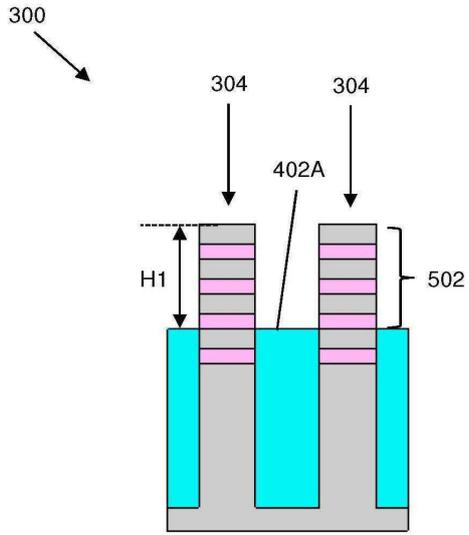
도면3



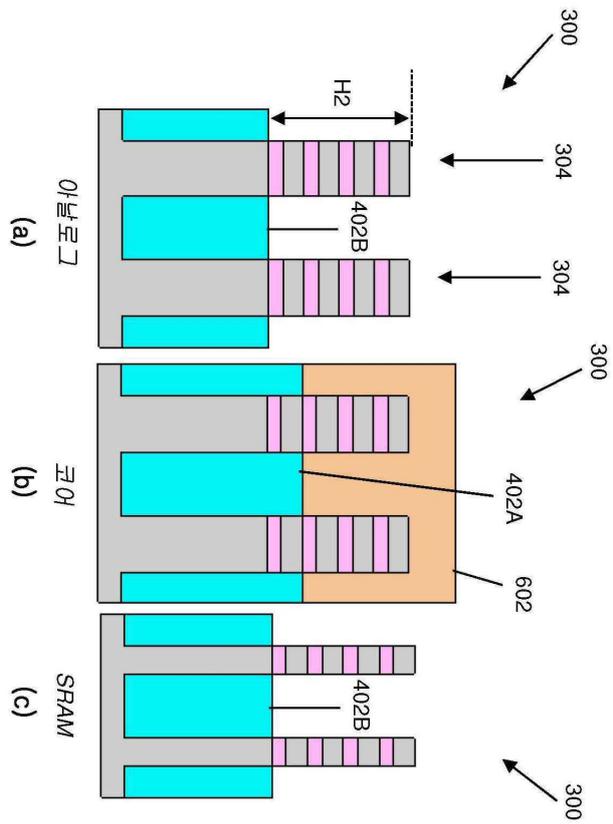
도면4



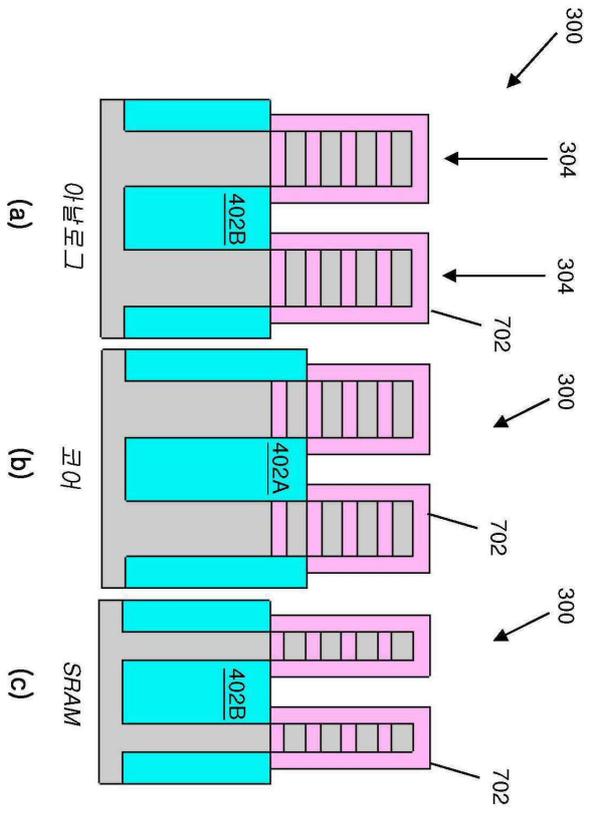
도면5



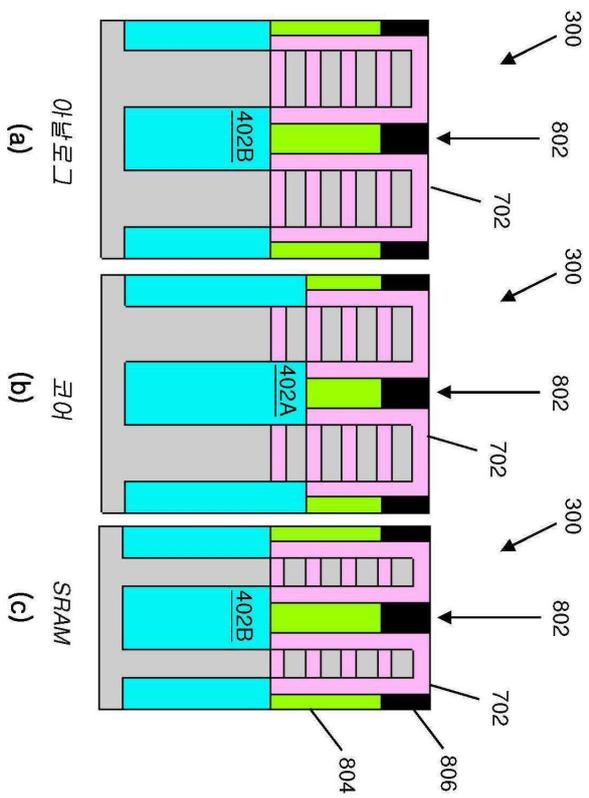
도면6



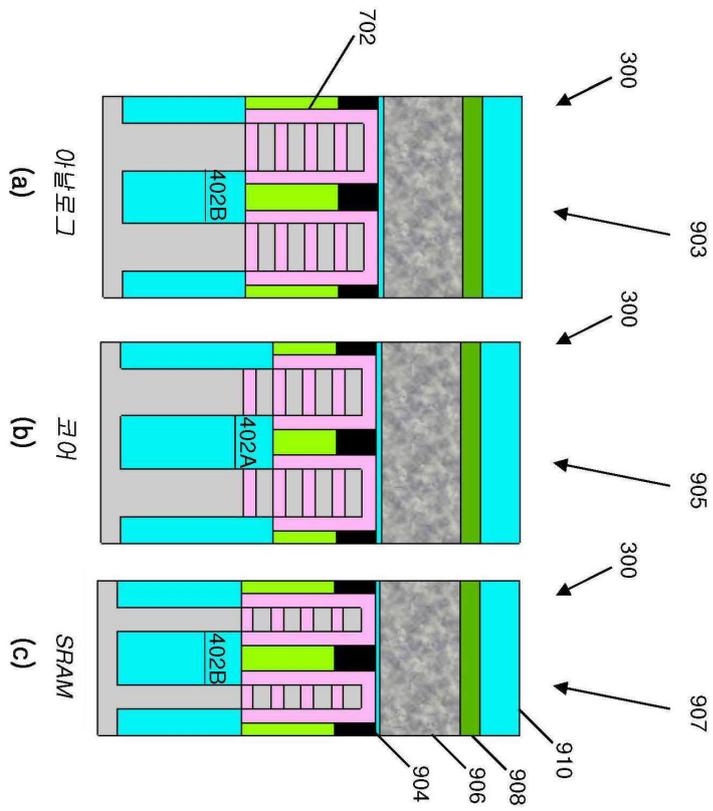
도면7



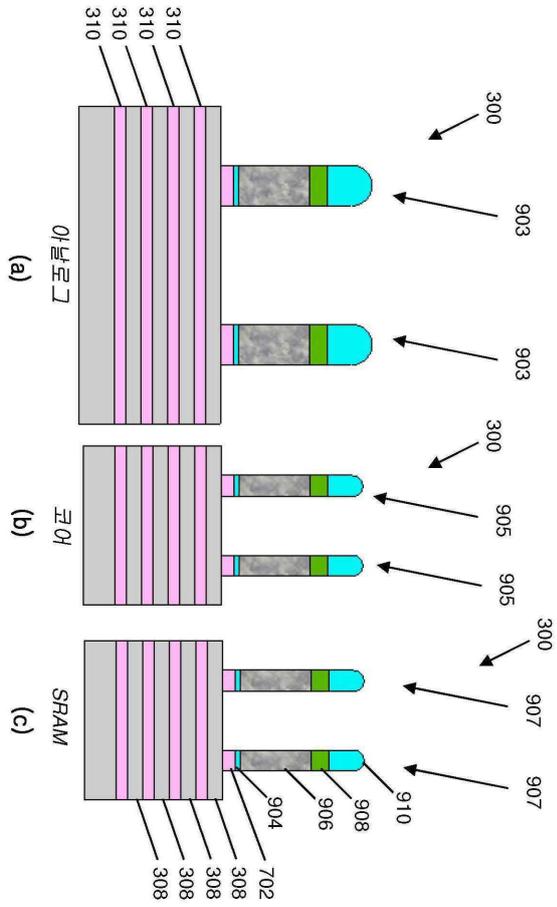
도면8



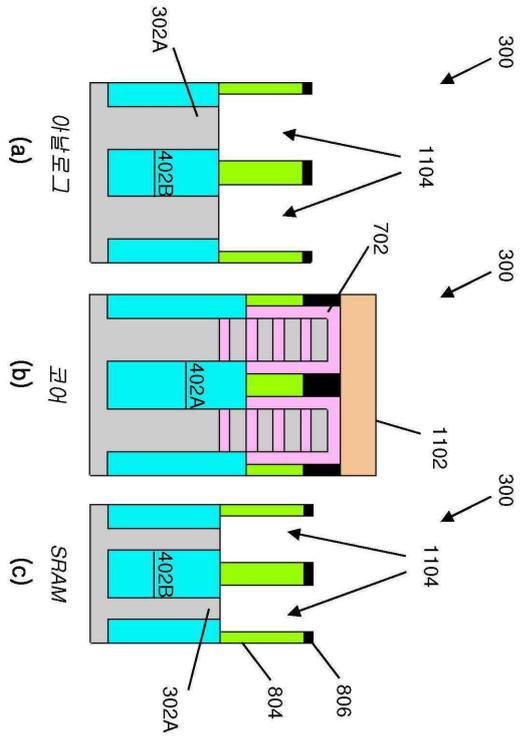
도면9



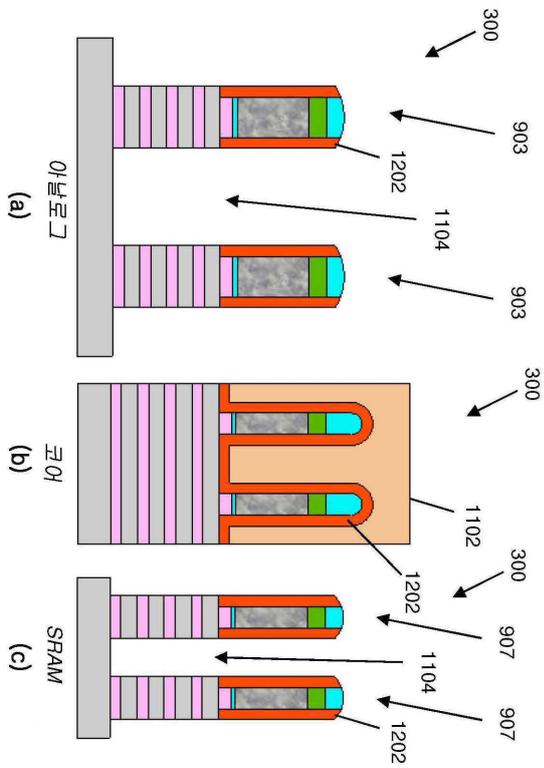
도면10



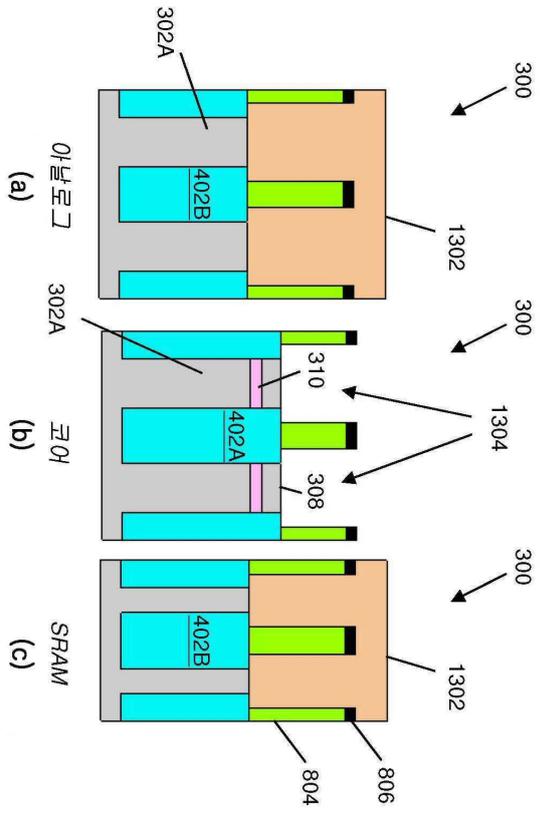
도면11



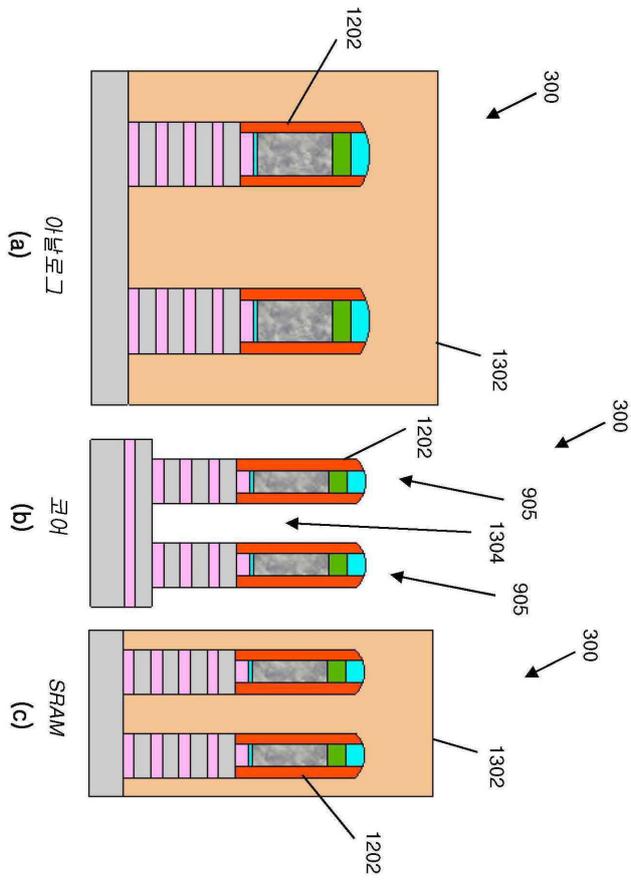
도면12



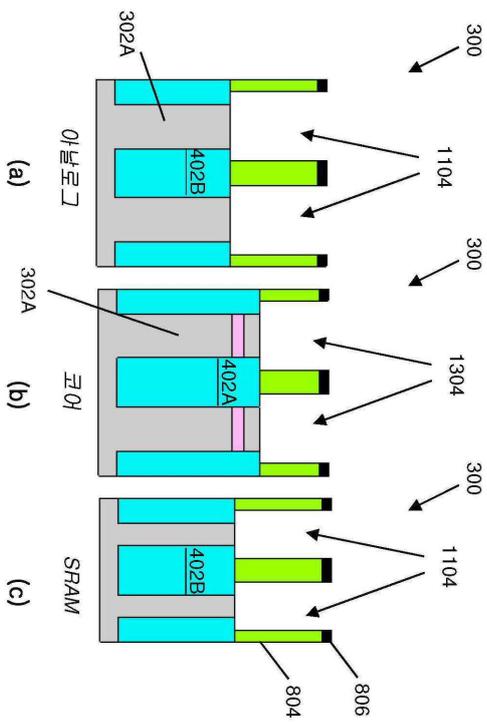
도면13



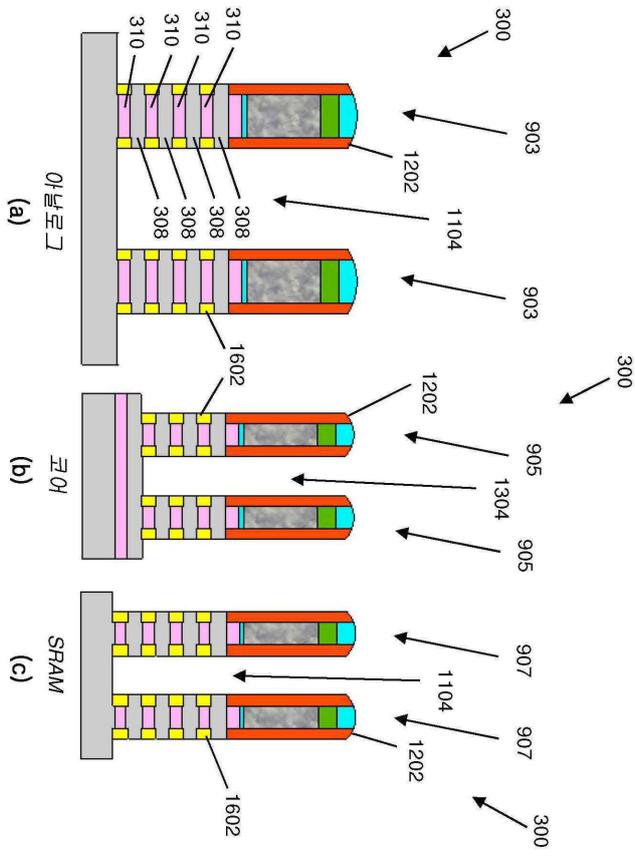
도면14



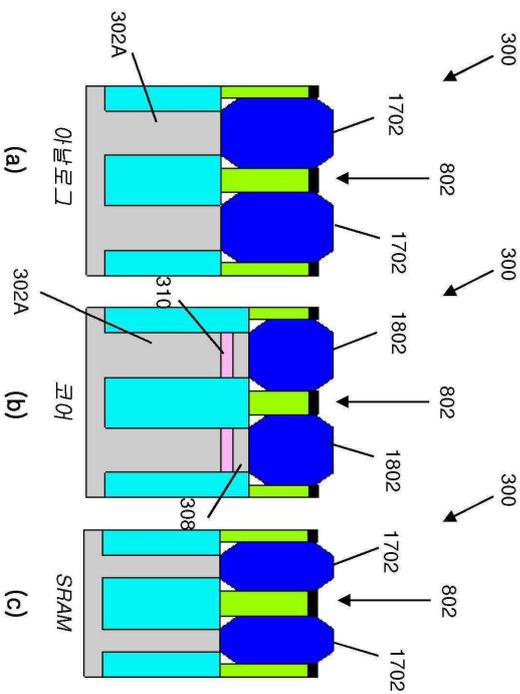
도면15



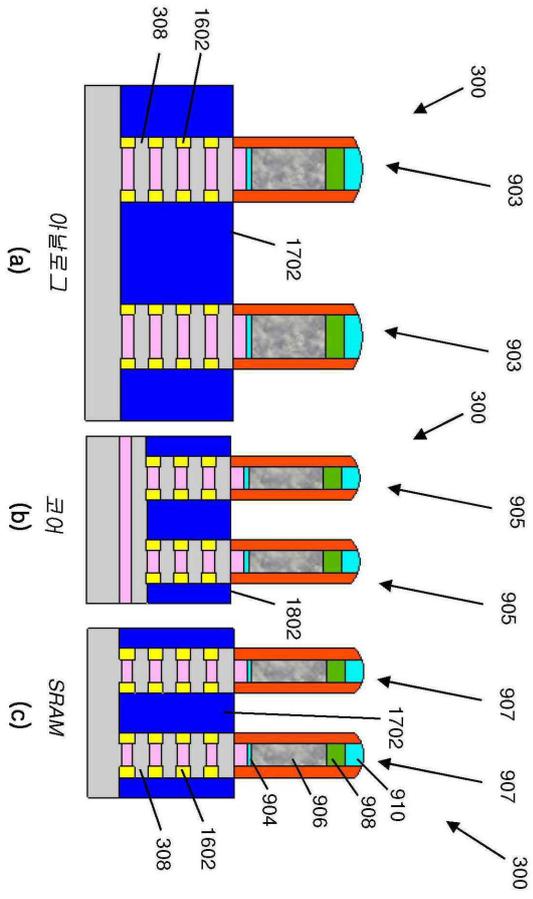
도면16



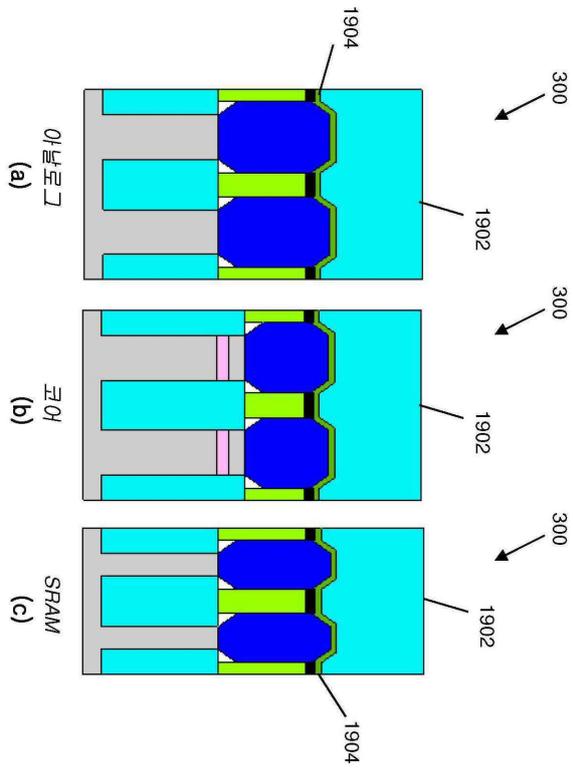
도면17



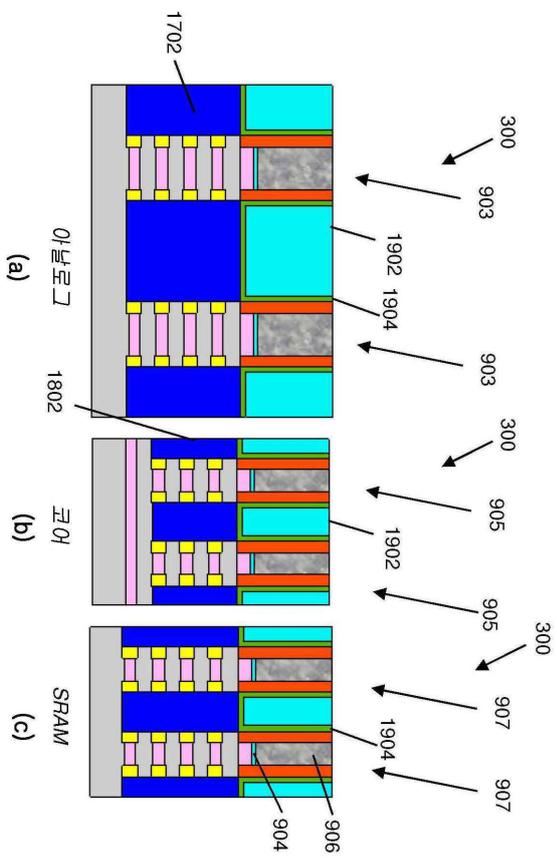
도면18



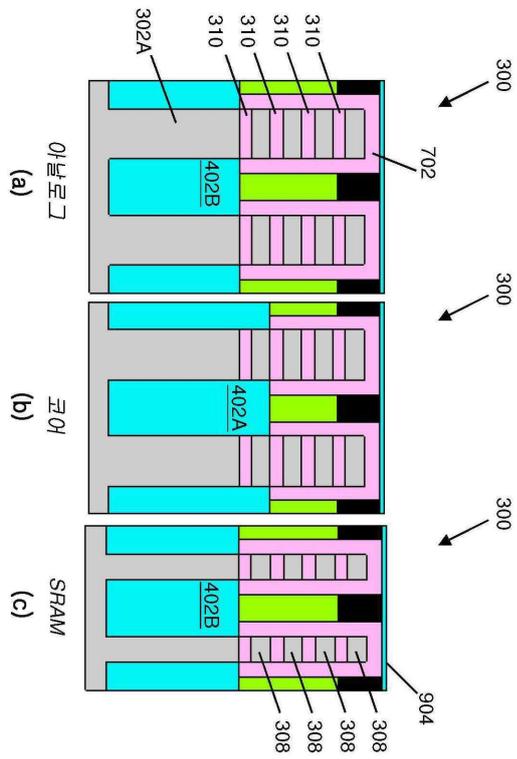
도면19



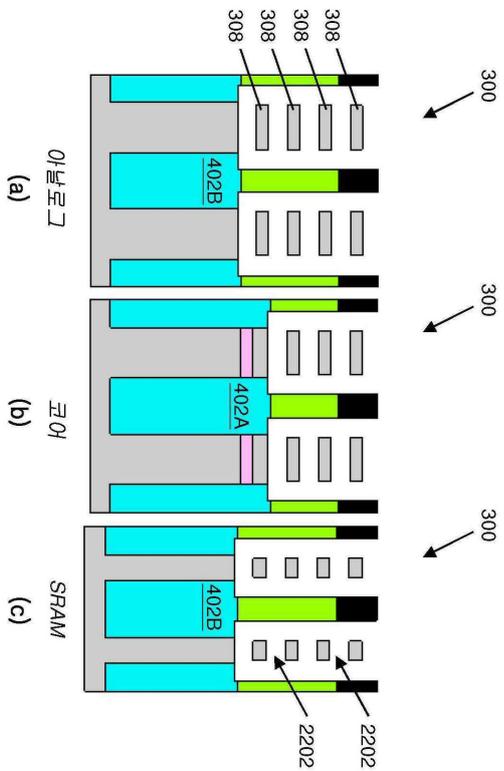
도면20



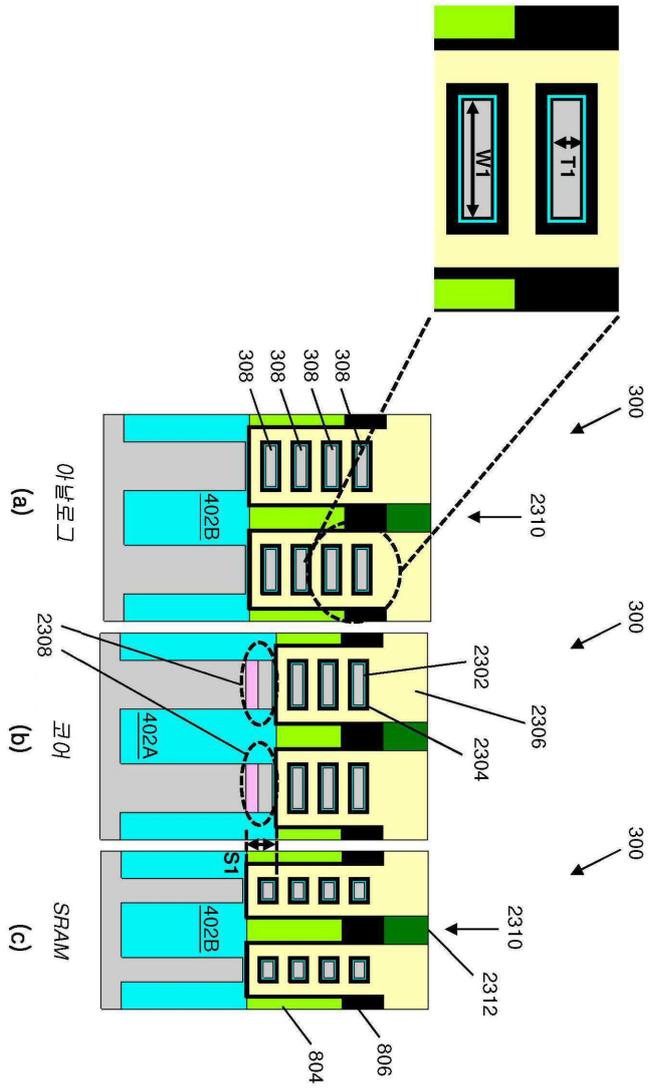
도면21



도면22



도면23



도면24

