



(12) 发明专利

(10) 授权公告号 CN 113517883 B

(45) 授权公告日 2023.05.26

(21) 申请号 202110777828.8

(22) 申请日 2021.07.09

(65) 同一申请的已公布的文献号
申请公布号 CN 113517883 A

(43) 申请公布日 2021.10.19

(73) 专利权人 广东工业大学
地址 510000 广东省广州市越秀区东风东
路729号

(72) 发明人 陆维立 郭春炳 高钧达 孔祥键
简明朝 张春华 肖亦成 苑梦

(74) 专利代理机构 佛山市君创知识产权代理事
务所(普通合伙) 44675
专利代理师 杜鹏飞

(51) Int. Cl.

H03K 17/687 (2006.01)

(56) 对比文件

CN 107465407 A, 2017.12.12

CN 108155899 A, 2018.06.12

CN 110365325 A, 2019.10.22

CN 110635791 A, 2019.12.31

JP H0883486 A, 1996.03.26

审查员 王国海

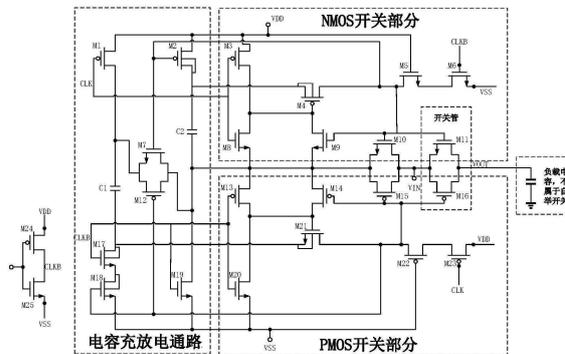
权利要求书2页 说明书6页 附图5页

(54) 发明名称

一种减小沟道电荷注入效应的自举开关

(57) 摘要

本发明公开了一种减小沟道电荷注入效应的自举开关,包括输入端口、输出端口、电源电压、时序开关、多个NMOS晶体管和PMOS晶体管、2个电容;主要分为三部分,一是NMOS开关部分,二是PMOS开关部分,三是电容充放电通路;通过将PMOS晶体管与NMOS晶体管结合,在跟随相位到保持相位转换间,使NMOS管沟道中释放的电子与PMOS管沟道中释放的空穴结合,进而达到减小沟道电荷注入效应的效果,在实际的应用中,自举开关要达到一个比较快的速度,晶体管的栅宽同时也要设的比较大,为的就是有一个小的导通电阻,但同时沟道注入的影响也变大了,本发明的自举开关同时结合了PMOS型晶体管与NMOS型晶体管,能实现较快速度下依然能将电荷注入影响降到最低。



1. 一种减小沟道电荷注入效应的自举开关,其特征在于,包括NMOS开关部分、PMOS开关部分以及电容充放电通路,其中:

NMOS开关部分包括PMOS晶体管M3、M4,以及NMOS晶体管M5、M6、M8、M9、M10、M11,其中M3和M8的栅极连接时序开关CLK,M3的源极以及M5的栅极与电源电压VDD连接,M3的漏极与M8漏极、M4栅极以及M9漏极连接,M5的漏极与M4漏极、M9栅极、M10栅极以及M11栅极连接,M10的漏极与M11源极连接以及输入信号VIN连接,M11的漏极与输出VOUT连接,M5的源极与M6漏极连接,M6的源极与地端VSS连接,M6的栅极与反向时钟电压CLKB连接,M8的源极、M9源极、M10的源极连接;

PMOS开关部分包括PMOS晶体管M13、M14、M15、M16、M22、M23以及NMOS晶体管M20、M21,其中M13栅极和M20的栅极连接反向时钟电压CLKB,M20的源极、M22的栅极与地端VSS连接,M20的漏极与M13漏极、M21的栅极、M14的漏极连接,M21的漏极与M22漏极、M14栅极、M15栅极、M16栅极连接,M15的漏极与M16源极连接以及输入信号VIN连接,M16的漏极与输出VOUT连接,M22的源极与M23漏极连接,M23的源极与电源电压VDD连接,M23的栅极与时序开关CLK连接,M13的源极、M14源极、M15的源极连接;

电容充放电通路包括PMOS晶体管M1、M2、M12;NMOS晶体管M7、M17、M18、M19;电容C1和C2,其中,M1源极和M2源极与电源电压VDD连接,M1漏极与C1的上极板连接,M1栅极与时序开关CLK连接,M2漏极与C2的上极板以及M4的源极连接,M7栅极、M2栅极与M5漏极连接,M7源极、M12源极与C1的上极板连接,M7漏极、M12漏极与C2的下极板连接;M12栅极与M18栅极、M22的漏极连接,M17的栅极、M19的栅极与反向时钟电压CLKB连接,M17漏极与C1的下极板连接,C1的下极板还与所述M21的源极连接;M17源极与M18漏极连接,M18源极、M19源极与地端VSS连接,M19的漏极与C2的下极板连接。

2. 根据权利要求1所述的减小沟道电荷注入效应的自举开关,其特征在于,时钟信号CLK通过PMOS晶体管M24和NMOS晶体管M25构成的反相器得到反向时钟电压CLKB;M24的源极接电源电压VDD,M24的栅极、M25的栅极接时序开关CLK,M25的源极接地,M24的漏极、M25的漏极连接并产生反向时钟电压CLKB。

3. 根据权利要求1所述的减小沟道电荷注入效应的自举开关,其特征在于,自举开关工作在保持状态下时:

时序开关CLK为低电平,CLKB为高电平;M17、M19栅极高电平导通,C1、C2下极板低电平;由CLK控制的M1栅极低电平导通;CLK控制M23使M18的栅极为高电平导通;CLKB控制M6使M2的栅极为低电平导通;CLK控制M3导通,使M4的栅极为高电平断开,使M5到C2上极板通路断开;

CLKB控制M20导通,使M21的栅极为低电平断开,使M22到C1下极板通路断开;同时低电平和高电平分别使M7和M12开关断开,电源电压VDD开始对C1和C2充电;

CLKB使M6导通,进而使得M10和M11的栅极为低电平;CLK使M23导通,进而使得M15和M16的栅极为高电平;此时,M10、M11、M15、M16都工作在深线性区,晶体管不导通,截断信号通路,此时采样电容上的电荷不变,采样电容上的电压保持不变。

4. 根据权利要求1所述的减小沟道电荷注入效应的自举开关,其特征在于,自举开关工作在跟随状态下时:

时序开关CLK为高电平,CLKB为低电平;CLK控制M1、M3、M23的栅极为高电平断开,CLKB

控制M17、M19、M20、M6的栅极为低电平断开,电源停止对C1和C2的充电;

CLK控制M8为高电平导通,C2上的电荷使M4的栅源极形成VDD压差,M4导通,此时C2上的电荷再次使得M10的栅源极形成VDD压差,M10导通,同理,M7导通;CLKB控制M13为低电平导通,C1上的电荷使M21的栅源极形成VDD压差,M21导通,此时C1上的电荷再次使得M15的栅源极形成VDD压差,M15导通,同理,M12导通。

5. 根据权利要求1所述的减小沟道电荷注入效应的自举开关,其特征在于,VIN通过M10和M15达到C2下极板,因电容两端电压不能突变,使C2的上极板达到VIN+VDD电位,此时,M10和M11的栅源极电压为: $V_{IN}+V_{DD}-V_{IN}=V_{DD}$,M11导通, $V_{OUT}=V_{IN}-\Delta V_1$,M10和M11的栅源电压不随VIN变化;其中 ΔV_1 为沟道电荷注入效应所产生的电压差;

VIN通过M10、M15、M7、M12达到C1上极板,根据电容两端电压不能突变,使C1的下极板达到VIN-VDD电位,此时,M15和M16的栅源极电压为: $V_{IN}-V_{DD}-V_{IN}=-V_{DD}$,M16导通, $V_{OUT}=V_{IN}+\Delta V_2$,M15和M16的栅源电压不随VIN变化;其中 ΔV_2 为沟道电荷注入效应所产生的电压差;

M11在跟随相位到保持相位转换时,沟道释放出电子,使得: $V_{OUT}=V_{IN}-\Delta V_1$;M16在跟随相位到保持相位转换时,沟道释放出空穴,使得: $V_{OUT}=V_{IN}+\Delta V_2$,经过调节M11与M16的尺寸,可以使得 $\Delta V_1=\Delta V_2$,从而使得 $V_{OUT}=V_{IN}$,消除沟道注入的影响。

一种减小沟道电荷注入效应的自举开关

技术领域

[0001] 本发明涉及模拟集成电路领域,具体涉及一种减小沟道电荷注入效应的自举开关,主要应用于集成电路中对模拟信号进行采样保持。

背景技术

[0002] 近年来5G和新兴的无线标准对模拟集成电路的要求越来越高,高速低失真成为当今研究的热点。自举开关作为模拟电路的信号采样电路,自举开关性能的好坏对后面信号处理电路起着至关重要的作用。

[0003] 自举开关是模拟电路中一种主流信号采样电路,由于其采样速度快、功耗低、低失真等优点得到广泛应用。传统的自举开关,存在输入信号到达负载电容时会产生低失真的问题,而在一般的开关电容电路中,若简单地单独利用NMOS晶体管或者PMOS晶体管作为采样开关,由于CMOS工艺下MOS管存在导通电阻,且导通电阻与栅源极地电压有关,即该导通电阻与输入信号地大小有关,从而出现采样非线性地情况。同时,沟道电荷注入效应也会使采样值产生偏差,当设计使用更快速的开关时,晶体管的栅宽会越大,晶体管的宽越大,沟道地沟道电荷注入效应也会越明显,在设计中往往需要在速度和采样偏差上做一个取舍。

[0004] 在输入电压的波动下,自举开关使采样开关管的栅源电压依然能保持稳定的电压,从而获得固定导通电阻,改善了采样失真问题,但电路存在着沟道电荷注入问题。现有的自举开关都以NMOS管作为开关管,这种自举开关在跟随相位,即开关导通时,其以电子作为沟道使电路导通;在保持相位,即开关断开时,沟道中的一部分电子将会流入采样电容中,使得实际采样得到的电压值比设想值低。且这种情况在更大的晶体管中更为明显,采样更大的晶体管采样,采样得到的电压值比设想值更低。

发明内容

[0005] 本发明的目的是提供一种减小沟道电荷注入效应的自举开关,利用NMOS和PMOS结合的形式,在高速高精度要求下,提升电路的工作性能。

[0006] 为了实现上述任务,本发明采用以下技术方案:

[0007] 一种减小沟道电荷注入效应的自举开关,包括NMOS开关部分、PMOS开关部分以及电容充放电通路,其中:

[0008] NMOS开关部分包括PMOS晶体管M3、M4,以及NMOS晶体管M5、M6、M8、M9、M10、M11,其中M3和M8的栅极连接时序开关CLK,M3的源极以及M5的栅极与电源电压VDD连接,M3的漏极与M8漏极、M4栅极以及M9漏极连接,M5的漏极与M4漏极、M9栅极、M10栅极以及M11栅极连接,M10的漏极与M11源极连接以及输入信号VIN连接,M11的漏极与输出VOUT连接,M5的源极与M6漏极连接,M6的源极与地端VSS连接,M6的栅极与反向时钟电压CLKB连接,M8的源极、M9源极、M10的源极连接;

[0009] PMOS开关部分包括PMOS晶体管M13、M14、M15、M16、M22、M23以及NMOS晶体管M20、M21,其中M13栅极和M20的栅极连接反向时钟电压CLKB,M20的源极、M22的栅极与地端VSS连

接,M20的漏极与M13漏极、M21的栅极、M14的漏极连接,M21的漏极与M22漏极、M14栅极、M15栅极、M16栅极连接,M15的漏极与M16源极连接以及输入信号VIN连接,M16的漏极与输出VOUT连接,M22的源极与M23漏极连接,M23的源极与电源电压VDD连接,M23的栅极与时序开关CLK连接,M13的源极、M14源极、M15的源极连接;

[0010] 电容充放电通路包括PMOS晶体管M1、M2、M12;NMOS晶体管M7、M17、M18、M19;电容C1和C2,其中,M1源极和M2源极与电源电压VDD连接,M1漏极与C1的上极板连接,M1栅极与时序开关CLK连接,M2漏极与C2的上极板以及M4的源极连接,M7栅极、M2栅极与M5漏极连接,M7源极、M12源极与C1的上极板连接,M7漏极、M12漏极与C2的下极板连接;M12栅极与M18栅极、M22的漏极连接,M17的栅极、M19的栅极与反向时钟电压CLKB连接,M17漏极与C1的下极板连接,C1的下极板还与所述M21的源极连接;M17源极与M18漏极连接,M18源极、M19源极与地端VSS连接,M19的漏极与C2的下极板连接。

[0011] 进一步地,时钟信号CLK通过PMOS晶体管M24和NMOS晶体管M25构成的反相器得到反向时钟电压CLKB;M24的源极接电源电压VDD,M24的栅极、M25的栅极接时序开关CLK,M25的源极接地,M24的漏极、M25的漏极连接并产生反向时钟电压CLKB。

[0012] 进一步地,自举开关工作在保持状态下时:

[0013] 时序开关CLK为低电平,CLKB为高电平;M17、M19栅极高电平导通,C1、C2下极板低电平;由CLK控制的M1栅极低电平导通;CLK控制M23使M18的栅极为高电平导通;CLKB控制M6使M2的栅极为低电平导通;CLK控制M3导通,使M4的栅极为高电平断开,使M5到C2上极板通路断开;CLKB控制M20导通,使M21的栅极为低电平断开,使M22到C1下极板通路断开。同时低电平和高电平分别使M7和M12开关断开,电源电压VDD开始对C1和C2充电;

[0014] CLKB使M6导通,进而使得M10和M11的栅极为低电平;CLK使M23导通,进而使得M15和M16的栅极为高电平;此时,M10、M11、M15、M16都工作在深线性区,晶体管不导通,截断信号通路,此时采样电容上的电荷不变,采样电容上的电压保持不变。

[0015] 进一步地,自举开关工作在跟随状态下时:

[0016] 时序开关CLK为高电平,CLKB为低电平;CLK控制M1、M3、M23的栅极为高电平断开,CLKB控制M17、M19、M20、M6的栅极为低电平断开,电源停止对C1和C2的充电;

[0017] CLK控制M8为高电平导通,C2上的电荷使M4的栅源极形成VDD压差,M4导通,此时C2上的电荷再次使得M10的栅源极形成VDD压差,M10导通,同理,M7导通;CLKB控制M13为低电平导通,C1上的电荷使M21的栅源极形成VDD压差,M21导通,此时C1上的电荷再次使得M15的栅源极形成VDD压差,M15导通,同理,M12导通。

[0018] 进一步地,VIN通过M10和M15达到C2下极板,因电容两端电压不能突变,使C2的上极板达到VIN+VDD电位,此时,M10和M11的栅源极电压为: $VIN+VDD-VIN=VDD$,M11导通, $VOUT=VIN-\Delta V1$,M10和M11的栅源电压不随VIN变化;其中 $\Delta V1$ 为沟道电荷注入效应所产生的电压差;

[0019] VIN通过M10、M15、M7、M12达到C1上极板,根据电容两端电压不能突变,使C1的下极板达到VIN-VDD电位,此时,M15和M16的栅源极电压为: $VIN-VDD-VIN=-VDD$,M16导通, $VOUT=VIN+\Delta V2$,M15和M16的栅源电压不随VIN变化;其中 $\Delta V2$ 为沟道电荷注入效应所产生的电压差;

[0020] M11在跟随相位到保持相位转换时,沟道释放出电子,使得: $VOUT=VIN-\Delta V1$;M16

在跟随相位到保持相位转换时,沟道释放出空穴,使得: $V_{OUT} = V_{IN} + \Delta V_2$,经过调节M11与M16的尺寸,可以使得 $\Delta V_1 = \Delta V_2$,从而使得 $V_{OUT} = V_{IN}$,消除沟道注入的影响。

[0021] 与现有技术相比,本发明具有以下技术特点:

[0022] 1. 相较于传统自举开关,本发明利用了两个开关管M11和M16,开关管的NMOS管栅源电压达到稳定的值(VDD)和PMOS管栅源电压达到稳定的值($-1 * V_{DD}$),让导通电阻变成一个稳定的值,PMOS晶体管与NMOS晶体管的结合使导通电阻的变化值更趋于线性,降低开关管的导通电阻,提高了线性度。

[0023] 2. 本发明中的自举开关同时利用了NMOS晶体管和PMOS晶体管,这使得NMOS晶体管和PMOS晶体管在开关切换时产生的电子与空穴相互抵消,从而减小了沟道电荷注入效应的影响。传统的自举开关会随着作为开关的晶体管尺寸的增大而使得沟道电荷注入效应越明显,本发明中的自举开关不会因为晶体管尺寸的影响,在高速的电路中依然适用。

附图说明

[0024] 图1为本发明的减小沟道电荷注入效应自举开关的电路结构示意图;

[0025] 图2为本发明的减小沟道电荷注入效应自举开关保持状态示意图;

[0026] 图3为本发明的减小沟道电荷注入效应自举开关跟随状态示意图;

[0027] 图4为本发明实施例中自举开关电路的输入信号、输出信号、时钟信号仿真波形图;

[0028] 图5为本发明实施例中自举开关电路的开关管栅源极压差;

[0029] 图6为经典自举开关电路的开关管栅源极压差;

[0030] 图7为本发明实施例中自举开关电路和经典自举开关电路沟道注入效应影响大小示意图;

[0031] 图8为本发明实施例中自举开关电路经调节后,几乎完全抵消沟道注入效应影响图示。

具体实施方式

[0032] 参见图1,本发明提供了一种减小沟道电荷注入效应的自举开关,包括NMOS开关部分、PMOS开关部分以及电容充放电通路,其中:

[0033] NMOS开关部分包括PMOS晶体管M3、M4,以及NMOS晶体管M5、M6、M8、M9、M10、M11,其中M3和M8的栅极连接时序开关CLK,M3的源极以及M5的栅极与电源电压VDD连接,M3的漏极与M8漏极、M4栅极以及M9漏极连接,M5的漏极与M4漏极、M9栅极、M10栅极以及M11栅极连接,M10的漏极与M11源极连接以及输入信号VIN连接,M11的漏极与输出VOUT连接,M5的源极与M6漏极连接,M6的源极与地端VSS连接,M6的栅极与反向时钟电压CLKB连接,M8的源极、M9源极、M10的源极连接。

[0034] PMOS开关部分包括PMOS晶体管M13、M14、M15、M16、M22、M23以及NMOS晶体管M20、M21,其中M13栅极和M20的栅极连接反向时钟电压CLKB,M20的源极、M22的栅极与地端VSS连接,M20的漏极与M13漏极、M21的栅极、M14的漏极连接,M21的漏极与M22漏极、M14栅极、M15栅极、M16栅极连接,M15的漏极与M16源极连接以及输入信号VIN连接,M16的漏极与输出VOUT连接,M22的源极与M23漏极连接,M23的源极与电源电压VDD连接,M23的栅极与时序开

关CLK连接,M13的源极、M14源极、M15的源极连接。

[0035] 电容充放电通路包括PMOS晶体管M1、M2、M12;NMOS晶体管M7、M17、M18、M19;电容C1和C2,其中,M1源极和M2源极与电源电压VDD连接,M1漏极与C1的上极板连接,M1栅极与时序开关CLK连接,M2漏极与C2的上极板以及M4的源极连接,M7栅极、M2栅极与M5漏极连接,M7源极、M12源极与C1的上极板连接,M7漏极、M12漏极与C2的下极板连接;M12栅极与M18栅极、M22的漏极连接,M17的栅极、M19的栅极与反向时钟电压CLKB连接,M17漏极与C1的下极板连接,C1的下极板还与所述M21的源极连接;M17源极与M18漏极连接,M18源极、M19源极与地端VSS连接,M19的漏极与C2的下极板连接。

[0036] 时钟信号CLK通过PMOS晶体管M24和NMOS晶体管M25构成的反相器得到反向时钟电压CLKB;M24的源极接电源电压VDD,M24的栅极、M25的栅极接时序开关CLK,M25的源极接地,M24的漏极、M25的漏极连接并产生反向时钟电压CLKB。

[0037] 本发明的工作过程如下:

[0038] 所述减小沟道电荷注入效应自举开关共有两个工作状态,一是保持状态,二是跟随状态。

[0039] 自举开关工作在保持状态下时,如图2所示:

[0040] 当时序开关CLK为低电平,CLKB为高电平时,M17、M19栅极高电平导通,C1、C2下极板低电平;由CLK控制的M1栅极低电平导通;CLK控制M23使M18的栅极为高电平导通;CLKB控制M6使M2的栅极为低电平导通;CLK控制M3导通,使M4的栅极为高电平断开,使M5到C2上极板通路断开;CLKB控制M20导通,使M21的栅极为低电平断开,使M22到C1下极板通路断开。同时低电平和高电平分别使M7和M12开关断开,电源电压VDD开始对C1和C2充电。

[0041] CLKB使M6导通,进而使得M10和M11的栅极为低电平;CLK使M23导通,进而使得M15和M16的栅极为高电平。此时,M10、M11、M15、M16都工作在深线性区,晶体管不导通,截断信号通路,此时采样电容上的电荷没有任何的流失通路,采样电容上的电荷不变,采样电容上的电压保持不变。

[0042] 自举开关工作在跟随状态下时,如图3所示:

[0043] 当时序开关CLK为高电平,CLKB为低电平时,CLK控制M1、M3、M23的栅极为高电平断开,CLKB控制M17、M19、M20、M6的栅极为低电平断开,电源停止对C1和C2的充电。

[0044] CLK控制M8为高电平导通,C2上的电荷使M4的栅源极形成VDD压差,M4导通,此时C2上的电荷再次使得M10的栅源极形成VDD压差,M10导通,同理,M7导通;CLKB控制M13为低电平导通,C1上的电荷使M21的栅源极形成VDD压差,M21导通,此时C1上的电荷再次使得M15的栅源极形成VDD压差,M15导通,同理,M12导通。

[0045] VIN通过M10和M15达到C2下极板,根据电容两端电压不能突变,使C2的上极板达到VIN+VDD电位,此时,M10和M11的栅源极电压为: $V_{IN}+V_{DD}-V_{IN}=V_{DD}$,M11导通, $V_{OUT}=V_{IN}-\Delta V_1$ (沟道电荷注入效应),M10和M11的栅源电压不随VIN变化。

[0046] VIN通过M10、M15、M7、M12达到C1上极板,根据电容两端电压不能突变,使C1的下极板达到VIN-VDD电位,此时,M15和M16的栅源极电压为: $V_{IN}-V_{DD}-V_{IN}=-V_{DD}$,M16导通, $V_{OUT}=V_{IN}+\Delta V_2$ (沟道电荷注入效应),M15和M16的栅源电压不随VIN变化。

[0047] M11在跟随相位到保持相位转换时,沟道会释放出电子,使得: $V_{OUT}=V_{IN}-\Delta V_1$;M16在跟随相位到保持相位转换时,沟道会释放出空穴,使得: $V_{OUT}=V_{IN}+\Delta V_2$,经过调节

M11与M16的尺寸,可以使得 $\Delta V_1 = \Delta V_2$,从而使得 $V_{OUT} = V_{IN}$,消除沟道注入的影响。

[0048] 实施例:

[0049] 本实施例使用Cadence Virtuoso进行了电路设计和仿真,采用的是台积电TSMC 180nm CMOS工艺。设计电路原理图如图1所示,主要分为三部分,一是NMOS开关部分,二是PMOS开关部分,三是电容充放电通路。

[0050] 本发明的主要参数设置如下:

[0051] 电源电压 $V_{DD} = 1.8V$,采样时钟CLK的频率为10M,输入信号 V_{IN} 的输入范围为0—1.8V,采用的测试负载电容为1pF,以此测试电路对沟道电荷注入效应的抑制作用,测试电路的有效性。

[0052] (1) 自举开关基本功能仿真

[0053] 仿真结果如图4所示,电路处于跟随相位时,CLK为高电平,输出信号跟随输入信号,由于输入信号是正弦信号,信号每时每刻都在变化,所以晶体管一直都会流过电流,晶体管有电阻,因此输出信号与输入信号有压差;电路处于保持相位时,CLK为低电平,由于沟道电荷注入效应,最终采样值与预想值产生偏差,如图7所示。

[0054] (2) 自举开关的开关管栅源极压差

[0055] 在这里,NMOS晶体管和PMOS晶体管的栅源极压差会有不同的表现,NMOS晶体管的栅源极压差会等于 V_{DD} ,而PMOS晶体管的栅源极压差等于 $-1 * V_{DD}$ 。如附图5所示,本发明提出的电路设计NMOS晶体管栅源极压差为1.7498V,PMOS晶体管栅源极压差为-1.7370V。传统的自举开关只有NMOS晶体管,其仿真数据如图6所示,在相同的尺寸下,得到的栅源极压差为1.6821V。

[0056] (3) 自举开关的开关管导通电阻

[0057] 如图1所示,自举开关的开关管导通电阻对电路线性度起着重要作用,NMOS晶体管M11导通电阻阻值为:

$$[0058] \quad R_{onN} = \frac{1}{\mu_N C_{ox} \frac{W}{L} (V_{GS} - V_{THN})}$$

[0059] PMOS晶体管M16导通电阻阻值为:

$$[0060] \quad R_{onP} = \frac{1}{\mu_P C_{ox} \frac{W}{L} (V_{GS} - V_{THP})}$$

[0061] 其中 μ 为载流子迁移率, C_{ox} 是栅氧化层电容, $\frac{W}{L}$ 是开关管宽长比, V_{GS} 是栅源极电压差, V_{TH} 是阈值电压。导通电阻 R_{on} 是导通电阻。而最终的导通电阻应为 R_{onN} 与 R_{onP} 并联,并联得到的开关电阻更为线性。

[0062] (4) 沟道电荷注入效应

[0063] 对沟道电荷注入效应的仿真如图7所示,图7中IN表示输入信号,OUTN表示经典Bootstrap的输出,OUTPN表示本发明Bootstrap的输出,该仿真输入到两个自举开关的输入信号是一样的,都为IN,且开关管的尺寸是一致的,都为2 μm ,以保证仿真结果的可比性。

[0064] 由图7可以看出,传统的自举开关由于存在沟道电荷注入的因素,采样到的最终值与预想值相差了3.3214mV。利用本发明Bootstrap可以减小沟道电荷注入因素的影响,采样

到的最终值与预想值只相差了703uV。根据沟道电荷注入效应的产生机理,只用NMOS作为开关管不能消除沟道电荷注入效应,运用本发明Bootstrap,利用PMOS与NMOS中空穴与电子相互抵消的方式,在相应地调节NMOS和PMOS的尺寸则可以完全抵消沟道电荷注入效应,如图8所示。

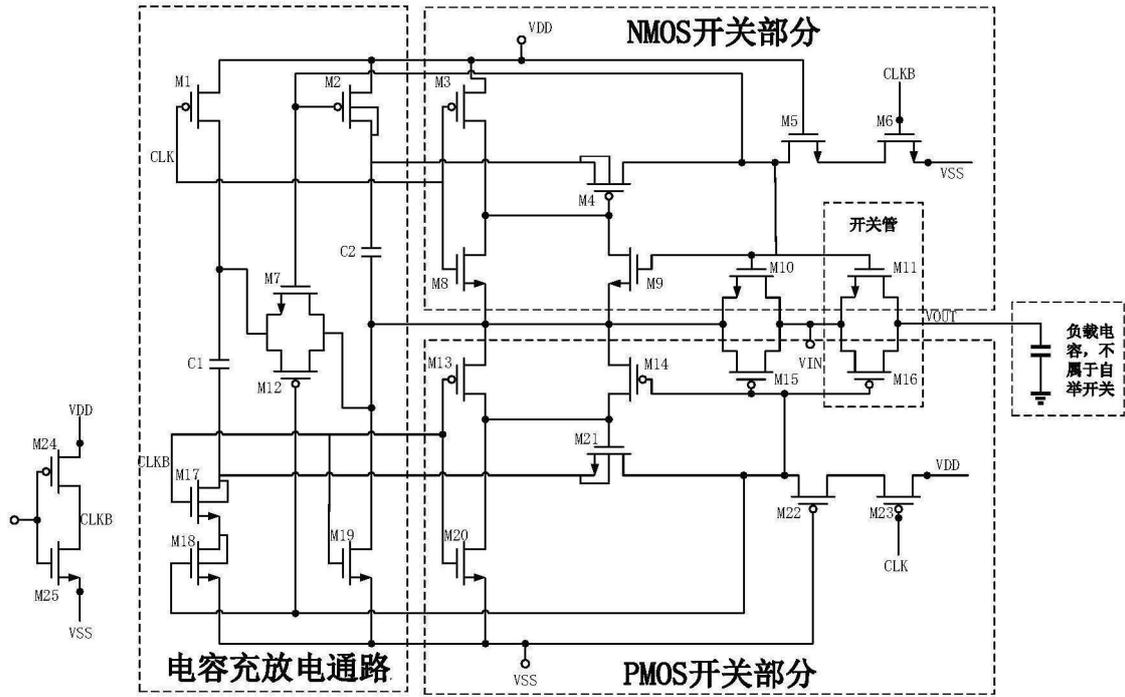


图1

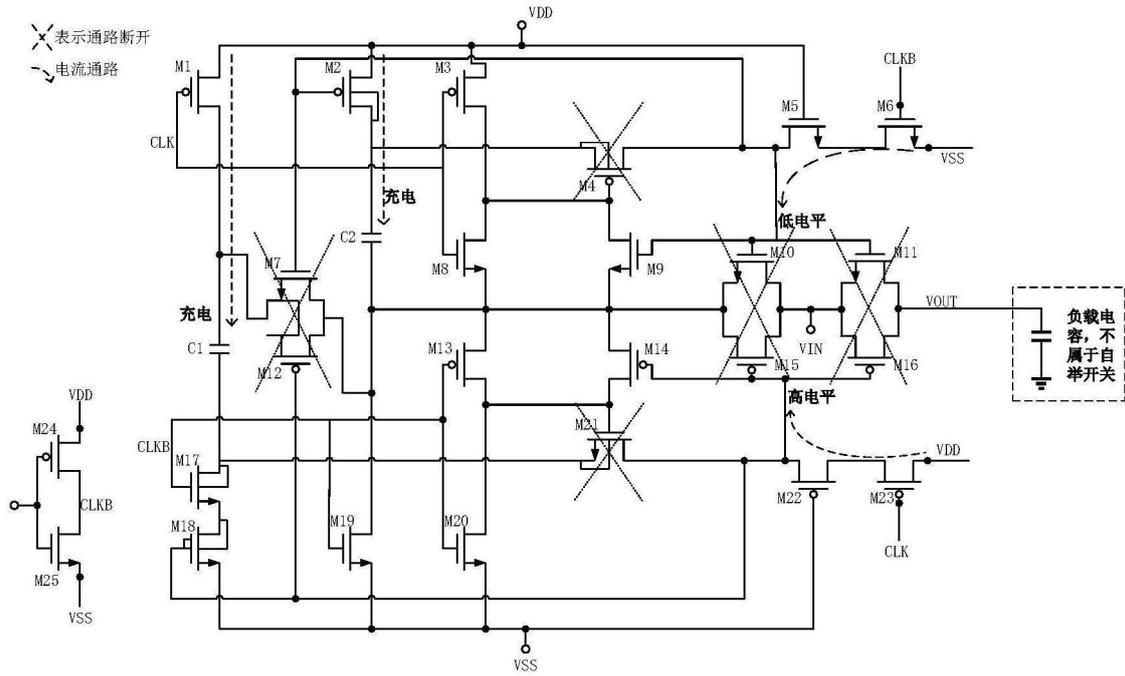


图2

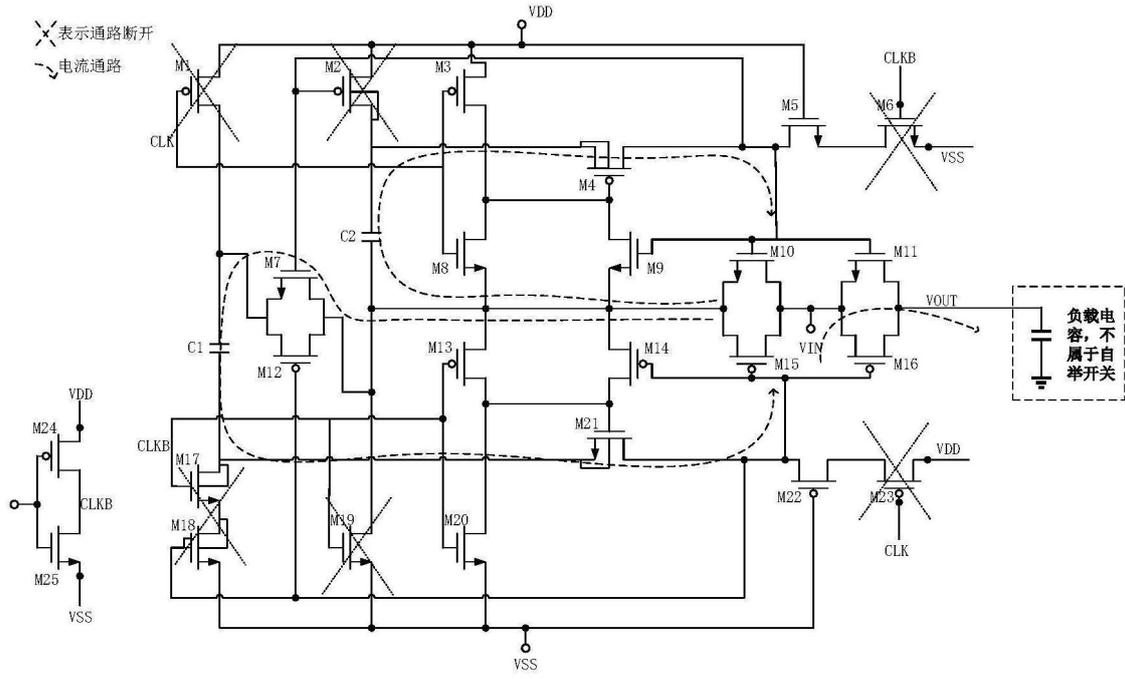


图3

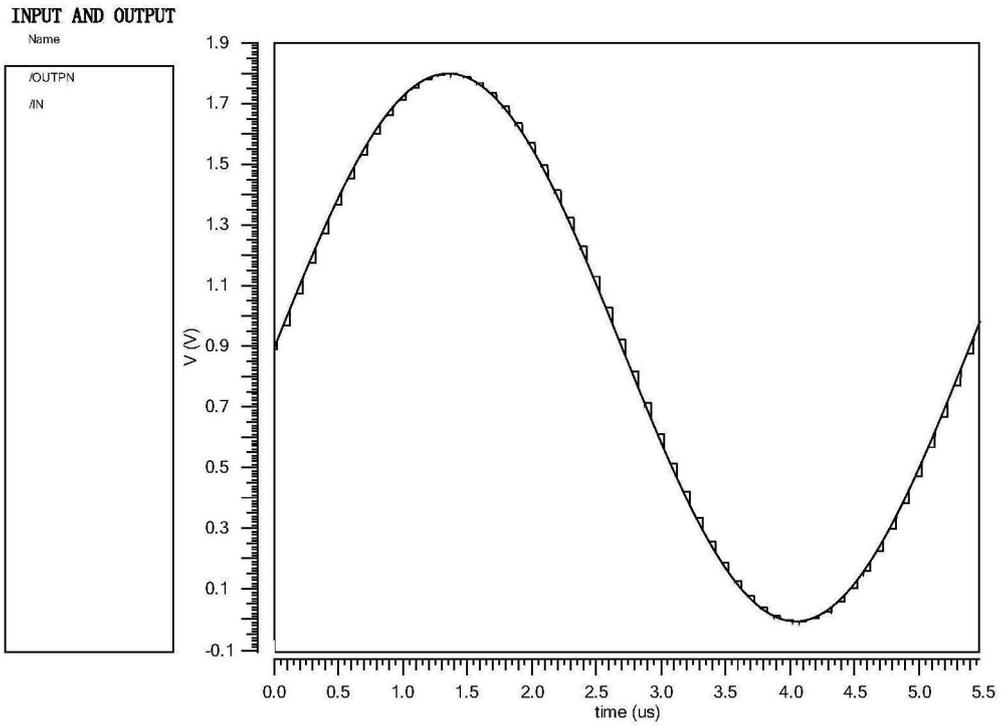


图4

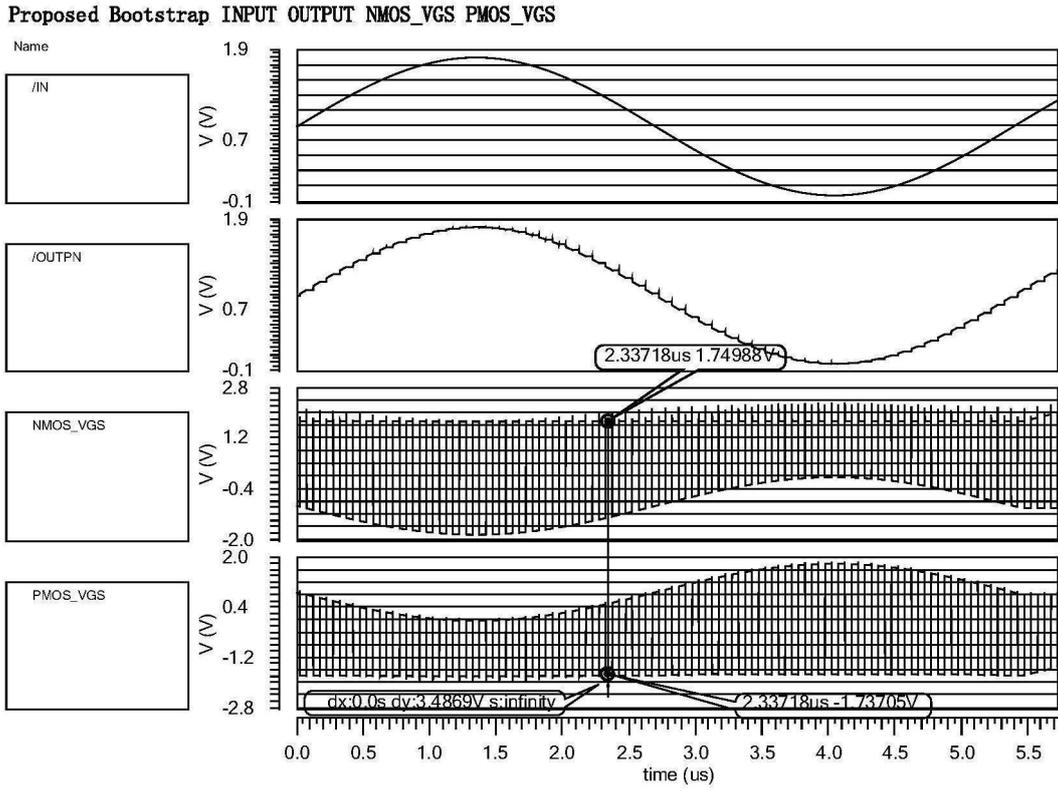


图5

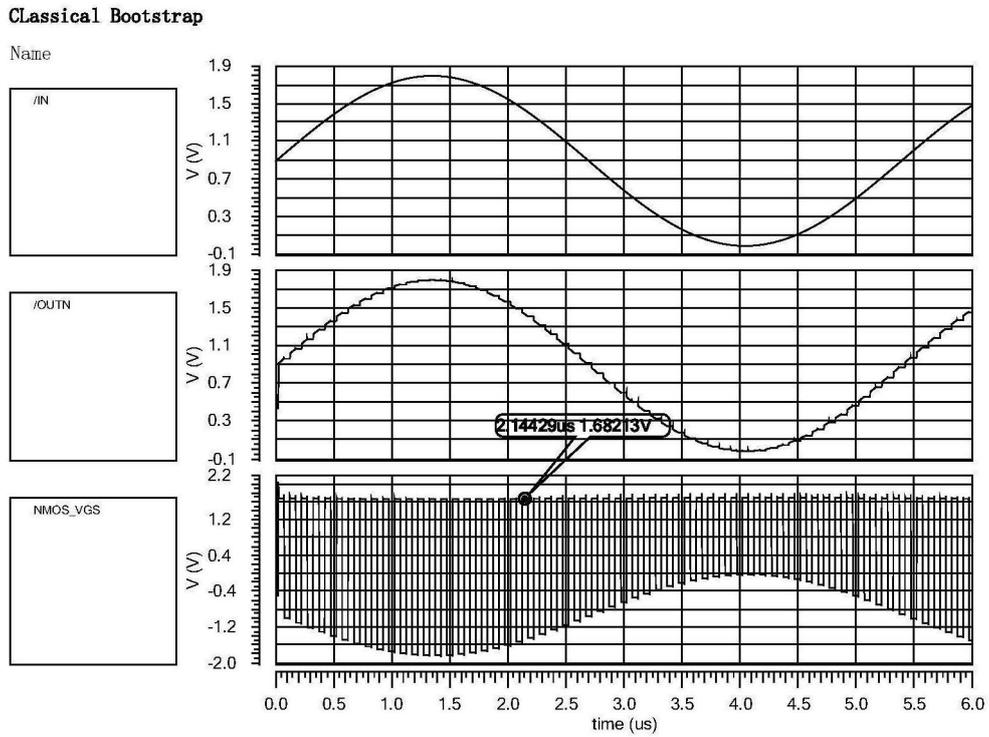


图6

NMOS vs NMOS_POMS

Name

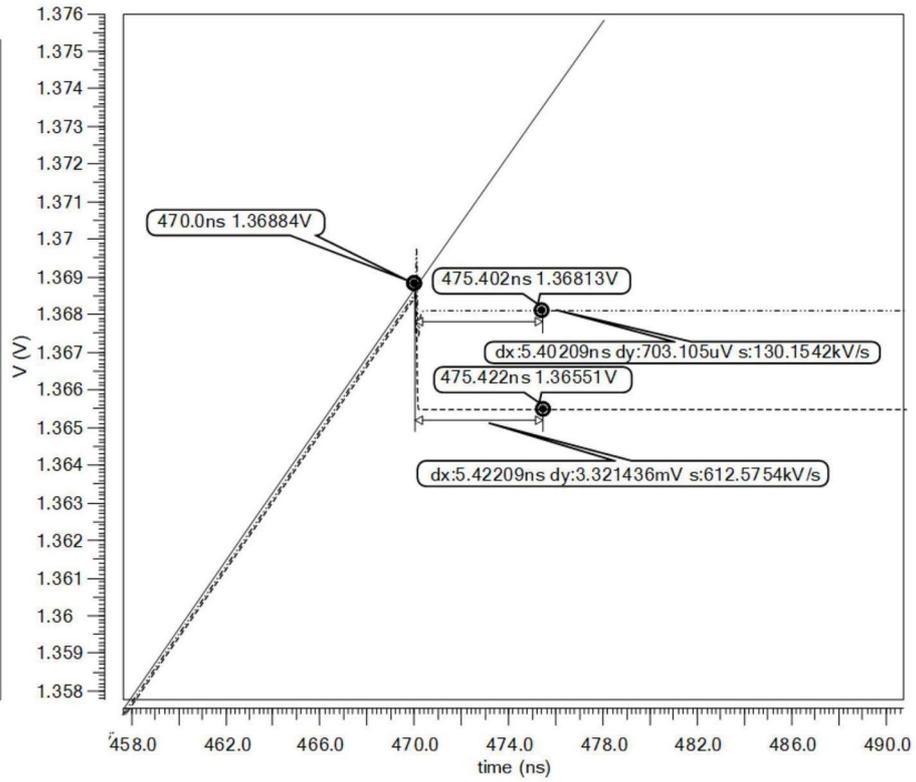


图7

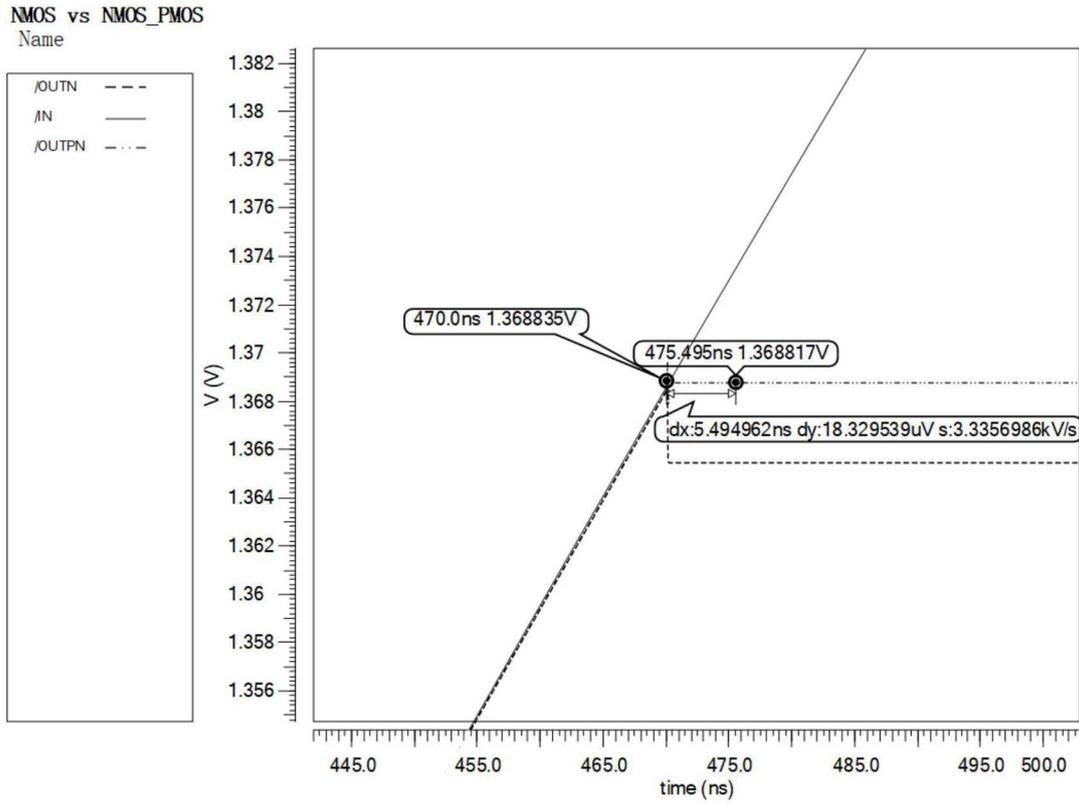


图8