



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201701364 A

(43) 公開日：中華民國 106 (2017) 年 01 月 01 日

(21) 申請案號：105128945

(22) 申請日：中華民國 100 (2011) 年 09 月 08 日

(51) Int. Cl. : H01L21/336 (2006.01)

H01L29/786 (2006.01)

G02F1/1368 (2006.01)

G02F1/1362 (2006.01)

(30) 優先權：2010/09/10 日本

2010-203356

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：小山潤 KOYAMA, JUN (JP)

(74) 代理人：林志剛

申請實體審查：有 申請專利範圍項數：33 項 圖式數：19 共 97 頁

(54) 名稱

電晶體，液晶顯示裝置及其製造方法

TRANSISTOR, LIQUID CRYSTAL DISPLAY DEVICE, AND MANUFACTURING METHOD
THEREOF

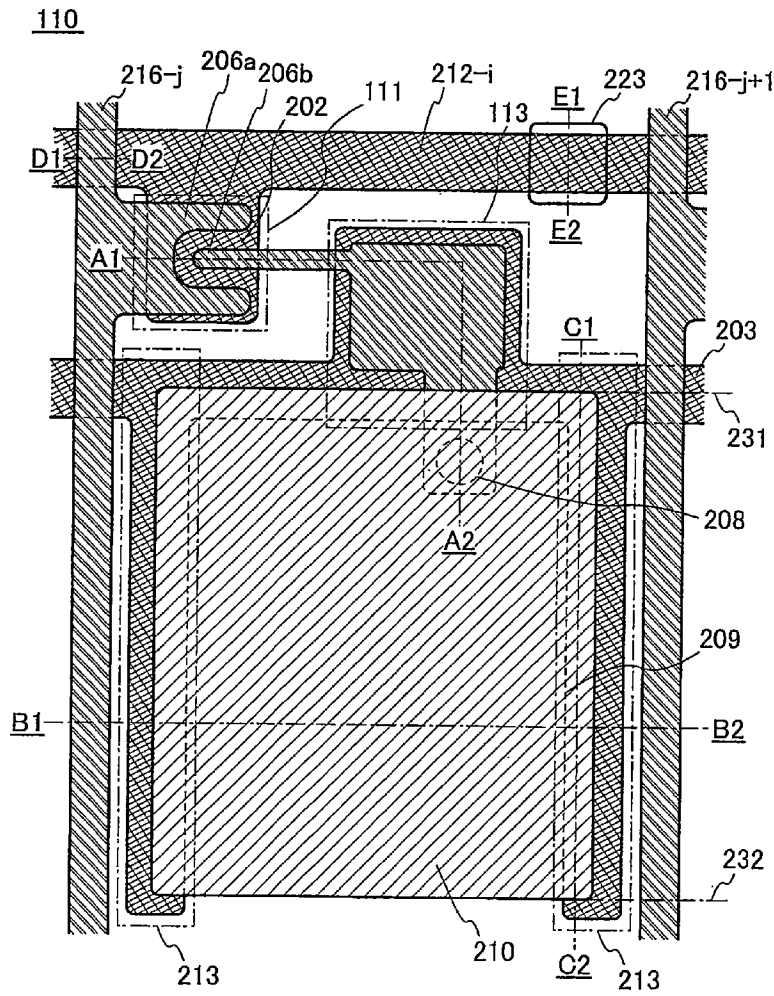
(57) 摘要

省略形成島形半導體層之光刻及蝕刻步驟，並以四光刻步驟製造液晶顯示裝置：形成閘極電極之步驟(包括使用與該閘極電極相同層形成之佈線)、形成源極及汲極電極之步驟(包括使用與該源極及該汲極電極相同層形成之佈線)、形成接觸孔之步驟(包括移除非該接觸孔之區域中絕緣層等)、及形成像素電極之步驟(包括使用與該像素電極相同層形成之佈線)。藉由減少光刻步驟數量，可以低成本及高生產力配置液晶顯示裝置。藉由改進佈線之形狀及電位，避免寄生通道形成。

Photolithography and etching steps for forming an island-shaped semiconductor layer are omitted, and a liquid crystal display device is manufactured with four photolithography steps: a step of forming a gate electrode (including a wiring formed using the same layer as the gate electrode), a step of forming source and drain electrodes (including a wiring formed using the same layer as the source and drain electrodes), a step of forming a contact hole (including the removal of an insulating layer and the like in a region other than the contact hole), and a step of forming a pixel electrode (including a wiring formed using the same layer as the pixel electrode). By the reduction in the number of photolithography steps, a liquid crystal display device can be provided at low cost and high productivity. Formation of a parasitic channel is prevented by an improvement in shape and potential of a wiring.

指定代表圖：

圖 1



符號簡單說明：

- 110 . . . 像素
- 111 . . . 電晶體
- 113 . . . 電容器
- 202 . . . 閘極電極
- 203、212-i、216-j、216-j+1 . . . 佈線
- 206a . . . 源極電極
- 206b . . . 汲極電極
- 208 . . . 接觸孔
- 209 . . . 開口
- 210 . . . 像素電極
- 213 . . . 延伸部
- 223 . . . 區域
- 231、232 . . . 端部

發明摘要

※申請案號：105128945

※申請日：100年09月08日

※IPC分類：*H01L 21/336* (2006.01)

H01L 29/786 (2006.01)

G02F 1/1368 (2006.01)

G02F 1/1362 (2006.01)

【發明名稱】(中文/英文)

電晶體，液晶顯示裝置及其製造方法

Transistor, liquid crystal display device, and manufacturing method thereof

【中文】

省略形成島形半導體層之光刻及蝕刻步驟，並以四光刻步驟製造液晶顯示裝置：形成閘極電極之步驟（包括使用與該閘極電極相同層形成之佈線）、形成源極及汲極電極之步驟（包括使用與該源極及該汲極電極相同層形成之佈線）、形成接觸孔之步驟（包括移除非該接觸孔之區域中絕緣層等）、及形成像素電極之步驟（包括使用與該像素電極相同層形成之佈線）。藉由減少光刻步驟數量，可以低成本及高生產力配置液晶顯示裝置。藉由改進佈線之形狀及電位，避免寄生通道形成。

【 英文 】

Photolithography and etching steps for forming an island-shaped semiconductor layer are omitted, and a liquid crystal display device is manufactured with four photolithography steps: a step of forming a gate electrode (including a wiring formed using the same layer as the gate electrode), a step of forming source and drain electrodes (including a wiring formed using the same layer as the source and drain electrodes), a step of forming a contact hole (including the removal of an insulating layer and the like in a region other than the contact hole), and a step of forming a pixel electrode (including a wiring formed using the same layer as the pixel electrode). By the reduction in the number of photolithography steps, a liquid crystal display device can be provided at low cost and high productivity. Formation of a parasitic channel is prevented by an improvement in shape and potential of a wiring.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

110：像素

111：電晶體

113：電容器

202：閘極電極

203、212_{.i}、216_{.j}、216_{.j+1}：佈線

206a：源極電極

206b：汲極電極

208：接觸孔

209：開口

210：像素電極

213：延伸部

223：區域

231、232：端部

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

電晶體，液晶顯示裝置及其製造方法

Transistor, liquid crystal display device, and manufacturing method thereof

【技術領域】

本發明之實施例關於電晶體、液晶顯示裝置、及電晶體及液晶顯示裝置之製造方法。

在本說明書中，半導體裝置表示可利用半導體特性而作動之所有類型之裝置，且半導體電路、儲存裝置、成像裝置、顯示裝置、電光裝置、電子裝置等均為半導體裝置。

【先前技術】

近年來，使用具有數奈米至數百奈米厚度之半導體薄膜於諸如玻璃基板之具有絕緣表面之基板上形成之電晶體已引起注意。電晶體廣泛用於諸如 IC (積體電路) 及電光裝置之電子裝置。尤其，電晶體急切地發展為以液晶顯示裝置等代表之影像顯示裝置的切換元件。在主動式矩陣液晶顯示裝置中，電壓施加於連接至選擇之切換元件之像素電極與相應於像素電極之相對電極之間，因而配置於像素電極與相對電極之間之液晶層經光學調變。光學調變可

藉由觀察者識別為顯示型樣。此處主動式矩陣液晶顯示裝置表示液晶顯示裝置，其採用一種方法，其中藉由使用切換元件驅動以矩陣配置之像素電極而將顯示型樣形成於屏幕上。

該等主動式矩陣液晶顯示裝置之使用範圍擴展，且對於較大屏幕尺寸、較高解析度、及較高孔徑比之需求增加。此外，其要求主動式矩陣液晶顯示裝置具有高可靠性，並要求主動式矩陣液晶顯示裝置之生產方法提供高生產力並減少生產成本。程序之簡化為增加生產力及減少生產成本之一種方式。

在主動式矩陣液晶顯示裝置中，電晶體主要用作切換元件。在製造電晶體中，光刻步驟數量減少或光刻步驟簡化對於簡化整個程序是重要的。例如，當增加一光刻步驟時，便進一步需要下列步驟：抗蝕劑施用、預烘、曝光、顯影、後烘等，再者需要上述步驟之前及之後之步驟，諸如膜形成、蝕刻、抗蝕劑移除、清潔、乾燥等。因此，在製造程序中僅藉由增加一光刻步驟，步驟數量便顯著增加。因此，已開發製造程序中許多用於減少光刻步驟數量或簡化光刻步驟之技術。

電晶體概分為通道形成區域配置於閘極電極以下之頂閘電晶體，及通道形成區域配置於閘極電極以上之底閘電晶體。該些電晶體一般係使用至少五光罩予以製造。

許多用於簡化光刻步驟之習知技術使用複雜技術，諸如背面曝光、抗蝕劑回流、或升起法，此在許多狀況下要

求特殊設備。使用該等複雜技術可造成各種問題，藉此導致產量減少。再者，其通常無選擇地犧牲電晶體之電特性。

有關電晶體之製造程序中用於簡化光刻步驟之典型裝置，廣泛地知悉使用多色調遮罩（稱為半色調遮罩或灰階遮罩）之技術。有關藉由使用多色調遮罩而減少製造步驟數量之技術，可提供例如專利文獻 1。

[參考文獻]

[專利文獻]

[專利文獻 1]日本公開專利申請案 No. 2003-179069

【發明內容】

本發明之實施例之目標為將用於製造電晶體之光刻步驟數量減少至低於習知者。

本發明之實施例之目標為提供低成本及高生產力之液晶顯示裝置。

本發明之實施例之目標為將用於製造包括電晶體之顯示裝置的光罩數量減少至低於習知者。

目標為提供具電力消耗減少之液晶顯示裝置。

目標為提供具高可靠性之液晶顯示裝置。

省略形成島形半導體層之步驟，並以四光刻步驟製造半導體裝置：形成閘極電極之步驟（包括使用與閘極電極之相同層形成之佈線）、形成源極電極及汲極電極之步驟

（包括使用與源極電極及汲極電極之相同層形成之佈線）、形成接觸孔之步驟（包括於非接觸孔之區域中移除絕緣層等）、及形成像素電極之步驟（包括使用與像素電極之相同層形成之佈線）。

為避免所形成之寄生電晶體（寄生通道）之影響，至少電連接至閘極電極之部分佈線配置一區域，其沿線寬度方向延伸超過佈線之二端部，且與佈線重疊，並於接觸孔之形成中移除與區域重疊之部分半導體層。此外，部分電容器佈線沿從外部被供應影像信號之佈線延伸，且電容器佈線之電位設定為低於供應至像素電極之電位。

本發明之實施例為液晶顯示裝置，包括：包括閘極電極、源極電極、汲極電極、及半導體層之電晶體；電連接至閘極電極之第一佈線；電連接至源極電極之第二佈線；電連接至汲極電極之像素電極；及電容器佈線。半導體層與第一佈線、第二佈線、像素電極、及電容器佈線重疊，且部分電容器佈線沿平行於第二佈線延伸之方向而延伸超過像素電極之端部。

此外，電容器佈線可包括沿第二佈線之延伸部，且延伸部可沿平行於第二佈線延伸之方向而延伸超過像素電極之端部。

此外，不一定配置與第二佈線並列之延伸部，並可具有彎部或曲部。

此外，電容器佈線之延伸部可與部分像素電極重疊。當電容器佈線及像素電極彼此重疊時，重疊部分可充當儲

存電容器。

此外，至少部分第一佈線包括沿線寬度方向延伸超過第一佈線之二端部之區域，且區域中不存在半導體層。

此外，本發明之實施例為液晶顯示裝置之製造方法，包括以下步驟：藉由第一光刻步驟而於基板之上形成閘極電極、電連接至閘極電極之第一佈線、及電容器佈線；於閘極電極、第一佈線、及電容器佈線之上形成閘極絕緣層；於閘極絕緣層之上形成半導體層；藉由第二光刻步驟而於半導體層之上形成源極電極及汲極電極；於源極電極及汲極電極之上形成絕緣層；藉由選擇性移除與汲極電極重疊之部分絕緣層，並藉由第三光刻步驟移除第一佈線上之部分半導體層，而形成接觸孔；及藉由第四光刻步驟於絕緣層之上形成像素電極。

具有避免雜質元素從基板擴散之功能的絕緣層可配置於基板與閘極電極之間。

根據本發明之實施例，第一絕緣層形成於基板之上，第一電極形成於第一絕緣層之上，第二絕緣層形成於第一電極之上，半導體層形成於第二絕緣層之上，第三電極及第四電極形成於半導體層之上，及形成第三絕緣層以覆蓋第三電極及第四電極。以相同步驟執行藉由移除與第三電極或第四電極重疊之部分第三絕緣層而形成接觸孔，及移除部分第三絕緣層、部分半導體層、及部分第二絕緣層。

第二絕緣層充當閘極絕緣層，及第三絕緣層充當保護絕緣層。第一電極充當閘極電極，第三電極充當源極電極

及汲極電極之一，及第四電極充當源極電極及汲極電極之另一者。

可藉由乾式蝕刻、濕式蝕刻、或其組合而執行接觸孔之形成，及部分第三絕緣層、部分半導體層、及部分第二絕緣層之移除。

當以包含銅或鋁之材料形成閘極電極、源極電極、汲極電極、或連接至該等電極之佈線時，可減少佈線電阻，因而可避免信號延遲。

使用半導體層之氧化物半導體可體現具低電力消耗及高可靠性之液晶顯示裝置。

請注意，藉由減少充當電子供體之諸如濕氣或氫之雜質而高度純化（純化 OS）之氧化物半導體可製成爲 i 型（本質）氧化物半導體，或藉由供應氧以減少氧化物半導體中缺氧而成爲極接近 i 型氧化物半導體（實質上 i 型氧化物半導體）之氧化物半導體。包括 i 型或實質上 i 型氧化物半導體之電晶體具有極小關閉狀態電流之特性。具體地，藉由二次離子質譜（SIMS）測量之高度純化氧化物半導體中氫之濃度爲低於或等於 $5 \times 10^{19}/\text{cm}^3$ ，較佳地爲低於或等於 $5 \times 10^{18}/\text{cm}^3$ ，更佳地爲低於或等於 $5 \times 10^{17}/\text{cm}^3$ ，仍更佳地爲低於或等於 $1 \times 10^{16}/\text{cm}^3$ 。

此外，藉由霍爾效應測量而測量之 i 型或實質上 i 型氧化物半導體之載子密度爲低於 $1 \times 10^{14}/\text{cm}^3$ ，較佳地爲低於 $1 \times 10^{12}/\text{cm}^3$ ，更佳地爲低於 $1 \times 10^{11}/\text{cm}^3$ 。此外，氧化物半導體之帶隙爲大於或等於 2 eV，較佳地爲大於或等於

2.5 eV，更佳地為大於或等於 3 eV。包括 i 型或實質上 i 型氧化物半導體之電晶體可具有小關閉狀態電流。

此處說明藉由 SIMS 之氧化物半導體中氫濃度分析。原則上藉由 SIMS 分析難以於接近樣本表面或接近以不同材料形成之堆疊膜之間介面獲得精確資料。因而，若藉由 SIMS 分析沿膜厚度方向之氫濃度分佈，採用可獲得幾乎相同值而無顯著變化之膜的區域中氫濃度之平均值作為氫濃度。此外，若膜之厚度小，因鄰近膜之氫濃度的影響而有時無法發現可獲得幾乎相同值之區域。在此狀況下，採用配置膜之區域之氫濃度的最大值或最小值作為膜之氫濃度。此外，若配置膜之區域中不存在最大值峰值及最小值谷值，採用拐點之值作為氫濃度。

根據本發明之實施例，可減少液晶顯示裝置之製造步驟數量；因此，可提供低成本及高生產力之液晶顯示裝置。

可提供具低電力消耗及高可靠性之液晶顯示裝置。本發明之實施例可達成至少一以上目標。

【圖式簡單說明】

圖 1 為俯視圖，描繪本發明之實施例。

圖 2A 至 2E 為截面圖，描繪本發明之實施例。

圖 3A 為俯視圖及圖 3B 為截面圖，描繪本發明之實施例。

圖 4A 為俯視圖及圖 4B 為截面圖，描繪本發明之實

施例。

圖 5A 及 5B 為電路圖，描繪本發明之實施例。

圖 6A 為俯視圖及圖 6B 為截面圖，描繪本發明之實施例。

圖 7 為俯視圖，描繪本發明之實施例。

圖 8A1 及 8B1 為俯視圖及圖 8A2 及 8B2 為截面圖，描繪本發明之實施例。

圖 9A 為俯視圖及圖 9B 為截面圖，描繪本發明之實施例。

圖 10A 至 10C 為截面圖，描繪本發明之實施例。

圖 11A 至 11C 為截面圖，描繪本發明之實施例。

圖 12A 至 12C 為截面圖，描繪本發明之實施例。

圖 13A 為俯視圖及圖 13B 為截面圖，描繪本發明之實施例。

圖 14A 及 14B 描繪本發明之實施例。

圖 15A 至 15F 各描繪電子裝置之使用類型範例。

圖 16A 至 16E 各描繪氧化物材料之結晶結構。

圖 17A 至 17C 描繪氧化物材料之結晶結構。

圖 18A 至 18C 描繪氧化物材料之結晶結構。

圖 19A 及 19B 各描繪氧化物材料之結晶結構。

【實施方式】

將參照圖式說明實施例。請注意，本發明不侷限於下列說明，且熟悉本技藝之人士將輕易理解，模式及細節可

以各種方式改變而未偏離本發明之精神及範圍。因此，本發明不應解譯為侷限於下列實施例之說明。請注意，在以下所說明之本發明的結構中，相同代號通常用於標示不同圖式之間具有類似功能之組件，且該等組件之相同未重複。

此外，在本說明書等中，使用諸如「第一」、「第二」、及「第三」之序數以便避免組件之間混淆，並傾向於不限制組件數量。

此外，圖式等中所描繪之每一結構的位置、尺寸、範圍等有時為易於理解而未準確表示。因此，所揭露之本發明不一定侷限於如圖式等中所描繪之位置、尺寸、範圍等。

電晶體為一種半導體元件並可放大電流或電壓，及執行切換作業以控制例如導電或非導電。本說明書中電晶體包括絕緣閘極場效電晶體（IGFET）及薄膜電晶體（TFT）。

例如，當使用相對極性之電晶體或電路作業中電流流動方向改變時，電晶體之「源極」及「汲極」的功能可互換。因此，在本說明書中「源極」及「汲極」用詞亦可用於分別標示汲極及源極。

此外，在本說明書等中，諸如「電極」或「佈線」用詞並不侷限組件功能。例如，「電極」有時用作部分「佈線」，反之亦然。此外，「電極」或「佈線」亦可表示以整何方式形成之複數「電極」及「佈線」之組合。

(實施例 1)

在本實施例中，將參照圖 1、圖 2A 至 2E、圖 3A 及 3B、圖 4A 及 4B、圖 5A 及 5B、圖 6A 及 6B、圖 7、圖 8A1 至 8B2、圖 9A 及 9B、圖 10A 至 10C、及圖 11A 至 11C，說明經由光罩數量及光刻步驟數量減少之程序形成之液晶顯示裝置之像素結構的範例，及形成像素結構之方法的範例。

圖 5A 描繪液晶顯示裝置中使用之半導體裝置 100 之結構範例。半導體裝置 100 於基板 101 之上包括像素區 102、包括 m 端子 105 (m 為大於或等於 1 之整數) 之端子部 103、及包括 n 端子 106 (n 為大於或等於 1 之整數) 之端子部 104。此外，半導體裝置 100 包括電連接至端子部 103 之 m 佈線 212 及電連接至端子部 104 之 n 佈線 216。像素區 102 包括以 m (列) 及 n (行) 矩陣配置之複數像素 110。第 i 列及第 j 行之像素 110 (i, j) (i 為大於或等於 1 及低於或等於 m 之整數，及 j 為大於或等於 1 及低於或等於 n 之整數) 電連接至佈線 212 _{i} 及佈線 216 _{j} 。此外，每一像素電連接至充當電容器電極或電容器佈線之佈線 203，且佈線 203 電連接至端子 107。佈線 212 _{i} 電連接至端子 105 _{i} ，且佈線 216 _{j} 電連接至端子 106 _{j} 。

端子部 103 及端子部 104 為外部輸入端子，並連接至具軟性印刷電路 (FPC) 等之外部控制電路。從外部控制電路供應之信號經由端子部 103 或端子部 104 輸入至半導體裝置 100。在圖 5A 中，該等端子部 103 係配置於像素

區 102 之右側或左側，使得信號從二方向輸入。此外，該等端子部 104 係配置於像素區 102 以上及以下，使得信號從二方向輸入。藉由從二方向輸入信號，信號供應能力增加並有利於半導體裝置 100 之高速作業。此外，可減少因半導體裝置 100 之尺寸增加或解析度增加伴隨之佈線電阻增加造成之信號延遲的影響。再者，半導體裝置 100 可具有多餘性，使得可改進半導體裝置 100 之可靠性。儘管圖 5A 中配置二端子部 103 及二端子部 104，亦可採用配置一端子部 103 及一端子部 104 之結構。

圖 5B 描繪像素 110 之電路結構。像素 110 包括電晶體 111、液晶元件 112、及電容器 113。電晶體 111 之閘極電極電連接至佈線 212_i，且電晶體 111 之源極電極及汲極電極之一電連接至佈線 216_j。電晶體 111 之源極電極及汲極電極之另一者電連接至液晶元件 112 之一電極及電容器 113 之一電極。液晶元件 112 之另一電極電連接至電極 114。電極 114 之電位可為諸如 0 V 之固定電位、GND、或共同電位。電容器 113 之另一電極電連接至佈線 203。

電晶體 111 具有選擇從佈線 216_j 供應之影像信號是否輸入至液晶元件 112 之功能。在開啓電晶體 111 之信號供應至佈線 212_i 之後，影像信號便經由電晶體 111 而從佈線 216_j 供應至液晶元件 112。根據供應至液晶元件 112 之影像信號（電位）而控制光之透射比。電容器 113 具有儲存電容器（亦稱為 Cs 電容器）之功能以保持供應至液

晶元件 112 之電位。電容器 113 並非總需配置；然而，若配置電容器 113，可抑制藉由於電晶體 111 之關閉狀態的源極電極與汲極電極之間流動之電流（關閉狀態電流）而造成施予液晶元件 112 之電位變化。

在本實施例中所揭露之像素 110 中，佈線 216_j 與佈線 216_{-j+1} 之間可能形成寄生電晶體 115，且寄生電晶體 115 可電連接佈線 216_j 及佈線 216_{-j+1}。因此，寄生電晶體 116 形成於佈線 216_j 與佈線 216_{-j+1} 之間，且寄生電晶體 116 恆定保持關閉狀態，此避免佈線 216_j 與佈線 216_{-j+1} 之間之電連接。

有關形成電晶體 111 之通道的半導體層，可使用單晶半導體、多晶半導體、微晶半導體、非結晶半導體等。半導體材料之範例為矽、鍺、矽鍺、碳化矽、及砷化鎵。

在本實施例中所說明之顯示裝置具有半導體層保持於像素區域中之結構；因而，若包括半導體層之顯示裝置用於透射式顯示裝置，例如較佳地僅可能薄化半導體層而增加可見光之透射比。

此外，氧化物半導體可用於形成電晶體 111 之通道的半導體層。氧化物半導體具有寬度大於或等於 3.0 eV 之能隙，因而相對於可見光而具有高透射比。在藉由於適當狀況下處理氧化物半導體而獲得之電晶體中，周圍溫度（例如 25°C）之關閉狀態電流可為低於或等於 100 zA（ 1×10^{-19} A），低於或等於 10 zA（ 1×10^{-20} A），及進一步低於或等於 1 zA（ 1×10^{-21} A）。因此，可保持施加於

液晶元件 112 之電位而未配置電容器 113。此外，在體現具低電力消耗之液晶顯示裝置中，較佳地將氧化物半導體層用於形成電晶體 111 之通道的半導體層。

其次，將參照圖 1 及圖 2A 至 2E 說明圖 5A 及 5B 中所描繪之像素 110 的結構範例。圖 1 為俯視圖，描繪像素 110 之平面結構，及圖 2A 至 2E 為截面圖，各描繪像素 110 之層級結構。請注意，圖 1 中鏈線 A1-A2、B1-B2、C1-C2、D1-D2、及 E1-E2 分別相應於圖 2A 至 2E 中截面 A1-A2、B1-B2、C1-C2、D1-D2、及 E1-E2。

在本實施例之電晶體 111 中，汲極電極 206b 藉由 U 形（或 C 形、具方角之 U 形、或馬蹄形）之源極電極 206a 圍繞。基於該等形狀，甚至當電晶體之面積小時，可確保充分通道寬度，因此可增加於電晶體導電時流動之電流量（亦稱為開啓狀態電流）。

若電連接至像素電極 210 之閘極電極 202 與汲極電極 206b 之間產生之寄生電容大，電晶體輕易地藉由饋通影響，因為供應至液晶元件 112 之電位無法準確地保持，而造成顯示品質退化。基於如本實施例中所說明之源極電極 206a 為 U 形並圍繞汲極電極 206b 之結構，可確保充分通道寬度，並可減少汲極電極 206b 與閘極電極 202 之間產生之寄生電容。因此，可改進液晶顯示裝置之顯示品質。

佈線 203 充當電容器電極或電容器佈線。部分佈線 203 包括沿佈線 216_j 或佈線 216_{j+1} 之延伸部 213，且延伸部 213 與部分像素電極 210 重疊。延伸部 213 經配置而延

伸超過像素電極 210 之端部 231 及端部 232。

在像素電極 210 中，開口 209 為一區域，其藉由從透射式液晶顯示裝置中背光之透光，或藉由反射充當反射式液晶顯示裝置中光源之入射光，而致力於影像顯示。若本實施例中所說明之半導體裝置用於透射式液晶顯示裝置，開口 209 相應於一區域，其中像素電極 210 與藉由代號 209 標示之虛線以外內側之區域重疊。

此外，區域 223 係配置於部分佈線 212_i 之上。區域 223 係配置於佈線 212_i 之上以便沿線寬度方向延伸超過佈線 212_i 之二端部。請注意，複數區域 223 可配置於佈線 212_i 之上。

在截面 A1-A2 中，描繪電晶體 111 及電容器 113 之層級結構。電晶體 111 為底閘電晶體。在截面 B1-B2 中，描繪從佈線 216_j 至佈線 216_{j+1} 之層級結構，其包括開口 209。在截面 D1-D2 中，描繪佈線 216_j 及佈線 212_i 彼此交叉之部分之層級結構。在截面 E1-E2 中，描繪區域 223 中之層級結構。

在圖 2A 之截面 A1-A2 中，基層 201 係形成於基板 200 之上，且閘極電極 202 及佈線 203 係形成於基層 201 之上。在閘極電極 202 及佈線 203 之上，形成閘極絕緣層 204 及半導體層 205。在半導體層 205 之上，形成源極電極 206a 及汲極電極 206b。此外，絕緣層 207 係形成於源極電極 206a 及汲極電極 206b 之上，以便接觸部分半導體層 205。像素電極 210 係形成於絕緣層 207 之上，並經由

絕緣層 207 中所形成之接觸孔 208 而電連接至汲極電極 206b。

佈線 203 與汲極電極 206b 重疊且閘極絕緣層 204 及半導體層 205 插於其間之部分充當電容器 113。閘極絕緣層 204 及半導體層 205 充當電介質層。若形成於佈線 203 與像素電極 210 之間的電介質層具有多層結構，即使於電介質層之一層中產生針孔，遂以電介質層之另一層覆蓋針孔，且電容器 113 可正常操作。氧化物半導體之相對介電常數高達 14 至 16。因此，當氧化物半導體用於半導體層 205 時，可增加電容器 113 之電容值。

在圖 2B 中所描繪之截面 B1-B2 中，基層 201 係形成於基板 200 之上，且佈線 203 係形成於基層 201 之上。此外，閘極絕緣層 204 及半導體層 205 係形成於佈線 203 之上，且佈線 216_j 及佈線 216_{j+1} 係形成於半導體層 205 之上。此外，絕緣層 207 係形成於半導體層 205、佈線 216_j、及佈線 216_{j+1} 之上。像素電極 210 係形成於絕緣層 207 之上。請注意，截面 B1-B2 中之佈線 203 相應於佈線 203 之延伸部 213 之截面。

在圖 2C 中所描繪之截面 C1-C2 中，基層 201 係形成於基板 200 之上，且佈線 203 係形成於基層 201 之上。此外，閘極絕緣層 204 及半導體層 205 係形成於佈線 203 之上。絕緣層 207 係形成於半導體層 205 之上，且像素電極 210 係形成於絕緣層 207 之上。請注意，截面 C1-C2 中之佈線 203 相應於佈線 203 之延伸部 213。在截面 C1-C2

中，佈線 203 經配置以延伸超過像素電極 210 之端部 231 及端部 232。即，延伸部 213 經配置以延伸超過像素電極 210 之端部 231 及端部 232。請注意，像素電極 210 及包括延伸部 213 之佈線 203 並非總是必須彼此重疊；然而，當佈線 203 及像素電極 210 彼此重疊時，重疊部分可充當 Cs 電容器。

在圖 2D 中所描繪之截面 D1-D2 中，基層 201 係形成於基板 200 之上，且佈線 212_i 係形成於基層 201 之上。此外，閘極絕緣層 204 及半導體層 205 係形成於佈線 212_i 之上。此外，佈線 216_j 係形成於半導體層 205 之上，且絕緣層 207 係形成於佈線 216_j 之上。

在圖 2E 中所描繪之截面 E1-E2 中，基層 201 係形成於基板 200 之上，且佈線 212_i 係形成於基層 201 之上。在區域 223 中，移除閘極絕緣層 204、半導體層 205、及絕緣層 207 以暴露佈線 212_i。形成區域 223 以避免寄生電晶體之形成，其中佈線 212_i 充當閘極電極以避免佈線 216_j 與佈線 216_{j+1} 之間電連接。在區域 223 中，當移除佈線 212_i 上之半導體層 205 時，可避免形成寄生電晶體，藉此避免佈線 216_j 與佈線 216_{j+1} 之間電連接。

本實施例中所說明之半導體裝置具有半導體層 205 保持於整個像素區中之結構，因為未執行用於形成島形半導體層之光刻步驟及蝕刻步驟，以簡化製造程序。結果，形成寄生電晶體 115，其中像素電極 210 充當閘極電極，絕緣層 207 充當閘極絕緣層，佈線 216_j 充當源極電極及汲

極電極之一，及佈線 216_{-j+1} 充當源極電極及汲極電極之另一者。

說明寄生電晶體 115 為 n 通道電晶體之狀況。當佈線 216_{-j} 或佈線 216_{-j+1} 之電位低於供應至或保持於像素電極 210 中之電位，且電位佈線 216_{-j} 或佈線 216_{-j+1} 與供應至或保持於像素電極 210 中之電位之間之差異的絕對值大於寄生電晶體 115 之臨限電壓時，像素電極 210 以下半導體層 205 中之載子被感應，形成寄生通道，及寄生電晶體 115 開啓。

基於開啓之寄生電晶體 115，佈線 216_{-j} 及佈線 216_{-j+1} 彼此電連接。當佈線 216_{-j} 及佈線 216_{-j+1} 經由寄生電晶體 115 而彼此電連接時，來自佈線 216_{-j} 及佈線 216_{-j+1} 之影像信號彼此干擾，使得正確影像信號無法供應至液晶元件 112。此外，當像素電極 210 藉由例如放大開口 209 而配置接近佈線 216_{-j} 或佈線 216_{-j+1} 時，寄生電晶體 115 之影響變強。

因此，佈線 203 配置延伸部 213，且供應至佈線 203 之電位恆定低於供應至液晶元件 112 之影像信號之電位。藉由設定佈線 203 之電位恆定低於影像信號之電位，與延伸部 213 重疊之區域中半導體層 205 中未感應載子，並可避免於佈線 216_{-j} 與佈線 216_{-j+1} 之間形成寄生通道。即，藉由設定延伸部 213 之電位恆定低於影像信號之電位，可避免佈線 216_{-j} 與佈線 216_{-j+1} 之間電連接。

在本實施例中，二延伸部 213 配置於一像素中，但只

要至少一延伸部 213 配置於佈線 216_{-j} 與佈線 216_{-j+1} 之間便足夠。此外，延伸部 213 不一定配置並列佈線 216_{-j} 或佈線 216_{-j+1}，並可具有彎部或曲部。此外，如圖 1 及圖 2C 中所描繪，藉由配置延伸部 213 以便延伸超過像素電極 210 之端部 231 及端部 232，可抑制寄生電晶體 115 之影響。即，可於佈線 216_{-j} 與佈線 216_{-j+1} 之間形成包括佈線 203 之延伸部 213 並充當閘極電極的寄生電晶體 116。藉由恆定保持寄生電晶體 116 處於關閉狀態，可避免佈線 216_{-j} 與佈線 216_{-j+1} 之間電連接。

藉由移除區域 223 中不僅絕緣層 207 及半導體層 205，亦於之後說明之形成接觸孔之步驟中移除開口 209 中之組件，可避免寄生電晶體 115 之形成。然而，當像素區 102 中步階部之高度增加時，可造成因液晶元件等對齊失敗之向錯，導致不良影像品質。因此，較佳的是未執行增加步階部高度之像素區 102 中絕緣層 207 及半導體層 205 之移除。

接著，將參照圖 3A 及 3B 說明不同於圖 1 中所描繪之像素結構範例。圖 3A 為俯視圖，描繪像素 120 之平面結構。圖 3B 中截面 F1-F2 相應於沿圖 3A 中鏈線 F1-F2 之截面。在佈線 203 之位置及形狀方面，圖 3A 及 3B 中所描繪之像素 120 不同於圖 1 中所描繪之像素 110。請注意，沿圖 3A 中鏈線 A1-A2、B1-B2、C1-C2、D1-D2、及 E1-E2 之截面結構與圖 1 及圖 2A 至 2E 中相同。

在像素 120 中，配置佈線 203 之延伸部 213 以便與佈

線 216_j 重疊，使得開口 209 之面積增加。在佈線 216_j 與佈線 203 重疊之部分中，佈線 203 之線寬度經設定大於佈線 216_j 之線寬度，且恆定低於供應至液晶元件 112 之影像信號的電位被供應至佈線 203。當佈線 203 之線寬度大於佈線 216_j 之線寬度，且佈線 203 之電位恆定低於影像信號之電位時，可避免經由寄生電晶體 115 之佈線 216_j 與佈線 216_{j+1} 之間電連接。

此外，藉由沿像素電極 210 之邊框配置佈線 203，佈線 203 可充當黑矩陣。

接著，將參照圖 4A 及 4B 說明與圖 1 及圖 3A 及 3B 中不同之像素結構範例。圖 4A 為俯視圖，描繪像素 130 之平面結構。圖 4B 中截面 G1-G2 相應於圖 4A 中沿鏈線 G1-G2 之截面。在接觸孔 208 之位置及因而汲極電極 206b 及像素電極 210 之形狀方面，圖 4A 及 4B 中所描繪之像素 130 與圖 3A 及 3B 中所描繪之像素 120 不同。請注意，沿圖 4A 中鏈線 C1-C2、D1-D2、E1-E2、及 F1-F2 之截面結構與圖 1、圖 2A 至 2E、及圖 3A 及 3B 中相同。

在像素 130 中，藉由將接觸孔 208 直接配置於電容器 113 之上，汲極電極 206b 之尺寸減少且開口部 209 之面積增加。藉由增加開口部 209 之面積，可有效率地從背光透光，使得可製造可顯示明亮及高品質影像之液晶顯示裝置。此外，可製造具低電力消耗之液晶顯示裝置。

接著，將參照圖 6A 及 6B 說明與圖 1 及圖 4A 及 4B 中不同之像素結構範例。圖 6A 為俯視圖，描繪像素 140

之平面結構。圖 6B 中截面 H1-H2 相應於沿圖 6A 中鏈線 H1-H2 之截面。

在圖 6A 及 6B 中所描繪之像素 140 中，除了充當電容器電極或電容器佈線之佈線 203 以外，形成用於避免形成寄生電晶體 115 之佈線 240。佈線 240 係使用與佈線 212 及佈線 203 相同層予以形成。佈線 240 包括沿佈線 216_{-j} 或佈線 216_{-j+1} 之延伸部 241，且延伸部 241 與部分像素電極 210 重疊。延伸部 241 經配置以延伸超過像素電極 210 之端部 231 及端部 232。

當佈線 240 之電位恆定低於供應至液晶元件 112 之影像信號之電位時，可避免經由寄生電晶體 115 之佈線 216_{-j} 與佈線 216_{-j+1} 之間電連接。在圖 6A 及 6B 中所描繪之像素 140 中，配置二延伸部 241，但只要至少一延伸部 241 配置於佈線 216_{-j} 與佈線 216_{-j+1} 之間便已足夠。此外，像素電極 210 及包括延伸部 241 之佈線 240 並非總是必須彼此重疊；然而，當佈線 240 及像素電極 210 彼此重疊時，重疊部分可充當 Cs 電容器。

為避免形成寄生電晶體，佈線 203 之電位需恆定低於供應至液晶元件 112 之影像信號之電位。請注意，藉由以類似於佈線 212_{-i} 之方式，於佈線 203 之上形成區域 223，及移除佈線 203 上之半導體層 205，可避免形成寄生電晶體，並可自由設定佈線 203 之電位。即，藉由於佈線 203 之上形成區域 223，佈線 203 之電位亦可高於影像信號。

圖 7 中所描繪之像素 150 為結構範例，其中一像素中配置包括彎部或曲部之一延伸部 242。藉由配置延伸部 242 以便延伸超過像素電極 210 之端部 231 及端部 232，可抑制寄生電晶體 115 之影響。即，可於佈線 216_j 與佈線 216_{j+1} 之間形成充當閘極電極之包括佈線 203 之延伸部 242 的寄生電晶體 116。藉由將寄生電晶體 116 恆定保持處於關閉狀態，可避免佈線 216_j 與佈線 216_{j+1} 之間電連接。儘管像素 150 具有像素電極 210 未與延伸部 242 重疊之結構，當像素電極 210 與延伸部 242 重疊時，重疊部分可充當 Cs 電容器。

其次，將參照圖 8A1 至 8B2 說明端子 105 及端子 106 之結構範例。圖 8A1 及 8A2 分別為端子 105 之平面圖及截面圖。圖 8A1 中鏈線 J1-J2 相應於圖 8A2 中截面 J1-J2。圖 8B1 及 8B2 分別為端子 106 之平面圖及截面圖。圖 8B1 中鏈線 K1-K2 相應於圖 8B2 中截面 K1-K2。在截面 J1-J2 及 K1-K2 中，J2 及 K2 相應於基板端部。

在截面 J1-J2 中，基層 201 係形成於基板 200 之上，及佈線 212 係形成於基層 201 之上。閘極絕緣層 204、半導體層 205、及絕緣層 207 係形成於佈線 212 之上。電極 221 係形成於絕緣層 207 之上，及電極 221 經由閘極絕緣層 204、半導體層 205、及絕緣層 207 中所形成之接觸孔 219 而電連接至佈線 212。

在截面 K1-K2 中，基層 201、閘極絕緣層 204、及半導體層 205 係形成於基板 200 之上。佈線 216 係形成於半

導體層 205 之上，及絕緣層 207 係形成於佈線 216 之上。電極 222 係形成於絕緣層 207 之上，及電極 222 經由絕緣層 207 中所形成之接觸孔 220 而電連接至佈線 216。

端子 107 可具有類似於端子 105 或端子 106 之結構。

像素區 102 及端子部 104 經由 n 佈線 216 而彼此連接。當佈線 216 中從像素區 102 至端子部 104 中所包括之端子 106 的鄰近佈線 216 之間距離短時，因鄰近佈線 216 之間電位差，存在於鄰近佈線 216 之間之半導體層 205 中可感應載子，並可造成鄰近佈線 216 之間不欲之電連接。

藉由將從像素區 102 至端子部 104 之整個區域或鄰近佈線 216 之間之區域配置導電層且絕緣層插於其間，並將導電層之電位設定為半導體層 205 中未感應載子之電位，可避免該等現象。

例如，在氧化物半導體用於半導體層 205 之狀況下，由於許多氧化物半導體傾向於 n 型，導電層之電位可設定為低於供應至佈線 216 之電位。

此外，藉由於之後說明之形成接觸孔的步驟中，移除存在於鄰近佈線 216 之間之半導體層 205，可避免鄰近佈線 216 之間之不欲電連接。

圖 9A 及 9B 描繪一結構，其中配置佈線 250 作為鄰近佈線 216 之間區域以下之導電層，且絕緣層插於其間。圖 9A 為佈線 216 連接至端子 106 之部分中平面結構之俯視圖。圖 9B 中截面 L1-L2 沿圖 9A 中鏈線 L1-L2。在圖 9A 中，佈線 216_{-j} 連接至端子 106_{-j} ，佈線 216_{-j+1} 連接至

端子 106_{-j+1} ，及佈線 216_{-j+2} 連接至端子 106_{-j+2} 。請注意，可使用與佈線 212 相同層形成佈線 250。

佈線 250 係形成於彼此鄰近且閘極絕緣層 204 插於其間的佈線 216_{-j} 與佈線 216_{-j+1} 之間。此外，佈線 250 係形成於彼此鄰近且閘極絕緣層 204 插於其間的佈線 216_{-j+1} 與佈線 216_{-j+2} 之間。藉由於鄰近佈線 216 之間配置佈線 250 且閘極絕緣層 204 插於其間，並將佈線 250 之電位設定為半導體層 205 中未感應載子之電位，可避免鄰近佈線 216 之間之不欲電連接。

接著，將參照圖 10A 至 10C 及圖 11A 至 11C 說明參照圖 1 所說明之液晶顯示裝置之像素部的製造方法。請注意，圖 10A 至 10C 及圖 11A 至 11C 中截面 A1-A2、J1-J2、及 K1-K2 分別為沿圖 1 及圖 8A1 至 8B2 中鏈線 A1-A2、J1-J2、及 K1-K2 之部分的截面圖。

首先，將為基層 201 之絕緣層經形成而於基板 200 之上具大於或等於 50nm 及低於或等於 300nm 之厚度，較佳地為大於或等於 100nm 及低於或等於 200nm。有關基板 200，除了玻璃基板及陶瓷基板以外，可使用具耐熱性以耐受此製造程序中程序溫度之塑料基板等。若基板不需透光屬性，可使用諸如不鏽合金基板之金屬基板，其表面配置絕緣層。有關玻璃基板，可使用例如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋁矽酸鹽玻璃等無鹼玻璃基板。此外，可使用石英基板、藍寶石基板等。此外，有關基板 200，可使用具任一下列尺寸之玻璃基板：第三代

(550mm×650mm) 、第 3.5 代 (600mm×720mm 或 620mm×750mm) 、第 四 代 (680×880mm 或 730mm×920mm) 、第五代 (1100mm×1300mm) 、第六代 (1500mm×1850mm) 、第七代 (1870mm×2200mm) 、第八代 (2200mm×2400mm) 、第九代 (2400mm×2800mm 或 2450mm×3050mm) 、及第十代 (2950mm×3400mm) 。在本實施例中，使用鋁硼矽酸鹽玻璃之基板作為基板 200。

可使用一或更多下列絕緣層而形成具單層結構或層級結構之基層 201：氮化鋁層、氧氮化鋁層、氮化矽層、氧化矽層、氮氧化矽層、及氧氮化矽層。基層 201 具有避免雜質元素從基板 200 擴散之功能。請注意，在本說明書中，氮氧化矽包含較氧更多之氮，且若使用 RBS 及 HFS 執行測量，包含氧、氮、矽、及氫之濃度分別為大於或等於 5 原子%及低於或等於 30 原子%、大於或等於 20 原子%及低於或等於 55 原子%、大於或等於 25 原子%及低於或等於 35 原子%、及大於或等於 10 原子%及低於或等於 30 原子%。可藉由濺鍍法、CVD 法、塗層法、印刷法等而適當形成基層 201。

在本實施例中，氮化矽及氧化矽之層的堆疊用作基層 201。具體地，氮化矽層經形成而於基板 200 之上具 50nm 厚度，及氧化矽層經形成而於氮化矽層之上具 150nm 厚度。請注意，基層 201 可經摻雜而具磷 (P) 或硼 (B)。

當基層 201 中包含諸如氯或氟之鹵素元素時，可進一步改進避免雜質元素從基板 200 擴散之功能。當藉由二次

離子質譜 (SIMS) 測量時，基層 201 中所包含之鹵素元素的濃度峰值可高於或等於 $1 \times 10^{15}/\text{cm}^3$ 及低於或等於 $1 \times 10^{20}/\text{cm}^3$ 。

另一方面，氧化鎘可用於基層 201。再另一方面，包括氧化鎘層及以上之絕緣層的層級結構可用於基層 201。氧化鎘為幾乎不充電之材料；因此，可抑制因絕緣層之電荷集結造成之臨限電壓變化。

其次，在基層 201 之上，藉由濺鍍法、真空蒸發法、或電鍍法而形成具大於或等於 100nm 及低於或等於 500nm 厚度之導電層，較佳地為大於或等於 200nm 及低於或等於 300nm，藉由第一光刻步驟而形成抗蝕罩，及藉由蝕刻而選擇性移除導電層，藉此形成閘極電極 202、佈線 203、及佈線 212。

用於形成閘極電極 202、佈線 203、及佈線 212 之導電層可使用諸如鉬 (Mo)、鈦 (Ti)、鎢 (W)、鉭 (Ta)、鋁 (Al)、銅 (Cu)、鉻 (Cr)、釹 (Nd)、或釷 (Sc) 之金屬材料，或包含任一該些元素作為其主要成分之合金材料，而形成具有單層結構或層級結構。

由於佈線中形成導電層，較佳地使用 Al 或 Cu 之低電阻材料。當使用 Al 或 Cu 時，信號延遲減少，使得可預期較高影像品質。Al 具有低耐熱性；因此，傾向於造成因凸起、晶鬚、或遷移之缺點。為避免 Al 遷移，較佳地使用包括 Al 及具有諸如 Mo、Ti、或 W 之較 Al 更高熔點之金屬材料的層級結構。若包含 Al 之材料用於導電層，之

後步驟中最高溫度較佳地為低於或等於 380°C，更佳地為低於或等於 350°C。

同樣地當 Cu 用於導電層時，為避免因 Cu 元素之遷移及擴散之缺點，較佳地使用包括 Cu 及諸如 Mo、Ti、或 W 之較 Cu 更高熔點之金屬材料的層級結構。此外，若包含 Cu 之材料用於導電層，之後步驟中最高溫度較佳地為低於或等於 450°C。

在本實施例中，有關導電層，係於基層 201 之上形成具 5nm 厚度之 Ti 層，及於 Ti 層之上形成具 250nm 厚度之 Cu 層。之後，經由第一光刻步驟，藉由蝕刻而選擇性移除導電層，藉此形成閘極電極 202、佈線 203、及佈線 212（詳圖 10A）。

請注意，可藉由噴墨法形成光刻步驟中使用之抗蝕罩。噴墨法不需光罩；因而，可進一步減少製造成本。抗蝕罩將於蝕刻步驟之後移除，且本實施例中省略每一光刻步驟中有關移除抗蝕罩之說明。此外，除非特別指明，本說明書中光刻步驟包括形成抗蝕罩之步驟、蝕刻導電層或絕緣層之步驟、及移除抗蝕罩之步驟。

接著，於閘極電極 202、佈線 203、及佈線 212 之上形成閘極絕緣層 204，其具大於或等於 50nm 及低於或等於 800nm 之厚度，較佳地為大於或等於 100nm 及低於或等於 600nm。可藉由電漿 CVD 法、濺鍍法等使用氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氮化鋁、氧氮化鋁、氮氧化鋁、氧化鋇、氧化鎳、氧化釷、氧化釷、

氧化鈺、矽酸鈺 (HfSi_xO_y ($x > 0, y > 0$))、添加氮之矽酸鈺、添加氮之鋁酸鈺等而形成閘極絕緣層 204。閘極絕緣層 204 不侷限於單層，可使用不同層之堆疊。例如，可以下列方式形成閘極絕緣層 204：藉由電漿 CVD 法形成氮化矽 (SiN_y ($y > 0$)) 層作為閘極絕緣層 A，且氧化矽 (SiO_x ($x > 0$)) 層堆疊於閘極絕緣層之上作為閘極絕緣層 B。

除了濺鍍法及電漿 CVD 法以外，可藉由諸如高密度電漿 CVD 法之膜形成方法，使用微波（例如，2.45 GHz 之頻率）而形成閘極絕緣層 204。

在本實施例中，氮化矽及氧化矽之層的堆疊用作閘極絕緣層 204。具體地，於閘極電極 202 之上形成具 50nm 厚度之氮化矽層，並於氮化矽層之上形成具 100nm 厚度之氧化矽層。

此外，閘極絕緣層 204 亦充當保護層。基於以包含氮化矽之絕緣層覆蓋包含 Cu 之閘極電極 202 的結構，可避免從閘極電極 202 擴散 Cu。

若使用氧化物半導體形成之後形成之半導體層，可使用包含相同種類成分之絕緣材料作為氧化物半導體而形成閘極絕緣層 204。若堆疊不同材料之層以形成閘極絕緣層 204，可使用包含相同種類成分作為氧化物半導體之絕緣材料形成接觸氧化物半導體之層。這是因為該等材料與氧化物半導體相容，因此該等材料用於閘極絕緣層 204 使得閘極絕緣層 204 與氧化物半導體之間之介面狀態保持良

好。此處，「相同種類成分作為氧化物半導體」表示選自氧化物半導體之組成元素之一或更多元素。例如，若使用 In-Ga-Zn 基氧化物半導體材料形成氧化物半導體，提供氧化鎵作為包含相同種類成分作為氧化物半導體之絕緣材料。

若層級結構用於閘極絕緣層 204，閘極絕緣層 204 可具有使用包含相同種類成分作為氧化物半導體之絕緣材料形成之膜及使用與該膜不同之材料形成之膜的層級結構。

為使氧化物半導體層盡可能不包含氫、羥基、及濕氣，較佳地於濺鍍設備之預熱室中預熱基板 200，作為氧化物半導體層形成之前的預先處理，使得吸附於基板 200 或閘極絕緣層 204 上之諸如氫或濕氣之雜質排空及移除。有關配置於預熱室中之排空單元，低溫泵較佳。請注意，可省略此預熱處理。此外，於閘極絕緣層 204 形成之前，可類似地於其上形成閘極電極 202、佈線 203、及佈線 212 之基板 200 上執行此預熱。

將用於半導體層 205 之氧化物半導體較佳地包含至少銦 (In) 或鋅 (Zn)。尤其，較佳地包含 In 及 Zn。有關用於減少包括氧化物半導體之電晶體之電特性變化的穩定劑，較佳地額外包含鎵 (Ga)。較佳地包含錫 (Sn) 作為穩定劑。較佳地包含鈦 (Hf) 作為穩定劑。較佳地包含鋁 (Al) 作為穩定劑。

有關其他穩定劑，可包含一或複數種鑰系元素，諸如鑰 (La)、鈰 (Ce)、鐳 (Pr)、釹 (Nd)、鈾

(Sm)、鎔 (Eu)、釷 (Gd)、錳 (Tb)、鐳 (Dy)、
釹 (Ho)、銩 (Er)、銩 (Tm)、鐳 (Yb)、及鐳
(Lu)。

例如，有關氧化物半導體，可使用氧化銦；氧化錫；
氧化鋅；二成分金屬氧化物，諸如 In-Zn 基氧化物、Sn-
Zn 基氧化物、Al-Zn 基氧化物、Zn-Mg 基氧化物、Sn-Mg
基氧化物、In-Mg 基氧化物、或 In-Ga 基氧化物；三成分
金屬氧化物，諸如 In-Ga-Zn 基氧化物（亦稱為 IGZO）、
In-Al-Zn 基氧化物、In-Sn-Zn 基氧化物、Sn-Ga-Zn 基氧化
物、Al-Ga-Zn 基氧化物、Sn-Al-Zn 基氧化物、In-Hf-Zn
基氧化物、In-La-Zn 基氧化物、In-Ce-Zn 基氧化物、In-
Pr-Zn 基氧化物、In-Nd-Zn 基氧化物、In-Sm-Zn 基氧化
物、In-Eu-Zn 基氧化物、In-Gd-Zn 基氧化物、In-Tb-Zn 基
氧化物、In-Dy-Zn 基氧化物、In-Ho-Zn 基氧化物、In-Er-
Zn 基氧化物、In-Tm-Zn 基氧化物、In-Yb-Zn 基氧化物、
或 In-Lu-Zn 基氧化物；或四成分金屬氧化物，諸如 In-Sn-
Ga-Zn 基氧化物、In-Hf-Ga-Zn 基氧化物、In-Al-Ga-Zn 基
氧化物、In-Sn-Al-Zn 基氧化物、In-Sn-Hf-Zn 基氧化物、
或 In-Hf-Al-Zn 基氧化物。

較佳地使用包含 In 之氧化物半導體形成氧化物半導體
層，更佳地為包含 In 及 Ga 之氧化物半導體。有效地於
之後步驟中執行脫水或脫氫，以增加氧化物半導體層之純
度。

此處，例如 In-Ga-Zn 基氧化物表示包含銦 (In)、鎳

(Ga)、及鋅(Zn)作為其主要成分之氧化物，且未特別侷限 In : Ga : Zn 之比例。In-Ga-Zn 基氧化物可包含非 In、Ga、及 Zn 之金屬元素。

對氧化物半導體層而言，可使用藉由化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示之薄膜。此處，M 代表選自 Sn、Zn、Ga、Al、Mn、及 Co 之一或更多金屬元素。有關氧化物半導體，亦可使用藉由 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ ($n > 0$) 表示之材料。

例如，可使用具 In : Ga : Zn = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3) 或 In : Ga : Zn = 2 : 2 : 1 (= 2/5 : 2/5 : 1/5) 之原子比的 In-Ga-Zn 基氧化物，或其組成接近以上組成之任一氧化物。另一方面，可使用具 In : Sn : Zn = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)、In : Sn : Zn = 2 : 1 : 3 (= 1/3 : 1/6 : 1/2)、或 In : Sn : Zn = 2 : 1 : 5 (= 1/4 : 1/8 : 5/8) 之原子比的 In-Sn-Zn 基氧化物，或其組成接近以上組成之任一氧化物。

然而，組成不侷限於以上說明，並可依據所需半導體特性（例如，移動性、臨限電壓、及變化）而使用具有適當組成之材料。為獲得所需半導體特性，較佳的是將載子密度、雜質濃度、缺點密度、金屬元素相對於氧之原子比、原子間距離、密度等設定為適當值。

例如，基於 In-Sn-Zn 基氧化物，可相對容易獲得高移動性。然而，同樣地在使用 In-Ga-Zn 基氧化物之狀況下，藉由減少大批中缺點密度，可增加移動性。

請注意，例如「包括 $\text{In} : \text{Ga} : \text{Zn} = a : b : c$ ($a+b+c = 1$) 之原子比的 In 、 Ga 、及 Zn 氧化物之組成接近包括 $\text{In} : \text{Ga} : \text{Zn} = A : B : C$ ($A+B+C = 1$) 之原子比的 In 、 Ga 、及 Zn 氧化物之組成」表示 a 、 b 、及 c 滿足下列關係： $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$ ，且 r 可為例如 0.05。相同狀況應用於其他氧化物。

氧化物半導體可為單晶或非單晶。在後者之狀況下，氧化物半導體可為非結晶或多晶。此外，氧化物半導體可具有包括具有結晶之部分之非結晶結構或非非結晶結構。

在非結晶狀態之氧化物半導體中，可相對容易獲得平坦表面，使得當使用氧化物半導體製造電晶體時，可減少介面消散，並可相對容易獲得高移動性。

在具有結晶之氧化物半導體中，可進一步減少大批中之缺點，且當表面平坦性改進時，可獲得較非結晶狀態之氧化物半導體之更高移動性。為改進表面平坦性，氧化物半導體較佳地形成於平坦表面之上。具體地，氧化物半導體可形成於具低於或等於 1nm 之平均表面粗糙度 (R_a) 之表面之上，較佳地為低於或等於 0.3nm，更佳地為低於或等於 0.1nm。請注意， R_a 可使用原子力顯微鏡 (AFM) 測量。

有關具有結晶之氧化物半導體，可使用包括具 c 軸對齊之結晶（亦稱為 C 軸對齊結晶 (CAAC)）的氧化物，當從 a - b 平面、表面、或介面之方向觀看時，其具有三角形或六角形原子排列。在結晶中，金屬原子係以層級方式

排列，或金屬原子及氧原子係沿 c 軸而以層級方式排列，且 a 軸或 b 軸之方向於 a - b 平面中改變（結晶繞 c 軸旋轉）。

廣義而言，包括 CAAC 之氧化物表示當從垂直於 a - b 平面之方向觀看時，包括具有三角形、六角形，正三角形、或正六角形原子排列之相位的非單晶氧化物，及當從垂直於 c 軸之方向觀看時，金屬原子係以層級方式排列，或金屬原子及氧原子係以層級方式排列。

CAAC 為非單晶，但此並非表示 CAAC 僅以非結晶成分組成。儘管 CAAC 包括結晶部分（結晶部），一結晶部與其他結晶部之間界線有時不清楚。

若 CAAC 中包括氧，氮可替代 CAAC 中所包括之部分氧。CAAC 中所包括之個別結晶部之 c 軸可以一方向對齊（例如，垂直於其上形成 CAAC 之基板表面之方向，或 CAAC 表面之方向）。另一方面，CAAC 中所包括之個別結晶部之 a - b 平面的法線可以一方向對齊（例如，垂直於其上形成 CAAC 之基板表面之方向，或 CAAC 表面之方向）。

CAAC 依據其組成等而變成導體、半導體、或絕緣體。CAAC 依據其組成等而透射或不透射可見光。

有關該等 CAAC 之範例，當從垂直於膜表面或支撐基板表面之方向觀察時，存在形成為膜形狀並具有三角形或六角形原子排列之結晶，及當從膜截面觀察時，金屬原子係以層級方式排列，或金屬原子及氧原子（或氮原子）係

以層級方式排列。

將參照圖 16A 至 16E、圖 17A 至 17C、及圖 18A 至 18C 詳細說明 CAAC 之結晶結構範例。在圖 16A 至 16E、圖 17A 至 17C、及圖 18A 至 18C 中，除非特別指明，垂直方向相應於 c 軸方向及垂直於 c 軸方向之平面相應於 a - b 平面。當簡單地使用「上半部」及「下半部」表達時，係指 a - b 平面以上之上半部及 a - b 平面以下之下半部（相對於 a - b 平面之上半部及下半部）。此外，在圖 16A 至 16E 中，藉由圓圈圍繞之 O 代表四配位 O ，及藉由雙圓圈圍繞之 O 代表三配位 O 。

圖 16A 描繪包括一個六配位 In 原子及緊鄰 In 原子之六個四配位氧（以下稱為四配位 O ）原子之結構。此處，包括一個金屬原子及緊鄰之氧原子的結構稱為小群組。圖 16A 中結構實際為八面體結構，但為求簡化而描繪為平面結構。請注意，圖 16A 之每一上半部及下半部中存在三個四配位 O 原子。在圖 16A 中所描繪之小群組中，電荷為 0。

圖 16B 描繪一結構，其包括一個五配位 Ga 原子、緊鄰 Ga 原子之三個三配位氧（以下稱為三配位 O ）原子、及緊鄰 Ga 原子之二個四配位 O 原子。所有三配位 O 原子存在於 a - b 平面上。圖 16B 之每一上半部及下半部中存在一個四配位 O 原子。因為 In 原子可具有五個配體， In 原子亦可具有圖 16B 中所描繪之結構。在圖 16B 中所描繪之小群組中，電荷為 0。

圖 16C 描繪一結構，其包括一個四配位 Zn 原子及緊鄰 Zn 原子之四個四配位 O 原子。在圖 16C 中，一個四配位 O 原子存在於上半部及三個四配位 O 原子存在於下半部。另一方面，在圖 16C 中，三個四配位 O 原子可存在於上半部及一個四配位 O 原子可存在於下半部。在圖 16C 中所描繪之小群組中，電荷為 0。

圖 16D 描繪一結構，其包括一個六配位 Sn 原子及緊鄰 Sn 原子之六個四配位 O 原子。在圖 16D 中，每一上半部及下半部中存在三個四配位 O 原子。在圖 16D 中所描繪之小群組中，電荷為 +1。

圖 16E 描繪包括二個 Zn 原子之小群組。在圖 16E 中，每一上半部及下半部中存在一個四配位 O 原子。在圖 16E 中所描繪之小群組中，電荷為 -1。

此處，複數小群組形成媒體群組，及複數媒體群組形成大群組（亦稱為單元格）。

現在，將說明小群組之間的鍵結規則。相對於圖 16A 中六配位 In 原子，上半部中三個 O 原子各具有向下方向之三個緊鄰 In 原子，及下半部中三個 O 原子各具有向上方向之三個緊鄰 In 原子。相對於圖 16B 中五配位 Ga 原子，上半部中一個 O 原子具有向下方向之一個緊鄰 Ga 原子，及下半部中一個 O 原子具有向上方向之一個緊鄰 Ga 原子。相對於圖 16C 中四配位 Zn 原子，上半部中一個 O 原子具有向下方向之一個緊鄰 Zn 原子，及下半部中三個 O 原子各具有向上方向之三個緊鄰 Zn 原子。以此方式，

以上金屬原子之四配位 O 原子的數量等於緊鄰及以下每一個四配位 O 原子之金屬原子的數量。類似地，以下金屬原子之四配位 O 原子的數量等於緊鄰及以上每一個四配位 O 原子之金屬原子的數量。當四配位 O 原子之配位數量為 4 時，緊鄰及以下 O 原子之金屬原子的數量與緊鄰及以上 O 原子之金屬原子的數量之總和為 4。因此，當以上金屬原子之四配位 O 原子的數量與以下其他金屬原子之四配位 O 原子的數量之總和為 4 時，二種包括金屬原子之小群組可鍵結。例如，若經由下半部中三個四配位 O 原子而鍵結六配位金屬 (In 或 Sn) 原子，便鍵結至五配位金屬 (Ga 或 In) 原子或四配位金屬 (Zn) 原子。

具有以上配位數量之金屬原子經由沿 c 軸方向之四配位 O 原子而彼此鍵結。除了上述以外，藉由組合複數小群組使得層級結構之總電荷為 0，可以不同方式形成媒體群組。

圖 17A 描繪 In-Sn-Zn 基氧化物之層級結構中所包括之媒體群組模型。圖 17B 描繪包括三個媒體群組之大群組。請注意，圖 17C 描繪若從 c 軸方向觀察圖 17B 中層級結構之原子排列。

在圖 17A 中，為求簡化省略三配位 O 原子，並藉由圓圈描繪四配位 O 原子；圓圈中數字顯示四配位 O 原子之數量。例如，藉由圓圈 3 標示相對於 Sn 原子之每一上半部及下半部中存在之三個四配位 O 原子。類似地，在圖 17A 中，藉由圓圈 1 標示相對於 In 原子之上半部及下半

部中存在之一個四配位 O 原子。圖 17A 亦描繪緊鄰下半部中一個四配位 O 原子及上半部中三個四配位 O 原子之 Zn 原子，及緊鄰上半部中一個四配位 O 原子及下半部中三個四配位 O 原子之 Zn 原子。

在圖 17A 中 In-Sn-Zn 基氧化物之層級結構中所包括之媒體群組中，為從頂部開始，緊鄰每一上半部及下半部中三個四配位 O 原子之 Sn 原子鍵結至緊鄰每一上半部及下半部中一個四配位 O 原子之 In 原子，In 原子鍵結至緊鄰上半部中三個四配位 O 原子之 Zn 原子，Zn 原子經由相對於 Zn 原子之下半部中一個四配位 O 原子而鍵結至緊鄰每一上半部及下半部中三個四配位 O 原子之 In 原子，In 原子鍵結至包括二個 Zn 原子並緊鄰上半部中一個四配位 O 原子之小群組，及小群組經由相對於小群組之下半部中一個四配位 O 原子而鍵結至緊鄰每一上半部及下半部中三個四配位 O 原子之 Sn 原子。鍵結複數該等媒體群組，使得形成大群組。

此處，用於三配位 O 原子之一鍵的電荷及用於四配位 O 原子之一鍵的電荷分別假定為 -0.667 及 -0.5。例如，（六配位或五配位）In 原子之電荷、（四配位）Zn 原子之電荷、及（五配位或六配位）Sn 原子之電荷分別為 +3、+2、及 +4。因此，包括 Sn 原子之小群組中電荷為 +1。因此，需要抵銷 +1 之電荷 -1 以形成包括 Sn 原子之層級結構。有關具有電荷 -1 之結構，提供如圖 16E 中所描繪之包括二個 Zn 原子之小群組。例如，基於包括二個 Zn

原子之一個小群組，可抵銷包括 Sn 原子之一個小群組的電荷，使得層級結構之總電荷可為 0。

當圖 17B 中所描繪之大群組重複時，可獲得 In-Sn-Zn 基氧化物 ($\text{In}_2\text{SnZn}_3\text{O}_8$) 之結晶。請注意，所獲得之 In-Sn-Zn 基氧化物的層級結構可以組成方程式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 為 0 或自然數) 表示。

以上所說明之規則亦應用於下列氧化物：四成分金屬氧化物，諸如 In-Sn-Ga-Zn 基氧化物；三成分金屬氧化物，諸如 In-Ga-Zn 基氧化物（亦稱為 IGZO）、In-Al-Zn 基氧化物、Sn-Ga-Zn 基氧化物、Al-Ga-Zn 基氧化物、Sn-Al-Zn 基氧化物、In-Hf-Zn 基氧化物、In-La-Zn 基氧化物、In-Ce-Zn 基氧化物、In-Pr-Zn 基氧化物、In-Nd-Zn 基氧化物、In-Sm-Zn 基氧化物、In-Eu-Zn 基氧化物、In-Gd-Zn 基氧化物、In-Tb-Zn 基氧化物、In-Dy-Zn 基氧化物、In-Ho-Zn 基氧化物、In-Er-Zn 基氧化物、In-Tm-Zn 基氧化物、In-Yb-Zn 基氧化物、或 In-Lu-Zn 基氧化物；二成分金屬氧化物，諸如 In-Zn 基氧化物、Sn-Zn 基氧化物、Al-Zn 基氧化物、Zn-Mg 基氧化物、Sn-Mg 基氧化物、In-Mg 基氧化物、或 In-Ga 基氧化物等。

有關範例，圖 18A 描繪 In-Ga-Zn 基氧化物之層級結構中所包括之媒體群組模型。

在圖 18A 之 In-Ga-Zn 基氧化物之層級結構中所包括之媒體群組中，為從頂部開始，緊鄰每一上半部及下半部中三個四配位 O 原子之 In 原子鍵結至緊鄰上半部中一個

四配位 O 原子之 Zn 原子，Zn 原子經由相對於 Zn 原子之下半部中三個四配位 O 原子而鍵結至緊鄰每一上半部及下半部中一個四配位 O 原子之 Ga 原子，及 Ga 原子經由相對於 Ga 原子之下半部中一個四配位 O 原子而鍵結至緊鄰每一上半部及下半部中三個四配位 O 原子之 In 原子。鍵結複數該等媒體群組，使得形成大群組。

圖 18B 描繪包括三個媒體群組之大群組。請注意，圖 18C 描繪若從 c 軸方向觀察圖 18B 中層級結構之原子排列。

此處，由於（六配位或五配位）In 原子之電荷、（四配位）Zn 原子之電荷、及（五配位）Ga 原子之電荷分別為 +3、+2、及 +3，包括 In 原子、Zn 原子、及 Ga 原子之任一項之小群組的電荷為 0。結果，具有該等小群組之組合之媒體群組的總電荷總是為 0。

為形成 In-Ga-Zn 基氧化物之層級結構，不僅可使用圖 18A 中所描繪之媒體群組，亦可使用 In 原子、Ga 原子、及 Zn 原子之排列與圖 18A 中不同之媒體群組，而形成大群組。

當圖 18B 中所描繪之大群組重複時，可獲得 In-Ga-Zn 基氧化物之結晶。請注意，所獲得之 In-Ga-Zn 基氧化物結晶之層級結構可以組成方程式 $\text{InGaO}_3(\text{ZnO})_n$ （n 為自然數）表示。

若 $n = 1$ (InGaZnO_4)，可獲得例如圖 19A 中所描繪之結晶結構。請注意，在圖 19A 之結晶結構中，由於如圖

16B 中所描繪，Ga 原子及 In 原子各具有五配體，可以 In 取代 Ga。

若 $n = 2$ ($\text{InGaZn}_2\text{O}_5$)，可獲得例如圖 19B 中所描繪之結晶結構。請注意，在圖 19B 之結晶結構中，由於如圖 16B 中所描繪，Ga 原子及 In 原子各具有五配體，可以 In 取代 Ga。

接著，藉由濺鍍法、蒸發法、PCVD 法、PLD 法、ALD 法、MBE 法等形成半導體層 205。

較佳地藉由濺鍍法於氧氣中形成半導體層 205。此時，基板溫度經設定為高於或等於 100°C 及低於或等於 600°C ，較佳地為高於或等於 150°C 及低於或等於 550°C ，更佳地為高於或等於 200°C 及低於或等於 500°C 。半導體層 205 之厚度為大於或等於 1nm 及低於或等於 40nm ，較佳地為大於或等於 3nm 及低於或等於 20nm 。隨著膜形成中基板溫度愈高，所獲得之半導體層 205 中雜質濃度愈低。此外，半導體層 205 中原子排列整齊，其密度增加，使得很可能形成多晶或 CAAC。此外，由於氧氣用於膜形成，半導體層 205 中未包含諸如稀有氣體原子之不必要原子，使得很可能形成多晶或 CAAC。請注意，可使用包括氧氣及稀有氣體之混合氣體。在此狀況下，氧氣之百分比為高於或等於 $30\text{ vol.}\%$ ，較佳地為高於或等於 $50\text{ vol.}\%$ ，更佳地為高於或等於 $80\text{ vol.}\%$ 。請注意，隨著半導體層 205 愈薄，電晶體之短通道效應減少。然而，當半導體層 205 過薄時，介面消散之影響提高；因而，可減少場效移

動性（詳圖 10B）。

若藉由濺鍍法而使用 In-Ga-Zn 基氧化物材料形成半導體層 205，較佳地使用具有 In : Ga : Zn = 1 : 1 : 1、4 : 2 : 3、3 : 1 : 2、1 : 1 : 2、2 : 1 : 3、或 3 : 1 : 4 之原子比的 In-Ga-Zn 基氧化物靶材。當使用具有上述原子比之 In-Ga-Zn 基氧化物靶材形成半導體層 205 時，很可能形成多晶或 CAAC。請注意，In-Ga-Zn 基氧化物半導體可稱為 IGZO。In-Sn-Zn 基氧化物半導體可稱為 ITZO。若藉由濺鍍法而使用 In-Sn-Zn 基氧化物材料形成半導體層 205，較佳地使用具有 In : Sn : Zn = 1 : 1 : 1、2 : 1 : 3、1 : 2 : 2、或 20 : 45 : 35 之原子比的 In-Sn-Zn 基氧化物靶材。當使用具有上述原子比之 In-Sn-Zn 基氧化物靶材形成半導體層 205 時，很可能形成多晶或 CAAC。

在本實施例中，藉由濺鍍法而使用 In-Ga-Zn 基氧化物靶材形成 30nm 厚度之氧化物半導體層。此外，藉由濺鍍法於稀有氣體（典型為氬）、氧氣、或稀有氣體及氧之混合氣體中形成氧化物半導體層（詳圖 10B）。

金屬氧化物靶材之相對密度為高於或等於 90 % 及低於或等於 100 %，較佳地為高於或等於 95 % 及低於或等於 99.9 %。使用具高相對密度之金屬氧化物靶材所形成之氧化物半導體層可為密集。

較佳的是諸如氬、水、羥基、或氫化物之雜質移除的高純度氣體用作用於形成氧化物半導體層之濺鍍氣體。例如，若氬用於濺鍍氣體，較佳的是純度為 9N，露點為 -121

°C，H₂O 含量為低於或等於 0.1 ppb，及 H₂ 含量為低於或等於 0.5 ppb。若氧用於濺鍍氣體，較佳的是純度為 8N，露點為 -112°C，H₂O 含量為低於或等於 1 ppb，及 H₂ 含量為低於或等於 1 ppb。

當形成氧化物半導體層時，基板保持於減壓之膜形成室中，且基板溫度設定為高於或等於 100°C 及低於或等於 600°C 之溫度，較佳地為高於或等於 300°C 及低於或等於 500°C。請注意，若 Al 用於經由第一光刻步驟形成之佈線層，基板溫度設定為低於或等於 380°C，較佳地為低於或等於 350°C。另一方面，若 Cu 用於經由第一光刻步驟形成之佈線層，基板溫度設定為低於或等於 450°C。

藉由於膜形成期間加熱基板，可減少氧化物半導體層中諸如氫、濕氣、氫化物、或氫氧化物之雜質的濃度。此外，可減少藉由濺鍍之損害。接著，氫及濕氣移除之濺鍍氣體被導入膜形成室，移除其中保持之濕氣，並使用以上靶材形成氧化物半導體層。

為移除膜形成室中保持之濕氣，較佳地使用諸如低溫泵、離子泵、或鈦昇華泵之截留真空泵。有關排空單元，可使用配置冷阱之渦輪分子泵。在以低溫泵排空之膜形成室中，移除氫原子、包含諸如水 (H₂O) 之氫原子化合物（更佳地，連同包含碳原子之化合物）等，藉此可減少膜形成室中所形成之氧化物半導體層中雜質濃度。

膜形成狀況之範例如下：基板與靶材之間之距離為 100mm，壓力為 0.6 Pa，DC 電源之電力為 0.5 kW，及氧

(氧之流率為 100 %) 用作濺鍍氣體。請注意，較佳地使用脈衝直流電源，在此狀況下可減少於膜形成中產生之粉狀物質 (亦稱為粒子或灰塵)，且膜厚度可均勻。

氧化物半導體層中諸如鈉 (Na)、鋰 (Li)、及鉀 (K) 之鹼金屬之濃度如下。Na 之濃度為低於或等於 $5 \times 10^{16} \text{ cm}^{-3}$ ，較佳地為低於或等於 $1 \times 10^{16} \text{ cm}^{-3}$ ，更佳地為低於或等於 $1 \times 10^{15} \text{ cm}^{-3}$ 。Li 之濃度為低於或等於 $5 \times 10^{15} \text{ cm}^{-3}$ ，較佳地為低於或等於 $1 \times 10^{15} \text{ cm}^{-3}$ 。K 之濃度為低於或等於 $5 \times 10^{15} \text{ cm}^{-3}$ ，較佳地為低於或等於 $1 \times 10^{15} \text{ cm}^{-3}$ 。

請注意，已指出氧化物半導體對於雜質不敏感，當氧化物半導體中包含可觀金屬雜質量時不存在問題，因此亦可使用不昂貴之包含大量諸如鈉之鹼金屬之鈉鈣玻璃 (Kamiya、Nomura、及 Hosono, 「非結晶氧化物半導體之載子透明屬性及電子結構：目前狀態」 ("Carrier Transport Properties and Electronic Structures of Amorphous Oxide Semiconductors: The present status"), KOTAI BUTSURI (SOLID STATE PHYSICS), 2009, Vol. 44, pp. 621-633)。然而，該等考量並不適當。鹼金屬並非氧化物半導體中所包括之元素，因此為雜質。而且，若鹼土金屬並非氧化物半導體中所包括之元素，鹼土金屬為雜質。當接觸氧化物半導體層之絕緣層為氧化物時，鹼金屬尤其是 Na 擴散進入絕緣層，且 Na 變成 Na^+ 。此外，在氧化物半導體層中，Na 切斷或進入氧化物半導體中所包括之金屬與氧之間之鍵。結果，發生例如電晶體特性惡

化，因臨限電壓沿負方向偏移之諸如電晶體之正常開狀態，或移動性減少。此外，亦發生特性變化。該等當氧化物半導體層中氫濃度極低時，因雜質之電晶體特性惡化及特性變化顯著出現。因此，若氧化物半導體中氫濃度低於或等於 $5 \times 10^{19} \text{ cm}^{-3}$ ，尤其低於或等於 $5 \times 10^{18} \text{ cm}^{-3}$ ，氧化物半導體中鹼金屬濃度便強烈需要設定為以上值。

其次，執行第一熱處理。藉由第一熱處理，移除（脫水或脫氫）氧化物半導體層中過度氫（包括水及羥基），藉此可減少氧化物半導體層中雜質濃度。

較佳地以高於或等於 250°C 及低於或等於 750°C ，或高於或等於 400°C 及低於基板之應變點之溫度，在減壓氣體、諸如氮氣之惰性氣體或稀有氣體、氧氣、或極乾燥空氣（其濕氣含量為低於或等於 20 ppm（露點： -55°C ）之空氣，較佳地為低於或等於 1ppm，若使用腔環降雷射光譜（CRDS）系統之露點儀執行測量，則更佳地為低於或等於 10 ppb）中執行第一熱處理。請注意，若 Al 用於經由第一光刻步驟形成之佈線層，熱處理溫度設定為低於或等於 380°C ，較佳地為低於或等於 350°C 。另一方面，若 Cu 用於經由第一光刻步驟形成之佈線層，熱處理溫度設定為低於或等於 450°C 。在本實施例中，基板被導入熱處理設備之電熔爐中，並以 450°C 在氮氣中於氧化物半導體層上執行熱處理達一小時。

請注意，熱處理設備不侷限於電熔爐，而可包括藉由來自諸如電阻加熱元件之加熱元件之熱傳導或熱輻射而加

熱將處理之目標的裝置。例如，可使用快速熱退火（RTA）設備，諸如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備。LRTA 設備為一種設備，藉由自諸如鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或高壓水銀燈之燈所發射光的輻射（電磁波）而加熱將處理之目標。GRTA 設備為用於使用高溫氣體而熱處理之設備。有關高溫氣體，係使用未藉由熱處理而與將處理之目標反應之諸如氮之惰性氣體，或諸如氬之稀有氣體。

例如，第一熱處理可採用 GRTA，其中基板被移入以高溫加熱之惰性氣體，加熱達若干分鐘，接著基板被移出惰性氣體。

當於諸如氮氣之惰性氣體或稀有氣體、氧氣、或極乾燥空氣中執行熱處理時，較佳的是氣體中未包含水、氫等。被導入熱處理設備之氮、氧、或稀有氣體之純度設定為高於或等於 6N（99.9999 %），較佳地為高於或等於 7N（99.99999 %）（即，雜質濃度為低於或等於 1 ppm，較佳地為低於或等於 0.1 ppm）。

較佳地以該等方式執行第一熱處理，即於減壓氣體或惰性氣體中完成熱處理，接著氣體改變為氧化氣體同時保持溫度，而進一步執行熱處理。藉由減壓氣體或惰性氣體中之熱處理，可減少氧化物半導體層中雜質濃度；然而，同時發生缺氧。藉由於氧化氣體中之熱處理，可減少此時產生之缺氧。

藉由充分減少氫濃度而純化之氧化物半導體，其中充

分供應氧之結果減少因缺氧之能隙中缺點程度，該氧化物半導體具有低於 $1 \times 10^{12}/\text{cm}^3$ 之載子濃度，較佳地為低於 $1 \times 10^{11}/\text{cm}^3$ ，更佳地為低於 $1.45 \times 10^{10}/\text{cm}^3$ 。例如，室溫（ 25°C ）下關閉狀態電流（此處為每單位通道寬度（ $1 \mu\text{m}$ ））為低於或等於 $100 \text{ zA}/\mu\text{m}$ （ 1 zA （介安）is $1 \times 10^{-21} \text{ A}$ ），較佳地為低於或等於 $10 \text{ zA}/\mu\text{m}$ 。 85°C 下關閉狀態電流為低於或等於 $100 \text{ zA}/\mu\text{m}$ （ $1 \times 10^{-19} \text{ A}/\mu\text{m}$ ），較佳地為低於或等於 $10 \text{ zA}/\mu\text{m}$ （ $1 \times 10^{-20} \text{ A}/\mu\text{m}$ ）。使用該等 i 型（本質）或實質上 i 型氧化物半導體，可獲得具極佳關閉狀態電流特性之電晶體 111。

包括高度純化氧化物半導體之電晶體之電特性，諸如臨限電壓及開啓狀態電流，具有幾乎無溫度相依性。此外，電晶體特性幾乎不因輕微惡化而改變。

如以上說明，抑制包括藉由減少缺氧而獲得之高度純化及電性 i 型（本質）氧化物半導體之電晶體的電特性變化，因而電晶體為電性穩定。因此，可提供包括具有高可靠性及穩定電特性之氧化物半導體的液晶顯示裝置。

接著，用於形成源極電極 206a、汲極電極 206b、及佈線 216 之導電層係形成於半導體層 205 之上。用於形成源極電極 206a、汲極電極 206b、及佈線 216 之導電層可使用類似於閘極電極 202 之材料及方法予以形成。此外，用於形成源極電極 206a、汲極電極 206b、及佈線 216 之導電層可使用導電金屬氧化物予以形成。有關導電金屬氧化物，可使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化

鋅 (ZnO)、氧化銦及氧化錫之合金 ($\text{In}_2\text{O}_3\text{-SnO}_2$; 縮寫為 ITO)、氧化銦及氧化鋅之合金 ($\text{In}_2\text{O}_3\text{-ZnO}$)、或其中包含氧化矽之任一該些金屬氧化物材料。

在本實施例中，有關導電層，於半導體層 205 之上形成 5nm 厚度之 Ti 層，及於 Ti 層之上形成 250nm 厚度之 Cu 層。之後，藉由蝕刻並使用經由第二光刻步驟形成之抗蝕罩而選擇性移除導電層，藉此形成源極電極 206a、汲極電極 206b、及佈線 216 (詳圖 10C)。

接著，於源極電極 206a、汲極電極 206b、及佈線 216 之上形成絕緣層 207 (詳圖 11A)。可使用類似於閘極絕緣層 204 或基層 201 之材料及方法形成絕緣層 207。在氫、水等進入之低可能性方面，較佳地採用濺鍍法。若絕緣層 207 中包含氫，氫可進入氧化物半導體層或從氧化物半導體層提取氧，此可造成氧化物半導體層之電阻減少 (此表示氧化物半導體層變成 n 型)。因此，重要的是藉由絕緣層 207 中不包含氫及包含氫之雜質的方法而形成絕緣層 207。

有關絕緣層 207，可典型地使用無機絕緣材料，諸如氧化矽、氧氮化矽、氧化鉛、氧化鋁、或氧化鎵。氧化鎵為幾乎不充電之材料；因此，可抑制因絕緣層之電荷集結的臨限電壓變化。請注意，若氧化物半導體用於半導體層 205，可於絕緣層 207 以上或以下形成包含與氧化物半導體相同種類成分之金屬氧化物層作為絕緣層 207 或堆疊層。

在本實施例中，藉由濺鍍法形成 200-nm 厚之氧化矽層作為絕緣層 207。膜形成中基板溫度可為高於或等於室溫及低於或等於 300°C，在本實施例中為 100°C。可藉由濺鍍法於稀有氣體（典型為氬）、氧氣、或包含稀有氣體及氧之混合氣體中形成氧化矽層。有關靶材，可使用氧化矽或矽。例如，可使用矽作為靶材藉由於包含氧之氣體中濺鍍而形成氧化矽層。

為於絕緣層 207 形成時從膜形成室移除保留之濕氣，較佳地使用截留真空泵（諸如低溫泵）。當使用低溫泵排空膜形成室中所形成之絕緣層 207 時，可減少絕緣層 207 中雜質濃度。此外，有關用於移除絕緣層 207 之膜形成室中保留濕氣之排空單元，可使用配置冷阱之渦輪分子泵。

較佳的是將諸如氬、水、羥基、或氫化物之雜質移除的高純度氣體用作濺鍍氣體以形成絕緣層 207。

接著，可於減壓氣體、惰性氣體、氧氣、或極乾燥空氣（較佳地為高於或等於 200°C 及低於或等於 600°C 之溫度，例如高於或等於 250°C 及低於或等於 550°C 之溫度）中執行第二熱處理。請注意，若 Al 用於經由第一光刻步驟或第二光刻步驟形成之佈線層，熱處理溫度設定為低於或等於 380°C，較佳地為低於或等於 350°C。另一方面，若 Cu 用於經由第一光刻步驟或第二光刻步驟形成之佈線層，熱處理溫度設定為低於或等於 450°C。例如，第二熱處理可以 450°C 於氮氣中執行達一小時。在第二熱處理中，溫度增加同時部分氧化物半導體層（通道形成區域）

接觸絕緣層 207，並可從包含氧之絕緣層 207 供應氧至半導體層 205。較佳的是以上氣體未包含水、氫等。

其次，藉由第三光刻步驟，形成抗蝕罩，並選擇性移除汲極電極 206b 上之絕緣層 207，使得形成接觸孔 208。在截面 K1-K2 中，選擇性移除佈線 216 上之絕緣層 207 以形成接觸孔 220。在截面 J1-J2 中，選擇性移除佈線 212 上之絕緣層 207、半導體層 205、及閘極絕緣層 204，以形成接觸孔 219（詳圖 11B）。儘管未描繪，在此光刻步驟中，以類似於接觸孔 219 之方式形成區域 223。

可使用乾式蝕刻、濕式蝕刻、或乾式蝕刻及濕式蝕刻之組合執行絕緣層 207、半導體層 205、及閘極絕緣層 204 之蝕刻。可採用包含氯（諸如氯（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ）之氯基氣體）之氣體作為用於乾式蝕刻之蝕刻氣體。

有關乾式蝕刻，可使用平行板反應離子蝕刻（RIE）法、電感耦合電漿（ICP）蝕刻法等。由於基層 201 具有避免雜質元素從基板 200 擴散之功能，較佳地調整蝕刻狀況使得蝕刻中盡可能不蝕刻基層 201。

通常，半導體層之蝕刻及接觸孔之形成係經由其個別光刻步驟及蝕刻步驟而分別執行；根據本實施例之製造程序，可藉由一光刻步驟及一蝕刻步驟執行半導體層之蝕刻及接觸孔之形成。因此，不僅光罩數量而且光刻步驟數量均可減少，此可減少光刻步驟之後蝕刻步驟之數量。即，可以小數量光刻步驟及低成本製造具高生產力之液晶顯示

裝置。

此外，根據本實施例之製造程序，光罩未直接形成於氧化物半導體層上。此外，由於氧化物半導體層中通道形成區域係藉由絕緣層 207 保護，於光罩之分離及清潔步驟中，濕氣並未附著至氧化物半導體層中之通道形成區域；因而，電晶體 111 之特性變化減少及可靠性增加。

接著，在絕緣層 207 之上，藉由濺鍍法、真空蒸發法等形成將為像素電極 210、電極 221、及電極 222 之透光導電層而具大於或等於 30nm 及低於或等於 200nm 之厚度，較佳地為大於或等於 50nm 及低於或等於 100nm（詳圖 11C）。

對透光導電層而言，可使用透光導電材料，諸如包含氧化鎢之氧化銮、包含氧化鎢之氧化銮鋅、包含氧化鈦之氧化銮、包含氧化鈦之氧化銮錫、氧化銮錫（以下稱為 ITO）、氧化銮鋅、或添加氧化矽之氧化銮錫。另一方面，可使用以 1 至 10 石墨片層（石墨片層相應於石墨單層）形成之材料。

在本實施例中，形成 80nm 厚度之 ITO 層作為透光導電層，及藉由第四光刻步驟形成抗蝕罩，接著選擇性蝕刻透光導電層，藉此形成像素電極 210、電極 221、及電極 222。

像素電極 210 經由接觸孔 208 而電連接至汲極電極 206b。電極 221 經由接觸孔 219 而電連接至佈線 212_i。電極 222 經由接觸孔 220 而電連接至佈線 216_j。請注

意，區域 223 中不一定形成透光電極。

此外，在端子部 103 及端子部 104 中所形成之接觸孔 219 及接觸孔 220 中，重要的是佈線 212 及佈線 216 未保持暴露狀態，並由諸如 ITO 之氧化物導電材料覆蓋。當金屬層之佈線 212 及佈線 216 保持暴露狀態時，暴露表面氧化且與 FPC 等之接觸電阻增加。接觸電阻增加造成從外部輸入之信號的波形變形或延遲，且來自外部之信號無法正確傳輸，使得半導體裝置之可靠性下降。藉由以諸如 ITO 之氧化物導電材料覆蓋佈線 212 及佈線 216 之暴露表面，可避免接觸電阻增加，並可改進半導體裝置之可靠性。

根據本實施例，可以較習知製造方法更小數量光刻步驟製造液晶顯示裝置。結果，可以低成本製造具高生產力之液晶顯示裝置。

在本實施例中，說明底閘電晶體之範例，但本實施例亦可應用於頂閘電晶體。

本實施例可與任一其他實施例自由組合。

（實施例 2）

在本實施例中，將參照圖 12A 至 12C 說明與實施例 1 中所說明者局部不同之程序範例。請注意，在圖 12A 至 12C 中，相同代號用於如實施例 1 中之相同零件，且此處將省略具相同代號之零件說明。

首先，以類似於實施例 1 之方式，導電層係形成於具

有絕緣表面之基板 200 之上，接著經由第一光刻步驟及蝕刻步驟而形成閘極電極 202。

充當基層之絕緣層可配置於基板 200 與閘極電極 202 之間。在本實施例中，配置基層 201。基層 201 具有避免雜質元素（諸如 Na）從基板 200 擴散之功能，並可使用選自氧化矽膜、氧氮化矽膜、氮化矽膜、氧化鉛膜、氧化鋁膜，氧化鎳膜、及氧化鎳鋁膜之膜而予形成。基層之結構不侷限於單層結構，可為複數以上膜之層級結構。

在本實施例中，因為之後將形成之半導體層的膜形成溫度為高於或等於 200°C 及低於或等於 450°C，且半導體層形成之後之熱處理溫度為高於或等於 200°C 及低於或等於 450°C，閘極電極 202 係以下層之銅層及上層之鋁層堆疊，或下層之銅層及上層之鎢層堆疊，予以形成。

接著，藉由 CVD 法、濺鍍法等，以類似於實施例 1 之方式而於閘極電極 202 之上形成閘極絕緣層 204。圖 12A 之截面圖描繪經由直至此處之程序所獲得之結構。

其次，於閘極絕緣層 204 之上形成大於或等於 1nm 及低於或等於 10nm 厚度之第一氧化物半導體層。在本實施例中，於氧氣、氫氣、或氫及氧之混合氣體中，在該等狀況下形成 5nm 厚度之第一氧化物半導體層，即使用氧化物半導體之靶材（包含 1 : 1 : 2 [摩爾比]之 In_2O_3 、 Ga_2O_3 、及 ZnO 之 In-Ga-Zn 基氧化物半導體之靶材），基板與靶材之間之距離為 170mm，基板溫度為 250°C，壓力為 0.4 Pa，及直流（DC）電力為 0.5 kW。

其次，藉由設定基板置放至氮氣或乾燥空氣之氣體而執行第一熱處理。第一熱處理之溫度為高於或等於 200°C 及低於或等於 450°C。此外，第一熱處理之加熱時間為長於或等於 1 小時及短於或等於 24 小時。藉由第一熱處理，形成第一結晶氧化物半導體層 148a（詳圖 12B）。

其次，於第一結晶氧化物半導體層 148a 之上形成具厚於 10nm 厚度之第二氧化物半導體層。在本實施例中，藉由使用氧、氫、或氫及氧混合物之濺鍍氣體在該等狀況下形成 25nm 厚度之第二氧化物半導體層，即使用氧化物半導體之靶材（包含 1：1：2 [摩爾比]之 In_2O_3 、 Ga_2O_3 、及 ZnO 之 In-Ga-Zn 基氧化物半導體之靶材）；基板與靶材之間之距離為 170mm；基板溫度為 400°C；壓力為 0.4 Pa；及直流（DC）電力為 0.5 kW。

接著，藉由設定基板置放至氮氣或乾燥空氣之氣體而執行第二熱處理。第二熱處理之溫度為高於或等於 200°C 及低於或等於 450°C。此外，第二熱處理之加熱時間為長於或等於 1 小時及短於或等於 24 小時。藉由第二熱處理，形成第二結晶氧化物半導體層 148b（詳圖 12C）。

下列程序類似於實施例 1，即形成源極電極 206a、汲極電極 206b、絕緣層 207 等；並使用相同抗蝕罩蝕刻絕緣層 207、第一結晶氧化物半導體層 148a、及第二結晶氧化物半導體層 148b，藉此減少光刻步驟之數量。

因而，根據實施例 1，可獲得電晶體 111。請注意，若使用本實施例，第一結晶氧化物半導體層 148a 及第二

結晶氧化物半導體層 148b 之堆疊層形成包括電晶體之通道形成區域的半導體層。第一結晶氧化物半導體層 148a 及第二結晶氧化物半導體層 148b 具有 c 軸對齊。請注意，第一結晶氧化物半導體層 148a 及第二結晶氧化物半導體層 148b 包含包括具 c 軸對齊之結晶（亦稱爲 C 軸對齊結晶（亦稱爲 CAAC））之氧化物，其不具有單晶結構及非結晶結構。第一結晶氧化物半導體層 148a 及第二結晶氧化物半導體層 148b 局部包括晶粒界線。

爲獲得 CAAC，重要的是於氧化物半導體膜沉積之最初階段形成六角形結晶，並造成從六角形結晶之結晶生長作爲種晶。基板加熱溫度爲高於或等於 100°C 及低於或等於 500°C，較佳地爲高於或等於 200°C 及低於或等於 400°C，更佳地爲高於或等於 250°C 及低於或等於 300°C。除此之外，藉由於沉積之氧化物半導體膜上以高於沉積之基板加熱溫度的溫度執行熱處理，可修復膜中微缺點及堆疊層之介面缺點。

若電晶體包括第一結晶氧化物半導體層及第二結晶氧化物半導體層之堆疊層，可減少以光輻照之前及之後之間或歷經偏壓-溫度（BT）壓力測試電晶體之臨限電壓改變量；因而，該等電晶體具有穩定電特性。

本實施例可與任一其他實施例自由組合。

（實施例 3）

圖 13A 及 13B 中描繪使用實施例 1 及實施例 2 中所

說明之任一電晶體之顯示裝置之一模式。

圖 13A 為電晶體 4010 及液晶元件 4013 以密封劑 4005 密封於第一基板 4001 與第二基板 4006 之間之面板平面圖。圖 13B 為沿圖 13A 中線 M-N 之截面圖。

配置密封劑 4005 以便圍繞配置於第一基板 4001 上之像素部 4002。第二基板 4006 係配置於像素部 4002 之上。因此，像素部 4002 藉由第一基板 4001、密封劑 4005、及第二基板 4006 而與液晶層 4008 密封在一起。

此外，輸入端子 4020 係配置於藉由密封劑 4005 圍繞之區域外部之第一基板 4001 上之區域中，且軟性印刷電路 (FPC) 4018a 及 4018b 連接至輸入端子 4020。FPC 4018a 電連接至個別配置於其他基板上之信號線驅動器電路 4003，及 FPC 4018b 電連接至個別配置於其他基板上之掃描線驅動器電路 4004。供應至像素部 4002 之各種信號及電位係經由 FPC 4018a 及 FPC 4018b 而從信號線驅動器電路 4003 及掃描線驅動器電路 4004 供應。

請注意，個別形成之驅動器電路的連接方法未特別限制，可使用玻璃上晶片 (COG) 法、引線接合法、膠帶載具封裝 (TCP) 法、膠帶自動接合 (TAB) 法等。

儘管未顯示，信號線驅動器電路 4003 或掃描線驅動器電路 4004 可使用本說明書中所揭露之電晶體而配置於基板 4001 之上。

有關配置於顯示裝置中之顯示元件，可使用液晶元件 (亦稱為液晶顯示元件)。此外，可使用藉由電效應而改

變其對比之顯示媒體，諸如電子墨水。

圖 13A 及 13B 中所描繪之顯示裝置包括電極 4015 及佈線 4016。電極 4015 及佈線 4016 經由各向異性導電層 4019 而電連接至 FPC 4018a 中所包括之端子。

使用與第一電極 4030 之相同導電層形成電極 4015，及使用與電晶體 4010 之源極及汲極電極之相同導電層形成佈線 4016。

在本實施例中，實施例 1 及實施例 2 中所說明之任一電晶體可應用於電晶體 4010。配置於像素部 4002 中之電晶體 4010 電連接至顯示元件以形成顯示面板。只要可執行顯示，各種顯示元件可用於顯示元件。

圖 13A 及 13B 描繪液晶元件用作顯示元件之顯示裝置範例。在圖 13A 及 13B 中，液晶元件 4013 為包括第一電極 4030、第二電極 4031、及液晶層 4008 之顯示元件。請注意，配置充當校準膜之絕緣層 4032 及 4033 使得液晶層 4008 配置於其間。於第二基板 4006 側形成第二電極 4031。第一電極 4030 及第二電極 4031 堆疊，且液晶層 4008 配置於其間。

代號 4035 標示柱狀間隔，其形成於第二基板 4006 之上，第二基板 4006 使用絕緣層以控制液晶層 4008 之厚度（格隙）。另一方面，可使用球形間隔。

若液晶元件用作顯示元件，可使用熱致液晶、低分子液晶、高分子液晶、聚合物分散液晶、鐵電液晶、反鐵電液晶等。該些液晶材料依據狀況而展現膽固醇相位、近晶

相位、立方相位、手徵向列相位、各向同性相位等。

另一方面，可使用不必要校準膜之展現藍相之液晶。藍相為一種液晶相位，其產生於膽固醇相改變為各向同性相，同時膽固醇液晶之溫度增加之前不久。由於藍相僅出現於窄的溫度範圍內，為改進溫度範圍，將混合 5 重量% 或更多之手性材料的液晶成分用於液晶層。包括展現藍相之液晶及手性劑的液晶成分具有 1 msec 或更短之短暫回應時間，具有光學各向同性，其不需校準處理且視角相依性小。此外，由於不需配置校準膜，且不需研磨處理，可避免藉由研磨處理造成之靜電放電損害，及可減少製造程序中液晶顯示裝置之缺陷及損害。因而，可提升液晶顯示裝置之生產量。

液晶材料之特定電阻係數為高於或等於 $1 \times 10^9 \Omega\text{-cm}$ ，較佳地為高於或等於 $1 \times 10^{11} \Omega\text{-cm}$ ，更佳地為高於或等於 $1 \times 10^{12} \Omega\text{-cm}$ 。本說明書中特定電阻係數之值係於 20°C 測量。

液晶顯示裝置中所形成之儲存電容器的尺寸係考量像素部等中所配置之電晶體的洩漏電流而設定，使得電荷可保持達預定時期。藉由使用高度純化氧化物半導體用於包括通道區域之半導體層的電晶體，便足以提供具有低於或等於每一像素之液晶電容之 $1/3$ 之電容的儲存電容器，較佳地為低於或等於每一像素之液晶電容之 $1/5$ 。

在本實施例中所使用之電晶體中，包括高度純化氧化物半導體層，關閉狀態之電流（關閉狀態電流）可小。因

此，諸如影像信號之電信號可保持較長時期，且開啓狀態之寫入間隔可設定更長。因此，刷新作業之頻率可減少，此導致抑制電力消耗之效果。此外，在包括高度純化氧化物半導體層之電晶體中，甚至當未配置儲存電容器時，施加於液晶元件之電位可保持。

本實施例中所使用之包括高度純化氧化物半導體層之電晶體的場效移動性可相對高，藉此可高速作業。因此，藉由將電晶體用於液晶顯示裝置之像素部中，可提供高品質影像。此外，由於電晶體可分別配置於一基板上之驅動器電路部及像素部中，液晶顯示裝置之組件數量可減少。

對液晶顯示裝置而言，可使用扭轉向列（TN）模式、平面方向切換（IPS）模式、邊緣場切換（FFS）模式、軸對稱排列微型格（ASM）模式、光學補償雙折射（OCB）模式、鐵電液晶（FLC）模式、反電液晶（AFLC）模式等。

此外，亦可使用正常黑液晶顯示裝置，諸如利用垂直調整（VA）模式之透射式液晶顯示裝置。此處，垂直調整模式為控制液晶顯示面板之液晶分子的調準方法，其中當無電壓施加時液晶分子係垂直於面板表面調準。提供一些範例作為垂直調準模式。例如，可使用多區域垂直排列（MVA）模式、圖像垂直調整（PVA）模式、新進的超視圖（ASV）模式等。再者，可使用稱為區域乘法或多區域設計，其中像素劃分為一些區域（子像素）且分子於其各個區域中以不同方向調準。

在液晶顯示裝置中，適當配置黑矩陣（阻光層）；諸如偏光構件、遲延構件、或防反射構件之光學構件（光學基板）等。例如，藉由使用偏光基板及遲延基板可獲得圓極化。此外，可使用背光、側光等作為光源。

此外，可採用時分顯示法（亦稱為場序制驅動法），使用複數發光二極體（LED）作為背光。藉由採用場序制驅動法，可執行彩色顯示而未使用濾色器。

有關像素部中顯示法，可採用漸進法、交錯法等。此外，彩色顯示時像素中所控制之彩色元素不侷限於三色：R、G、及 B（R、G、及 B 分別相應於紅、綠、及藍）。例如，可使用 R、G、B、及 W（W 相應於白）；R、G、B、及黃、青綠、紅紫等之一或更多項等。此外，彩色元素之各個點之間之顯示區域的尺寸可不同。然而，本發明之一實施例不侷限於彩色顯示之液晶顯示裝置，並可應用於單色顯示之液晶顯示裝置。

在圖 13A 及 13B 中，軟性基板以及玻璃基板可用作第一基板 4001 及第二基板 4006 之任一項。例如，可使用透光塑料基板等。有關塑料，可使用玻璃纖維增強塑料（FRP）板、聚氟乙烯（PVF）膜、多元酯膜、或丙烯酸樹脂膜。此外，可使用具一結構之薄板，其中鋁箔夾於 PVF 膜或多元酯膜之間。

液晶顯示裝置藉由從光源或顯示元件透光而顯示影像。因此，基板及諸如配置用於透光之像素部之絕緣層及導電層之薄膜相對於可見光波長範圍之光具有透光屬性。

用於施加電壓至顯示元件之第一電極及第二電極（各稱為像素電極、共同電極、相對電極等）可具有透光屬性或反光屬性，其取決於提取光之方向、配置電極之位置、及電極之型樣結構。

可使用透光導電材料形成第一電極 4030 及第二電極 4031 之任一項，諸如包含氧化鎢之氧化銦、包含氧化鎢之氧化銦鋅、包含氧化鈦之氧化銦、包含氧化鈦之氧化銦錫、氧化銦錫（以下稱為 ITO）、氧化銦鋅、或添加氧化矽之氧化銦錫。另一方面，可使用包括 1 至 10 石墨片層（石墨片層相應於單層石墨）之材料。

可使用以下一或複數項材料形成第一電極 4030 及第二電極 4031 之一：選自諸如鎢（W）、鉬（Mo）、鋯（Zr）、鈦（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）、及銀（Ag）之金屬；該些金屬之合金；及該些金屬之氮化物。

包括導電高分子（亦稱為導電聚合體）之導電組成可用於第一電極 4030 及第二電極 4031。有關導電高分子，可使用所謂 π -電子共軛導電高分子。例如，可提供聚苯胺及其衍生物；聚吡咯及其衍生物；聚噻吩及其衍生物；及苯胺、吡咯、及噻吩及其衍生物之二或更多項之共聚物。

此外，由於電晶體容易藉由靜電等而破裂，較佳地配置保護電路。較佳地使用非線性元件形成保護電路。

如以上說明，藉由使用實施例 1 及實施例 2 中所說明

之任一電晶體，可提供具高可靠性之液晶顯示裝置。請注意，實施例 1 及實施例 2 中所說明之電晶體不僅可應用於具有以上所說明之顯示功能的半導體裝置，亦可應用於具有各種功能之半導體裝置，諸如安裝於電源電路上之電力裝置、諸如 LSI 之半導體積體電路、及具有讀取目標資訊之影像感測器功能之半導體裝置。

本實施例可與其他實施例自由組合。

(實施例 4)

在本實施例中，使用顯示裝置其以高速於左眼影像與右眼影像之間切換，參照圖 14A 及 14B 說明範例，其中以專用眼鏡觀看移動影像或靜止影像之 3D 影像，基此顯示裝置之視訊同步。

圖 14A 描繪外部圖，其中顯示裝置 2711 及專用眼鏡 2701 以電纜 2703 彼此連接。本說明書中所揭露之液晶顯示裝置可用作顯示裝置 2711。在專用眼鏡 2701 中，配置於左眼面板 2702a 及右眼面板 2702b 之快門交替開啓及關閉，藉此使用者可觀看顯示裝置 2711 之影像為 3D 影像。

此外，圖 14B 為方塊圖，描繪顯示裝置 2711 及專用眼鏡 2701 之主要結構。

圖 14B 中所描繪之顯示裝置 2711 包括顯示控制電路 2716、顯示部 2717、時序產生器 2713、源極線驅動器電路 2718、外部作業單元 2722、及閘極線驅動器電路 2719。請注意，輸出信號根據藉由諸如鍵盤之外部作業單

元 2722 之作業而改變。

在時序產生器 2713 中，形成開始脈衝信號等，並提供用於使左眼影像及左眼面板 2702a 之快門同步之信號、用於使右眼影像及右眼面板 2702b 之快門同步之信號等。

左眼影像之同步信號 2731a 輸入至顯示控制電路 2716，使得左眼影像於顯示部 2717 上顯示。同時，用於開啓左眼面板 2702a 之快門的同步信號 2730a 輸入至左眼面板 2702a。此外，右眼影像之同步信號 2731b 輸入至顯示控制電路 2716，使得右眼影像於顯示部 2717 上顯示。同時，用於開啓右眼面板 2702b 之快門的同步信號 2730b 輸入至右眼面板 2702b。

由於以高速執行左眼影像與右眼影像之間之切換，顯示裝置 2711 較佳地採用連續色彩混合法（場序制法），其中藉由使用發光二極體（LED）之時分而執行彩色顯示。

此外，由於採用場序制法，較佳的是時序產生器 2713 將與同步信號 2730a 及 2730b 同步之信號輸入至發光二極體之背光部。請注意，背光部包括 R、G、及 B 色彩之 LED。

本實施例可與本說明書中任一其他實施例自由組合。

（實施例 5）

在本實施例中，將說明各包括以上實施例中所說明之顯示裝置之電子設備範例。

圖 15A 描繪桌上型個人電腦，其包括主體 3001、外殼 3002、顯示部 3003、鍵盤 3004 等。藉由使用以上實施例中所說明之液晶顯示裝置，可獲得高度可靠桌上型個人電腦。

圖 15B 為個人數位助理（PDA），其包括配置顯示部 3023 之主體 3021、外部介面 3025、作業按鈕 3024 等。包括觸控筆 3022 作為作業配件。藉由使用以上實施例中所說明之液晶顯示裝置，可獲得高度可靠個人數位助理（PDA）。

圖 15C 描繪電子書閱讀器之範例。例如，電子書閱讀器包括二外殼：外殼 2702 及外殼 2704。外殼 2702 藉由鉸鏈 2712 而與外殼 2704 組合，使得電子書閱讀器可以鉸鏈 2712 作為軸而開啓及關閉。基於該等結構，電子書閱讀器可如同紙本書籍操作。

顯示部 2705 及顯示部 2707 分別併入外殼 2702 及外殼 2704。顯示部 2705 及顯示部 2707 可顯示一影像或不同影像。在於不同顯示部上顯示不同影像之結構中，例如，右顯示部（圖 15C 中顯示部 2705）顯示正文及左顯示部（圖 15C 中顯示部 2707）顯示影像。藉由使用以上實施例中所說明之液晶顯示裝置，可獲得高度可靠電子書閱讀器。

圖 15C 描繪一範例其中外殼 2702 配置作業部等。例如，外殼 2702 配置電源端子 2721、作業鍵 2723、揚聲器 2725 等。基於作業鍵 2723，可翻頁。請注意，鍵盤、指

向裝置等亦可配置於其上配置顯示部之外殼的表面上。此外，外部連接端子（耳機端子、USB 端子等）、記錄媒體嵌入部等可配置於外殼之背面或側面。此外，電子書閱讀器可具有電子辭典之功能。

電子書閱讀器可無線傳輸及接收資料。經由無線通訊，可從電子書伺服器購買及下載所欲書籍資料等。

圖 15D 描繪行動電話，其包括二外殼：外殼 2800 及外殼 2801。外殼 2801 包括顯示面板 2802、揚聲器 2803、麥克風 2804、指向裝置 2806、相機鏡頭 2807、外部連接端子 2808 等。此外，外殼 2800 包括太陽能電池 2810，其具有充電可攜式資訊終端機、外部記憶體槽 2811 等之功能。此外，天線併入外殼 2801。

顯示面板 2802 配置觸控屏幕。顯示為影像之複數作業鍵 2805 係藉由圖 15D 中虛線描繪。請注意，亦包括升壓電路，藉此從太陽能電池 2810 輸出之電壓針對每一電路增加至充分高。

在顯示面板 2802 中，顯示方向可依據使用類型而適當改變。此外，行動電話係於與顯示面板 2802 相同表面上配置相機鏡頭 2807，因而可用作視訊電話。揚聲器 2803 及麥克風 2804 可用於視訊電話通話、記錄、及播放聲音等，以及語音通話。再者，外殼 2800 及 2801 在如圖 15D 中所描繪之發展的狀態中，可藉由滑動而偏移使得其一疊於另一者之上；因此，行動電話之尺寸可減少，此使得行動電話適於攜帶。

外部連接端子 2808 可連接至 AC 適配器及諸如 USB 電纜之各種類型電纜，並可充電及與個人電腦資料通訊。再者，藉由將儲存媒體插入外部記憶體槽 2811，可儲存大量資料，並可移動。

此外，除了以上功能以外，可配置紅外線通訊功能、電視接收功能等。藉由使用以上實施例中所說明之液晶顯示裝置，可提供高度可靠行動電話。

圖 15E 描繪數位攝影機，其包括主體 3051、顯示部 A 3057、目鏡 3053、作業開關 3054、顯示部 B 3055、電池 3056 等。藉由使用以上實施例中所說明之液晶顯示裝置，可提供高度可靠數位攝影機。

圖 15F 描繪電視機之範例。在電視機中，顯示部 9603 併入外殼 9601。顯示部 9603 可顯示影像。此處，外殼 9601 係藉由支架 9605 支撐。藉由使用以上實施例中所說明之液晶顯示裝置，可提供高度可靠電視機。

可藉由外殼 9601 之作業開關或個別遙控器操作電視機。此外，遙控器可配置顯示部以顯示從遙控器輸出之資料。

請注意，電視機配置接收器、數據機等。使用接收器，可接收一般電視廣播。再者，當電視機經由數據機而有線或無線連接至通訊網路時，可執行單向（從發送端至接收器）或雙向（發送端與接收器之間或接收器之間）資訊通訊。

本實施例可以與其他實施例中所說明之任一結構適當

組合而予實施。

本申請案係依據 2010 年 9 月 10 日向日本專利處提出申請之序號 2010-203356 日本專利申請案，其整個內容係以提及方式併入本文。

【符號說明】

100：半導體裝置

101、200：基板

102：像素區

103、104：端子部

105、106、107：端子

110、120、130、140、150：像素

111、4010：電晶體

112、4013：液晶元件

113：電容器

114、221、222、4015：電極

115、116：寄生電晶體

148a：第一結晶氧化物半導體層

148b：第二結晶氧化物半導體層

201：基層

202：閘極電極

203、212、212_i、216、216_j、216_{j+1}、240、250、

4016：佈線

204：閘極絕緣層

- 205 : 半導體層
- 206a : 源極電極
- 206b : 汲極電極
- 207、4032、4033 : 絕緣層
- 208、219、220 : 接觸孔
- 209 : 開口
- 210 : 像素電極
- 213、241、242 : 延伸部
- 223 : 區域
- 231、232 : 端部
- 2701 : 專用眼鏡
- 2702、2704、2800、2801、3002、9601 : 外殼
- 2702a : 左眼面板
- 2702b : 右眼面板
- 2703 : 電纜
- 2705、2707、2717、3003、3023、9603 : 顯示部
- 2711 : 顯示裝置
- 2712 : 鉸鏈
- 2713 : 時序產生器
- 2716 : 顯示控制電路
- 2718 : 源極線驅動器電路
- 2719 : 閘極線驅動器電路
- 2721 : 電源端子
- 2722 : 外部作業單元

- 2723、2805：作業鍵
- 2725、2803：揚聲器
- 2730a、2730b、2731a、2731b：同步信號
- 2802：顯示面板
- 2804：麥克風
- 2806：指向裝置
- 2807：相機鏡頭
- 2808：外部連接端子
- 2810：太陽能電池
- 2811：外部記憶體槽
- 3001、3021、3051：主體
- 3004：鍵盤
- 3022：觸控筆
- 3024：作業按鈕
- 3025：外部介面
- 3053：目鏡
- 3054：作業開關
- 3055：顯示部 B
- 3056：電池
- 3057：顯示部 A
- 4001：第一基板
- 4002：像素部
- 4003：信號線驅動器電路
- 4004：掃描線驅動器電路

- 4005 : 密封劑
- 4006 : 第二基板
- 4008 : 液晶層
- 4018a、4018b : 軟性印刷電路
- 4019 : 各向異性導電層
- 4020 : 輸入端子
- 4030 : 第一電極
- 4031 : 第二電極
- 4035 : 柱狀間隔
- 9605 : 支架

申請專利範圍

1. 一種顯示裝置，包含：

電晶體，其包含閘極電極、源極電極、汲極電極、及半導體層；

電連接至該閘極電極之第一佈線；

電連接至該源極電極之第二佈線；

電連接至該汲極電極之像素電極；以及

電容器佈線，

其中，該半導體層與該第一佈線、該第二佈線、該像素電極、及該電容器佈線重疊，

其中，部分該電容器佈線沿平行於該第二佈線延伸方向之方向延伸超過該像素電極之端部，以及

其中，該半導體層與該像素電極之整個區域重疊。

2. 如申請專利範圍第 1 項之顯示裝置，更包含該第一佈線與該半導體層間的絕緣層，

其中，該絕緣層包含開口，

其中，該開口係設置於至少部分該第一佈線之上，該開口沿線寬度方向延伸超過該第一佈線之二端部並覆蓋該第一佈線，以及

其中，該半導體層不存在於該開口中。

3. 如申請專利範圍第 1 項之顯示裝置，其中，該半導體層包含氧化物半導體。

4. 如申請專利範圍第 3 項之顯示裝置，其中，該氧化物半導體包含銦及鋅。

5.一種製造顯示裝置之方法，包含以下步驟：

藉由第一光刻步驟於基板之上形成閘極電極；

於該閘極電極之上形成閘極絕緣層；

於該閘極絕緣層之上形成半導體層；

藉由第二光刻步驟於該半導體層之上形成源極電極及汲極電極；

於該源極電極及該汲極電極之上形成絕緣層；

藉由第三光刻步驟，選擇性移除與該汲極電極重疊之部分該絕緣層，及移除部分該絕緣層、部分該半導體層、及部分該閘極絕緣層，而形成接觸孔；以及

藉由第四光刻步驟於該絕緣層之上形成像素電極。

6.如申請專利範圍第 5 項之製造顯示裝置之方法，其中，基層係形成於該基板與該閘極電極之間。

7.如申請專利範圍第 5 項之製造顯示裝置之方法，其中，該半導體層包含氧化物半導體。

8.如申請專利範圍第 7 項之製造顯示裝置之方法，其中，該氧化物半導體包含銦及鋅。

9.如申請專利範圍第 5 項之製造顯示裝置之方法，其中，該閘極電極、該源極電極、或該汲極電極係使用包含銅之材料形成。

10.如申請專利範圍第 9 項之製造顯示裝置之方法，其中，於該閘極電極、該源極電極、或該汲極電極形成後之程序中最高溫度為低於或等於 450°C。

11.如申請專利範圍第 5 項之製造顯示裝置之方法，

其中，該閘極電極、該源極電極、或該汲極電極係使用包含鋁之材料形成。

12.如申請專利範圍第 11 項之製造顯示裝置之方法，其中，該閘極電極、該源極電極、或該汲極電極形成後之程序中最高溫度為低於或等於 380°C。

13. 如申請專利範圍第 5 項之製造顯示裝置之方法，其中，該第一光刻步驟、該第二光刻步驟、該第三光刻步驟、及該第四光刻步驟各包含形成抗蝕罩之步驟、蝕刻導電層或絕緣層之步驟、及移除該抗蝕罩之步驟。

14. 如申請專利範圍第 7 項之製造顯示裝置之方法，其中該絕緣層包含被包括於該氧化物半導體中的材料之至少一者。

15. 一種顯示裝置，包含：

電晶體，其包含閘極電極、源極電極、汲極電極、及半導體層；

電連接至該閘極電極之第一佈線；

電連接至該源極電極之第二佈線；

於該半導體層、該第一佈線及該第二佈線上之絕緣層，該絕緣層部分地接觸該半導體層；

電連接至該汲極電極之像素電極，該像素電極係設置於該絕緣層上；以及

電容器佈線，

其中，該半導體層與該第一佈線、該第二佈線、該像素電極、及該電容器佈線重疊，以及

其中，部分該電容器佈線沿平行於該第二佈線延伸方向之方向延伸超過該像素電極之端部。

16.如申請專利範圍第 1 或 15 項之顯示裝置，

其中，該電容器佈線包含沿該第二佈線之延伸部，以及

其中，該延伸部沿平行於該第二佈線延伸方向之該方向延伸超過該像素電極之該端部。

17.如申請專利範圍第 16 項之顯示裝置，

其中，該部分電容器佈線或該延伸部與該像素電極重疊。

18.如申請專利範圍第 15 項之顯示裝置，更包含該第一佈線與該半導體層間的絕緣層，

其中，該絕緣層包含開口，

其中，該開口係設置於至少部分該第一佈線之上，該開口沿線寬度方向延伸超過該第一佈線之二端部並覆蓋該第一佈線，以及

其中，該半導體層不存在於該開口中。

19.如申請專利範圍第 15 項之顯示裝置，其中，該半導體層包含氧化物半導體。

20.如申請專利範圍第 19 項之顯示裝置，其中，該氧化物半導體包含銦及鋅。

21.如申請專利範圍第 16 項之顯示裝置，其中，該延伸部包含彎部或曲部。

22.如申請專利範圍第 19 項之顯示裝置，其中，該絕

緣層包含被包括於該氧化物半導體中的材料之至少一者。

23.如申請專利範圍第 1 項之顯示裝置，其中該像素電極係電連接至該汲極電極，其間夾置一夾層絕緣體。

24.如申請專利範圍第 15 項之顯示裝置，其中該像素電極係電連接至該汲極電極，其間夾置一夾層絕緣體。

25.一種顯示裝置，包含：

電晶體，其包含閘極電極、源極電極、汲極電極、及半導體層；

電連接至該閘極電極之第一佈線；

設置於該閘極電極與該半導體層間之絕緣層，該絕緣層接觸於該半導體層；

電連接至該源極電極之第二佈線；

電連接至該汲極電極之像素電極；以及

電容器佈線，

其中，該半導體層與該第一佈線、該第二佈線、該像素電極、及該電容器佈線重疊，

其中，該電容器佈線包含複數個延伸於與該第二佈線延伸之方向平行之方向的分支，

其中，該複數個分支中之一者與該像素電極之一部分重疊，以及

其中，該半導體層與該像素電極之整個區域重疊。

26.如申請專利範圍第 25 項之顯示裝置，其中，該半導體層包含氧化物半導體。

27.如申請專利範圍第 26 項之顯示裝置，其中，該氧

化物半導體包含選自由鎵、銦及鋅所組成之群組中的材料。

28.如申請專利範圍第 26 項之顯示裝置，其中該絕緣層包含被包括於該氧化物半導體中的材料之至少一者。

29.一種製造顯示裝置之方法，包含以下步驟：

藉由第一光刻步驟於基板之上形成閘極電極、第一佈線及電容器佈線；

於該閘極電極之上形成閘極絕緣層；

於該閘極絕緣層之上形成半導體層；

藉由第二光刻步驟於該半導體層之上形成源極電極、汲極電極及第二佈線；以及

藉由第三光刻步驟於該源極電極、該汲極電極及該第二佈線之上形成像素電極，

其中，該第一佈線電連接至該閘極電極，

其中，該第二佈線電連接至該源極電極，

其中，該像素電極電連接至該汲極電極，

其中，該半導體層與該第一佈線、該第二佈線、該像素電極、及該電容器佈線重疊，以及

其中，該半導體層與該像素電極之全部重疊。

30.如申請專利範圍第 29 項之製造顯示裝置之方法，

其中，該電容器佈線包含沿該第二佈線之延伸部，以及

其中，該延伸部沿平行於該第二佈線延伸方向之方向延伸超過該像素電極之端部。

31.如申請專利範圍第 30 項之製造顯示裝置之方法，其中，部分該電容器佈線或該延伸部與該像素電極重疊。

32.如申請專利範圍第 29 項之製造顯示裝置之方法，更包含該第一佈線與該半導體層間的絕緣層，其中，該絕緣層包含開口，其中，該開口係設置於至少部分該第一佈線之上，該開口沿線寬度方向延伸超過該第一佈線之二端部並覆蓋該第一佈線，以及

其中，該半導體層不存在於該開口中。

33.如申請專利範圍第 29 項之製造顯示裝置之方法，其中，該半導體層包含氧化物半導體。

圖式

圖 1

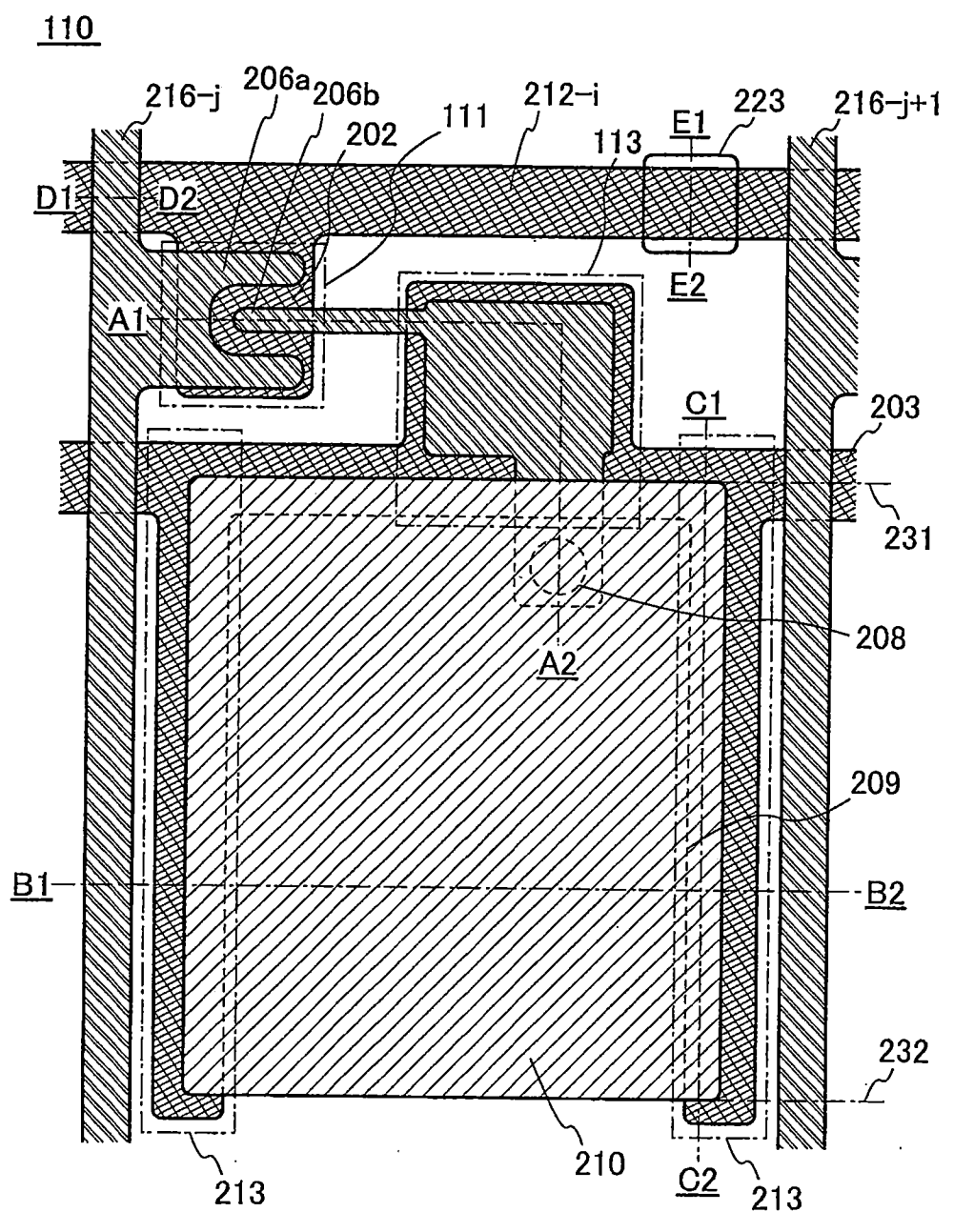


圖 3A

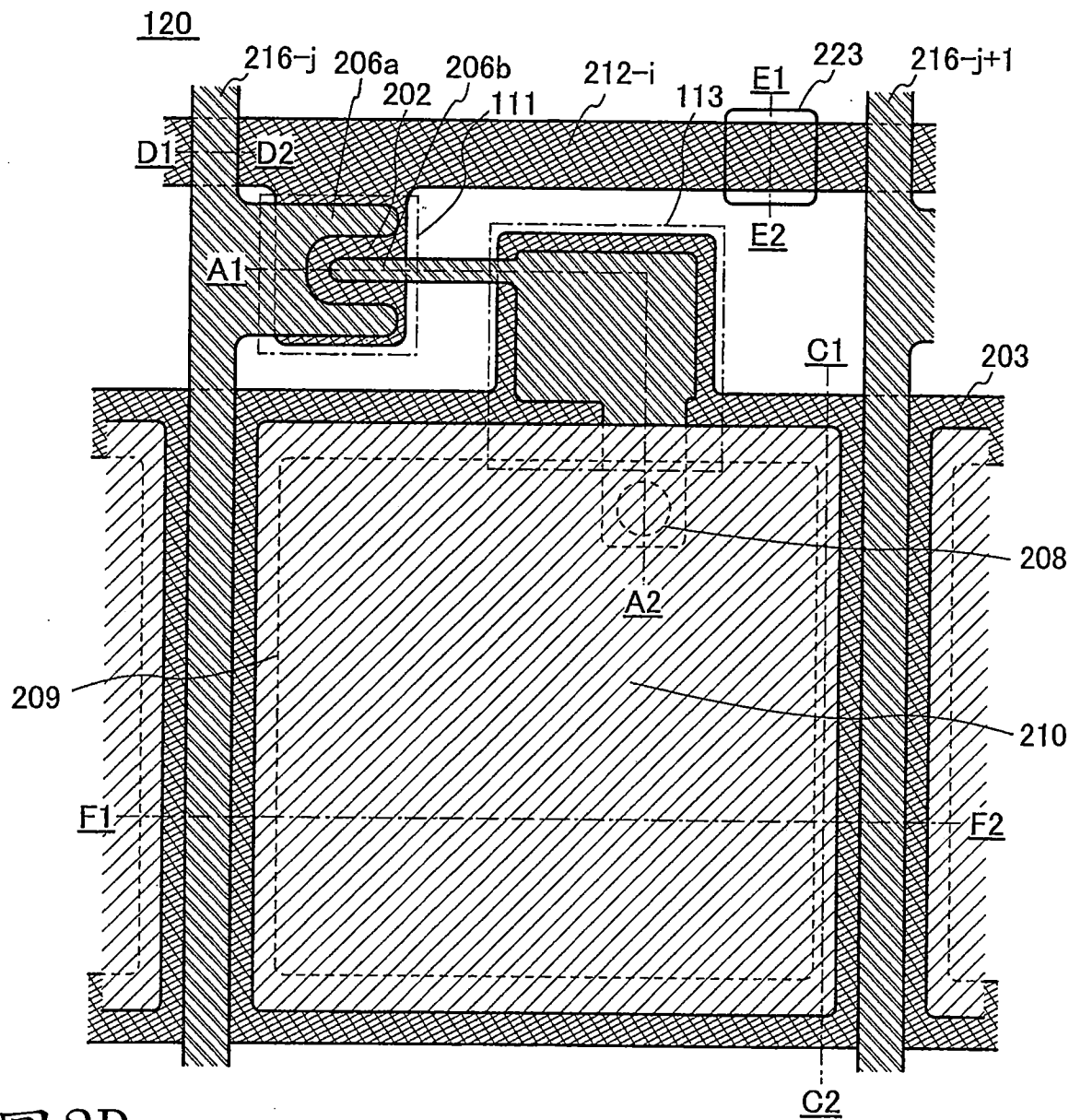


圖 3B

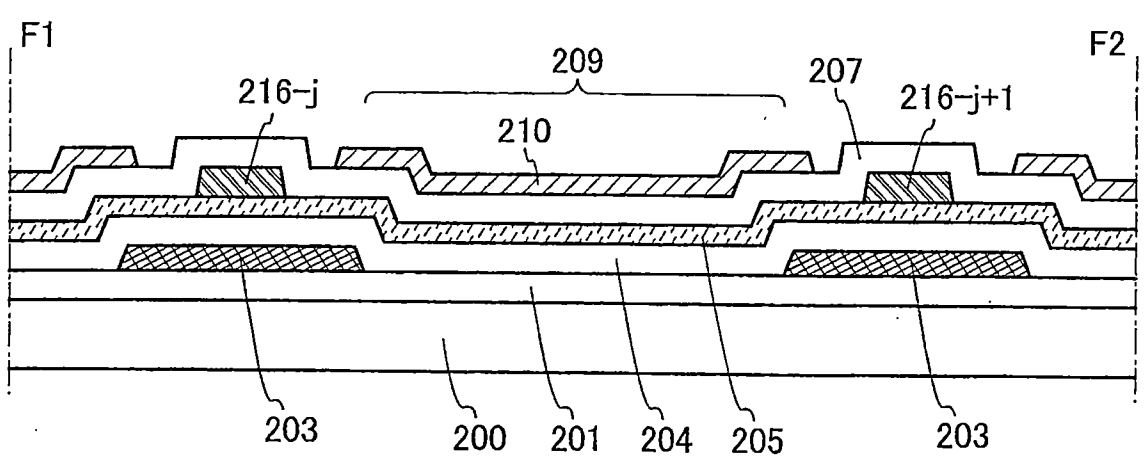


圖 5A

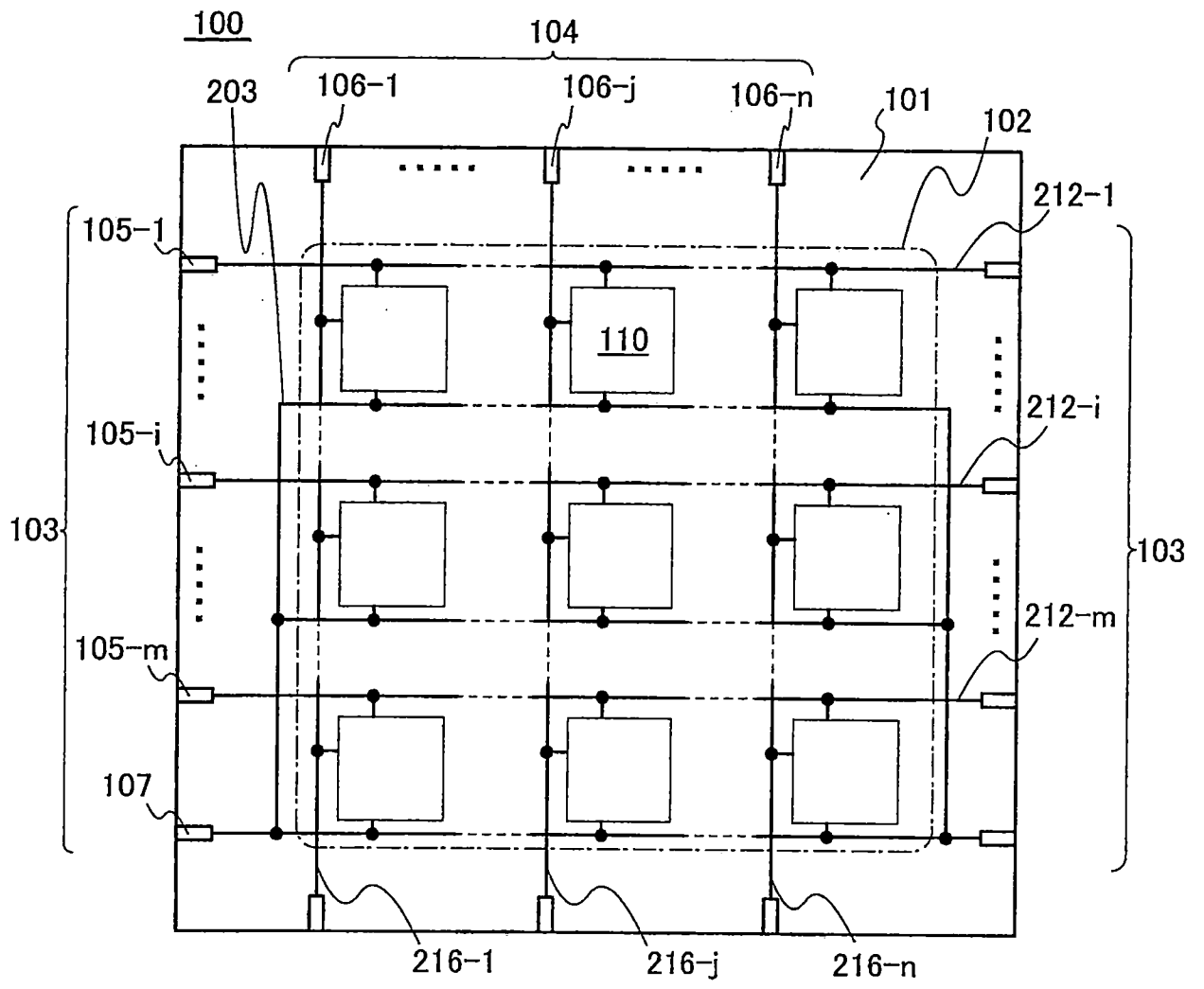


圖 5B

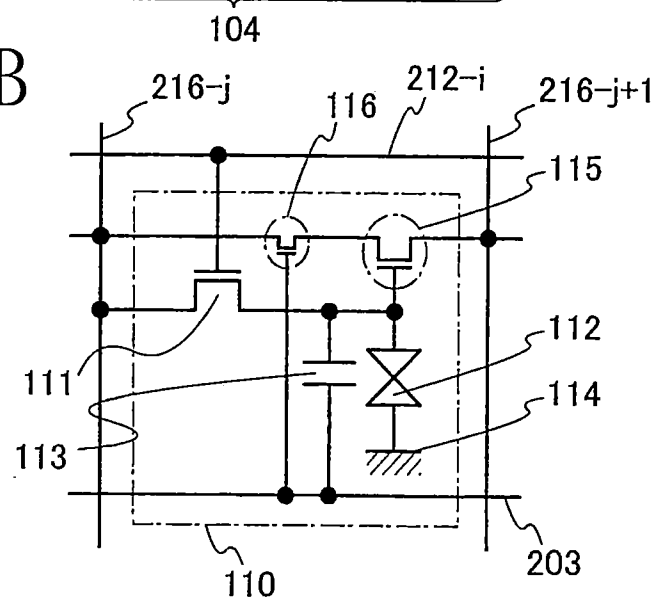


圖 6A

140

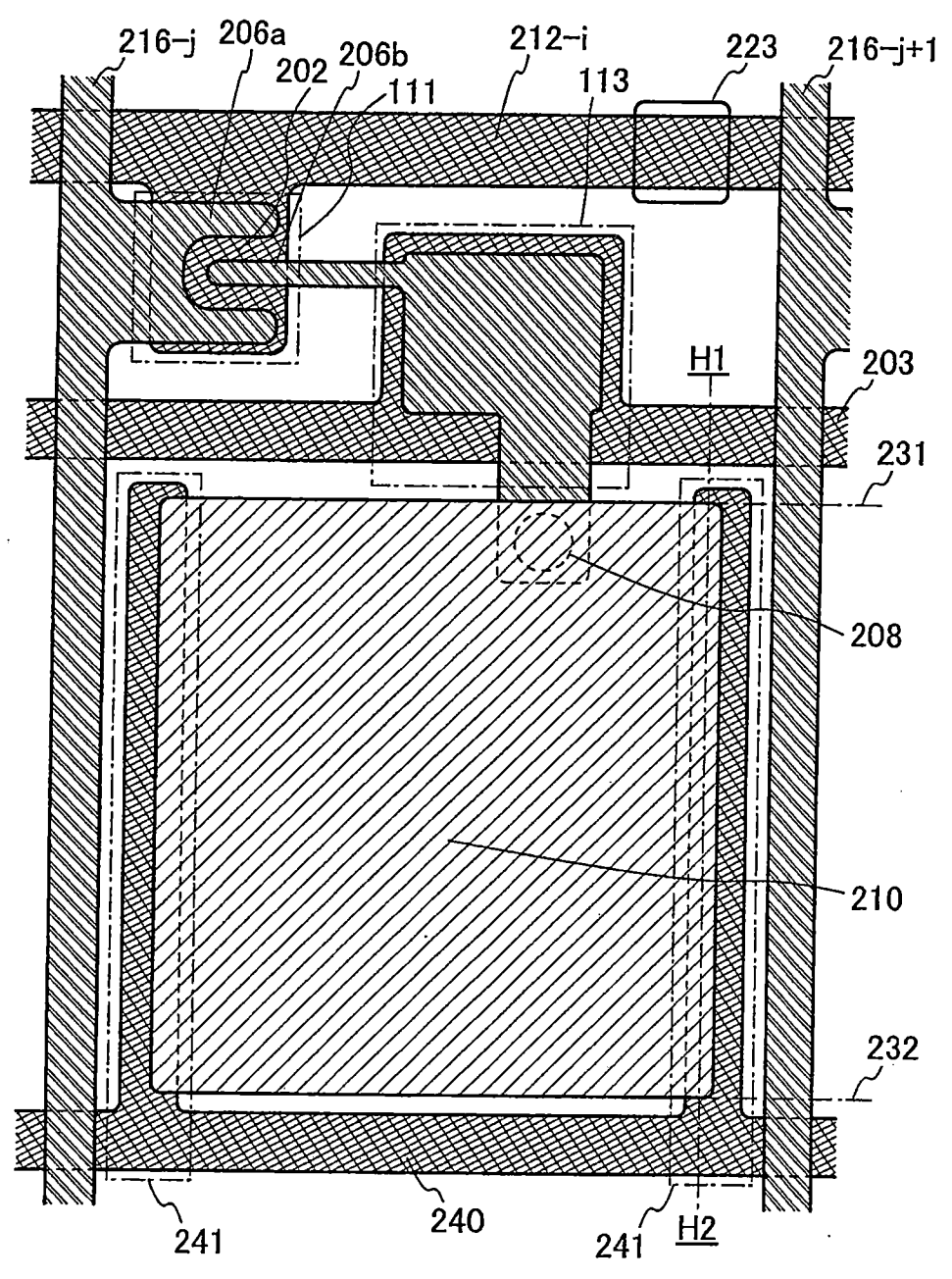


圖 6B

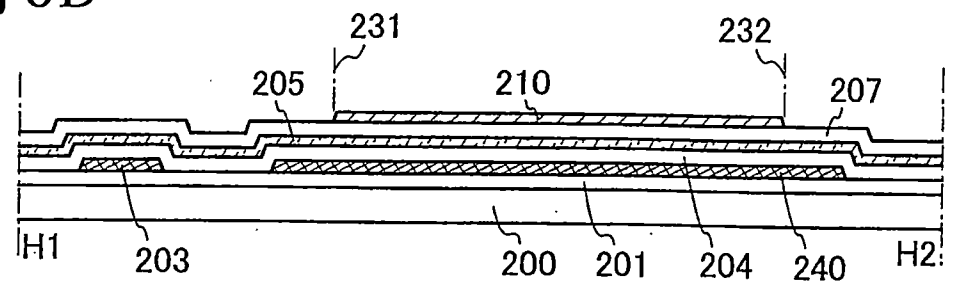


圖 7

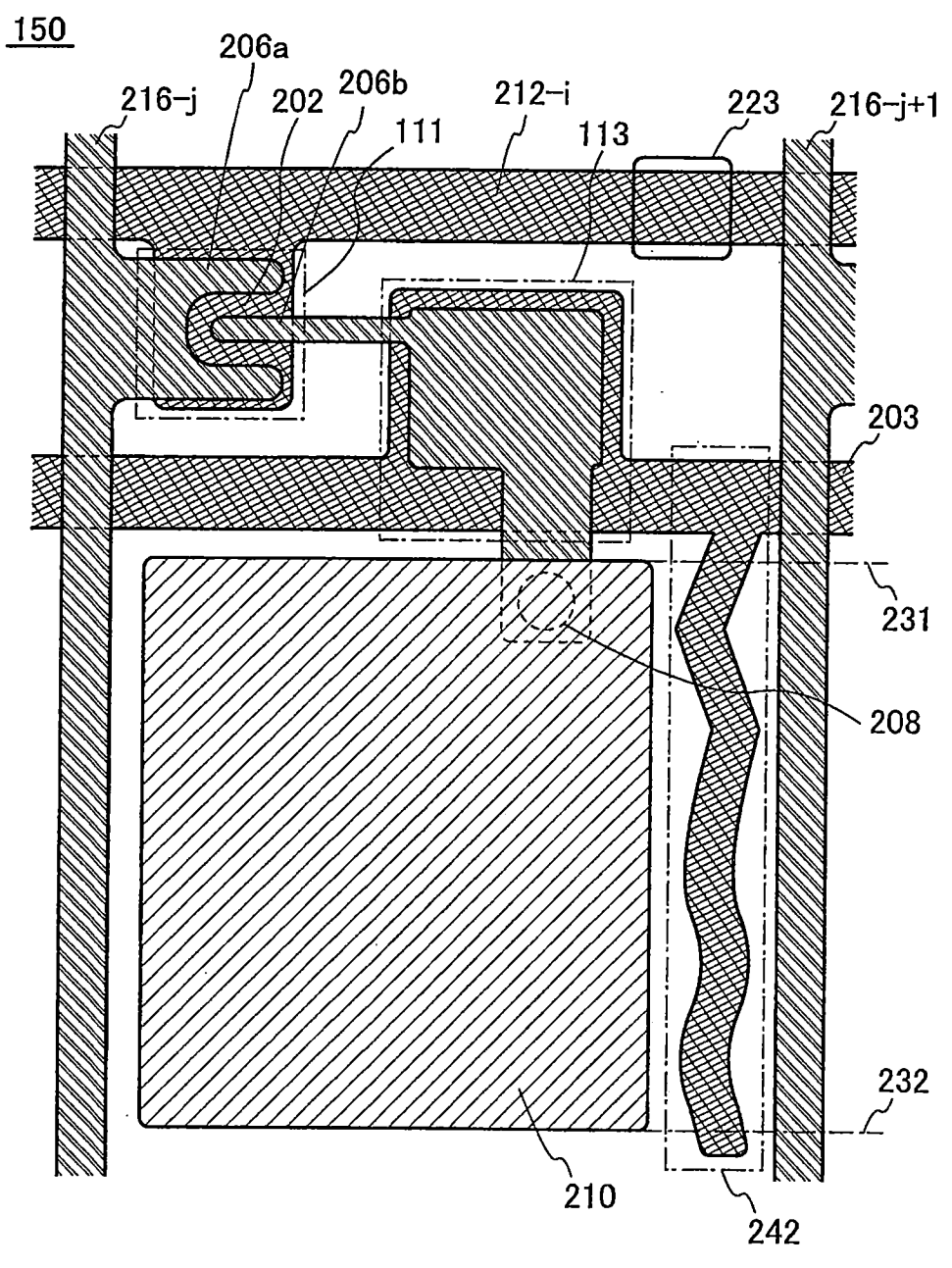


圖 8A1

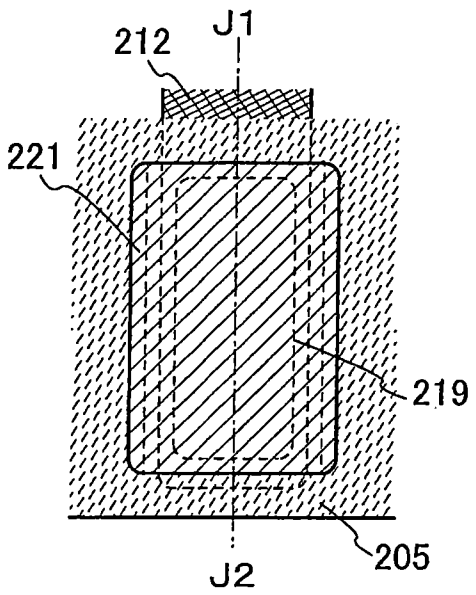


圖 8A2

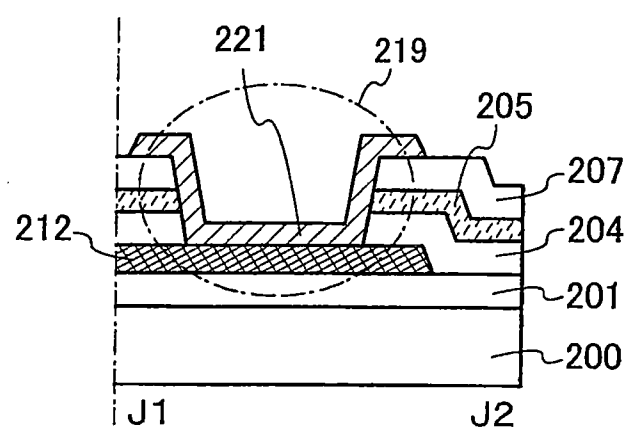


圖 8B1

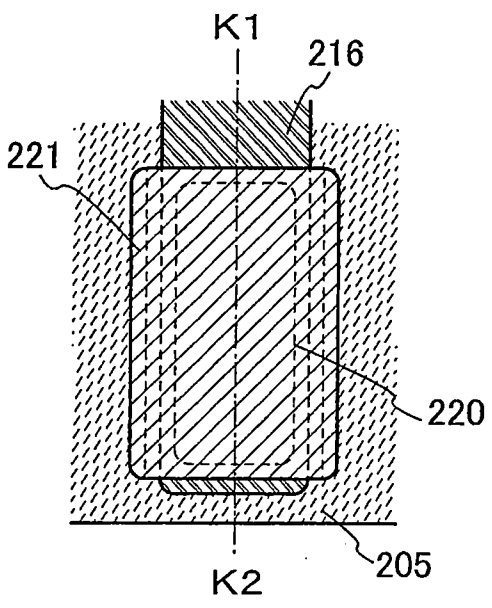


圖 8B2

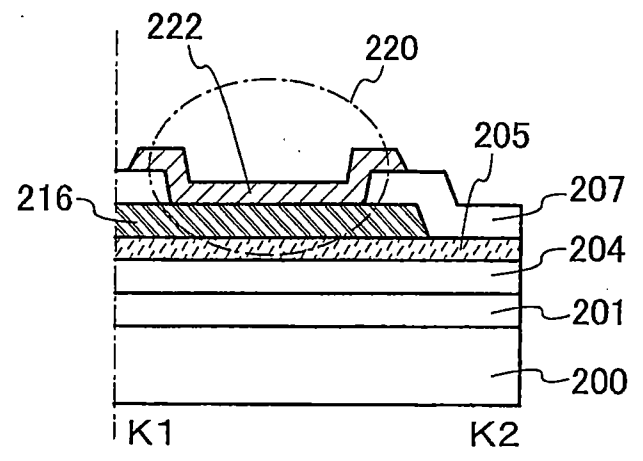


圖 9A

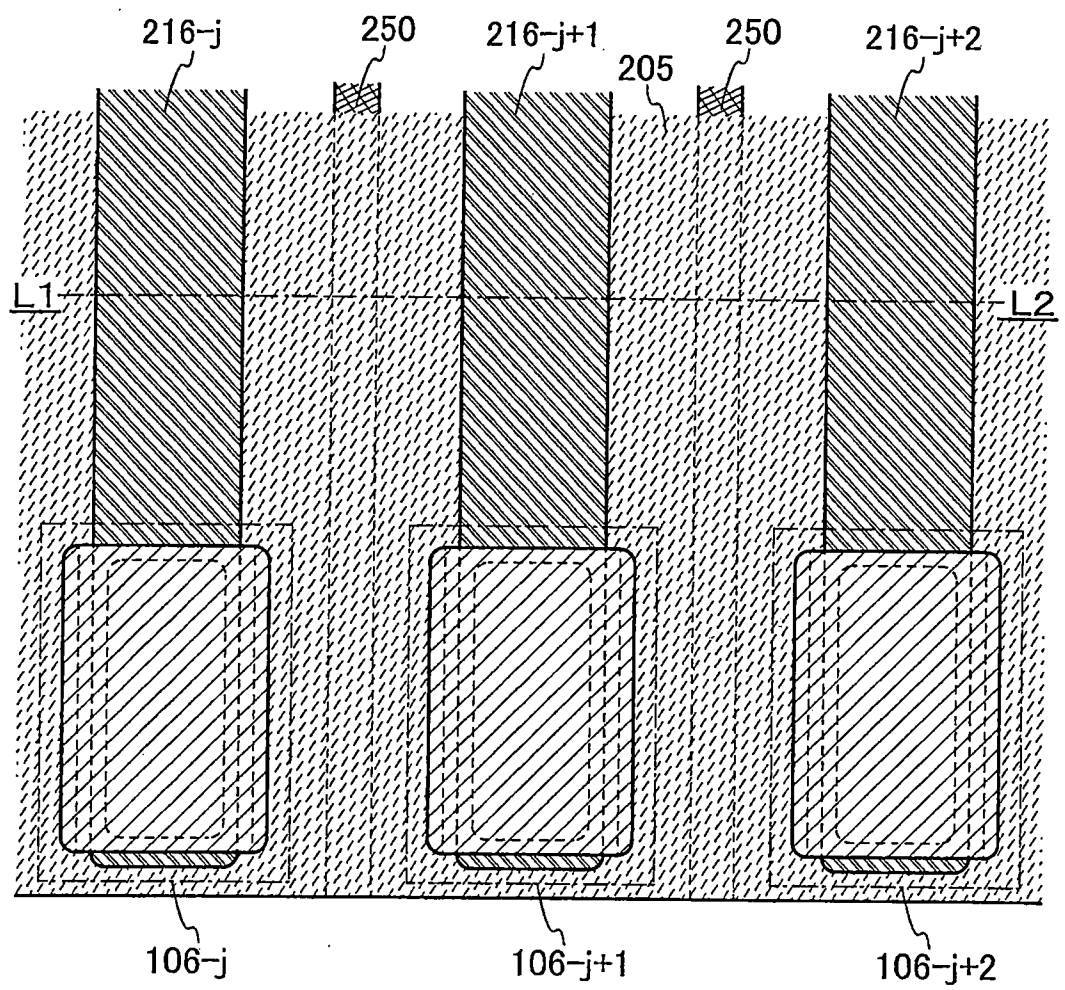


圖 9B

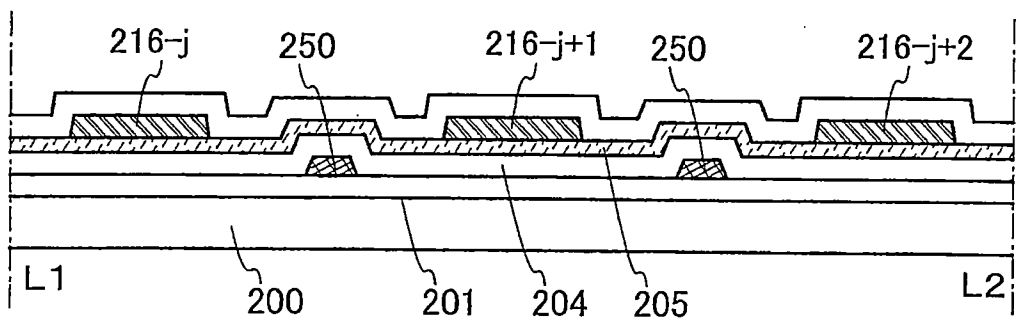


圖 10A

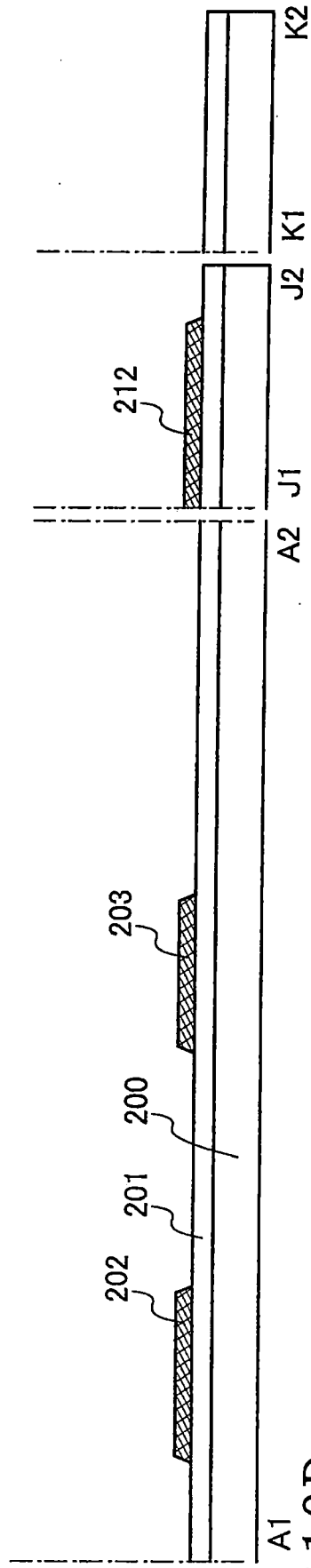


圖 10B

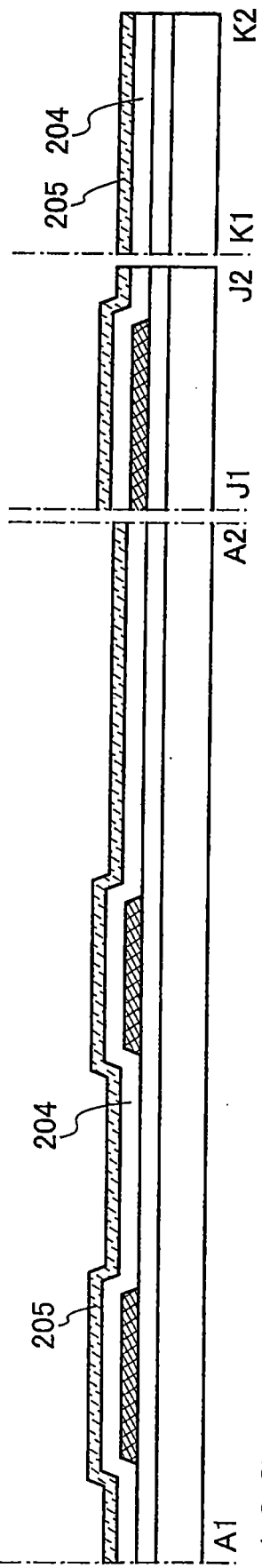


圖 10C

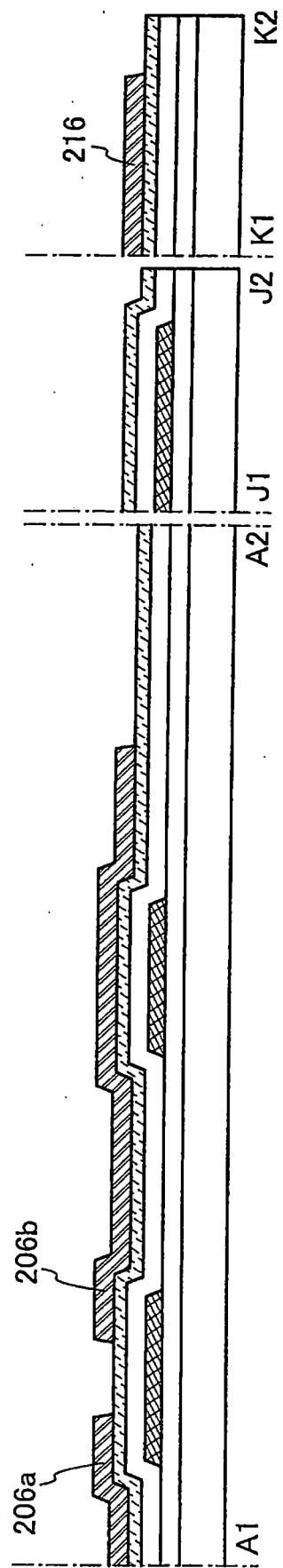


圖 11A

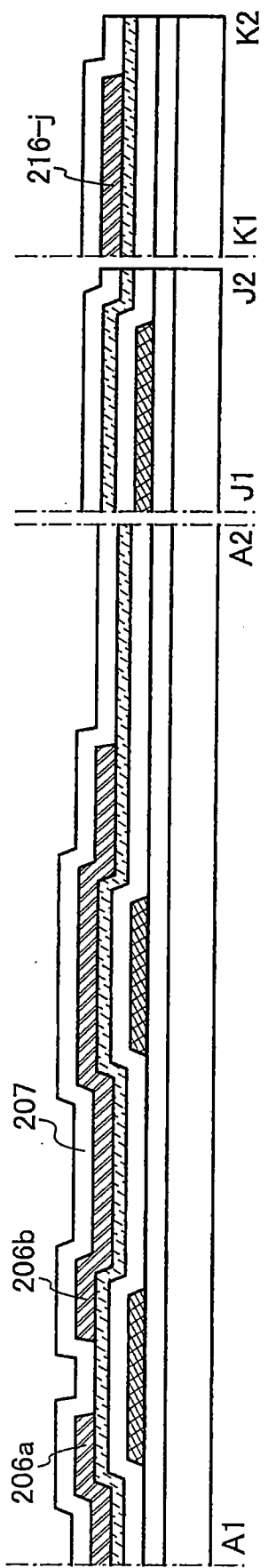


圖 11B

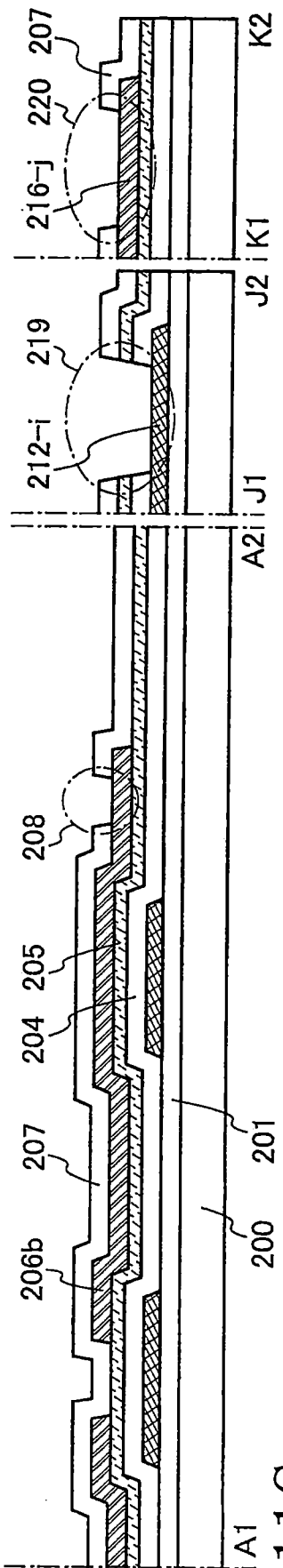


圖 11C

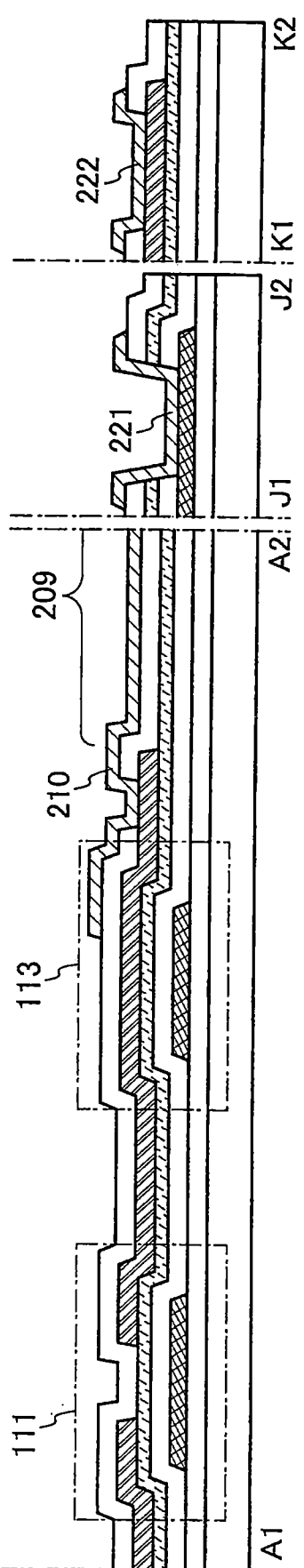


圖 12A

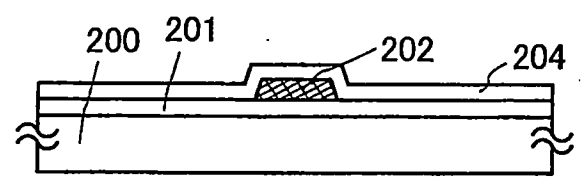


圖 12B

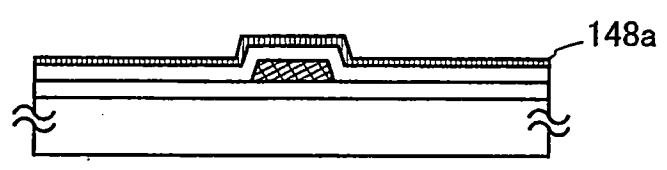


圖 12C

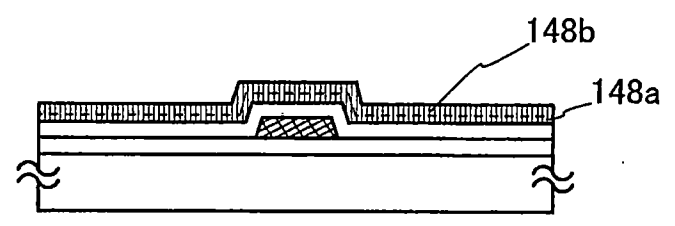


圖 13A

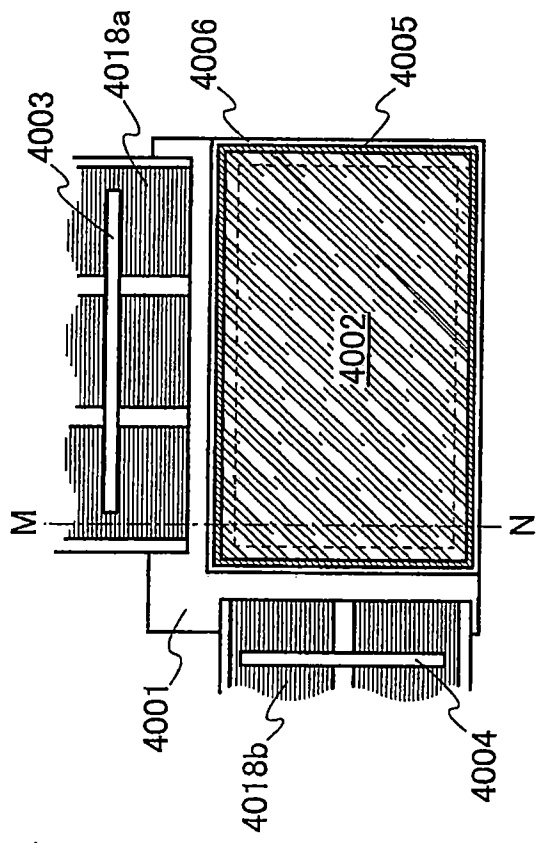


圖 13B

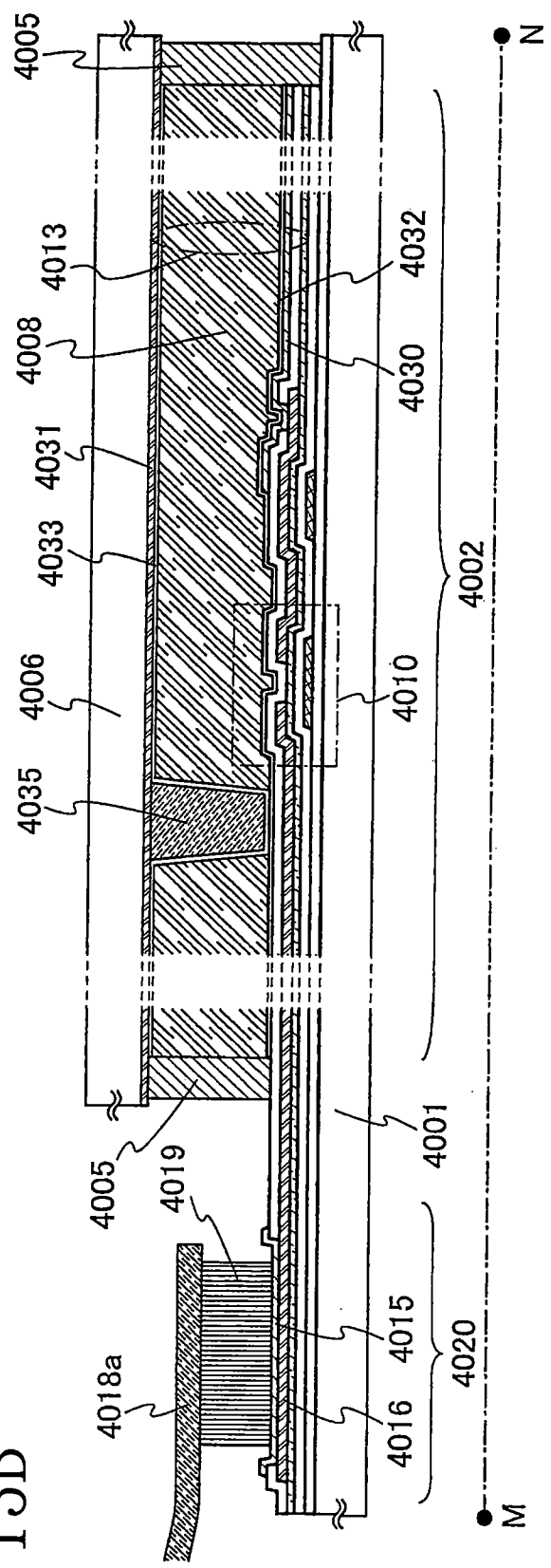


圖 14A

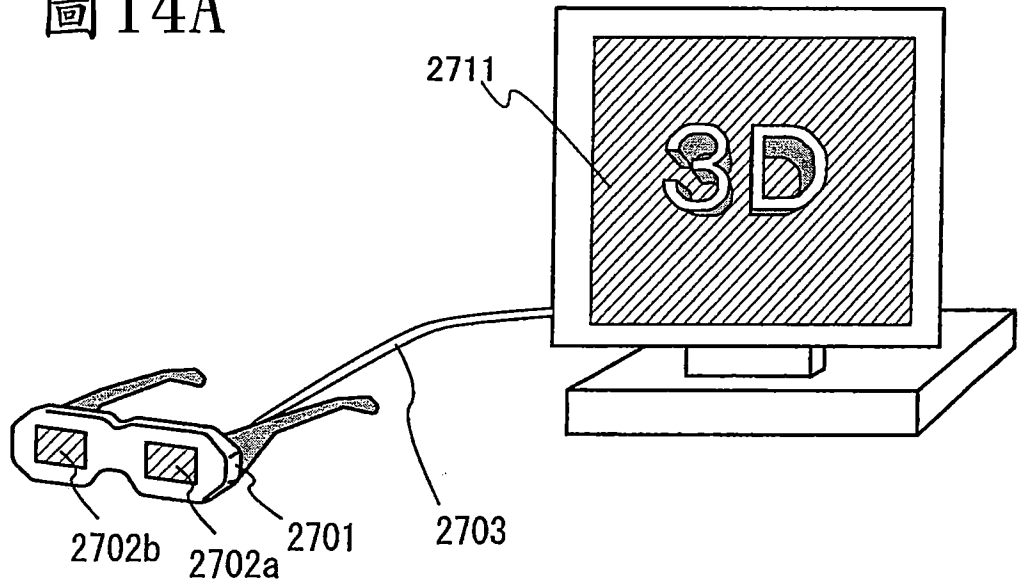


圖 14B

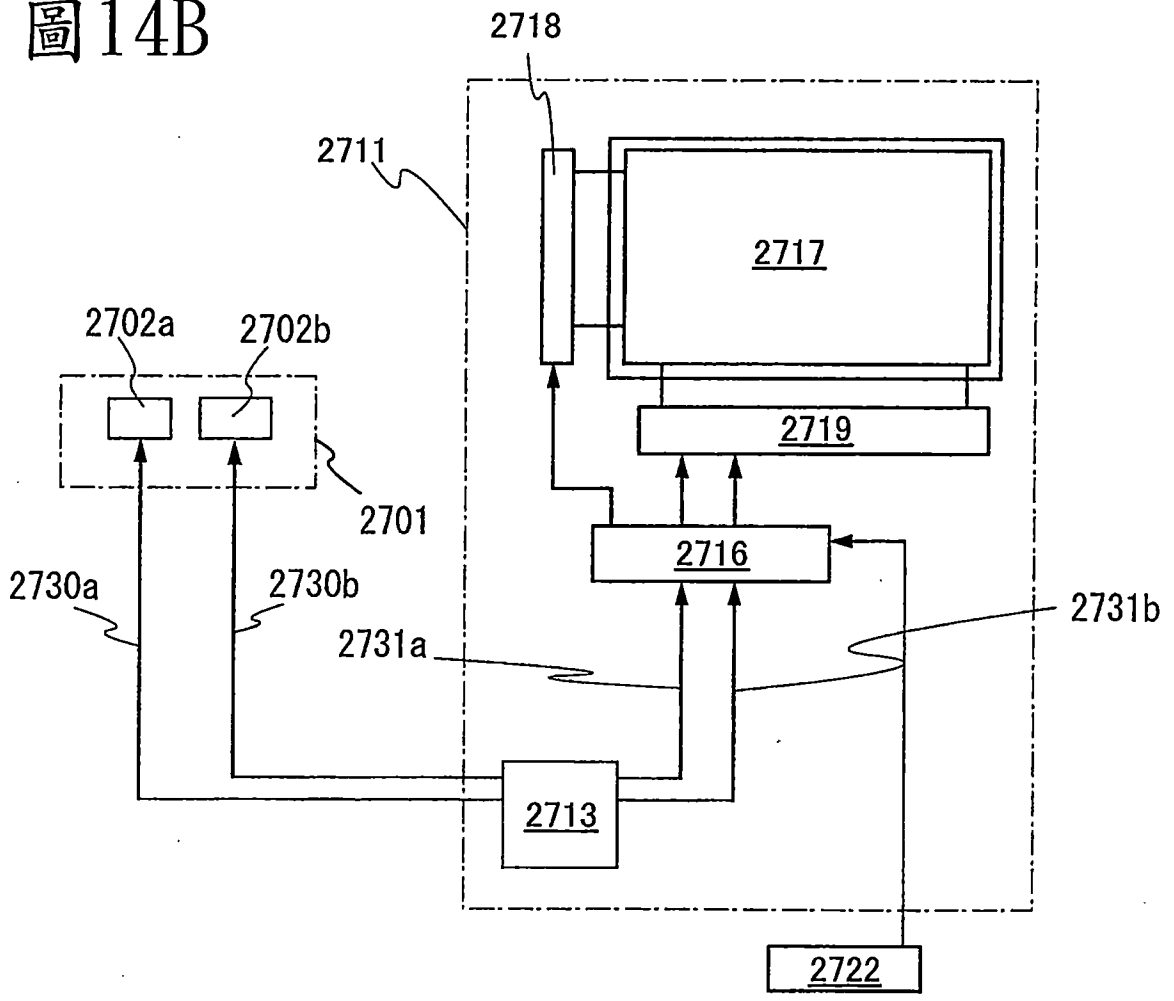


圖 15A

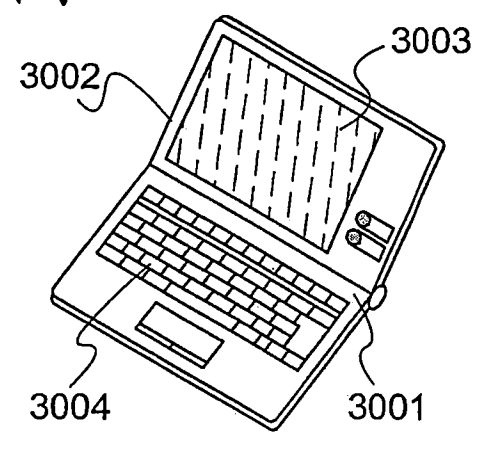


圖 15B

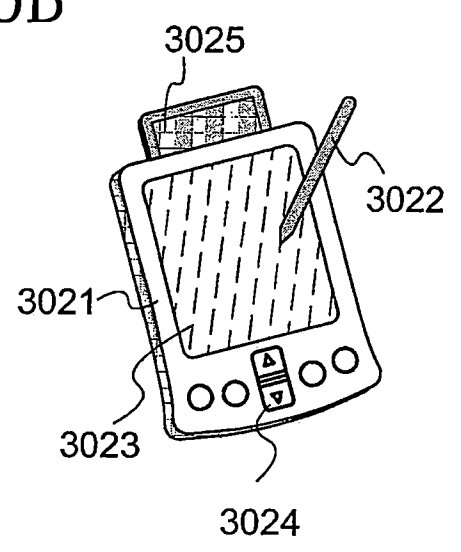


圖 15C

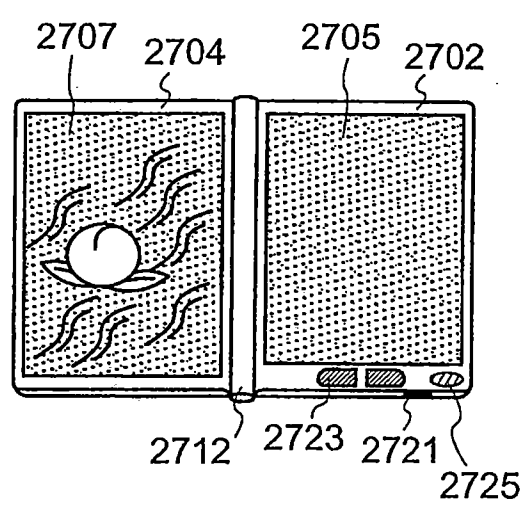


圖 15D

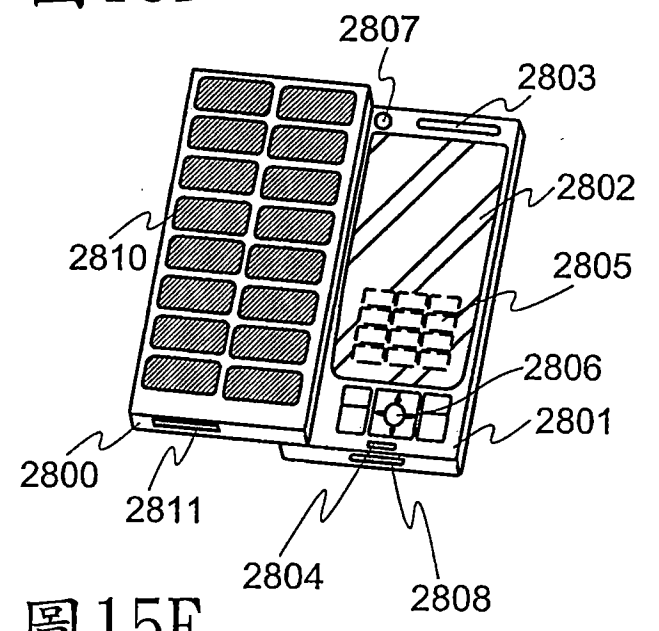


圖 15E

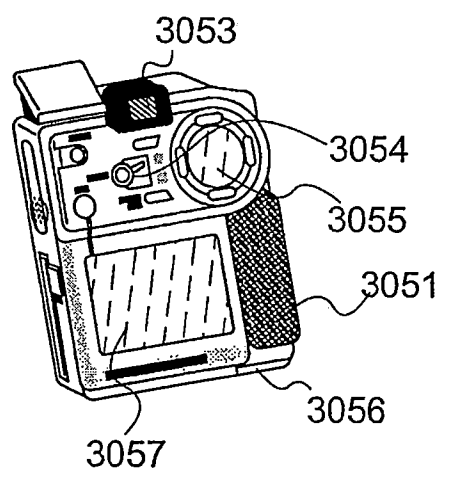


圖 15F

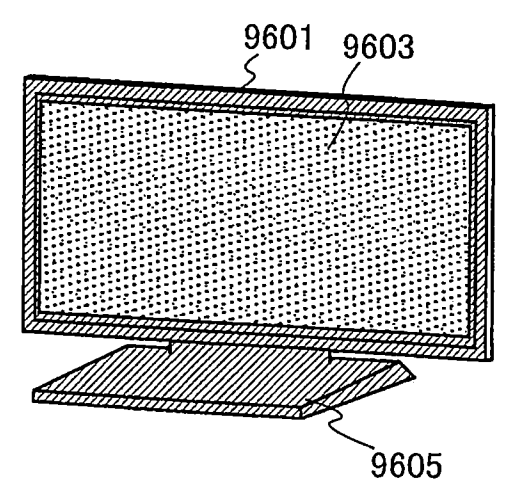


圖 16A

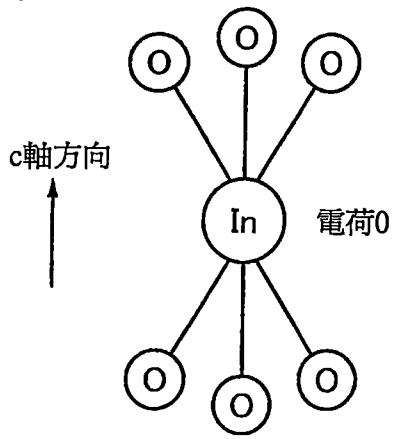


圖 16D

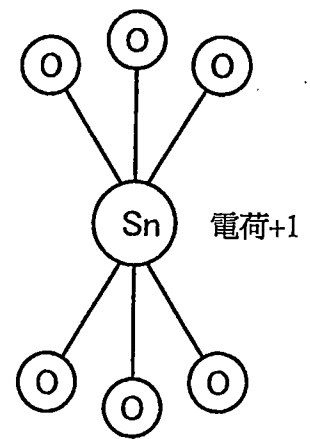


圖 16B

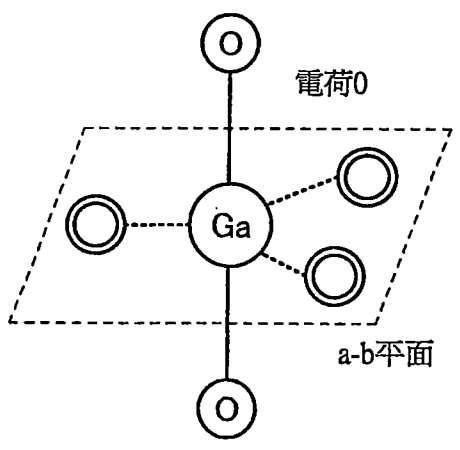


圖 16E

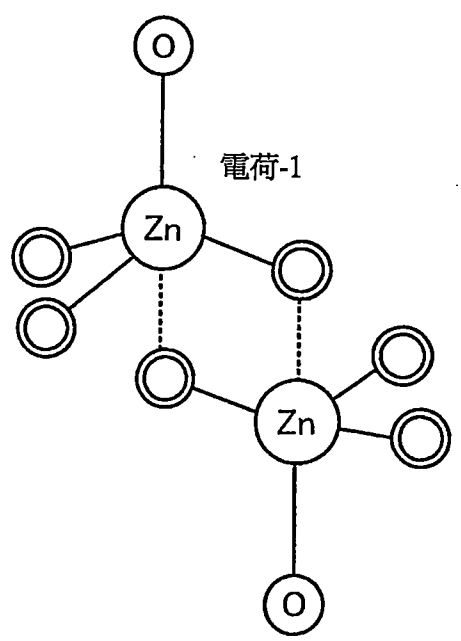


圖 16C

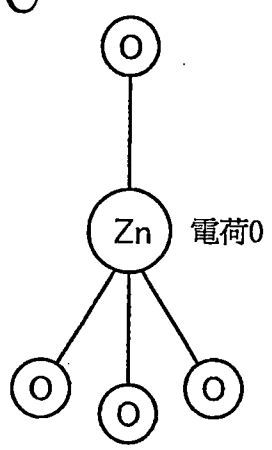


圖 17A

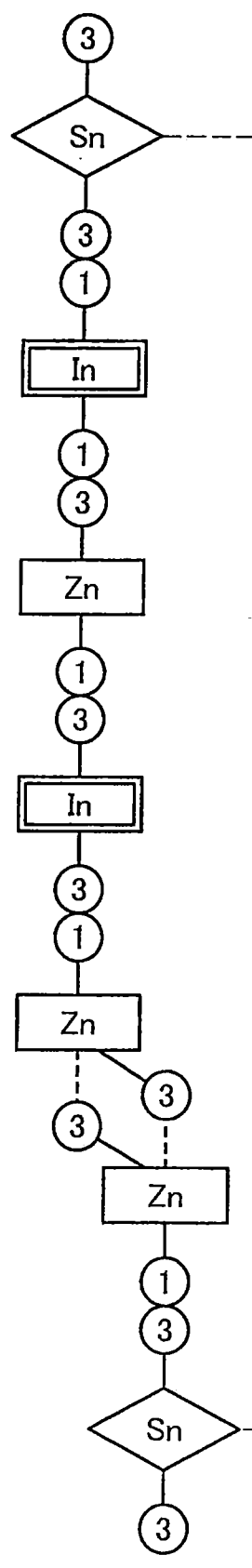


圖 17B

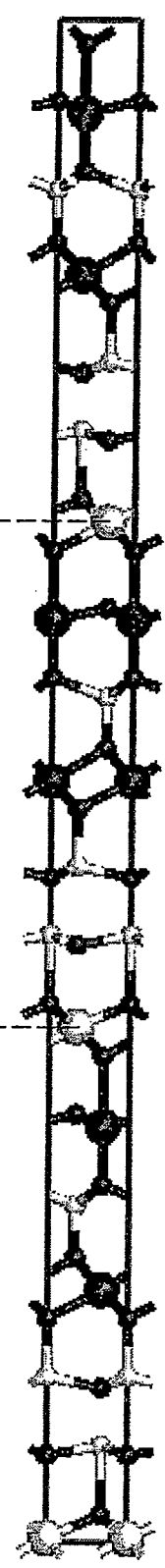
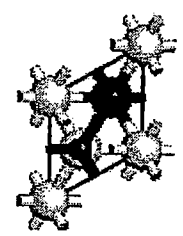


圖 17C







-  In
-  Sn
-  Zn
-  O

圖 18B

圖 18A

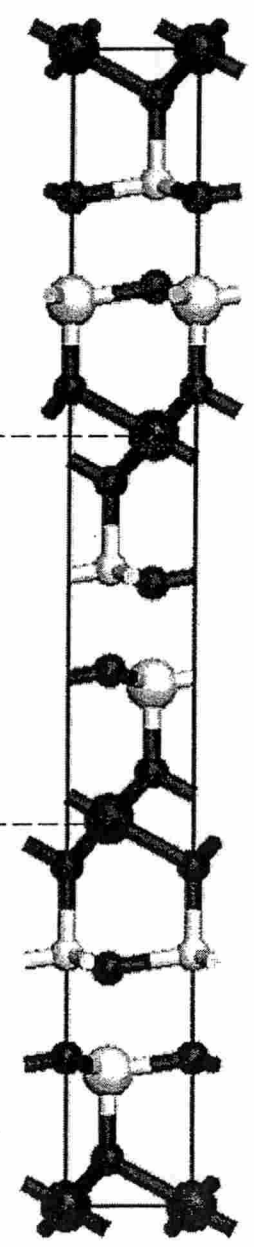
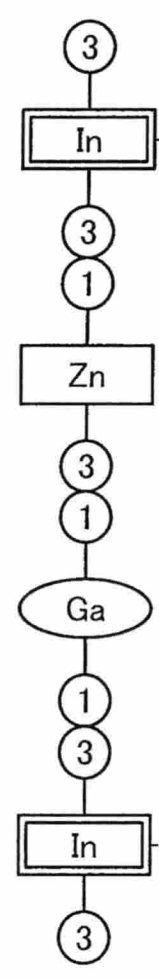
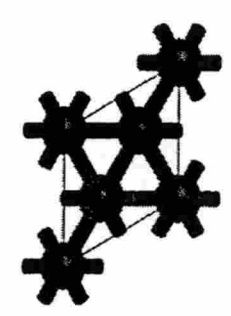


圖 18C







-  In
-  Ga
-  Zn
-  0

圖 19A

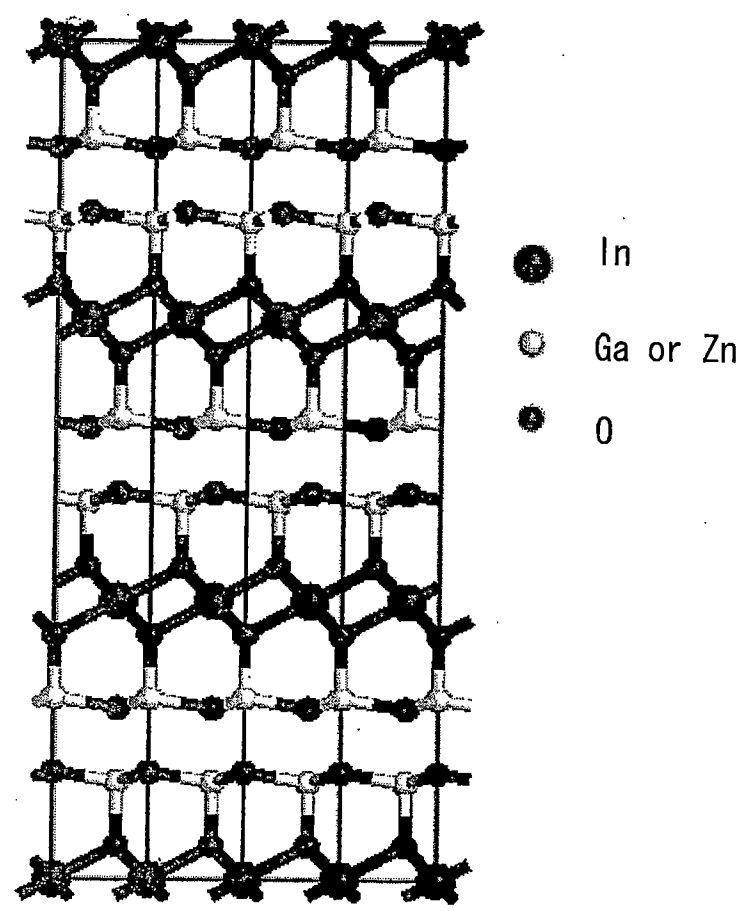


圖 19B

