



(12) 发明专利申请

(10) 申请公布号 CN 114966354 A

(43) 申请公布日 2022. 08. 30

(21) 申请号 202210136939.5

(22) 申请日 2022.02.15

(30) 优先权数据

102021000003536 2021.02.16 IT

17/665,247 2022.02.04 US

(71) 申请人 意法半导体股份有限公司

地址 意大利阿格拉布里安扎

(72) 发明人 M·卡萨尔萨

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理师 王茂华

(51) Int. Cl.

G01R 31/26 (2014.01)

G01R 31/28 (2006.01)

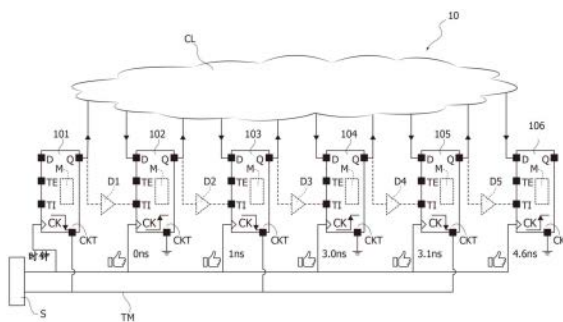
权利要求书2页 说明书9页 附图4页

(54) 发明名称

扫描链电路及其对应实现方法

(57) 摘要

本公开的实施例涉及扫描链电路及其对应实现方法。本发明涉及一种扫描链电路,包括级联触发器,其具有功能输入节点和测试输入节点,所述测试输入节点被配置为在时钟边沿时间选择性地耦合到逻辑电路。提供时钟线,该时钟线被配置为将一个或多个时钟信号分配给链中的触发器,其中链中的触发器具有在相应的时钟边沿时间施加到其的激活时钟边沿。触发器链包括触发器集合,配置为接收边沿反相信号并且响应于边沿反相信号被断言而选择性地反相其激活时钟边沿。



1. 一种电路,包括:

扫描链,包括在链中串联的多个触发器,所述多个触发器中的每个触发器具有相应的功能输入节点和相应的测试输入节点,所述多个触发器中的每个触发器被配置成选择性地

将相应的所述功能输入节点或相应的所述测试输入节点耦合到逻辑电路装置,并且所述多个触发器中的每个触发器在时钟边沿时间处由时钟边沿触发;以及

时钟电路装置,被配置为向所述多个触发器输出至少一个时钟信号,其中激活时钟边沿在相应的时钟边沿时间处被施加到所述多个触发器,

其中,所述多个触发器包括触发器集合,所述触发器集合被配置为:

接收边沿反相信号;以及

响应于所述边沿反相信号被断言,选择性地反相所述激活时钟边沿。

2. 根据权利要求1所述的电路,其中所述触发器集合包括在所述链中彼此不相邻的触发器。

3. 根据权利要求1所述的电路,其中所述触发器集合包括所述链中的所述多个触发器中的每隔一个的触发器,其中所述触发器集合中的每个触发器在所述链中具有一个或两个相邻的触发器,以及其中所述一个或两个相邻触发器中的触发器被配置为维持所述激活时钟边沿不反相,而不管所述边沿反相信号是否被断言。

4. 根据权利要求1所述的电路,其中所述触发器集合中的触发器包括逻辑电路装置,所述逻辑电路装置被配置为接收所述边沿反相信号,并且响应于所述边沿反相信号被断言,反相所述激活时钟边沿的采样边沿。

5. 根据权利要求4所述的电路,其中所述逻辑电路装置包括异或逻辑。

6. 根据权利要求1所述的电路,其中所述触发器集合被配置为在所述逻辑电路装置的高压和/或温度测试期间接收所述边沿反相信号。

7. 根据权利要求1所述的电路,其中响应于向所述触发器集合提供所述边沿反相信号,所述至少一个时钟信号的频率被降低。

8. 一种方法,包括:

在时钟边沿时间处,将逻辑电路装置耦合到多个触发器中的触发器的相应功能输入节点或相应测试输入节点,所述多个触发器在扫描链中被级联;

向所述多个触发器输出至少一个时钟信号,其中在相应的时钟边沿时间处,激活时钟边沿被施加到所述多个触发器;以及

向所述多个触发器中的触发器集合提供边沿反相信号,以选择性地反相施加到所述触发器集合的所述激活时钟边沿。

9. 根据权利要求8所述的方法,包括:

在所述逻辑电路装置的高压和/或温度测试期间,向所述触发器集合提供所述边沿反相信号。

10. 根据权利要求8所述的方法,包括:

响应于向所述触发器集合提供所述边沿反相信号,降低所述至少一个时钟信号的频率。

11. 根据权利要求8所述的方法,其中所述触发器集合是所述链中的所述多个触发器中的非相邻触发器。

12. 根据权利要求8所述的方法,其中所述触发器集合包括在所述链中的所述多个触发器中的每隔一个的触发器,并且其中所述触发器集合中的每个触发器在所述链中具有一个或两个相邻的触发器,所述一个或两个相邻的触发器被配置为维持所述激活时钟边沿不反相。

13. 根据权利要求8所述的方法,其中所述逻辑电路装置包括异或逻辑。

14. 一种系统,包括:

逻辑电路装置;

扫描链,包括在链中级联的多个触发器,所述多个触发器中的每个触发器具有相应的功能输入节点和相应的测试输入节点,所述功能输入节点和所述测试输入节点被配置为在时钟边沿时间处被选择性地耦合到所述逻辑电路装置;以及

时钟电路装置,被配置为向所述多个触发器输出至少一个时钟信号,其中在相应的时钟边沿时间处,激活时钟边沿被施加到所述多个触发器,

其中,所述多个触发器包括触发器集合,所述触发器集合被配置为:

接收边沿反相信号;以及

响应于所述边沿反相信号被断言,选择性地反相所述激活时钟边沿。

15. 根据权利要求14所述的系统,其中所述触发器集合包括在所述链中彼此不相邻的触发器。

16. 根据权利要求14所述的系统,其中所述触发器集合包括在所述链中的所述多个触发器中的每隔一个的触发器,其中所述触发器集合中的每个触发器在所述链中具有一个或两个相邻的触发器,以及其中所述一个或两个相邻触发器中的触发器被配置为维持所述激活时钟边沿不反相,而不管所述边沿反相信号是否被断言。

17. 根据权利要求14所述的系统,其中所述触发器集合中的触发器包括逻辑电路装置,所述逻辑电路装置被配置为接收所述边沿反相信号,并且响应于所述边沿反相信号被断言,反相所述激活时钟边沿的采样边沿。

18. 根据权利要求17所述的系统,其中所述逻辑电路装置包括异或逻辑。

19. 根据权利要求14所述的系统,其中所述触发器集合被配置为在所述逻辑电路装置的高压和/或温度测试期间接收所述边沿反相信号。

20. 根据权利要求14所述的系统,其中响应于所述边沿反相信号被提供至所述触发器集合,所述至少一个时钟信号的频率被降低。

## 扫描链电路及其对应实现方法

### 技术领域

[0001] 本说明涉及用于半导体器件的筛查技术。

[0002] 一个或多个实施例可以有利地(但不限于)施加到旨在用于汽车行业的半导体器件;在这一领域中,汽车系统制造商希望部件供应商以0ppm装运部件,即每百万台设备中零故障的设备。

### 背景技术

[0003] 老化和高压动态电压应力(简称HVST)通常用于筛查半导体器件的“婴儿”死亡率。

[0004] 一种常用的方法是基于扫描架构,该架构有助于对设备的各种内部节点施加应力。

[0005] 扫描链可能面临与高压操作相关的问题,因为此类架构可能对“保持”定时违规敏感。

[0006] 这些违规可能不容易标识或纠正。这会导致潜在的高面积惩罚:这些违规行为实际上可能对应于由规范规定的功能范围之外的应力条件。如果出现这种情况,则无法表征相应的库,这会影响精确分析。

### 发明内容

[0007] 根据一个或多个实施例,提供了一种电路。

[0008] 扫描链架构可以是这种电路的示例。

[0009] 一个或多个实施例可以涉及对应的方法。

[0010] 其中连续触发器(FF)的采样边沿可以根据逻辑值来设置的扫描方法可以是这种方法的示例。

[0011] 一个或多个实施例可以包括施加到FF的时钟反相逻辑。

[0012] 一个或多个实施例可以包括具有配置为保持或反相采样边沿的引脚的触发器。

[0013] 通过简单地在触发器中添加(外部)时钟反相逻辑,这有助于实现无需定制触发器的解决方案。

[0014] 例如,一个或多个实施例可以涉及在每个触发器上添加引脚(例如,“CKT”),每个触发器被配置为根据在该引脚处存在的逻辑值来保持或反相连续触发器的采样边沿。

### 附图说明

[0015] 现在将参考附图仅以示例的方式描述一个或多个实施例,其中:

[0016] 图1是常规扫描链架构的示例性框图;

[0017] 图2是特定信号的可能时间行为的时间图示例,其可能发生在如图1所示的扫描链架构中;

[0018] 图3是根据本描述的实施例的扫描链架构的示例性框图;

[0019] 图4是如图3所示的扫描单元架构的可能细节的示例性电路图;和

[0020] 图5是图4某些细节的示范性晶体管级表示。

### 具体实施方式

[0021] 在接下来的描述中,说明了一个或多个具体细节,旨在提供对本描述的实施例的示例的深入理解。可以在没有个或多个特定细节的情况下,或者使用其他方法、组件、材料等来获得实施例。在其他情况下,未详细说明或描述已知结构、材料或操作,以便不会模糊实施例的某些方面。

[0022] 在本描述的框架中,对“实施例”或“一个实施例”的引用旨在指示关于该实施例描述的特定配置、结构或特征包含在至少一个实施例中。因此,在本说明书的一个或多个要点中可能出现的诸如“在一个实施例中”或“在一个实施例中”之类的短语不一定指同一个实施例。

[0023] 此外,特定构象、结构或特征可在一个或多个实施例中以任何适当方式组合。

[0024] 如前所述,虽然表示了为筛查半导体器件的“婴儿”死亡率而经常采用的一种方法,但高电源电压下的应力测试受到以下事实的影响:被测试的器件本身并不是为在这种极端条件下工作而设计的。

[0025] 因此,在被测设备超出其功能规格的情况下,高压(HVST)下的老化和动态电压应力(DVS)变得至关重要。

[0026] 事实上,这种方法所依据的基本原理是,当施加高于规范的应力电压时,施加的电压增加会导致持续时间缩短(并降低测试成本)。然而,在这种“超出范围”的条件下操作电路可能会在设计复杂性(例如,可能无法获得定时角)和区域开销方面产生不希望的影响。

[0027] 如图1中被指示为10的扫描链所示,通常用于检测电子电路(组合)逻辑CL中的可能故障/缺陷(为简单起见,不可见)。

[0028] 自动测试模式生成(ATPG)有助于生成刺激测试模式,其方式是(实际上)使用技术,例如(在用于促进实现所需ppm性能的各种技术中的)高压下的老化和动态电压应力(简而言之,HVST)刺激和验证逻辑CL中存在的所有节点的制造缺陷/故障。

[0029] 自动测试模式生成(ATPG)有助于生成刺激测试模式,其方式是(实际上)使用技术(例如,在用于促进实现所需ppm性能的各种技术中)刺激和验证逻辑CL中存在的所有节点的制造缺陷/故障,高压下的老化和动态电压应力(简而言之,HVST)。

[0030] 如本领域技术人员通常理解的,如图1所示的扫描架构10的基本目的是检测逻辑CL中的故障,包括组合和顺序(触发器)二者,以及时钟树中的故障。触发器被隐式地覆盖(它们可以被隐式地检测,除非扫描链不能移位),并且由于生成的模式,组合逻辑被测试。

[0031] 如图1所示的扫描链10包括一组级联扫描触发器101、102、103、104、105和106,该组级联扫描触发器由经由线路时钟施加到触发器的CK节点的时钟信号进行时钟。

[0032] 这种时钟信号可以经由控制电路S以本领域技术人员已知的方式生成。

[0033] 虽然为了便于解释,这里例示了六个触发器,但链10实际上可以包括不同的数字,实际上是任何多个触发器。

[0034] 此外,为了简单和易于理解,将始终考虑属于同一时钟域(即共享单个时钟信号)的触发器;事实上,本文中的讨论可以施加到利用不同的时钟信号操作/在不同的时钟域中操作的扫描链。

[0035] 在当前实现方式中,如本文所示的扫描触发器在其内部的输入处具有多路复用器M。

[0036] 施加到触发器的测试使能节点TE的测试使能信号(以本领域技术人员已知的方式生成,例如经由控制电路S生成—为简化表示,相关连接不可见)确定D(功能)输入或TI(测试)输入是否在激活时钟边沿到达CK时达到触发器的输出Q。

[0037] 在全扫描排列中,逻辑CL中的所有触发器都替换为扫描触发器。

[0038] 它们以扫描链的形式连接在一起,当设计处于移位测试模式(即,测试使能信号TE被断言)时,扫描链充当移位寄存器。扫描链的第一触发器连接到扫描输入,并且扫描链中的最后一个触发器连接到扫描输出。

[0039] 扫描链操作可以被视为涉及三个阶段,即扫描输入(这是scan\_in移位模式阶段,其中链中的FF通过扫描输入引脚串行加载)、捕获(设计保持在功能计时模式,并且测试模式响应被捕获)和扫描输出(这是scan-out移位模式阶段,其中链中的FF通过扫描输出引脚卸载;扫描输入阶段可以同时进行)。

[0040] 注意到,在所谓的“部分扫描”布置中,一些触发器可能未被配置为充当扫描触发器。全扫描布置有助于改善针对增加的复杂度的测试结果。

[0041] 如前面所讨论的扫描链的结构和操作在其他方面是本领域的常规。在这方面,可以参考S.Sharma:“Scan Chains:PnR Outlook”(参见design-reuse.com),这只是一个示例。这使得无需在此提供更详细的描述。

[0042] 如图1所示,与扫描链10的操作有关的问题可以在于,例如,由于触发器101至106在链中的不同物理位置,因此来自控制电路S的时钟信号中的激活时钟边沿可能以不同的延迟到达各个触发器101、102、103、104、105的时钟节点CK。例如,参见图1中所示的针对触发器102至106的-纯示例性-值0ns、1ns、3.0ns、3.1ns和4.6ns。在这种-纯粹示例性的-表示中,假定触发器101具有0ns的延迟。

[0043] 类似地,出于同样的原因,在测试模式期间,可以以不同的延迟D1、D2、D3、D4、D5接收TI(测试)输入处的信号(例如,参见图1中分别针对触发器102、103、104、105和106的TI输入指示的-纯示例性-值0.5ns、1.3ns、2.1ns、0.2ns和1.2ns)。

[0044] 如图2所示,当在 $t_{\text{setup}}$ 间隔和 $t_{\text{hold}}$ 间隔期间输入的这些信号在到达CK的激活时钟边沿之前和之后没有电平变化时,有助于扫描链的正确操作。

[0045] 图2表示(仅作为示例,参考 $t_{\text{hold}}$ 等于0.2ns的可能值)这种信号相对于到达CK的激活时钟边沿的时间行为的三种可能时间行为。

[0046] 在这三种可能的时间行为(统称为数据)中:

[0047] 第一个行为标记为OK,对应于在 $t_{\text{setup}}$ 和 $t_{\text{hold}}$ 间隔期间没有电平转换的期望时间行为;

[0048] 第二个行为标记为设置违规,对应于时钟信号的 $t_{\text{setup}}$ 间隔期间的电平转换;和

[0049] 第三个行为标记为保持违例,对应于时钟信号 $t_{\text{hold}}$ 间隔期间的电平转换。

[0050] 一般而言(举例来说,指图1级联布置中的一对相邻触发器10j和10j+1),扫描链的正确操作可通过以下方式实现:

[0051]  $Ckdel10_j - Ckdel10_{j+1} + Dj > t_{\text{hold}}$

[0052] 其中:

[0053] Ckdel10j和Ckdel10j+1分别指示触发器10j和10j+1处的时钟延迟,以及

[0054] Dj是与图1中的块Dj(j=1,⋯,5)相关联的时间延迟。

[0055] 图1中报告的-纯示例性-数值是保持违规可能影响触发器104和105的情况的示例,这会影响扫描链10的正确移位操作。

[0056] 使用图1中报告的-纯示例性-数值,即Ckdel104=3.0ns、Ckdel105=3.1ns并且D4=0.2ns,并且假设(仅作为示例)  $t_{hold}=0.2ns$ ,无法满足所期望的关系,其中不期望的保持违规将导致不满意的操作(图1中的拇指朝下)。

[0057] 需要注意的是,如上所述的信号的相关定时取决于电路布局和制造技术,并且不能随着图案生成而改变。

[0058] 纠正上述讨论的(保持)时间问题的可能解决方案可以涉及在触发器的Q节点和TI节点之间添加更多缓冲器,诸如D1、⋯、D5,除此之外再加上在设计规则检查(DRC)中为防止违规而添加的节点,即增加延迟Dj,以满足前述规则。

[0059] 这种解决方案的缺点可能与它本质上不稳健有关。

[0060] 此外,可以涉及进行保持分析,以便在预测老化/动态电压应力条件下使用的电压和温度转角(简称VT转角)中提供足够的功能性。

[0061] 在大多数情况下,这些VT转角条件的库表征模型不可用,因为它们超出了功能规范。

[0062] 此外,如果在数据和时钟路径上使用不同的阈值单元类型,即标准Vt(SVT)、低Vt(LVT)和超低Vt(ULVT),则相应的降额因子可能不同,这不希望地涉及特定分析。

[0063] 缓解“保持”违规的另一种可能的解决方案将涉及为某些连续单元元件(如触发器)提供单独的输出。例如,功能Q节点可以仅连接到功能逻辑CL,并且扫描输出节点可以仅连接到下一测试输入TI节点。这种扫描输出驱动器可以设计为低强度,以使信号传播延迟(例如3ns)。

[0064] 这将创建一个基础设施,该基础设施在可能由高压操作引入的保持时间故障方面更为稳健。

[0065] 然而,该解决方案本质上并不稳健,并且当VT转角信息不可用时,无法对其进行验证,由此产生的风险是潜在的关键问题可能仅在半导体级(“硅上”)出现。

[0066] 在一个或多个实施例中,可以通过改变扫描链中相邻的后续(连续)触发器的采样边沿来抵消诸如10的扫描链中的连续触发器之间可能的保持违规。

[0067] 图3例示了此类实施例的扫描链10。

[0068] 除非上下文另有说明,否则已结合图1讨论的零件或元件等零件或元件均用类似的附图标表示,因此为了简洁起见,不会重复相应的描述。

[0069] 在图3中,用于诸如老化和高压下的动态电压应力(简而言之,HVST)的技术的扫描链10再次包括一组级联触发器101、102、103、104、105和106,其由时钟信号经由线路时钟施加到触发器的CK节点。

[0070] 同样,虽然为了便于解释,举例说明了六个触发器,但链10实际上可以包含不同数目,实际上是任何数目的触发器。

[0071] 在如图3所示的一个或多个实施例中,为了改变扫描链中相邻后续(连续)触发器的采样边沿,在链10中的每个触发器101至106上添加节点(引脚)CKT,节点CKT配置为:

- [0072] 当处于“0”逻辑值(用户模式)时,保持原始时钟边沿,以及
- [0073] 在“1”值(测试模式)时反相101、103和105等触发器的边沿。
- [0074] 后一种布置在图3中举例说明,图中显示了触发器101、103和105在CK处具有下降沿,而触发器102、104和106在CK处保持上升沿。
- [0075] 如图3所示,边沿反相以交替顺序发生,例如从链中的第一个触发器101开始。
- [0076] 值得注意的是:
- [0077] 在某些(否则罕见)情况下,扫描链10中的触发器可以已经具有混合的上升/下降沿;以及
- [0078] 在某些情况下,扫描链10中的触发器可以是“本机”类型的下降沿,以便在激活时边沿反相可以从下降变为上升。
- [0079] 为了简单起见,即时示例性表示涉及触发器101至106:
- [0080] (全部)上升沿类型——通常比下降沿类型更常见——因此可以假设边沿反相是从上升到下降(参见触发器101、103和105),以及
- [0081] 属于同一时钟域(即,共享单个时钟信号),而一个或多个实施例可涉及不同的时钟信号/域。
- [0082] 应当理解,实施例不限于这种示例性表示和/或任何类型的触发器,只要它们依赖于原始边沿的可能反相(无论上升或下降)。
- [0083] 如图3所示,触发器101至106可视为成对布置,即:
- [0084] 101,102;
- [0085] 102,103;
- [0086] 103,104;
- [0087] 104,105;和
- [0088] 105,106
- [0089] 其中每对包括一个“上游”触发器和一个“下游”触发器,其中该对中的一个触发器(例如,该对中的上游触发器,这里是链中奇数编号的触发器101、103、105)经历边沿反相(例如,上升到下降),而该对中的另一个触发器(例如,该对中的下游触发器,这里是链中偶数编号的触发器102、104、106)不进行边沿反相,并且保留(例如)CK处的上升边沿。
- [0090] 因此,在边沿反相中,链中的相邻触发器(这里是101和102、102和103、103和104、104和105、105和106)将具有相互对立(反相)的采样边沿。
- [0091] 在如图3所示的一个或多个实施例中,扫描链中的触发器101至106的CKT引脚耦合到线TM,该线TM应用测试模式信号(例如,在控制电路S中生成),以便在高压制造测试期间使能(仅使能)。需要注意的是,这样的信号可以是静态的以及动态的二者(也就是说,在捕捉或不捕捉时,在移位时总是处于活动状态)。
- [0092] 需要注意的是,线路TM通常不同于触发器的测试使能(TE)输入,当执行移位时,在捕获模式下,该输入变高。
- [0093] 这有助于在执行老化HVST时将线路TM正常设置为稳定激活模式,在移位期间激活触发器的测试使能(TE)输入(高),在捕获期间停用(低)。
- [0094] 另外,需要注意的是,在某些条件下,在老化过程中,线TM在捕获中也可以保持为低。



[0095] 图3的表示显示了耦合到线TM的奇数触发器101、103、105 (边沿反相) 的输入CKT和耦合到接地的偶数触发器102、104、106 (无边沿反相) 的输入CKT。

[0096] 应当理解,该表示仅仅是为了便于描述,只要(如下文所讨论的)所有触发器101到106都可以耦合到线TM,并且被配置为基于逻辑信号处理提供或不提供边沿反相。

[0097] 如图3所示,并非链10中的所有触发器都连接到线TM,以便于交替时钟边沿(例如,下降、上升、下降、上升、下降、上升)。如示例所示,只需将链中的每隔一个触发器(例如,每两个触发器中的一个触发器或通过触发器之间交替)连接到TM或GND,即可实现该结果。

[0098] 否则,将理解,在存在例如“本机”下降沿类型的触发器(例如103)的情况下,该触发器处的节点CKT可以被视为连接到GND,只要相邻触发器之间的边沿反相规则(在所考虑的示例性情况下,关于触发器102和104)在没有连接到CKT的情况下已经得到遵守。

[0099] 因此,一个或多个实施例依赖于这样的认识,即如前面所讨论的那样,具有反相的边沿提供半时钟周期裕度。

[0100] 在图1所示的常规解决方案中,到触发器101到106的时钟信号都是“对齐的”(参见图1中CK处的上升沿),这导致了如前文中介绍的这种关系

[0101]  $Ckdel10_j - Ckdel10_{j+1} + D_j > t_{hold}$ 。

[0102] 作为对比,由于如前面结合图3所述,边沿反相,因此适用一个新规则,即:

[0103]  $Ckdel10_j + D_j < Ckhalfperiod + Ckdel10_{j+1} + t_{setup}$

[0104] 其中,再次地:

[0105]  $Ckdel10_j$ 和 $Ckdel10_{j+1}$ 分别指示一对相邻触发器10j和10j+1的时钟延迟,

[0106]  $D_j$ 是相关的时间延迟( $j=1, \dots, 5$ ),并且

[0107]  $Ckhalfperiod$ 表示时钟信号时钟的半个周期。

[0108] 这种关系表明,如上所述的反相边沿提供了半个时钟周期的裕度,通过可能将 $t_{hold}$ 问题(最多)转化为对正常操作不利程度较小的设置问题,有助于避免保持违规(例如,参见图2中的第三个图)。

[0109] 事实上,为了适应 $D_j$ 和/或针对 $Ckdel10_j$ 和 $Ckdel10_{j+1}$ 的两个值以(进一步)促进正确的移位操作,可以增加 $Ckhalfperiod$ (时钟频率降低)。

[0110] 如前所述,这种边沿反相可以集成在诸如101到106的触发器中(如图3所示,其中触发器的输入CKT交替地耦合到线TM和接地),或者作为外部功能添加。

[0111] 图4是用于通用触发器10j( $j=0, 1, \dots, 6$ )的触发器单元库的可能实现的示例,如图3所示,在时钟输入上使用EX-OR逻辑20,以较小的区域开销反相时钟边沿。

[0112] 在图4的电路图中,LM和LS表示(常规的)为每个触发器提供Q输出(例如,通过逻辑反相器)的锁存器主电路装置和锁存器从电路装置。

[0113] 类似地,图4中示出了为锁存器主电路装置LM提供从触发器10j的TE、D和TI输入导出的信号的常规布置。

[0114] 在图4的可能实现方式中,EX-OR门20在其输入接收时钟(CK)和TM(CKT)线上的信号,并且提供输出信号CK1,该输出信号CK1(在逻辑反相器30的逻辑反相后)提供时钟信号CK2。信号CK2可以与CK1一起施加到锁存器主电路装置LM和锁存器从电路装置LS二者,以便为每个触发器提供所需的Q输出。

[0115] 图5是EX-OR电路装置20的可能实现方式的晶体管级表示,包括三对电子开关,例

如MOSFET晶体管31、32；41、42；和51、52。

[0116] 如图5所示，第一对中的晶体管31、32：

[0117] 包括互补 (p- 和n- 型) MOSFET晶体管，通过其中的电流路径 (在场效应晶体管 (如MOSFET晶体管) 的情况下为源漏极) 经由电阻器 $R_{SS}$  (称为V+) 在电源节点V+与接地之间的电流流线中相互级联，晶体管31与32之间具有中间节点A；以及

[0118] 其控制节点 (场效应晶体管如MOSFET晶体管的情况下的栅极) 联合耦合到输入节点CKT，以根据节点CKT处的信号交替接通 (导通) 和关断 (不导通)。

[0119] 如图5所示，第二对中的晶体管41、42：

[0120] 包括互补 (p- 和n-) MOSFET晶体管，通过其中的电流路径 (在场效应晶体管 (例如MOSFET晶体管) 的情况下为源漏极) 在输入节点CKT与晶体管31与32之间的节点A之间的电流流线中相互级联，其中晶体管41与42之间 (以及同样在晶体管51和52中间) 的中间节点B提供信号CK1；和

[0121] 其控制节点 (场效应晶体管如MOSFET晶体管的情况下的栅极) 联合耦合到输入节点CK，以根据节点CK和CKT处的信号来接通 (使其导通) 和关断 (使其不导通)：例如，当CKT=1时，CK可以使能 (使其导电) 两个晶体管41、42中的一个晶体管；当CKT=0时，无论CK的逻辑值如何，都不能使能这两个晶体管。

[0122] 如图5所示，第三对中的晶体管51、52：

[0123] 包括互补 (p- 和n-) MOSFET晶体管，通过其中的电流路径被布置为在节点CK与在晶体管41和42之间的节点B之间并联 (场效应晶体管如MOSFET晶体管的情况下为源漏极)；以及

[0124] 其控制节点 (场效应晶体管如MOSFET晶体管的情况下的栅极) 耦合到输入节点CKT (晶体管51) 和在晶体管31与32 (晶体管52) 之间的节点A。

[0125] 图4和图5的示意图是有利地与EXOR结构相关联的减少的面积开销的可能实现方式的示例。否则，本领域技术人员将容易理解，这些实现仅仅是示例性的，而不是对实施例的限制。

[0126] 如本文所例示的一个或多个实施例可有利地提供灵活的解决方案，其有助于：

[0127] 防止可能的保持违规 (主要是通过简单地降低换档频率)；

[0128] 优化面积开销，并且减少对特定触发器时钟设计的时序影响；和

[0129] 通过简单地添加时钟反相逻辑 (可能在触发器架构之外)，提供了一种也适用于没有定制触发器结构的设计的解决方案。

[0130] 在后一方面，优化嵌入EXOR逻辑的触发器结构 (如图4和图5所示，仅通过可能的示例) 或在触发器外部添加EXOR逻辑 (从而避免使用定制触发器) 二者都是可行的选择。

[0131] 此外，本文举例说明的一个或多个实施例可有利地提供在ATPG制造测试期间提供的添加CKT信号的故障覆盖。

[0132] 如本文所例示的一个或多个实施例可有效地解决与以下事实相关的问题，即只要被筛查的电路 (逻辑) 被迫 (很好地) 在其功能规范之上操作，电压应力可能表示挑战。

[0133] 值得注意的是，目前用于在这种极端条件下对设备施加压力的常规扫描方法可能存在与以下事实相关的缺点：扫描体系结构依赖于保持定时以便促进正确的移位操作 (这是关键的)，并且会消耗面积。

[0134] 一个或多个实施例有助于在这些极端条件下通过适当的移位操作(也)克服这种限制,以减少面积开销。

[0135] 简而言之,如本文所例示的电路(例如,10)可以包括:

[0136] 级联触发器的扫描链(例如,101、102、103、104、105、106),链中的触发器具有功能输入节点(D)和测试输入节点(TI),配置为在时钟边沿时间(例如,参见图2中的 $t_{\text{setup}}, t_{\text{hold}}$ )选择性地耦合(例如,通过由施加到测试使能节点TE的测试使能信号驱动的多路复用器M)到逻辑电路装置(例如,CL)(该链中的触发器被配置成选择性地(M,TE)将功能输入节点(D)和测试输入节点(TI)耦合到逻辑电路(CL),所述触发器在时钟边沿时间( $t_{\text{setup}}, t_{\text{hold}}$ )由时钟边沿触发);和

[0137] 时钟电路装置(例如,图中指定为时钟的线路)被配置为将至少一个时钟信号(如所述,一个或多个实施例可以包括不同的时钟)分配给链中的触发器,其中链中的触发器在相应的时钟边沿时间具有施加到该触发器的激活时钟边沿(CK)。

[0138] 在如本文所示的电路中,链中的触发器可以包括触发器集合(例如,101、103、105),这些触发器被配置为接收边沿反相信号(例如,TM),并且响应于所述边沿反相信号被断言而选择性地反相所述激活时钟边沿。

[0139] 在如本文所示的电路中,所述触发器组可以由链中的非相邻触发器组成(例如101、103和105)。

[0140] 在如本文所示的电路中,所述触发器组可以由链中的交替触发器(例如,触发器101、103和105)组成,其中所述组中的每个触发器在链中具有一个或两个相邻的触发器,所述链被配置为维持所述激活时钟边沿,而不管所述边沿反相信号被断言。

[0141] 例如,如本文所示:

[0142] “边沿反相”触发器101具有与其相邻的“边沿维持”触发器102;

[0143] “边沿反相”触发器103具有与其相邻的“边沿维持”触发器102和104;并且

[0144] “边沿反相”触发器105具有与其相邻的“边沿维持”触发器104和106。

[0145] 在如本文所示的电路中,所述组(例如101、103、105)中的触发器包括逻辑电路装置,所述逻辑电路装置被配置为接收所述边沿反相信号并且响应于所述边沿反相信号被断言而反相所述采样边沿。

[0146] 在如本文所示的电路中,所述逻辑电路装置可以包括EX-OR逻辑电路装置。

[0147] 在“正常”触发器中,这种EX-OR电路装置可以用反相器代替。

[0148] 如本文所示的方法可以包括:

[0149] 在时钟边沿时间(参见,例如,图2中的 $t_{\text{setup}}, t_{\text{hold}}$ )将从级联触发器扫描链的触发器(例如,101、102、103、104、105、106)中的功能输入节点(例如,D)和测试输入节点(例如,TI)中选择(例如,通过多路复用器M,由施加到测试使能节点TE的测试使能信号驱动)的输入节点耦合到逻辑电路装置(例如,CL);和

[0150] 将至少一个时钟信号(如所述,一个或多个实施例可以包括不同的时钟)分配给链中的触发器,其中链中的触发器具有在各自的时钟边沿时间处施加到该触发器的激活时钟边沿。

[0151] 如本文所例示的方法可包括将边沿反相信号(例如,TM)施加到链中的触发器集合(例如,101、103、105),以选择性地反相施加于其上的所述激活时钟边沿。

[0152] 有利的是,在所述逻辑电路装置(例如CL)的高压和/或温度测试期间(例如,在高压下的老化和动态电压应力期间-HVST),所述边沿反相信号可以施加到链中的所述触发器组。

[0153] 如本文所例示的方法可包括降低分布到链中的触发器的所述至少一个时钟信号(例如,时钟)的频率,所述边沿反相信号施加到链中的所述触发器组。

[0154] 如前所述,当边沿反相信号施加到这些触发器时,降低时钟信号的频率(即增加ckhalfperiod)有助于调节 $D_j$ 和/或以下关系中 $Ckdel10_j$ 和 $Ckdel10_{j+1}$ 的两个值:

[0155]  $Ckdel10_j + D_j < Ckhalfperiod + Ckdel10_{j+1} + t_{setup}$

[0156] 如前所述,这将导致正确的移位操作。

[0157] 本文例示的方法可以包括将所述边沿反相信号施加到链中非相邻触发器的集合(101、103、105)(例如101、102、103、104、105、106中的101、103和105)。

[0158] 如本文所示的方法可以包括将所述边沿反相信号施加到链中的一组交替触发器,其中所述组(101、103、105)中的每个触发器在链中具有一个或两个相邻的触发器,其被配置为维持所述激活时钟边沿(如图3中耦合到地所示)。

[0159] 也就是说,如本文所示:

[0160] “边沿反相”触发器101具有与其相邻的“边沿维持”触发器102;

[0161] “边沿反相”触发器103具有与其相邻的“边沿维持”触发器102和104;和

[0162] “边沿反相”触发器105具有与其相邻的“边沿维持”触发器104和106。

[0163] 在不损害基本原则的情况下,细节和实施例可以仅在不脱离保护范围的情况下,根据通过示例描述的内容而变化。

[0164] 可以组合上述各种实施例以提供进一步的实施例。可以根据上述详细描述对实施例进行这些和其他改变。一般而言,在以下权利要求中,所使用的术语不应被解释为将权利要求局限于说明书和权利要求中公开的特定实施例,而应被解释为包括所有可能的实施例以及这些权利要求所享有的全部等同物范围。因此,权利要求不受本公开的限制。

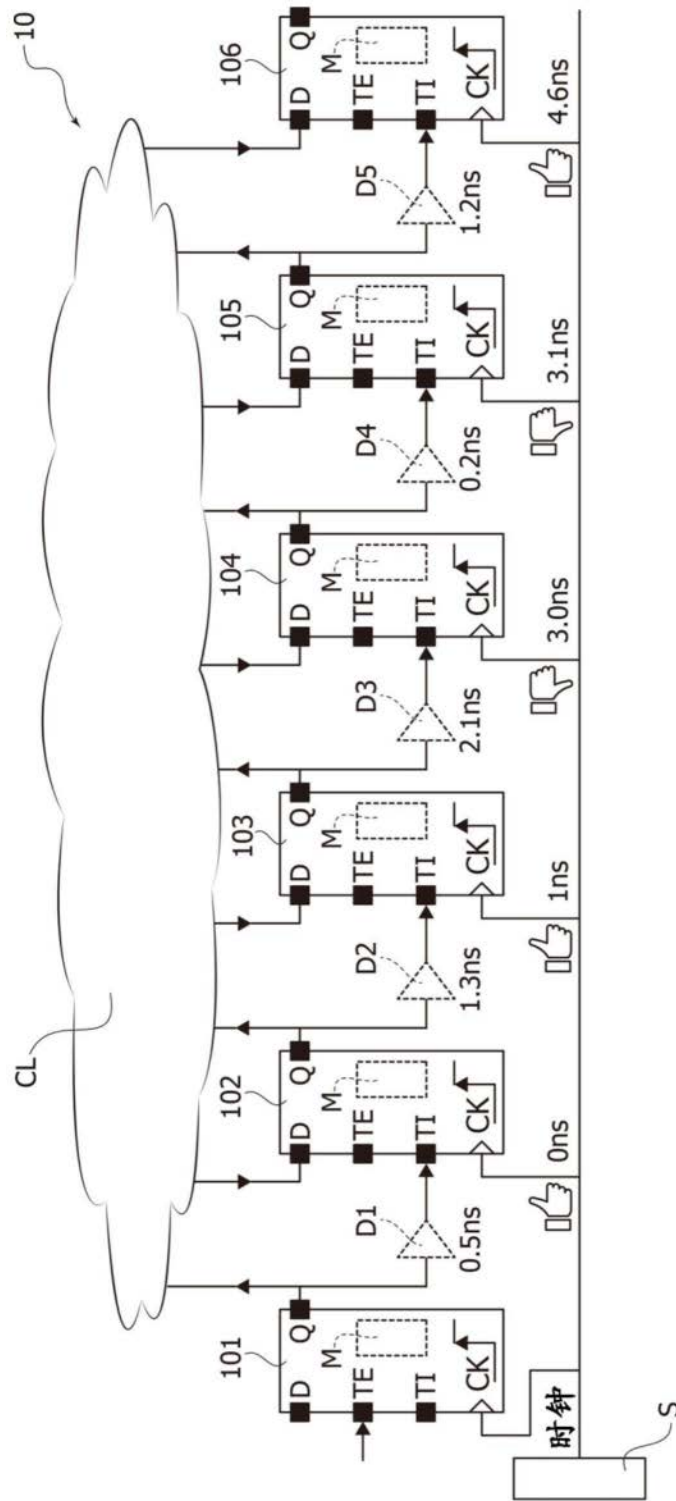


图1

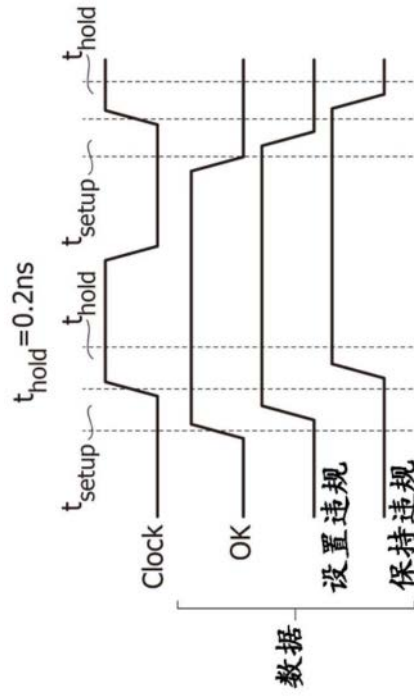


图2

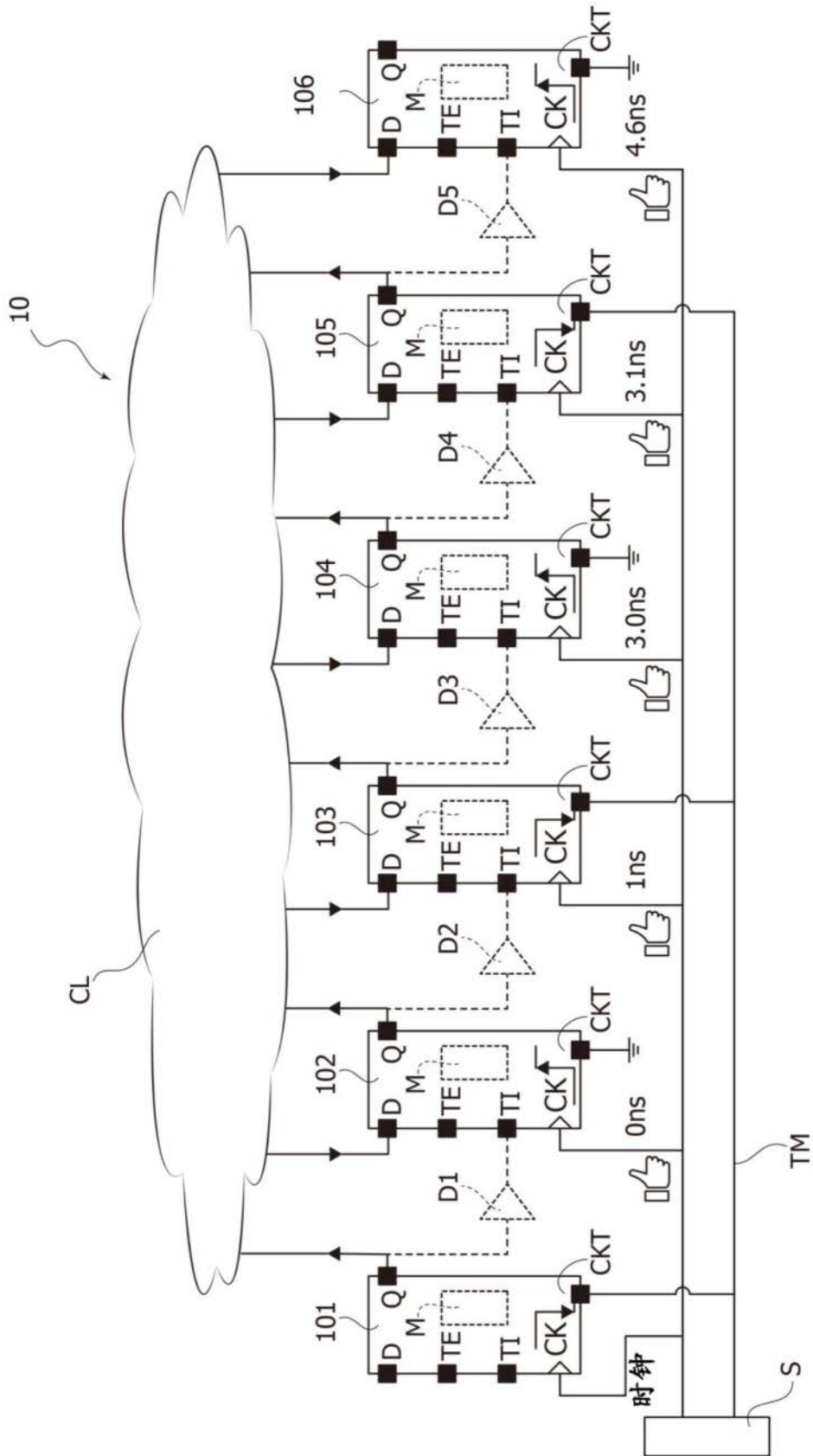


图3

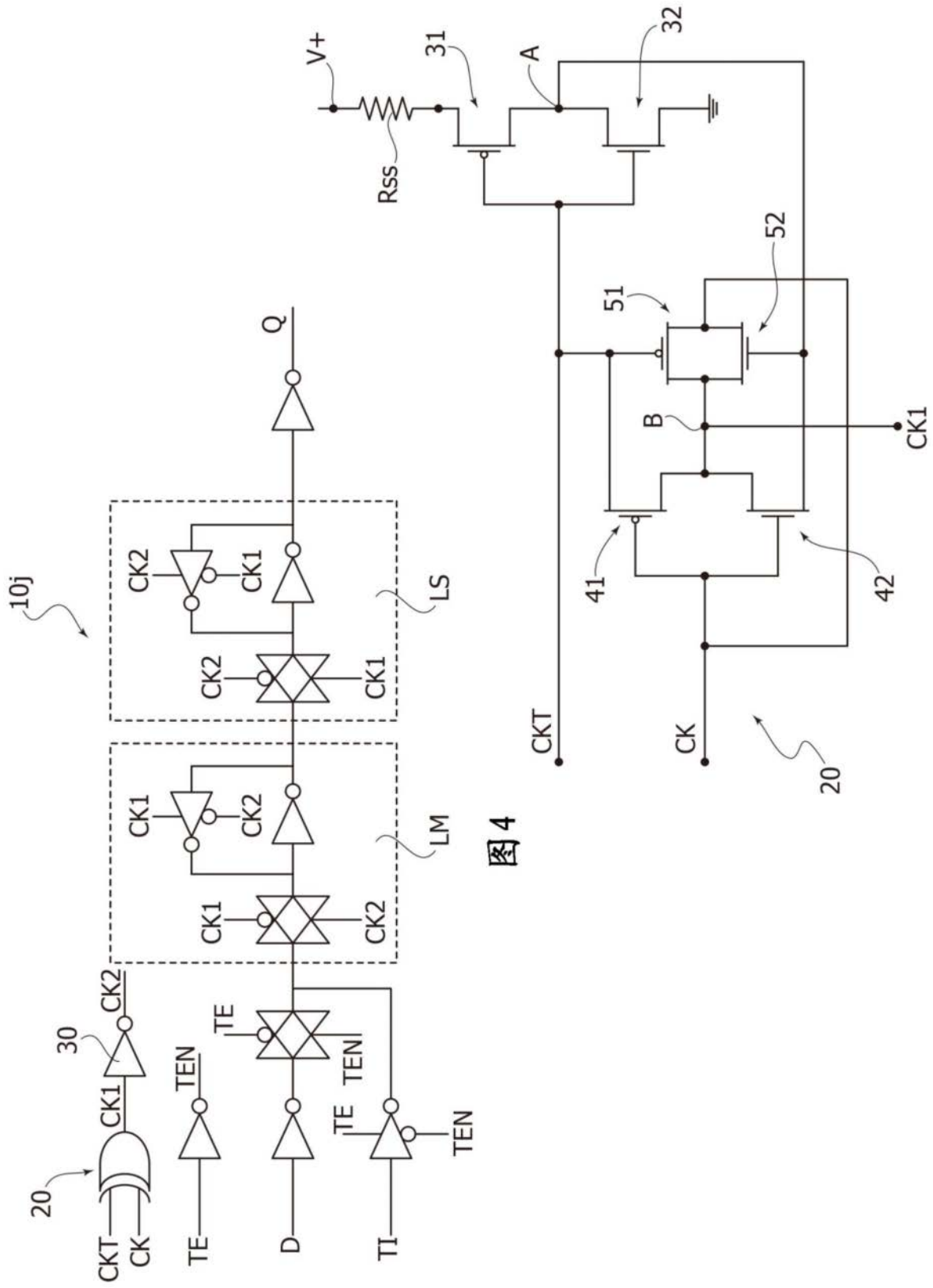


图4

图5