



(12) 发明专利申请

(10) 申请公布号 CN 105280238 A

(43) 申请公布日 2016. 01. 27

(21) 申请号 201410580094. 4

(22) 申请日 2014. 10. 23

(30) 优先权数据

103120894 2014. 06. 17 TW

(71) 申请人 慧荣科技股份有限公司

地址 中国台湾新竹县

(72) 发明人 刘振宇

(74) 专利代理机构 深圳新创友知识产权代理有

限公司 44223

代理人 江耀纯

(51) Int. Cl.

G11C 29/42(2006. 01)

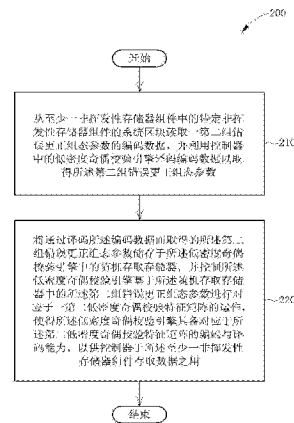
权利要求书5页 说明书10页 附图6页

(54) 发明名称

用来控制一记忆装置的方法以及记忆装置与控制器

(57) 摘要

本发明公开了一种用来控制一记忆装置的方法及其相关的记忆装置与控制器,包括:从一系统区块读取一第二组错误更正组态参数的编码数据,并利用一低密度奇偶校验引擎译码所述编码数据以取得所述第二组错误更正组态参数,而所述低密度奇偶校验引擎储存一第一组错误更正组态参数,且于译码所述编码数据时,所述低密度奇偶校验引擎基于所述第一组错误更正组态参数进行对应于一第一低密度奇偶校验特征矩阵的译码;以及控制所述低密度奇偶校验引擎基于所述第二组错误更正组态参数进行对应于一第二低密度奇偶校验特征矩阵的运作。本发明的方法、记忆装置、与控制器可于不同的产品共享相同的控制器芯片,故可省下设计多个版本的控制器芯片所需的成本。



1. 一种用来控制一记忆装置的方法,所述记忆装置包括至少一非挥发性存储器组件,每一非挥发性存储器组件包括多个区块,所述方法是应用于所述记忆装置中的一控制器,所述控制器是用来控制所述至少一非挥发性存储器组件,所述方法的特征在于包括下列步骤:

从所述至少一非挥发性存储器组件中的一特定非挥发性存储器组件的一系统区块读取一第二组错误更正组态参数的编码数据,并利用所述控制器中的一低密度奇偶校验引擎译码所述编码数据以取得所述第二组错误更正组态参数,其中所述低密度奇偶校验引擎储存一第一组错误更正组态参数,以及于译码所述编码数据时,所述低密度奇偶校验引擎基于所述第一组错误更正组态参数进行对应于一第一低密度奇偶校验特征矩阵的译码;以及

将通过译码所述编码数据而取得的所述第二组错误更正组态参数储存于所述低密度奇偶校验引擎中的一随机存取存储器,并控制所述低密度奇偶校验引擎基于所述随机存取存储器中的所述第二组错误更正组态参数进行对应于一第二低密度奇偶校验特征矩阵的运作,使得所述低密度奇偶校验引擎具备对应于所述第二低密度奇偶校验特征矩阵的编码与译码能力,以供所述控制器于所述至少一非挥发性存储器组件存取数据之用;

其中所述第一低密度奇偶校验特征矩阵包括多个子矩阵而所述第一低密度奇偶校验特征矩阵的所述多个子矩阵中的每一子矩阵是选自一预定集合的一方块矩阵;

所述第二低密度奇偶校验特征矩阵包括多个子矩阵,而所述第二低密度奇偶校验特征矩阵的所述多个子矩阵中的每一子矩阵是选自所述预定集合的一方块矩阵;

所述第二低密度奇偶校验特征矩阵的所述多个子矩阵中的任一子矩阵的大小等于所述第一低密度奇偶校验特征矩阵的所述多个子矩阵中的任一子矩阵的大小;以及

所述预定集合包括一零矩阵、一单位矩阵、以及所述单位矩阵的至少一循环位移矩阵,其中所述至少一循环位移矩阵中的任一循环位移矩阵是取自循环地位移所述单位矩阵中的全部的行向量或循环地位移所述单位矩阵中的全部的列向量。

2. 如权利要求 1 所述的方法,其特征在于所述第二低密度奇偶校验特征矩阵当中沿着行方向的子矩阵的数量小于所述第一低密度奇偶校验特征矩阵当中沿着行方向的子矩阵的数量;以及于所述第二低密度奇偶校验特征矩阵当中沿着列方向的子矩阵的数量小于所述第一低密度奇偶校验特征矩阵当中沿着列方向的子矩阵的数量。

3. 如权利要求 2 所述的方法,其特征在于所述第二低密度奇偶校验特征矩阵当中沿着行方向的子矩阵的数量等于所述第一低密度奇偶校验特征矩阵当中沿着行方向的子矩阵的数量减一;以及于所述第二低密度奇偶校验特征矩阵当中沿着列方向的子矩阵的数量等于所述第一低密度奇偶校验特征矩阵当中沿着列方向的子矩阵的数量减一。

4. 如权利要求 1 所述的方法,其特征在于在所述低密度奇偶校验引擎基于所述第一组错误更正组态参数进行运作的状况下,所述低密度奇偶校验引擎的错误更正能力对应于所述第一低密度奇偶校验特征矩阵;以及在所述低密度奇偶校验引擎基于所述第二组错误更正组态参数进行运作的状况下,所述低密度奇偶校验引擎的错误更正能力对应于所述第二低密度奇偶校验特征矩阵。

5. 如权利要求 1 所述的方法,其特征在于所述编码数据是通过对所述第二组错误更正组态参数进行基于所述第一组错误更正组态参数的编码而预先产生;以及所述编码数据是预先写入所述系统区块。

6. 如权利要求 1 所述的方法,其特征在于还包括:

当所述记忆装置开机时,从所述系统区块读取所述编码数据并利用所述低密度奇偶校验引擎译码所述编码数据以取得所述第二组错误更正组态参数,以容许所述低密度奇偶校验引擎基于所述随机存取存储器中的所述第二组错误更正组态参数进行对应于所述第二低密度奇偶校验特征矩阵的运作。

7. 如权利要求 6 所述的方法,其特征在于当所述记忆装置关机时,所述随机存取存储器中的所述第二组错误更正组态参数消失,造成所述低密度奇偶校验引擎暂时地丧失对应于所述第二低密度奇偶校验特征矩阵的编码与译码能力,直到所述记忆装置再度开机。

8. 如权利要求 1 所述的方法,其特征在于所述第一组错误更正组态参数包括所述第一低密度奇偶校验特征矩阵的总行数与总列数;以及所述第二组错误更正组态参数包括所述第二低密度奇偶校验特征矩阵的总行数与总列数。

9. 如权利要求 1 所述的方法,其特征在于在所述低密度奇偶校验引擎的迭代编码与译码是基于所述第一低密度奇偶校验特征矩阵与所述第二低密度奇偶校验特征矩阵中的任一者的列方向的情况下,所述第一组错误更正组态参数包括所述第一低密度奇偶校验特征矩阵中的每一列子矩阵的非零子矩阵的数量,并且所述第二组错误更正组态参数包括所述第二低密度奇偶校验特征矩阵中的每一列子矩阵的非零子矩阵的数量。

10. 如权利要求 1 所述的方法,其特征在于在所述低密度奇偶校验引擎的迭代编码与译码是基于所述第一低密度奇偶校验特征矩阵与所述第二低密度奇偶校验特征矩阵中的任一者的行方向的情况下,所述第一组错误更正组态参数包括所述第一低密度奇偶校验特征矩阵中的每一行子矩阵的非零子矩阵的数量,并且所述第二组错误更正组态参数包括所述第二低密度奇偶校验特征矩阵中的每一行子矩阵的非零子矩阵的数量。

11. 一种记忆装置,其特征在于包括:

至少一非挥发性存储器组件,每一非挥发性存储器组件包括多个区块;

以及

一控制器,用来控制所述至少一非挥发性存储器组件,所述控制器包括一处理单元,以依据内嵌于所述处理单元或接收自所述处理单元之外的一程序代码来管理所述记忆装置,其中所述控制器从所述至少一非挥发性存储器组件中的一特定非挥发性存储器组件的一系统区块读取一第二组错误更正组态参数的编码数据,并利用所述控制器中的一低密度奇偶校验引擎译码所述编码数据以取得所述第二组错误更正组态参数,其中所述低密度奇偶校验引擎储存一第一组错误更正组态参数,以及于译码所述编码数据时,所述低密度奇偶校验引擎基于所述第一组错误更正组态参数进行对应于一第一低密度奇偶校验特征矩阵的译码,其中所述控制器将通过译码所述编码数据而取得的所述第二组错误更正组态参数储存于所述低密度奇偶校验引擎中的一随机存取存储器,并控制所述低密度奇偶校验引擎基于所述随机存取存储器中的所述第二组错误更正组态参数进行对应于一第二低密度奇偶校验特征矩阵的运作,使得所述低密度奇偶校验引擎具备对应于所述第二低密度奇偶校验特征矩阵的编码与译码能力,以供所述控制器于所述至少一非挥发性存储器组件存取数据之用;

其中所述第一低密度奇偶校验特征矩阵包括多个子矩阵,而所述第一低密度奇偶校验特征矩阵的所述多个子矩阵中的每一子矩阵是选自一预定集合的一方块矩阵;

所述第二低密度奇偶校验特征矩阵包括多个子矩阵,而所述第二低密度奇偶校验特征矩阵的所述多个子矩阵中的每一子矩阵是选自所述预定集合的一方块矩阵;

所述第二低密度奇偶校验特征矩阵的所述多个子矩阵中的任一子矩阵的大小等于所述第一低密度奇偶校验特征矩阵的所述多个子矩阵中的任一子矩阵的大小;以及

所述预定集合包括一零矩阵、一单位矩阵、以及所述单位矩阵的至少一循环位移矩阵,其中所述至少一循环位移矩阵中的任一循环位移矩阵是取自循环地位移所述单位矩阵中的全部的行向量或循环地位移所述单位矩阵中的全部的列向量。

12. 如权利要求 11 所述的记忆装置,其特征在于所述第二低密度奇偶校验特征矩阵当中沿着行方向的子矩阵的数量小于所述第一低密度奇偶校验特征矩阵当中沿着行方向的子矩阵的数量;以及于所述第二低密度奇偶校验特征矩阵当中沿着列方向的子矩阵的数量小于所述第一低密度奇偶校验特征矩阵当中沿着列方向的子矩阵的数量。

13. 如权利要求 11 所述的记忆装置,其特征在于所述编码数据是通过对所述第二组错误更正组态参数进行基于所述第一组错误更正组态参数的编码而预先产生;以及所述编码数据是预先写入所述系统区块。

14. 如权利要求 11 所述的记忆装置,其特征在于当所述记忆装置开机时,所述控制器从所述系统区块读取所述编码数据并利用所述低密度奇偶校验引擎译码所述编码数据以取得所述第二组错误更正组态参数,以容许所述低密度奇偶校验引擎基于所述随机存取存储器中的所述第二组错误更正组态参数进行对应于所述第二低密度奇偶校验特征矩阵的运作。

15. 如权利要求 14 所述的记忆装置,其特征在于当所述记忆装置关机时,所述随机存取存储器中的所述第二组错误更正组态参数消失,造成所述低密度奇偶校验引擎暂时地丧失对应于所述第二低密度奇偶校验特征矩阵的编码与译码能力,直到所述记忆装置再度开机。

16. 一种记忆装置的控制器,所述记忆装置包括至少一非挥发性存储器组件,每一非挥发性存储器组件包括多个区块,所述控制器的特征在于包括:

一低密度奇偶校验引擎,用来为所述控制器进行错误更正,其中所述低密度奇偶校验引擎包括硬件电路;以及

一处理单元,耦接至所述低密度奇偶校验引擎,用来依据内嵌于所述处理单元或接收自所述处理单元之外的一程序代码来管理所述记忆装置,其中所述控制器从所述至少一非挥发性存储器组件中的一特定非挥发性存储器组件的一系统区块读取一第二组错误更正组态参数的编码数据,并利用所述低密度奇偶校验引擎译码所述编码数据以取得所述第二组错误更正组态参数,其中所述低密度奇偶校验引擎储存一第一组错误更正组态参数,以及于译码所述编码数据时,所述低密度奇偶校验引擎基于所述第一组错误更正组态参数进行对应于一第一低密度奇偶校验特征矩阵的译码,其中所述控制器将通过译码所述编码数据而取得的所述第二组错误更正组态参数储存于所述低密度奇偶校验引擎中的一随机存取存储器,并控制所述低密度奇偶校验引擎基于所述随机存取存储器中的所述第二组错误更正组态参数进行对应于一第二低密度奇偶校验特征矩阵的运作,使得所述低密度奇偶校验引擎具备对应于所述第二低密度奇偶校验特征矩阵的编码与译码能力,以供所述控制器于所述至少一非挥发性存储器组件存取数据之用;

其中所述第一低密度奇偶校验特征矩阵包括多个子矩阵,而所述第一低密度奇偶校验特征矩阵的所述多个子矩阵中的每一子矩阵是选自一预定集合的一方块矩阵;

所述第二低密度奇偶校验特征矩阵包括多个子矩阵,而所述第二低密度奇偶校验特征矩阵的所述多个子矩阵中的每一子矩阵是选自所述预定集合的一方块矩阵;

所述第二低密度奇偶校验特征矩阵的所述多个子矩阵中的任一子矩阵的大小等于所述第一低密度奇偶校验特征矩阵的所述多个子矩阵中的任一子矩阵的大小;以及

所述预定集合包括一零矩阵、一单位矩阵、以及所述单位矩阵的至少一循环位移矩阵,其中所述至少一循环位移矩阵中的任一循环位移矩阵是取自循环地位移所述单位矩阵中的全部的行向量或循环地位移所述单位矩阵中的全部的列向量。

17. 如权利要求 16 所述的控制器,其特征在于所述第二低密度奇偶校验特征矩阵当中沿着行方向的子矩阵的数量小于所述第一低密度奇偶校验特征矩阵当中沿着行方向的子矩阵的数量;以及于所述第二低密度奇偶校验特征矩阵当中沿着列方向的子矩阵的数量小于所述第一低密度奇偶校验特征矩阵当中沿着列方向的子矩阵的数量。

18. 如权利要求 16 所述的控制器,其特征在于所述编码数据是通过对所述第二组错误更正组态参数进行基于所述第一组错误更正组态参数的编码而预先产生;以及所述编码数据是预先写入所述系统区块。

19. 如权利要求 16 所述的控制器,其特征在于当所述记忆装置开机时,所述控制器从所述系统区块读取所述编码数据并利用所述低密度奇偶校验引擎译码所述编码数据以取得所述第二组错误更正组态参数,以容许所述低密度奇偶校验引擎基于所述随机存取存储器中的所述第二组错误更正组态参数进行对应于所述第二低密度奇偶校验特征矩阵的运作。

20. 一种用来控制一记忆装置的方法,所述记忆装置包括至少一非挥发性存储器组件,每一非挥发性存储器组件包括多个区块,所述方法是应用于一初始化装置以通过利用所述记忆装置中的一控制器来对所述记忆装置进行初始化,所述控制器是用来控制所述至少一非挥发性存储器组件,所述方法的特征在于包括下列步骤:

将一第二组错误更正组态参数的编码数据写入所述至少一非挥发性存储器组件中的一特定非挥发性存储器组件的一系统区块,其中所述编码数据是通过对所述第二组错误更正组态参数进行基于一第一组错误更正组态参数的编码而预先产生;

利用所述控制器从所述特定非挥发性存储器组件的所述系统区块读取所述第二组错误更正组态参数的所述编码数据,并利用所述控制器中的一低密度奇偶校验引擎译码所述编码数据以取得所述第二组错误更正组态参数,其中所述低密度奇偶校验引擎储存所述第一组错误更正组态参数,以及于译码所述编码数据时,所述低密度奇偶校验引擎基于所述第一组错误更正组态参数进行对应于一第一低密度奇偶校验特征矩阵的译码;以及

利用所述控制器将通过译码所述编码数据而取得的所述第二组错误更正组态参数储存于所述低密度奇偶校验引擎中的一随机存取存储器,并控制所述低密度奇偶校验引擎基于所述随机存取存储器中的所述第二组错误更正组态参数进行对应于一第二低密度奇偶校验特征矩阵的运作,使得所述低密度奇偶校验引擎具备对应于所述第二低密度奇偶校验特征矩阵的编码与译码能力,以供所述控制器在初始化期间于所述至少一非挥发性存储器组件存取数据之用;

其中所述第一低密度奇偶校验特征矩阵包括多个子矩阵,而所述第一低密度奇偶校验特征矩阵的所述多个子矩阵中的每一子矩阵是选自一预定集合的一方块矩阵;

所述第二低密度奇偶校验特征矩阵包括多个子矩阵,而所述第二低密度奇偶校验特征矩阵的所述多个子矩阵中的每一子矩阵是选自所述预定集合的一方块矩阵;

所述第二低密度奇偶校验特征矩阵的所述多个子矩阵中的任一子矩阵的大小等于所述第一低密度奇偶校验特征矩阵的所述多个子矩阵中的任一子矩阵的大小;以及

所述预定集合包括一零矩阵、一单位矩阵、以及所述单位矩阵的至少一循环位移矩阵,其中所述至少一循环位移矩阵中的任一循环位移矩阵是取自循环地位移所述单位矩阵中的全部的行向量或循环地位移所述单位矩阵中的全部的列向量。

用来控制一记忆装置的方法以及记忆装置与控制器

技术领域

[0001] 本发明是有涉及闪存 (Flash Memory) 装置的错误更正能力的控制, 尤指一种用来控制一记忆装置的方法以及其相关的记忆装置与控制器。

背景技术

[0002] 近年来由于闪存的技术不断地发展, 各种可携式记忆装置 (例如: 符合 SD/MMC、CF、MS、XD 标准的记忆卡) 被广泛地实施于诸多应用中。因此, 这些可携式记忆装置中的闪存的访问控制遂成为相当热门的议题。

[0003] 以常用的 NAND 型闪存而言, 其主要可区分为单阶细胞 (Single Level Cell, SLC) 与多阶细胞 (Multiple Level Cell, MLC) 两大类的闪存。单阶细胞闪存中的每个被当作记忆细胞 (Memory Cell; 亦可称为「记忆单元」) 的晶体管只有两种电荷值, 分别用来表示逻辑值 0 与逻辑值 1。另外, 多阶细胞闪存中的每个被当作记忆细胞的晶体管的储存能力则被充分利用, 是采用较高的电压来驱动, 以通过不同级别的电压在一个晶体管中记录多个位的信息 (例如: 00、01、11、10); 理论上, 多阶细胞闪存的记录密度可以达到单阶细胞闪存的记录密度的两倍以上, 这对于曾经在发展过程中遇到瓶颈的 NAND 型闪存的相关产业而言, 是非常好的消息。

[0004] 相较于单阶细胞闪存, 由于多阶细胞闪存的价格较便宜, 并且在有限的空间里可提供较大的容量, 故多阶细胞闪存很快地成为市面上的可携式记忆装置竞相采用的主流。依据现有技术, 由于某些类型的多阶细胞闪存的运作复杂, 故现有的存储器控制器需要配置强大的错误更正机制, 以确保用户数据的正确性。然而, 某些问题就产生了。例如: 因应不同的错误更正能力需求, 不同产品的存储器控制器需要不同的设计, 使得相关成本 (例如: 时间成本与材料成本) 对应地增加。又例如: 相较于市场上既有的产品, 后续推出的产品中的存储器控制器需要变更设计, 使得相关成本 (例如: 时间成本与材料成本) 对应地增加。因此, 需要一种新颖的方法来加强控管闪存的数据存取, 以在不产生副作用 (例如: 储存数据错误) 的状况下提升整体效能。

发明内容

[0005] 因此, 本发明的一目的在于公开一种用来控制一记忆装置的方法以及其相关的记忆装置与控制器, 以解决上述问题。

[0006] 本发明的另一目的在于公开一种用来控制一记忆装置的方法以及其相关的记忆装置与控制器, 以于不同的产品共享相同的控制器芯片。

[0007] 本发明的另一目的在于公开一种用来控制一记忆装置的方法以及其相关的记忆装置与控制器, 以在不更换控制器芯片的状况下提升记忆装置的运作效能。

[0008] 本发明的至少一较佳实施例中公开一种用来控制一记忆装置的方法, 所述记忆装置包括至少一非挥发性 (Non-volatile, NV) 存储器组件, 每一非挥发性存储器组件包括多个区块 (Block), 所述方法是应用于所述记忆装置中的一控制器, 所述控制器是用来控制所

述至少一非挥发性存储器组件,所述方法包括下列步骤:从所述至少一非挥发性存储器组件中的一特定非挥发性存储器组件的一系统区块读取一第二组错误更正组态参数(Error Correction Configuring Parameter)的编码数据,并利用所述控制器中的一低密度奇偶校验(Low-Density Parity-Check, LDPC)引擎译码所述编码数据以取得所述第二组错误更正组态参数,其中所述低密度奇偶校验引擎储存一第一组错误更正组态参数,以及于译码所述编码数据时,所述低密度奇偶校验引擎基于所述第一组错误更正组态参数进行对应于一第一低密度奇偶校验特征矩阵的译码;以及将通过译码所述编码数据而取得的所述第二组错误更正组态参数储存于所述低密度奇偶校验引擎中的一随机存取存储器,并控制所述低密度奇偶校验引擎基于所述随机存取存储器中的所述第二组错误更正组态参数进行对应于一第二低密度奇偶校验特征矩阵的运作,使得所述低密度奇偶校验引擎具备对应于所述第二低密度奇偶校验特征矩阵的编码与译码能力,以供所述控制器于所述至少一非挥发性存储器组件存取数据之用。尤其是,所述第一低密度奇偶校验特征矩阵包括多个子矩阵(Submatrix),而所述第一低密度奇偶校验特征矩阵的所述多个子矩阵中的每一子矩阵是选自一预定集合的一方块矩阵(Square Matrix)。另外,所述第二低密度奇偶校验特征矩阵包括多个子矩阵,而所述第二低密度奇偶校验特征矩阵的所述多个子矩阵中的每一子矩阵是选自所述预定集合的一方块矩阵。此外,所述第二低密度奇偶校验特征矩阵的所述多个子矩阵中的任一子矩阵的大小等于所述第一低密度奇偶校验特征矩阵的所述多个子矩阵中的任一子矩阵的大小。再者,所述预定集合包括一零矩阵(Zero Matrix)、一单位矩阵(Identity Matrix)、以及所述单位矩阵的至少一循环位移(Cyclic-Shifted)矩阵,其中所述至少一循环位移矩阵中的任一循环位移矩阵是取自循环地位移所述单位矩阵中的全部的行向量或循环地位移所述单位矩阵中的全部的列向量。

[0009] 本发明于公开上述方法的同时,亦对应地公开一种记忆装置,包括:至少一非挥发性存储器组件,每一非挥发性存储器组件包括多个区块;以及一控制器,用来控制所述至少一非挥发性存储器组件,所述控制器包括一处理单元,以依据内嵌于所述处理单元或接收自所述处理单元之外的一程序代码来管理所述记忆装置。另外,所述控制器从所述至少一非挥发性存储器组件中的一特定非挥发性存储器组件的一系统区块读取一第二组错误更正组态参数的编码数据,并利用所述控制器中的一低密度奇偶校验引擎译码所述编码数据以取得所述第二组错误更正组态参数,其中所述低密度奇偶校验引擎储存一第一组错误更正组态参数,以及于译码所述编码数据时,所述低密度奇偶校验引擎基于所述第一组错误更正组态参数进行对应于一第一低密度奇偶校验特征矩阵的译码。并且,所述控制器将通过译码所述编码数据而取得的所述第二组错误更正组态参数储存于所述低密度奇偶校验引擎中的一随机存取存储器,并控制所述低密度奇偶校验引擎基于所述随机存取存储器中的所述第二组错误更正组态参数进行对应于一第二低密度奇偶校验特征矩阵的运作,使得所述低密度奇偶校验引擎具备对应于所述第二低密度奇偶校验特征矩阵的编码与译码能力,以供所述控制器于所述至少一非挥发性存储器组件存取数据之用。尤其是,所述第一低密度奇偶校验特征矩阵包括多个子矩阵,而所述第一低密度奇偶校验特征矩阵的所述多个子矩阵中的每一子矩阵是选自一预定集合的一方块矩阵。另外,所述第二低密度奇偶校验特征矩阵包括多个子矩阵,而所述第二低密度奇偶校验特征矩阵的所述多个子矩阵中的每一子矩阵是选自所述预定集合的一方块矩阵。此外,所述第二低密度奇偶校验特征矩阵的

所述多个子矩阵中的任一子矩阵的大小等于所述第一低密度奇偶校验特征矩阵的所述多个子矩阵中的任一子矩阵的大小。再者,所述预定集合包括一零矩阵、一单位矩阵、以及所述单位矩阵的至少一循环位移矩阵,其中所述至少一循环位移矩阵中的任一循环位移矩阵是取自循环地位移所述单位矩阵中的全部的行向量或循环地位移所述单位矩阵中的全部的列向量。

[0010] 本发明于公开上述方法的同时,亦对应地公开一种记忆装置的控制装置,所述记忆装置包括至少一非挥发性存储器组件,每一非挥发性存储器组件包括多个区块,所述控制装置包括:一低密度奇偶校验引擎,用来为所述控制装置进行错误更正,其中所述低密度奇偶校验引擎包括硬件电路;以及一处理单元,耦接至所述低密度奇偶校验引擎,用来依据内嵌于所述处理单元或接收自所述处理单元之外的一程序代码来管理所述记忆装置。另外,所述控制装置从所述至少一非挥发性存储器组件中的一特定非挥发性存储器组件的一系统区块读取一第二组错误更正组态参数的编码数据,并利用所述控制装置中的一低密度奇偶校验引擎译码所述编码数据以取得所述第二组错误更正组态参数,其中所述低密度奇偶校验引擎储存一第一组错误更正组态参数,以及于译码所述编码数据时,所述低密度奇偶校验引擎基于所述第一组错误更正组态参数进行对应于一第一低密度奇偶校验特征矩阵的译码。并且,所述控制装置将通过译码所述编码数据而取得的所述第二组错误更正组态参数储存于所述低密度奇偶校验引擎中的一随机存取存储器,并控制所述低密度奇偶校验引擎基于所述随机存取存储器中的所述第二组错误更正组态参数进行对应于一第二低密度奇偶校验特征矩阵的运作,使得所述低密度奇偶校验引擎具备对应于所述第二低密度奇偶校验特征矩阵的编码与译码能力,以供所述控制装置于所述至少一非挥发性存储器组件存取数据之用。尤其是,所述第一低密度奇偶校验特征矩阵包括多个子矩阵,而所述第一低密度奇偶校验特征矩阵的所述多个子矩阵中的每一子矩阵是选自一预定集合的一方块矩阵。另外,所述第二低密度奇偶校验特征矩阵包括多个子矩阵,而所述第二低密度奇偶校验特征矩阵的所述多个子矩阵中的每一子矩阵是选自所述预定集合的一方块矩阵。此外,所述第二低密度奇偶校验特征矩阵的所述多个子矩阵中的任一子矩阵的大小等于所述第一低密度奇偶校验特征矩阵的所述多个子矩阵中的任一子矩阵的大小。再者,所述预定集合包括一零矩阵、一单位矩阵、以及所述单位矩阵的至少一循环位移矩阵,其中所述至少一循环位移矩阵中的任一循环位移矩阵是取自循环地位移所述单位矩阵中的全部的行向量或循环地位移所述单位矩阵中的全部的列向量。

[0011] 本发明于公开上述方法的同时,亦对应地公开一种用来控制一记忆装置的方法,所述记忆装置包括至少一非挥发性存储器组件,每一非挥发性存储器组件包括多个区块,所述方法是应用于一初始化 (Initialization) 装置以通过利用所述记忆装置中的一控制装置来对所述记忆装置进行初始化,所述控制装置是用来控制所述至少一非挥发性存储器组件,所述方法包括下列步骤:将一第二组错误更正组态参数的编码数据写入所述至少一非挥发性存储器组件中的一特定非挥发性存储器组件的一系统区块,其中所述编码数据是通过所述第二组错误更正组态参数进行基于一第一组错误更正组态参数的编码而预先产生;利用所述控制装置从所述特定非挥发性存储器组件的所述系统区块读取所述第二组错误更正组态参数的所述编码数据,并利用所述控制装置中的一低密度奇偶校验引擎译码所述编码数据以取得所述第二组错误更正组态参数,其中所述低密度奇偶校验引擎储存所述第一

组错误更正组态参数,以及于译码所述编码数据时,所述低密度奇偶校验引擎基于所述第一组错误更正组态参数进行对应于一第一低密度奇偶校验特征矩阵的译码;以及利用所述控制器将通过译码所述编码数据而取得的所述第二组错误更正组态参数储存于所述低密度奇偶校验引擎中的一随机存取存储器,并控制所述低密度奇偶校验引擎基于所述随机存取存储器中的所述第二组错误更正组态参数进行对应于一第二低密度奇偶校验特征矩阵的运作,使得所述低密度奇偶校验引擎具备对应于所述第二低密度奇偶校验特征矩阵的编码与译码能力,以供所述控制器在初始化期间于所述至少一非挥发性存储器组件存取数据之用。尤其是,所述第一低密度奇偶校验特征矩阵包括多个子矩阵,而所述第一低密度奇偶校验特征矩阵的所述多个子矩阵中的每一子矩阵是选自一预定集合的一方块矩阵。另外,所述第二低密度奇偶校验特征矩阵包括多个子矩阵,而所述第二低密度奇偶校验特征矩阵的所述多个子矩阵中的每一子矩阵是选自所述预定集合的一方块矩阵。此外,所述第二低密度奇偶校验特征矩阵的所述多个子矩阵中的任一子矩阵的大小等于所述第一低密度奇偶校验特征矩阵的所述多个子矩阵中的任一子矩阵的大小。再者,所述预定集合包括一零矩阵、一单位矩阵、以及所述单位矩阵的至少一循环位移矩阵,其中所述至少一循环位移矩阵中的任一循环位移矩阵是取自循环地位移所述单位矩阵中的全部的行向量或循环地位移所述单位矩阵中的全部的列向量。

[0012] 本发明的好处之一是,相较于现有技术,本发明的方法、记忆装置、与控制器可于不同的产品共享相同的控制器芯片。因此,本发明可省下设计多个版本的控制器芯片所需的相关成本(例如:时间成本与材料成本)。

[0013] 本发明的另一好处是,相较于现有技术,本发明的方法、记忆装置、与控制器可在不更换控制器芯片的状况下提升记忆装置的运作效能。因此,本发明公开较现有技术更佳的基本架构。

附图说明

[0014] 图 1 为依据本发明一实施例的一种记忆装置的示意图。

[0015] 图 2 为依据本发明一实施例的一种用来控制一记忆装置的方法。

[0016] 图 3 绘示图 2 所示的方法于一实施例中所涉及的控制方案。

[0017] 图 4 为依据本发明另一实施例的一种用来控制一记忆装置的方法。

[0018] 图 5 绘示图 2 所示的方法于一实施例中所涉及的第一低密度奇偶校验特征矩阵。

[0019] 图 6 绘示图 2 所示的方法于一实施例中所涉及的第二低密度奇偶校验特征矩阵。

[0020] 图 7 绘示图 2 所示的方法于一实施例中所涉及的预定集合。

[0021] 其中,附图标记说明如下:

[0022]	100	记忆装置
[0023]	100CON	控制器
[0024]	105	初始化装置
[0025]	110	处理单元
[0026]	120	挥发性存储器
[0027]	130	传输接口
[0028]	140	非挥发性存储器模块

[0029]	140SB	系统区块
[0030]	140_0, 140_1, ..., 140_N	非挥发性存储器组件
[0031]	150	总线
[0032]	180	低密度奇偶校验引擎
[0033]	200, 300	方法
[0034]	210, 220, 305, 310, 320, 330	步骤
[0035]	$A_{1,1}, A_{1,2}, \dots, A_{1,P}$	
[0036]	$A_{2,1}, A_{2,2}, \dots, A_{2,P}, \dots,$	
[0037]	$A_{Q,1}, A_{Q,2}, \dots, A_{Q,P}$	子矩阵
[0038]	$B_{1,1}, B_{1,2}, \dots, B_{1,R}$	
[0039]	$B_{2,1}, B_{2,2}, \dots, B_{2,R}, \dots,$	
[0040]	$B_{S,1}, B_{S,2}, \dots, B_{S,R}$	
[0041]	H_A, H_B	低密度奇偶校验特征矩阵
[0042]	I	单位矩阵
[0043]	M_P, M_Q, M_R, M_S	元素数量
[0044]	0	零矩阵

具体实施方式

[0045] 请参考图 1, 其绘示依据本发明一实施例的一种记忆装置 100 的示意图。记忆装置 100 包括: 一处理单元 110, 一挥发性 (Volatile) 存储器 120, 一传输接口 130, 多个非挥发性 (Non-volatile, NV) 存储器组件 140_0、140_1、...、与 140_N (符号「N」代表一正整数) 诸如 (N+1) 个快闪芯片, 以及一总线 150。于典型状况下, 于传输接口 130 耦接至一主装置 (未显示于图 1) 之后, 所述主装置可通过传输接口 130 来存取 (Access) 记忆装置 100。举例来说, 所述主装置可代表一个人计算机, 例如一膝上型计算机或一桌面计算机。

[0046] 处理单元 110 可依据内嵌于处理单元 110 中或接收自处理单元 110 之外的程序代码 (未显示) 来管理记忆装置 100。例如: 所述程序代码可为内嵌于处理单元 110 的硬件码, 尤其是一只读存储器码 (ROM code)。又例如: 所述程序代码可为接收自处理单元 110 之外的韧体码。尤其是, 处理单元 110 是用来控制挥发性存储器 120、传输接口 130、非挥发性存储器组件 140_0、140_1、...、与 140_N、以及总线 150。本实施例的处理单元 110 可为一高级缩减指令集计算机机器 (Advanced Reduced Instruction Set Computer Machine, Advanced RISC Machine, ARM) 处理器或一亚哥缩减指令集计算机核心 (Argonaut RISC Core, ARC) 处理器。这只是为了说明的目的而已, 并非对本发明的限制。依据本实施例的不同的变化例, 处理单元 110 可为其它种处理器。依据本实施例的某些的变化例, 处理单元 110 可从记忆装置 100 之外的一个外部电子装置 (诸如个人计算机) 接收某些指令, 并且依据这些指令进行记忆装置 100 于出厂前的初始化 (Initialization; 于某些状况下亦可称为「开卡」), 其中上述的初始化通常于记忆装置 100 刚制造完成时进行, 而这个外部电子装置亦可称为初始化装置。此状况下, 执行于所述外部电子装置中涉及对应的初始化流程的程序亦可视为上述的接收自处理单元 110 之外的程序代码的例子。

[0047] 另外, 挥发性存储器 120 可用来储存一全局页地址链结表 (Global Page Address

Linking Table)、所述主装置所存取的数据、以及用来存取记忆装置 100 的其它所需信息。本实施例的挥发性存储器 120 可为一动态随机存取存储器 (Dynamic Random Access Memory, DRAM) 或一静态随机存取存储器 (Static Random Access Memory, SRAM)。这只是为了说明的目的而已,并非对本发明的限制。依据本实施例的不同的变化例,挥发性存储器 120 可为其它种挥发性存储器。例如:挥发性存储器 120 可包括一静态随机存取存储器 (Static Random Access Memory, SRAM)。

[0048] 依据本实施例,图 1 所示的传输接口 130 是用来传输数据以及所述主装置与记忆装置 100 之间的指令,其中传输接口 130 符合一特定通信标准诸如串行高级技术附件 (Serial Advanced Technology Attachment, SATA) 标准、并列高级技术附件 (Parallel Advanced Technology Attachment, PATA) 标准、或通用串行总线 (Universal Serial Bus, USB) 标准。例如:记忆装置 100 是一设置于所述主装置中的固态硬盘 (Solid State Drive, SSD),且所述特定通信标准可为用来实施所述主装置的内部通信的一些典型通信标准,诸如串行高级技术附件标准或并列高级技术附件标准。又例如:记忆装置 100 是一固态硬盘且位于所述主装置之外,并且所述特定通信标准可为用来实施所述主装置的外部通信的一些典型通信标准,诸如通用串行总线标准。这只是为了说明的目的而已,并非对本发明的限制。依据本实施例的不同的变化例,记忆装置 100 可为一可携式记忆装置诸如一记忆卡,且所述特定通信标准可为用来实施一记忆卡的输入/输出接口的一些典型通信标准,诸如安全数码 (Secure Digital, SD) 标准或小型快闪 (Compact Flash, CF) 标准。

[0049] 另外,非挥发性存储器组件 140_0、140_1、...、与 140_N 是用来储存数据,其中非挥发性存储器组件 140_0、140_1、...、与 140_N 可为 (但不限于) NAND 型快闪芯片。总线 150 是用来耦接处理单元 110、挥发性存储器 120、传输接口 130、和非挥发性存储器组件 140_0、140_1、...、与 140_N,以及用来进行其通信。于本实施例中,图 1 所示架构中除了非挥发性存储器组件 140_0、140_1、...、与 140_N 之外的部分可整合成一控制器 100CON (未显示于图 1),尤其是一集成电路 (Integrated Circuit, IC) 诸如一控制器芯片,其中控制器 100CON 是用来控制记忆装置 100 中的至少一非挥发性存储器组件诸如非挥发性存储器组件 140_0、140_1、...、与 140_N,故可视为记忆装置 100 的控制器。

[0050] 于本实施例中,图 1 所示的非挥发性存储器组件 140_0、140_1、...、与 140_N 中的每一非挥发性存储器组件,诸如非挥发性存储器组件 140_n,可包括多个区块 (Block),其中非挥发性存储器组件 140_n 于本实施例中可称为一快闪芯片,而索引 n 可代表落入区间 [0, N] 的范围内的任一整数。尤其是,每一区块可包括多页,而每一页可包括多个区段。例如,一区段可为最小读取单位。换言之,在一读取运作期间,处理单元 110 可读取一个区段或多个区段。这只是为了说明的目的而已,并非对本发明的限制。

[0051] 图 2 为依据本发明一实施例的一种用来控制一记忆装置的方法 200。所述方法可应用于图 1 所示的记忆装置 100,尤其是上述的控制器 100CON (例如:通过处理单元 110 执行上述程序代码的存储器控制器),其中执行上述程序代码的控制器 100CON 是用来控制上述的至少一非挥发性存储器组件诸如图 1 所示的非挥发性存储器组件 140_0、140_1、...、与 140_N。例如:当记忆装置 100 开机时,控制器 100CON 可以执行图 2 所示的工作流程。这只是为了说明的目的而已,并非对本发明的限制。所述方法说明如下:

[0052] 于步骤 210 中,控制器 100CON 从上述的至少一非挥发性存储器组件中的一特定非

挥发性存储器组件（例如：非挥发性存储器组件 140_n，尤其是非挥发性存储器组件 140_0）的一系统区块 140SB 读取一第二组错误更正组态参数（Error Correction Configuring Parameter）的编码数据，并利用控制器 100CON 中的一低密度奇偶校验（Low-Density Parity-Check，以下简称为「LDPC」）引擎 180（未显示于图 2）译码所述编码数据以取得所述第二组错误更正组态参数，其中所述 LDPC 引擎 180 储存一第一组错误更正组态参数，以及于译码所述编码数据时，所述 LDPC 引擎 180 基于所述第一组错误更正组态参数进行对应于一第一 LDPC 特征矩阵的译码。

[0053] 于步骤 220 中，控制器 100CON 将通过译码所述编码数据而取得的所述第二组错误更正组态参数储存于所述 LDPC 引擎 180 中的一随机存取存储器（Random Access Memory，以下简称为「RAM」；未显示），并控制所述 LDPC 引擎 180 基于所述 RAM 中的所述第二组错误更正组态参数进行对应于一第二 LDPC 特征矩阵的运作，使得所述 LDPC 引擎 180 具备对应于所述第二 LDPC 特征矩阵的编码与译码能力，以供控制器 100CON 于上述的至少一非挥发性存储器组件存取数据之用。

[0054] 例如：当记忆装置 100 开机时，控制器 100CON 从所述系统区块读取所述编码数据并利用所述 LDPC 引擎 180 译码所述编码数据以取得所述第二组错误更正组态参数，以容许所述 LDPC 引擎 180 基于所述 RAM 中的所述第二组错误更正组态参数进行对应于所述第二 LDPC 特征矩阵的运作。当记忆装置 100 关机时，所述 RAM 中的所述第二组错误更正组态参数消失，造成所述 LDPC 引擎 180 暂时地丧失对应于所述第二 LDPC 特征矩阵的编码与译码能力，直到记忆装置 100 再度开机。尤其是，当记忆装置 100 再度开机时，图 2 所示的工作流程可以再度执行。

[0055] 实作上，步骤 210 中所述的所述编码数据可通过对所述第二组错误更正组态参数进行基于所述第一组错误更正组态参数的编码而预先产生，而所述编码数据是预先写入所述系统区块。这只是为了说明的目的而已，并非对本发明的限制。请注意，于本实施例中，通过利用不同组错误更正组态参数，所述 LDPC 引擎 180 可分别被组态成具备不同强度的错误更正能力，故所述 LDPC 引擎 180 的错误更正能力可通过重新组态而被改变，其中所述 LDPC 引擎 180 可视为可组态（Configurable）LDPC 引擎。例如：在所述 LDPC 引擎 180 基于所述第一组错误更正组态参数进行运作的状况下，所述 LDPC 引擎 180 的错误更正能力对应于所述第一 LDPC 特征矩阵。又例如：在所述 LDPC 引擎 180 基于所述第二组错误更正组态参数进行运作的状况下，所述 LDPC 引擎 180 的错误更正能力对应于所述第二 LDPC 特征矩阵。

[0056] 依据本实施例，所述第一 LDPC 特征矩阵包括多个子矩阵（Submatrix），而所述第一 LDPC 特征矩阵的所述多个子矩阵中的每一子矩阵是选自一预定集合的一方块矩阵（Square Matrix）。另外，所述第二 LDPC 特征矩阵包括多个子矩阵，而所述第二 LDPC 特征矩阵的所述多个子矩阵中的每一子矩阵是选自所述预定集合的一方块矩阵。此外，所述第二 LDPC 特征矩阵的所述多个子矩阵中的任一子矩阵的大小等于所述第一 LDPC 特征矩阵的所述多个子矩阵中的任一子矩阵的大小。于本实施例中，所述预定集合包括一零矩阵（Zero Matrix）、一单位矩阵（Identity Matrix）、以及所述单位矩阵的至少一循环位移（Cyclic-Shifted）矩阵（例如：一个循环位移矩阵、或多个循环位移矩阵），其中上述的至少一循环位移矩阵中的任一循环位移矩阵是取自循环地位移所述单位矩阵中的全部的行向量或循环地位移所述单位矩阵中的全部的列向量。例如：所述零矩阵、所述单位矩阵、以

及上述的至少一循环位移矩阵均为 $(Z \times Z)$ 大小的方块矩阵,其中方块矩阵大小参数 Z 可为大于一的正整数。

[0057] 尤其是,于所述第二 LDPC 特征矩阵当中沿着行方向的子矩阵的数量小于所述第一 LDPC 特征矩阵当中沿着行方向的子矩阵的数量,并且于所述第二 LDPC 特征矩阵当中沿着列方向的子矩阵的数量小于所述第一 LDPC 特征矩阵当中沿着列方向的子矩阵的数量。例如:于所述第二 LDPC 特征矩阵当中沿着行方向的子矩阵的数量等于所述第一 LDPC 特征矩阵当中沿着行方向的子矩阵的数量减一,并且于所述第二 LDPC 特征矩阵当中沿着列方向的子矩阵的数量等于所述第一 LDPC 特征矩阵当中沿着列方向的子矩阵的数量减一。

[0058] 另外,所述第一组错误更正组态参数包括所述第一 LDPC 特征矩阵的总行数与总列数,并且所述第二组错误更正组态参数包括所述第二 LDPC 特征矩阵的总行数与总列数。请注意,因应所述 LDPC 引擎 180 的编码与译码算法的设计,这些组错误更正组态参数的内容可能有所变化。例如:在所述 LDPC 引擎 180 的迭代 (Iterative) 编码与译码是基于所述第一 LDPC 特征矩阵与所述第二 LDPC 特征矩阵中的任一者的列方向的情况下,所述第一组错误更正组态参数包括所述第一 LDPC 特征矩阵中的每一列子矩阵的非零子矩阵的数量,并且所述第二组错误更正组态参数包括所述第二 LDPC 特征矩阵中的每一列子矩阵的非零子矩阵的数量。又例如:在所述 LDPC 引擎 180 的迭代编码与译码是基于所述第一 LDPC 特征矩阵与所述第二 LDPC 特征矩阵中的任一者的行方向的情况下,所述第一组错误更正组态参数包括所述第一 LDPC 特征矩阵中的每一行子矩阵的非零子矩阵的数量,并且所述第二组错误更正组态参数包括所述第二 LDPC 特征矩阵中的每一行子矩阵的非零子矩阵的数量。

[0059] 请注意,涉及所述第一 LDPC 特征矩阵与所述第二 LDPC 特征矩阵以及对应的所述第一组错误更正组态参数与所述第二组错误更正组态参数的实施细节,请进一步参考后续实施例的说明。

[0060] 图 3 绘示图 2 所示的方法 200 于一实施例中所涉及的控制方案。图 3 所示的非挥发性存储器模块 140 包括图 1 所示的非挥发性存储器组件 140_0、140_1、...、与 140_N,其中系统区块 140SB 可为上述的系统区块的一例,而初始化装置 105 可为上述的初始化装置的一例。

[0061] 依据本实施例,在对记忆装置 100 进行初始化的期间,通过利用控制器 100CON,初始化装置 105 可将步骤 210 中所述的所述编码数据写入系统区块 140SB。于全部的初始化运作已完成之后,操作员可将记忆装置 100 和初始化装置 105 断开。于是,当记忆装置 100 的用户开始使用记忆装置 100 时,记忆装置 100 开机,并且控制器 100CON 可以执行图 2 所示的工作流程。本实施例与前述实施例 / 变化例相仿之处不再重复赘述。

[0062] 图 4 为依据本发明另一实施例的一种用来控制一记忆装置的方法 300。所述方法可应用于图 3 所示架构中的至少一部分 (例如:一部分或全部),尤其是初始化装置 105 以及上述的控制器 100CON (例如:通过处理单元 110 执行上述程序代码的存储器控制器)。

[0063] 于步骤 305 中,初始化装置 105 对记忆装置 100 进行初始化运作。依据本实施例,初始化装置 105 中涉及对应的初始化流程的程序可依控制器 100CON 的规格以及某些需求来修改。

[0064] 于步骤 310 中,初始化装置 105 将所述第二组错误更正组态参数的所述编码数

据写入上述的至少一非挥发性存储器组件中的所述特定非挥发性存储器组件的系统区块 140SB, 其中所述编码数据是通过对所述第二组错误更正组态参数进行基于所述第一组错误更正组态参数的编码而预先产生。通过编码的保护, 所述第二组错误更正组态参数的正确性得以确保, 故所述 LDPC 引擎 180 于重新组态后的错误更正能力亦得以确保。

[0065] 于步骤 320 中, 初始化装置 105 利用控制器 100CON 从所述特定非挥发性存储器组件的系统区块 140SB 读取所述第二组错误更正组态参数的所述编码数据, 并利用控制器 100CON 中的所述 LDPC 引擎 180 译码所述编码数据以取得所述第二组错误更正组态参数, 其中所述 LDPC 引擎 180 储存所述第一组错误更正组态参数, 以及于译码所述编码数据时, 所述 LDPC 引擎 180 基于所述第一组错误更正组态参数进行对应于所述第一 LDPC 特征矩阵的译码。例如: 所述 LDPC 引擎 180 可包括只读存储器, 以储存所述第一组错误更正组态参数。这只是为了说明的目的而已, 并非对本发明的限制。在其它例子中, 所述 LDPC 引擎 180 可包括其它类型的储存单元, 以储存所述第一组错误更正组态参数。

[0066] 于步骤 330 中, 初始化装置 105 利用控制器 100CON 将通过译码所述编码数据而取得的所述第二组错误更正组态参数储存于所述 LDPC 引擎 180 中的所述 RAM, 并控制所述 LDPC 引擎 180 基于所述 RAM 中的所述第二组错误更正组态参数进行对应于所述第二 LDPC 特征矩阵的运作, 使得所述 LDPC 引擎 180 具备对应于所述第二 LDPC 特征矩阵的编码与译码能力, 以供控制器 100CON 在初始化期间于上述的至少一非挥发性存储器组件存取数据之用。

[0067] 请注意, 图 4 所示的工作流程聚焦于初始化流程当中和本发明的方法相关的运作, 诸如步骤 310、步骤 320、与步骤 330 的运作, 其中初始化流程中的其它运作可依据现有技术中已知的内容来实施。本实施例与前述实施例 / 变化例相仿之处不再重复赘述。

[0068] 图 5 绘示图 2 所示的方法 200 于一实施例中所涉及的第一 LDPC 特征矩阵 H_A , 其中第一 LDPC 特征矩阵 H_A 可为上述所述第一 LDPC 特征矩阵的一例。如图 5 所示, 第一 LDPC 特征矩阵 H_A 包括子矩阵 $\{ \{A_{1,1}, A_{1,2}, \dots, A_{1,p}\}, \{A_{2,1}, A_{2,2}, \dots, A_{2,p}\}, \dots, \{A_{q,1}, A_{q,2}, \dots, A_{q,p}\} \}$, 而第一 LDPC 特征矩阵 H_A 中的每一列元素的元素数量与每一行元素的元素数量分别为 M_p 与 M_q , 其中 $M_p = (Z * P)$ 且 $M_q = (Z * Q)$ 。另外, 第一 LDPC 特征矩阵 H_A 中的每一列元素的元素数量 M_p 与每一行元素的元素数量 M_q 可为上述所述第一 LDPC 特征矩阵的总行数与总列数的例子。此外, 参数 P 代表上述所述第一 LDPC 特征矩阵中的每一列子矩阵的子矩阵数量, 而参数 Q 代表上述所述第一 LDPC 特征矩阵中的每一行子矩阵的子矩阵数量。本实施例与前述实施例 / 变化例相仿之处不再重复赘述。

[0069] 图 6 绘示图 2 所示的方法 200 于一实施例中所涉及的第二 LDPC 特征矩阵 H_B , 其中第二 LDPC 特征矩阵 H_B 可为上述所述第二 LDPC 特征矩阵的一例。如图 6 所示, 第二 LDPC 特征矩阵 H_B 包括子矩阵 $\{ \{B_{1,1}, B_{1,2}, \dots, B_{1,r}\}, \{B_{2,1}, B_{2,2}, \dots, B_{2,r}\}, \dots, \{B_{s,1}, B_{s,2}, \dots, B_{s,r}\} \}$, 而第二 LDPC 特征矩阵 H_B 中的每一列元素的元素数量与每一行元素的元素数量分别为 M_r 与 M_s , 其中 $M_r = (Z * R)$ 且 $M_s = (Z * S)$ 。另外, 第二 LDPC 特征矩阵 H_B 中的每一列元素的元素数量 M_r 与每一行元素的元素数量 M_s 可为上述所述第二 LDPC 特征矩阵的总行数与总列数的例子。此外, 参数 R 代表上述所述第二 LDPC 特征矩阵中的每一列子矩阵的子矩阵数量, 而参数 S 代表上述所述第二 LDPC 特征矩阵中的每一行子矩阵的子矩阵数量。本实施例与前述实施例 / 变化例相仿之处不再重复赘述。

[0070] 图7绘示图2所示的方法200于一实施例中涉及到的预定集合,其中零矩阵0可为上述所述零矩阵的一例,而单位矩阵I可为上述所述单位矩阵的一例,并且绘示于单位矩阵I右侧的所述循环位移矩阵可为上述的至少一循环位移矩阵的例子。例如:上述的至少一循环位移矩阵诸如上述多个循环位移矩阵可取自循环地向右位移单位矩阵I中的全部的行向量或循环地向上位移单位矩阵I中的全部的列向量。这只是为了说明的目的而已,并非对本发明的限制。又例如:上述的至少一循环位移矩阵诸如上述多个循环位移矩阵可取自循环地向左位移单位矩阵I中的全部的行向量或循环地向下位移单位矩阵I中的全部的列向量。本实施例与前述实施例/变化例相仿之处不再重复赘述。

[0071] 基于上列实施例,控制器100CON的制造商可以依照错误更正能力的强度的需求来决定所述第一LDPC特征矩阵与所述第二LDPC特征矩阵的内容。典型状况下,所述第一组错误更正组态参数与所述第二组错误更正组态参数分别对应不同的LDPC特征矩阵(或不同的LDPC码)。当所述预定集合中的各个可选择的方块矩阵的大小($Z \times Z$)被选定时,所述预定集合当中全部的可选择的方块矩阵即可决定。由于所述第一LDPC特征矩阵中的各个子矩阵以及所述第二LDPC特征矩阵中的各个子矩阵均可选自所述预定集合,故所述LDPC引擎180可设计成自动地依据所述第一组错误更正组态参数与所述第二组错误更正组态参数产生所述第一LDPC特征矩阵与所述第二LDPC特征矩阵。于是,在方块矩阵大小参数 Z 已被选定的状况下,通过利用不同组错误更正组态参数,所述LDPC引擎180可分别被组态成具备不同强度的错误更正能力。尤其是,在图2所示实施例中所述涉及所述第一LDPC特征矩阵与所述第二LDPC特征矩阵以及对应的所述第一组错误更正组态参数与所述第二组错误更正组态参数的各种限制施加于图3所示的控制方案的状况下,于不同的产品共享相同的控制器芯片的目标可以轻易地实现,并且在不更换控制器芯片的状况下提升记忆装置的运作效能的目标也可以轻易地实现。因此,本发明公开较现有技术更佳的基本架构,并且可省下设计多个版本的控制器芯片所需的相关成本(例如:时间成本与材料成本)。

[0072] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

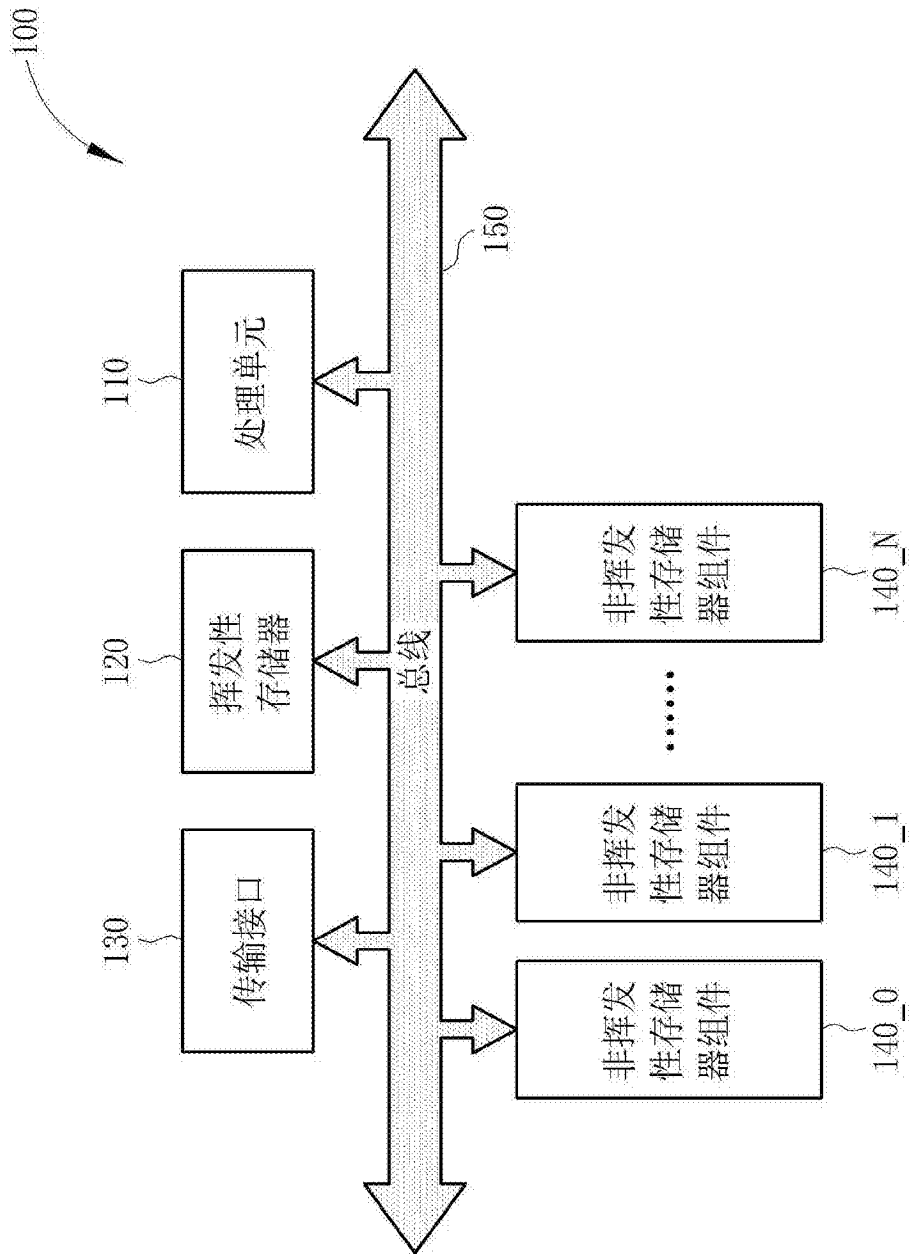


图 1

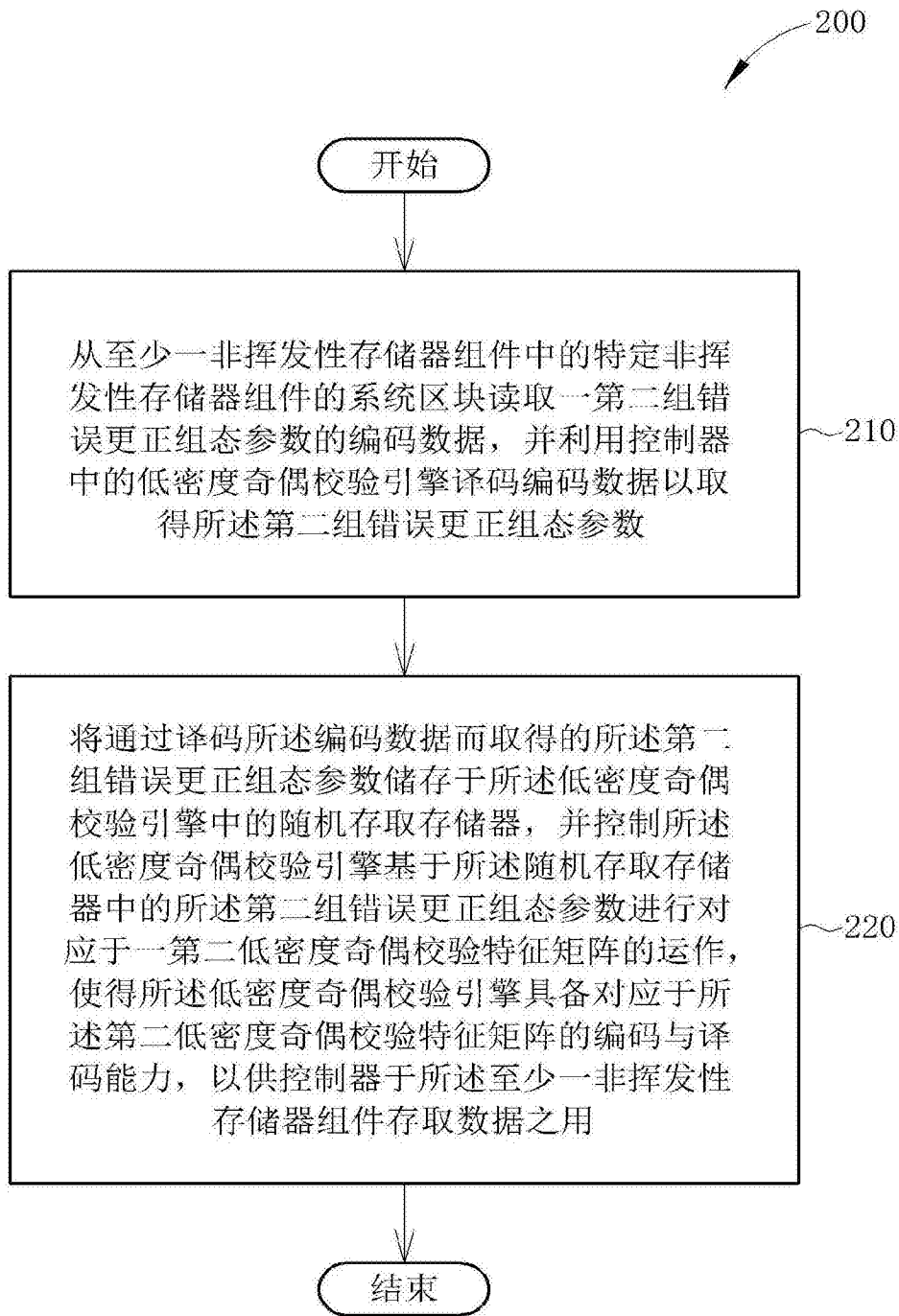


图 2

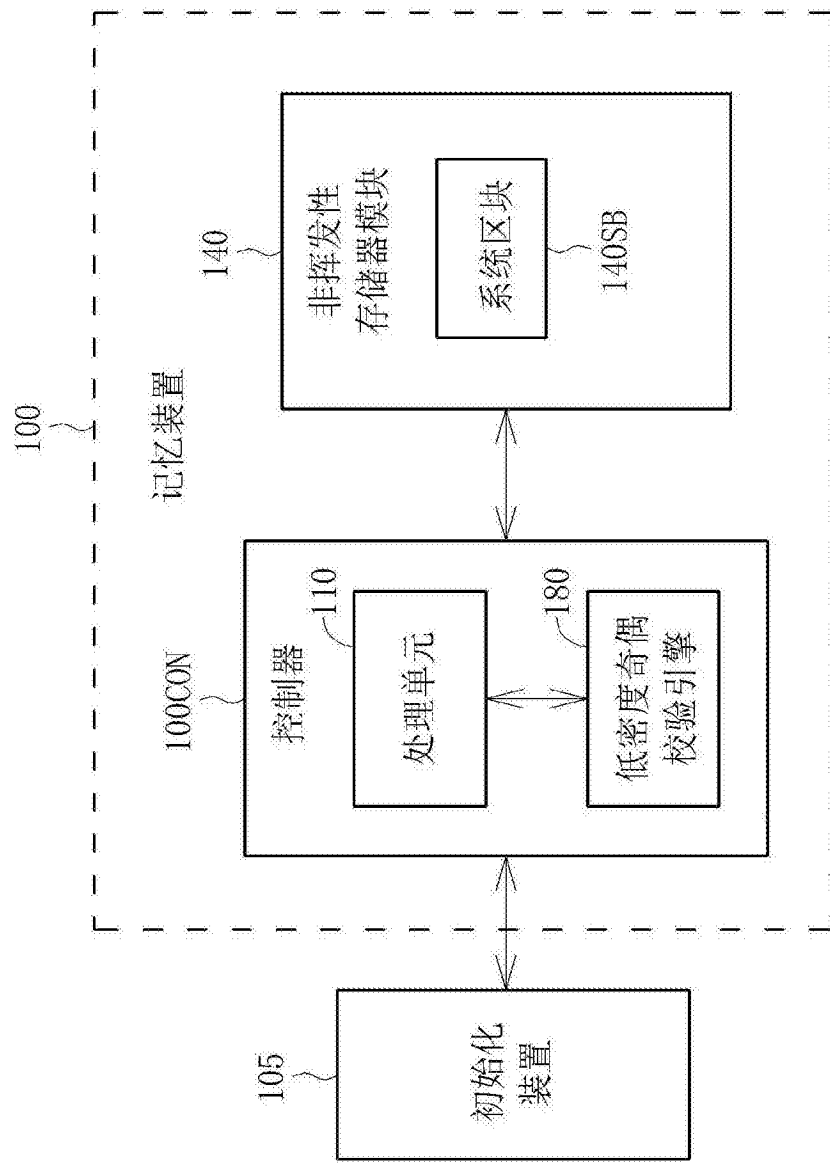


图 3

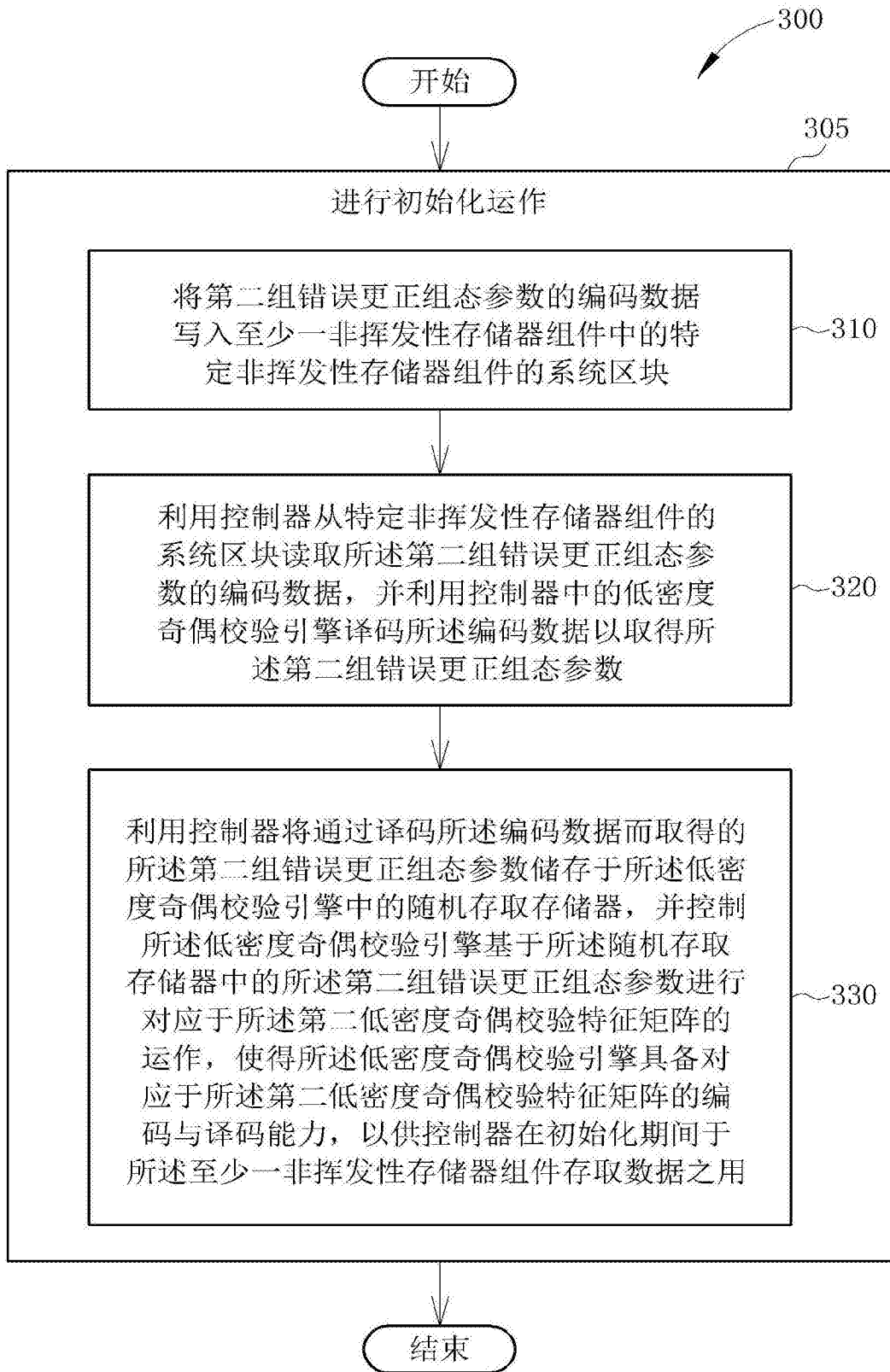


图 4

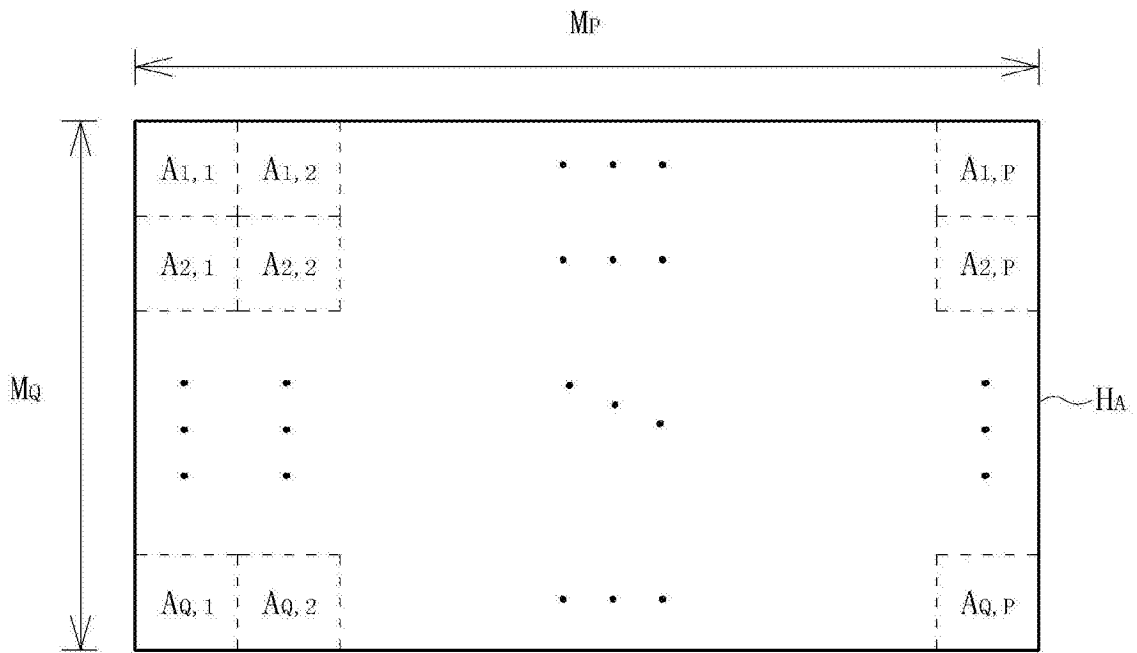


图 5

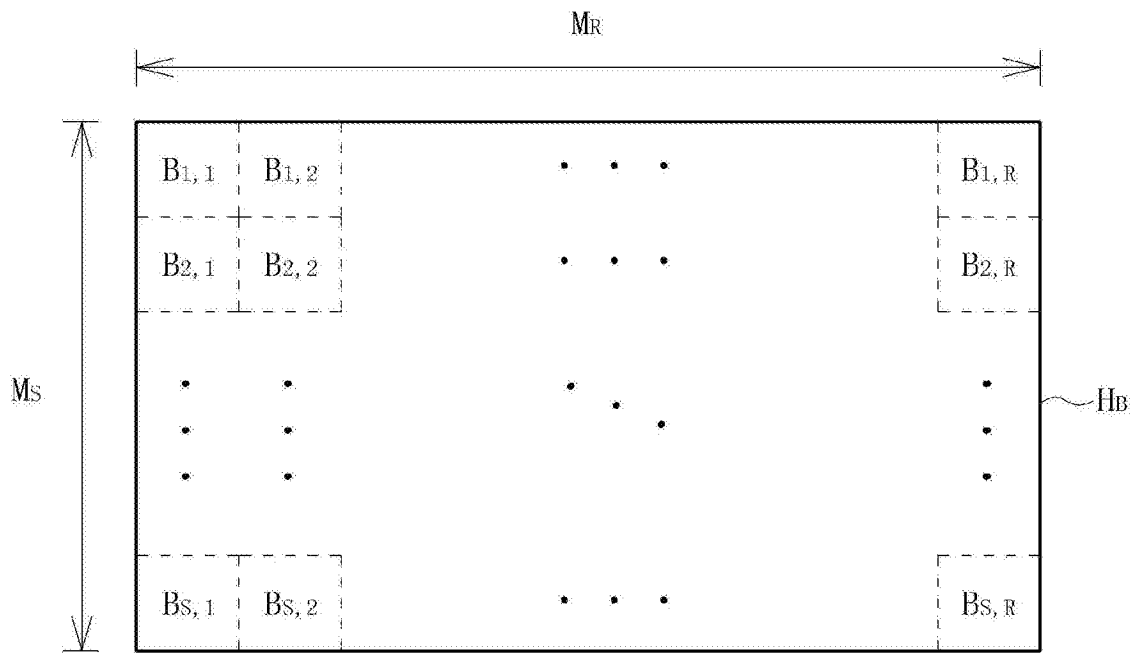


图 6

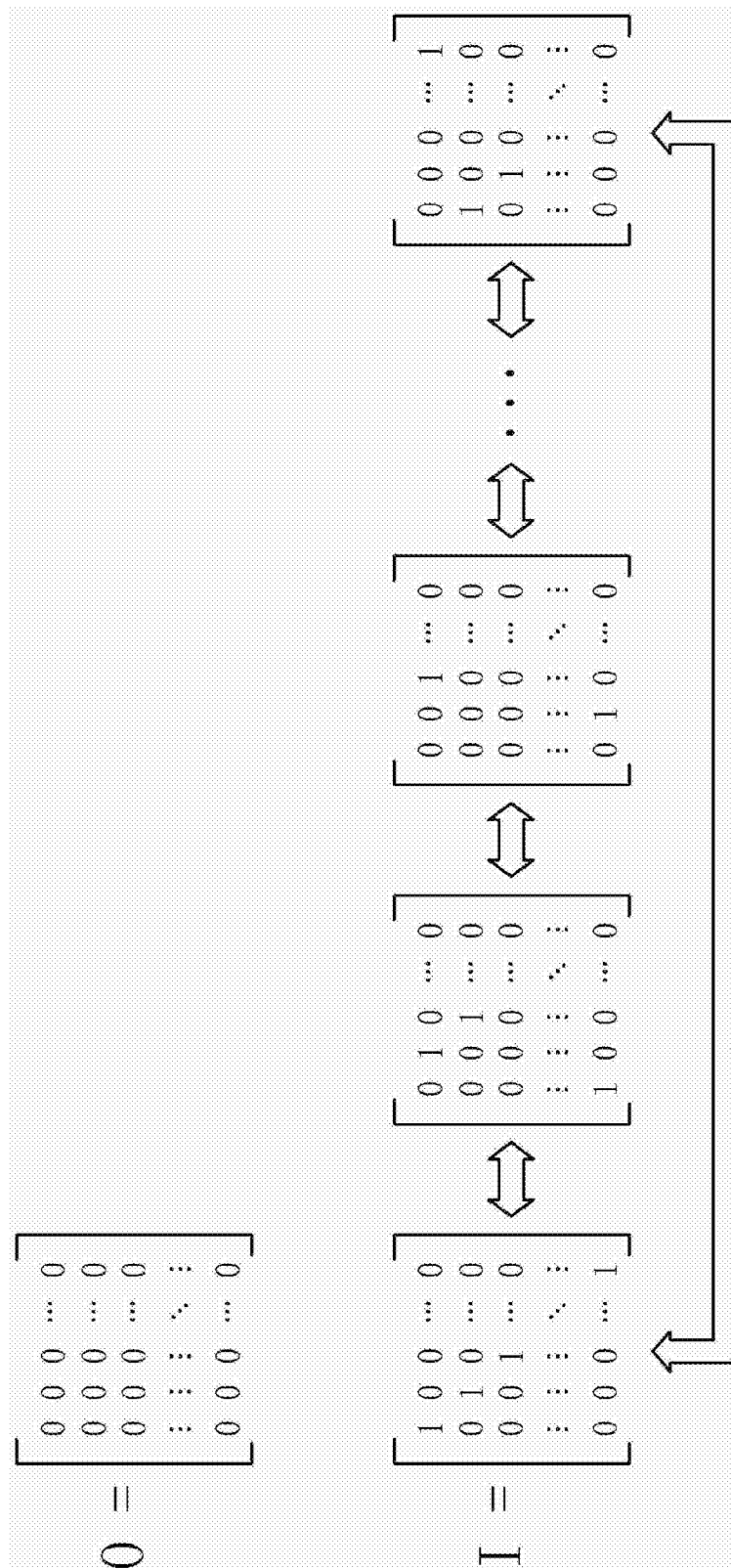


图 7