

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5363530号
(P5363530)

(45) 発行日 平成25年12月11日(2013.12.11)

(24) 登録日 平成25年9月13日(2013.9.13)

(51) Int.Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1345 (2006.01)	GO2F 1/1345
HO1L 21/336 (2006.01)	HO1L 29/78 612D
HO1L 29/786 (2006.01)	HO1L 29/78 627C
	HO1L 29/78 619A

請求項の数 8 (全 37 頁)

(21) 出願番号	特願2011-117709 (P2011-117709)	(73) 特許権者	501426046
(22) 出願日	平成23年5月26日(2011.5.26)		エルジー ディスプレイ カンパニー リ
(62) 分割の表示	特願2007-339204 (P2007-339204)		ミテッド
原出願日	平成19年12月28日(2007.12.28)		大韓民国 ソウル、ヨンドゥンポグ、ヨ
(65) 公開番号	特開2011-170387 (P2011-170387A)	(74) 代理人	100094112
(43) 公開日	平成23年9月1日(2011.9.1)		弁理士 岡部 譲
審査請求日	平成23年5月26日(2011.5.26)	(74) 代理人	100104352
(31) 優先権主張番号	10-2007-0073047		弁理士 朝日 伸光
(32) 優先日	平成19年7月20日(2007.7.20)	(72) 発明者	リン ジョソ
(33) 優先権主張国	韓国 (KR)		大韓民国 730-200 キョンサンブ
			ット クミシ ボンゴクトン ヒョンジン
			ベオビル 103/1103

最終頁に続く

(54) 【発明の名称】 液晶表示装置用アレイ基板及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上部に、ゲート配線と、前記ゲート配線に連結されるゲート電極と、前記ゲート配線の一端のゲートパッドとを形成する第1マスク工程段階と；

前記ゲート配線、ゲート電極及びゲートパッド上部にゲート絶縁膜を形成する段階と；

前記ゲート絶縁膜上部に、その境界が前記ゲート電極内に配置される半導体層を形成する第2マスク工程段階と；

前記ゲート配線と交差するデータ配線と、前記データ配線に連結されるソース電極と、前記ソース電極と離隔されるドレイン電極と、前記ドレイン電極から延長される画素電極と、前記ゲートパッドに接触するゲートパッド電極と、前記データ配線に連結されるデータパッド電極とを形成して、前記データ配線、ソース電極及びドレイン電極上部に保護パターンを形成する第3マスク工程段階とを含み、

前記第3マスク工程段階は、

前記半導体層上部に第1及び第2導電物質層を連続的に形成する段階と；

前記第2導電物質層上部に、第1部分と、前記第1部分より大きい厚さを有する第2部分を含んで、前記ゲート電極に対応する前記第2導電物質層を露出する第3感光パターンを形成する段階と；

前記第3感光パターンをエッチングマスクとして利用して前記第2導電物質層と前記第1導電物質層をエッチングして、前記データ配線と、前記ソース電極と、前記ドレイン電極と、画素電極パターンとを形成する段階と；

前記第3感光パターンを部分的に除去して、前記画素電極パターンに対応する第4感光パターンを形成する段階と；

前記第4感光パターン、データ配線、ソース電極及びデータ電極上部に保護層を形成する段階と；

前記第4感光パターンと、前記第4感光パターン上部の保護層とを除去して保護パターンを形成する段階と；

前記画素電極パターンの前記第2導電物質層を除去して前記画素電極を形成する段階と、を含み、

前記第2マスク工程段階は、

前記ゲート絶縁膜上部に純粋シリコン層及び不純物シリコン層を連続的に形成する段階と；

前記不純物シリコン層上部に、第1部分と、前記第1部分より大きい厚さを有する第2部分を含んで、前記ゲートパッド及びデータパッドに対応するゲート絶縁膜を露出する第1感光パターンを形成する段階と；

前記第1感光パターンをエッチングマスクとして利用して前記不純物シリコン層と前記純粋シリコン層をパターンニングする段階と；

前記第1感光パターンを部分的に除去して前記ゲート電極に対応する第2感光パターンを形成する段階と；

前記第2感光パターンをエッチングマスクとして利用して前記不純物シリコン層、純粋シリコン層及びゲート絶縁膜をパターンニングして前記半導体層を形成し、前記ゲートパッドを露出するゲートパッドコンタクトホールを前記ゲート絶縁膜に形成する段階と、をさらに含むことを特徴とする液晶表示装置用アレイ基板の製造方法。

【請求項2】

前記保護パターンはスパターリング法によって形成されることを特徴とする請求項1に記載の液晶表示装置用アレイ基板の製造方法。

【請求項3】

前記第3感光パターンを形成する段階は、

前記第2導電物質層上部に感光層を形成する段階と；

前記感光層上部に、前記半導体層の中央部に対応する透過部と、前記画素電極に対応する遮断部と、前記データ配線、ソース電極及びドレイン電極に対応して、透過率が前記遮断部より大きくて前記透過部より小さい半透過部を含むマスクを配置する段階と；

前記マスクを介して前記感光層を露光する段階と；

前記感光層を現像して前記第3感光パターンを形成する段階と、を含むことを特徴とする請求項1に記載の液晶表示装置用アレイ基板の製造方法。

【請求項4】

前記第1マスク工程段階は、前記基板上部にデータパッドを形成する段階をさらに含み、そして、

前記第2マスク工程段階は、前記ゲート絶縁膜にデータパッドコンタクトホールを形成する段階をさらに含み、

前記データパッド電極は、前記データパッドコンタクトホールを介して前記データパッドと接触することを特徴とする請求項1に記載の液晶表示装置用アレイ基板の製造方法。

【請求項5】

前記第1感光パターンを形成する段階は、

前記不純物シリコン層上部に感光層を形成する段階と；

前記感光層上部に、前記ゲートパッド及びデータパッドに対応する透過部と、前記ゲート電極に対応する遮断部と、透過率が前記遮断部より大きくて前記透過部より小さい半透過部を含むマスクを配置する段階と；

前記マスクを介して前記感光層を露光する段階と；

前記感光層を現像して前記第1感光パターンを形成する段階とを含むことを特徴とする請求項1に記載の液晶表示装置用アレイ基板の製造方法。

10

20

30

40

50

【請求項 6】

前記第 1 マスク工程段階を通じて、前記基板上部に共通配線を形成する段階と；

前記第 3 マスク工程段階を通じて共通電極を形成する段階とをさらに含み、前記共通電極は、前記共通配線に連結され、前記画素領域で前記画素電極と交互に配置されることを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 7】

前記第 2 マスク工程段階は、前記共通配線を露出する共通コンタクトホールを、前記ゲート絶縁膜に形成する段階をさらに含むことを特徴とする請求項 6 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 8】

基板上部に、ゲート配線と、前記ゲート配線に連結されるゲート電極と、前記ゲート配線の一端のゲートパッドとを形成する第 1 マスク工程段階と；

前記ゲート配線、ゲート電極及びゲートパッド上部にゲート絶縁膜を形成する段階と；

前記ゲート絶縁膜上部に、その境界が前記ゲート電極内に配置される半導体層を形成する第 2 マスク工程段階と；

前記ゲート配線と交差するデータ配線と、前記データ配線に連結されるソース電極と、前記ソース電極と離隔されるドレイン電極と、前記ドレイン電極から延長される画素電極と、前記ゲートパッドに接触するゲートパッド電極と、前記データ配線に連結されるデータパッド電極とを形成して、前記データ配線、ソース電極及びドレイン電極上部に保護パターンを形成する第 3 マスク工程段階とを含み、

前記第 2 マスク工程段階は、

前記ゲート絶縁膜上部に純粋シリコン層及び不純物シリコン層を連続的に形成する段階と；

前記不純物シリコン層上部に、第 1 部分と、前記第 1 部分より大きい厚さを有する第 2 部分を含んで、前記ゲートパッド及びデータパッドに対応するゲート絶縁膜を露出する第 1 感光パターンを形成する段階と；

前記第 1 感光パターンをエッチングマスクとして利用して前記不純物シリコン層と前記純粋シリコン層をパターンニングする段階と；

前記第 1 感光パターンを部分的に除去して前記ゲート電極に対応する第 2 感光パターンを形成する段階と；

前記第 2 感光パターンをエッチングマスクとして利用して前記不純物シリコン層、純粋シリコン層及びゲート絶縁膜をパターンニングして前記半導体層を形成し、前記ゲートパッドを露出するゲートパッドコンタクトホールを前記ゲート絶縁膜に形成する段階と、をさらに含むことを特徴とする液晶表示装置用アレイ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及びその製造方法に係り、詳細には 3 マスク工程の核心工程であるリフトオフ工程時スパターリング法を利用して保護膜パターンを形成することを介してリフトオフ不良を最小化することに関する。

【背景技術】

【0002】

一般的に、液晶表示装置の駆動原理は、液晶の光学的異方性と分極性質を利用する。前記液晶は構造が細くて長いため分子の配列に方向性を有しており、人為的に液晶に電界を印加して分子配列の方向を制御することができる。

【0003】

したがって、前記液晶の分子配列方向を任意に調節すると、液晶の分子配列が変わり、光学的異方性によって前記液晶の分子配列方向に光が屈折して画像情報を表現することができる。

【0004】

10

20

30

40

50

現在、薄膜トランジスタと前記薄膜トランジスタに連結された画素電極とがマトリクス方式で配列されたアクティブマトリクス液晶表示装置 (Active Matrix LCD: AM-LCD) は、解像度及び動映像具現能力が優秀であって、最も注目されている。

【0005】

以下、添付した図面を参照して、従来の4マスク工程による液晶表示装置用アレイ基板について説明する。

【0006】

図1は、従来の液晶表示装置用アレイ基板の単位画素を示した平面図である。

【0007】

図示したように、基板10上に一方向にその終端にゲートパッド52を有するゲート配線20と、前記ゲート配線20から延長されたゲート電極25とが構成される。

【0008】

前記ゲート配線20と垂直交差して画素領域(P)を定義し、その終端にデータパッド62を有するデータ配線30と、前記データ配線30から延長されたソース電極32と、前記ソース電極32と離隔されたドレイン電極34とが構成される。

【0009】

この時、前記ゲートパッド52は、ゲートパッドコンタクトホール(CH2)を介してゲートパッド電極54と、そして前記データパッド62はデータパッドコンタクトホール(CH3)を介してデータパッド電極64とそれぞれ接触する。

【0010】

前記ゲート配線20とデータ配線30との交差点に薄膜トランジスタ(T)が構成されるので、前記薄膜トランジスタ(T)は、ゲート電極25と、前記ゲート電極25とその一部が重なった半導体層(図2Iの42)と、前記半導体層と接触して互いに離隔されたソース及びドレイン電極32、34とを含んで構成される。

【0011】

前記半導体層は、純粋非晶質シリコン(a-Si:H)で構成されたアクティブ層40と、不純物非晶質シリコン(n+a-Si:H)で構成されたオーミックコンタクト層(図2Iの41)とを含む。

【0012】

この時、前記半導体層は、データ配線30とソース及びドレイン電極32、34の下部で同一パターンで延長構成され、特に前記アクティブ層40は、データ配線30とソース及びドレイン電極32、34の下部でその一部が外部に突出した構造を有する。

【0013】

そして、前記ソース及びドレイン電極32、34の離隔された間に露出されたオーミックコンタクト層(図示せず)を除去してその下部のアクティブ層40を露出することによって、この部分をチャネルで活用する。

【0014】

前記ドレイン電極34に対応した保護膜(図示せず)の一部が除去されたドレインコンタクトホール(CH1)を介して前記ドレイン電極34と接触した画素電極70が画素領域(P)に構成される。

【0015】

この時、前記画素電極70は前段のゲート配線20と重なるように延長構成して、前記前段のゲート配線20を第1電極として、これと重なった画素電極70を第2電極とするストレージキャパシタ(Cst)が構成される。

【0016】

以下、添付した図面を参照して、従来の4マスク工程による液晶表示装置用アレイ基板の製造方法について説明する。

【0017】

図2Aないし図2Iは図1のII-II線に沿ってそれぞれ切断して工程順序によって示し

10

20

30

40

50

た工程断面図である。

【 0 0 1 8 】

図 2 A は第 1 マスク工程段階を示した断面図である。

【 0 0 1 9 】

図 2 A に示したように、基板 1 0 上に銅 (C u)、モリブデン (M o)、アルミニウム (A l)、アルミニウム合金 (A l N d) 及びクロム (C r) のような導電性金属グループのうちから選択された一つでゲート金属層 (図示せず) を形成してこれをパターニングすると、ゲート配線 2 0 と、前記ゲート配線 2 0 から延長されたゲート電極 2 5 と、前記ゲート配線 2 0 の一端のゲートパッド領域 (G P) にはゲートパッド 5 2 が形成される。

【 0 0 2 0 】

次に、前記ゲート電極 2 5、ゲート配線 2 0 とゲートパッド 5 2 が形成された基板 1 0 上部全面に窒化シリコン (S i N x) と酸化シリコン (S i O ₂) 等のような無機絶縁物質グループのうちから選択された一つでゲート絶縁膜 4 5 が形成される。

【 0 0 2 1 】

図 2 B ないし図 2 G は第 2 マスク工程段階を示した断面図である。

【 0 0 2 2 】

図 2 B に示したように、前記ゲート絶縁膜 4 5 が形成された基板 1 0 上に純粋非晶質シリコン (a - S i : H) で構成された純粋非晶質シリコン層 4 0 a を形成して、前記純粋非晶質シリコン層 4 0 a 上に不純物非晶質シリコン層 4 1 a を形成する。

【 0 0 2 3 】

この時、一例で前記純粋及び不純物非晶質シリコン層 4 0 a、4 1 a はプラズマ化学気相蒸着法で前記ゲート絶縁膜 4 5 と同じチャンバー内で連続的に形成することができる。

【 0 0 2 4 】

次に、前記純粋及び不純物非晶質シリコン層 4 0 a、4 1 a が形成された基板 1 0 上に前述した導電性金属グループのうちから選択された一つを蒸着してソース及びドレイン金属層 7 5 を形成する。

【 0 0 2 5 】

ここで、前記ゲート絶縁膜 4 5 上には純粋及び不純物非晶質シリコン層 4 0 a、4 1 a とソース及びドレイン金属層 7 5 が連続的に積層された状態である。

【 0 0 2 6 】

図 2 C に示したように、前述した純粋及び不純物非晶質シリコン層 4 0 a、4 1 a とソース及びドレイン金属層 7 5 が形成された基板 1 0 上にフォトリジストを塗布して感光層 8 0 を形成して、これと離隔された上部に透過部 (A)、半透過部 (B) 及び遮断部 (C) で構成されたハーフトーンマスク (H T M) を整列する段階を行う。

【 0 0 2 7 】

前記ハーフトーンマスク (H T M) は、前記半透過部 (B) に半透明膜を形成して光の強度を低めたり光の透過量を低めて、前記感光層 8 0 を不完全露光する機能を有する。この時、前記ハーフトーンマスク (H T M) 以外に、前記半透過部 (B) にスリット形状を設けて光の透過量を調節するスリットマスクを利用することができる。

【 0 0 2 8 】

また、前記遮断部 (C) は光を完全に遮断する機能を有し、前記透過部 (A) は、光を透過させて、光に露出した感光層 8 0 が化学的变化を起こして完全露光されるようにする機能をする。

【 0 0 2 9 】

この時、前記ゲート電極 2 5 の両端には遮断部 (C) が位置するようにし、前記遮断部 (C) の間には半透過部 (B) が位置するようにし、後述するデータ配線 (図 2 E の 3 0) に対応する領域及びデータパッド領域 (D P) には遮断部 (C) が位置するようにし、そしてこれを除いた残り領域には透過部 (A) が位置するようにする。

【 0 0 3 0 】

10

20

30

40

50

次に、前述したハーフトーンマスク（HTM）と離隔された上部で露光及び現像する工程を行う。

【0031】

図2Dに示したように、前述した露光及び現像する工程を行うと、前記ゲート電極25に対応する両遮断部（図2CのC）に対応した感光層（図2Cの80）はそのまま存在して、前記両遮断部（図2CのC）間の半透過部（図2CのB）に対応した感光層（図2Cの80）は半分程度が除去されて第1感光パターン82が残される。

【0032】

そして、後述するデータ配線（図2Eの30）及びデータパッド領域（DP）に対応した感光層（図2Cの80）はそのまま存在して第2及び第3感光パターン84、86がそれぞれ残されて、これを除いた全領域の感光層（図2Cの80）は全て除去されてその下部のソース及びドレイン金属層75が露出される。

10

【0033】

次に、前記第1ないし第3感光パターン82、84、86をマスクとして利用して、前記露出したソース及びドレイン金属層75をパターニングする段階を行う。

【0034】

図2Eに示したように、前述したソース及びドレイン金属層（図2Dの75）をパターニングする段階を行うと、前記ゲート電極25に対応するソース及びドレイン金属パターン72と、データ配線30と、データ配線の終端のデータパッド領域（DP）にはデータパッド62が形成される。

20

【0035】

そして、これを除いた残り全領域のソース及びドレイン金属層（図2Dの75）が全て除去されてその下部の不純物非晶質シリコン層41aが露出される。

【0036】

この時、前記ソース及びドレイン金属パターン72はデータ配線30と電氣的に連結される。

【0037】

また、前述した乾式エッチング工程を行うと、前記ソース及びドレイン金属パターン72とデータ配線30及びデータパッド62下部にはこれらとそれぞれ等しい幅に積層されたアクティブ層40とオーミックコンタクトパターン41bが形成され、これを除いた全領域の純粋及び不純物非晶質シリコン層（図2Eの40a、41a）は全て除去される。

30

【0038】

図2Fに示したように、前記残された第1ないし第3感光パターン82、84、86をアッシング（ashing）する段階を行うと、前記第1ないし第3感光パターン82、84、86の厚さが半分程度に低くなる。

【0039】

特に、前記ゲート電極25に対応する第1感光パターン82の両端間にソース及びドレイン金属パターン72が露出される。

【0040】

この時、前記データ配線30とデータパッド62とソース及びドレイン金属パターン72の両側終端（F）を覆う第1ないし第3感光パターン82、84、86と、前記ソース及びドレイン電極32、34の離隔された間の区間（G）を覆う第1感光パターン82の一部が共に除去されて、この部分に対応した配線の一部がそれぞれ露出される。

40

【0041】

図2Gに示したように、前記残された第1ないし第3感光パターン82、84、86をマスクとして利用して、前記露出したソース及びドレイン金属パターン72をパターニングする段階を行う。

【0042】

前述したソース及びドレイン金属パターン（図2Fの72）をパターニングする段階を

50

行くと、前記ゲート電極 2 5 に対応して互いに離隔されたソース電極 3 2 とドレイン電極 3 4 が形成される。

【 0 0 4 3 】

この時、前記露出した F と G 部分（図 2 F 参照）に対応したソース及びドレイン金属パターン（図 2 F の 7 5 ）が共に除去されて、その下部のオーミックコンタクト層 4 1 も露出される。

【 0 0 4 4 】

次に、前記ソース及びドレイン電極 3 2 、 3 4 の離隔された間で露出したオーミックコンタクト層 4 1 を乾式エッチング工程で除去して、前記オーミックコンタクト層 4 1 の下部に露出したアクティブ層 4 0 をオーバーエッチングしてこの部分をチャンネル（c h ）で活用する。

10

【 0 0 4 5 】

ここで、前記アクティブ層 4 0 及びオーミックコンタクト層 4 1 を半導体層 4 2 と定義することができるが、前記半導体層 4 2 は前記ゲート電極 2 5 とその一部が重なった島状に構成されることが望ましいが、マスク工程数の節減のために半導体層 4 2 とデータ配線 3 0 とソース及びドレイン金属パターン 7 2 を連続的に積層した三重層を一括的にパターンニングする過程でデータ配線 3 0 及びデータパッド 6 2 の下部に前記半導体層 4 2 が延長された形態で構成されることが一般的である。

【 0 0 4 6 】

この時、前記 F と G 部分（図 2 F 参照）に対応したオーミックコンタクト層 4 1 が共に除去されてその下部のアクティブ層 4 0 がデータ配線 3 0 とソース及びドレイン電極 3 2 、 3 4 とデータパッド 6 2 の外部に突出される。

20

【 0 0 4 7 】

ここで、前記 G 部分（図 2 F 参照）に対応したソース及びドレイン金属パターン（図 2 F の 7 2 ）の場合、希望する離隔距離を外れた状態でソース及びドレイン電極 3 2 、 3 4 が形成される。

【 0 0 4 8 】

この時、既に希望する離隔距離を外れたソース及びドレイン電極 3 2 、 3 4 と第 1 感光パターン（図 2 F の 8 2 ）の下部に対応したオーミックコンタクトパターン（図 2 F の 4 1 b ）もこれと同じ長さに除去されて互いに両分されるので、結論的にチャンネル（c h ）の長さを長くなるしかなく、設計された薄膜トランジスタ（T）の駆動特性を確保することができない問題がある。

30

【 0 0 4 9 】

ここで、前記ゲート電極 2 5 と半導体層 4 2 とソース及びドレイン電極 3 2 、 3 4 は薄膜トランジスタ（T）を形成する。

【 0 0 5 0 】

次に、残された第 1 ないし第 3 感光パターン 8 2 、 8 4 、 8 6 をストリップ工程で除去する。

【 0 0 5 1 】

図 2 H は第 3 マスク工程段階を示した断面図である。

40

【 0 0 5 2 】

図 2 H に示したように、前記データ配線 3 0 と薄膜トランジスタ（T）等が形成された基板 1 0 上部全面に窒化シリコン（SiNx）と酸化シリコン（SiO₂）を含む無機絶縁物質グループのうちから選択された一つ、またはアクリル系樹脂とベンゾシクロブテン（benzocyclobutene：BCB）を含む有機絶縁物質グループのうちから選択された一つで保護膜 5 5 が形成される。

【 0 0 5 3 】

次に、前記ドレイン電極 3 4 とゲート及びデータパッド 5 2 、 6 2 に対応した保護膜 5 5 の一部をパターンニングすると、前記ドレイン電極 3 4 の一部が露出されたドレインコンタクトホール（CH1）と、前記ゲート及びデータパッド 5 2 、 6 2 の一部が露出された

50

ゲート及びデータパッドコンタクトホール（ＣＨ２、ＣＨ３）がそれぞれ形成される。

【００５４】

しかし、前述したドレインコンタクトホール（ＣＨ１）とゲート及びデータパッドコンタクトホール（ＣＨ２、ＣＨ３）を形成する過程で、前記ゲートパッド５２上部にはゲート絶縁膜４５と保護膜５５が積層された状態であって、前記ドレイン電極３２とデータパッド６２上部には保護膜５５が存在する。この時、前記ドレインコンタクトホール（ＣＨ１）とゲート及びデータパッドコンタクトホール（ＣＨ２、ＣＨ３）を同時に形成する過程で、各配線を覆う絶縁膜の相異なった厚さ差でエッチングされる比率が変わっていずれか一つの配線が完全に露出されない時、後続工程で製作される配線との接触不良を引き起こす。

10

【００５５】

図２Ⅰは第４マスク工程段階を示した断面図である。

【００５６】

図２Ⅰに示したように、前記ドレインコンタクトホール（ＣＨ１）とゲート及びデータパッドコンタクトホール（ＣＨ２、ＣＨ３）を含む保護膜５５上にインジウム・スズ・オキサイド（ＩＴＯ）またはインジウム・ジंक・オキサイド（ＩＺＯ）のような透明な導電性金属グループのうちから選択された一つで透明金属層（図示せず）を形成してこれをパターンングすれば、前記ドレイン電極３４と接触した画素電極７０と、前記ゲート及びデータパッド５２、６２とそれぞれ接触したゲート及びデータパッド電極５４、６４が形成される。

20

【００５７】

この時、前記画素電極７０は、前段のゲート配線２０と重なるように延長構成して、前記前段のゲート配線２０を第１電極として、前記画素電極７０を第２電極として、その間に介在されたゲート絶縁膜４５と保護膜５５を誘電体層とするストレージキャパシタ（Ｃｓｔ）が形成される。

【００５８】

以上で、前述した工程を通じて、従来の４マスク工程による液晶表示装置用アレイ基板を製作することができる。

【発明の概要】

【発明が解決しようとする課題】

30

【００５９】

しかし、４マスク工程で製作された液晶表示装置用アレイ基板では、データ配線３０、ソース及びドレイン電極３２、３４と半導体層４２を同一マスクで形成する過程で前記半導体層４２、特にアクティブ層４０がデータ配線３０とソース及びドレイン電極３２、３４の下部でその外部に突出した形態で構成されることが一般的である。

【００６０】

このような構成は前記薄膜トランジスタ（Ｔ）のアクティブ層４０がデータ配線３０下部のアクティブ層４０と連結されるので、ゲート電極２５によって遮られないで下部のバックライトの光に露出して光電流を誘発することができ、前記光電流は薄膜トランジスタ（Ｔ）で漏れ電流で作用して薄膜トランジスタ（Ｔ）の駆動に致命的な副作用を引き起こす。

40

【００６１】

そして、データ配線３０の下部に位置したアクティブ層４０はデータ配線３０から突出しており、データ配線３０下部のアクティブ層４０と画素電極７０間のカップリングキャップが予想外に大きくなり、これにより液晶の再配列に悪影響を及ぼし、表示映像に波形の線が現われるウエイビーノイズ（wavy noise）が発生する。

【００６２】

また、従来の４マスク工程はマスク数の増加をもたらしたのであり、前記マスク数の増加は装備初期投資額と製造原価を上昇させる問題を引き起こす。

【課題を解決するための手段】

50

【0063】

本発明は前述した問題を解決するために案出されたことで、3マスク工程による液晶表示装置用アレイ基板で島状に半導体層を構成することにより、マスク数の減少と信頼性を向上することを目的にする。

【0064】

また、マスク数の減少のために3マスク工程で液晶表示装置用アレイ基板を製作する過程で、リフトオフ工程による不良を最小化することができることをまた他の目的にする。

【0065】

前述した目的を達成するために、本発明による液晶表示装置用アレイ基板は、基板と；前記基板上部のゲート配線と；前記ゲート配線と交差して画素領域を定義するデータ配線と；前記ゲート配線及びデータ配線に連結されて、前記ゲート配線に連結されるゲート電極と、その境界が前記ゲート電極内に配置される半導体層と、前記データ配線に連結されるソース電極と、前記ソース電極と離隔されたドレイン電極を含む薄膜トランジスタと；前記データ配線と前記薄膜トランジスタを覆う保護パターンと；前記ドレイン電極から延長される画素電極を含む。

10

【0066】

前記液晶表示装置用アレイ基板は前記データ配線の一端のゲートパッドと、前記ゲート配線の一端のデータパッドをさらに含んで、前記ゲートパッドは前記データパッドと同一物質及び同一層で構成されることを特徴とする。

【0067】

そして、前記液晶表示装置用アレイ基板は前記ゲートパッドと接触するゲートパッド電極と、前記データパッドに接触するデータパッド電極をさらに含んで、前記ゲートパッド電極及びデータパッド電極は前記保護パターンを介して露出することを特徴とする。

20

【0068】

また、前記液晶表示装置用アレイ基板は前記ゲート配線に平行に離隔される共通配線と；前記画素領域に形成されて、前記画素電極と離隔される共通電極をさらに含む。

【0069】

前記データ配線と、前記ソース電極と、前記ドレイン電極はそれぞれ第1導電物質層と、前記第1導電物質層上部の第2金属層の二重層構造であることを特徴としており、前記画素電極は前記保護パターンを介して露出する前記第1導電物質層を含むことを特徴としており、前記第1導電物質層はインジウム - スズ - オキサイド (ITO) とインジウム - ジンク - オキサイド (IZO) で構成される透明物質グループのうちから選択された一つで構成されることを特徴とする。

30

【0070】

この時、前記液晶表示装置用アレイ基板は前記半導体層と前記ソース電極間と、前記半導体層と前記ドレイン電極間に形成されるバッファ金属層をさらに含んで、前記半導体層は純粋非晶質シリコンで構成されたアクティブ層と、不純物非晶質シリコンで構成されたオーミックコンタクト層を含むことを特徴として、前記バッファ金属層はモリブデンで構成されることを特徴としており、前記第2導電物質層は銅、モリブデン、モリブデン合金、アルミニウム、アルミニウム合金、クロムで構成される不透明物質グループのうちから選択された一つで構成されることを特徴とする。

40

【0071】

そして、前記画素電極は前記ドレイン電極から延長された延長部と、前記延長部から垂直に分岐した複数の垂直部を含んで、前記共通電極は前記画素電極の複数の垂直部と交互に配置される複数の垂直部を含むことを特徴として、前記液晶表示装置用アレイ基板は前記ゲート配線を覆うゲート絶縁膜をさらに含んで、前記共通電極は前記ゲート絶縁膜に形成された共通コンタクトホールを介して前記共通配線に連結されることを特徴とする。

【0072】

また、前記画素電極及び共通電極はそれぞれ前記保護パターンを介して露出する第1導電物質層を含むことを特徴として、前記第1導電物質層はインジウム - スズ - オキサイド

50

(ITO)とインジウム - ジンク - オキサイド (IZO) で構成される透明物質グループのうちから選択された一つまたはモリブデン合金で構成される不透明物質グループのうちから選択された一つで構成されることを特徴としており、前記第2導電物質層は銅、モリブデン、モリブデン合金、アルミニウム、アルミニウム合金、クロムで構成される不透明物質グループのうちから選択された一つで構成されることを特徴とする。

【0073】

そして、前記画素電極は隣接した画素領域の隣接したゲート配線に重なって、前記隣接したゲート配線の重畳部を第1キャパシタ電極として含んで前記画素電極の重畳部を第2キャパシタ電極として含むストレージキャパシタを定義する。

【0074】

一方、本発明による液晶表示装置用アレイ基板の製造方法は、基板上部に、ゲート配線と、前記ゲート配線に連結されるゲート電極と、前記ゲート配線の一端のゲートパッドを形成する第1マスク工程段階と；前記ゲート配線、ゲート電極及びゲートパッド上部にゲート絶縁膜を形成する段階と；前記ゲート絶縁膜上部に、その境界が前記ゲート電極内に配置される半導体層を形成する第2マスク工程段階と；前記ゲート配線と交差するデータ配線と、前記データ配線に連結されるソース電極と、前記ソース電極と離隔されるドレイン電極と、前記ドレイン電極から延長される画素電極と、前記ゲートパッドに接触するゲートパッド電極と、前記データ配線に連結されるデータパッド電極を形成して、前記データ配線、ソース電極及びドレイン電極上部に保護パターンを形成する第3マスク工程段階を含む。

【0075】

そして、前記第1マスク工程段階は前記基板上部にデータパッドを形成する段階をさらに含んで、前記第2マスク工程段階は前記ゲート絶縁膜にデータパッドコンタクトホールを形成する段階をさらに含んで、前記データパッド電極は前記データパッドコンタクトホールを介して前記データパッドと接触することを特徴とする。

【0076】

また、前記第2マスク工程段階は、前記ゲート絶縁膜上部に純粋シリコン層及び不純物シリコン層を連続的に形成する段階と；前記不純物シリコン層上部に、第1部分と、前記第1部分より大きい厚さを有する第2部分を含んで、前記ゲートパッド及びデータパッドに対応するゲート絶縁膜を露出する第1感光パターンを形成する段階と；前記第1感光パターンをエッチングマスクとして利用して前記不純物シリコン層と前記純粋シリコン層をパターンニングする段階と；前記第1感光パターンを部分的に除去して前記ゲート電極に対応する第2感光パターンを形成する段階と；前記第2感光パターンをエッチングマスクとして利用して前記不純物シリコン層、純粋シリコン層及びゲート絶縁膜をパターンニングして前記半導体層を形成して前記ゲートパッドを露出するゲートパッドコンタクトホールを前記ゲート絶縁膜に形成する段階をさらに含むことを特徴とする。

【0077】

ここで、前記第1感光パターンを形成する段階は、前記不純物シリコン層上部に感光層を形成する段階と；前記感光層上部に、前記ゲートパッド及びデータパッドに対応する透過部と、前記ゲート電極に対応する遮断部と、透過率が前記遮断部より大きくて前記透過部より小さい半透過部を含むマスクを配置する段階と；前記マスクを介して前記感光層を露光する段階と；前記感光層を現像して前記第1感光パターンを形成する段階を含むことを特徴とする。

【0078】

そして、前記第3マスク工程段階は、前記半導体層上部に第1及び第2導電物質層を連続的に形成する段階と；前記第2導電物質層上部に、第1部分と、前記第1部分より大きい厚さを有する第2部分を含んで、前記ゲート電極に対応する前記第2導電物質層を露出する第1感光パターンを形成する段階と；前記第1感光パターンをエッチングマスクとして利用して前記第2導電物質層と前記第1導電物質層をエッチングして前記データ配線と、前記ソース電極と、前記ドレイン電極と、画素電極パターンを形成する段階と；前記第

10

20

30

40

50

1 感光パターンを部分的に除去して前記画素電極パターンに対応する第2感光パターンを形成する段階と；前記第2感光パターン、データ配線、ソース電極及びデータ電極上部に保護層を形成する段階と；前記第2感光パターンと、前記第2感光パターン上部の保護層を除去して保護パターンを形成する段階と；前記画素電極パターンの前記第2導電物質層を除去して前記画素電極を形成する段階を含むことを特徴とする。

【0079】

この時、前記第1感光パターンを形成する段階は、前記第2導電物質層上部に感光層を形成する段階と；前記感光層上部に、前記半導体層の中央部に対応する透過部と、前記画素電極に対応する遮断部と、前記データ配線、ソース電極及びドレイン電極に対応して、透過率が前記遮断部より大きくて前記透過部より小さい半透過部を含むマスクを配置する段階と；前記マスクを介して前記感光層を露光する段階と；前記感光層を現像して前記第1感光パターンを形成する段階を含むことを特徴とする。

10

【0080】

一方、前記保護パターンはスパターリング法によって形成されることを特徴として、前記液晶表示装置用アレイ基板の製造方法は、前記第1マスク工程段階を通じて、前記基板上部に共通配線を形成する段階と；前記第3マスク工程段階を通じて、前記共通配線に連結されて、前記画素領域で前記画素電極と交互に配置される共通電極を形成する段階をさらに含むことを特徴とする。

【0081】

この時、前記第2マスク工程段階は、前記共通配線を露出する共通コンタクトホールを前記ゲート絶縁膜に形成する段階をさらに含むことを特徴とする。

20

【0082】

他の一方、本発明による液晶表示装置は、カラーフィルター基板と、第1項のアレイ基板と、前記カラーフィルター基板と前記アレイ基板間に介在された液晶層を含む。

【発明の効果】

【0083】

本発明では第一に、スパターリング法を利用して保護膜パターンを形成することを介してリフトオフ工程による不良を最小化することができる長所がある。

【0084】

第二に、半導体層をデータ配線、ソース及びドレイン電極と別個のマスクを利用して島状に構成することによって、光漏れ電流による画質不良を防止して画質を改善することができる効果がある。

30

【0085】

第三に、前述した半導体層及びデータ配線の構造は過度に設計されたブラックマトリックスの線幅を減らすことができ開口率が改善される長所がある。

【0086】

第四に、誘電体層としてゲート絶縁膜が利用されるのでストレージキャパシタの面積を最小化することができる長所がある。

【0087】

第五に、本発明ではデータ配線と薄膜トランジスタを包む保護膜パターンにより信頼性を向上することができる効果がある。

40

【図面の簡単な説明】

【0088】

【図1】従来の液晶表示装置用アレイ基板の単位画素を示した平面図。

【図2A】図1のII-II線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図2B】図1のII-II線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図2C】図1のII-II線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

50

- 【図 2 D】図 1 の II - II 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
。
- 【図 2 E】図 1 の II - II 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
。
- 【図 2 F】図 1 の II - II 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
。
- 【図 2 G】図 1 の II - II 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
。
- 【図 2 H】図 1 の II - II 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
。
- 【図 2 I】図 1 の II - II 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
。
- 【図 3】本発明の第 1 実施形態による液晶表示装置用アレイ基板の単位画素を示した平面図。
- 【図 4 A】図 3 の I V - I V 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
- 【図 4 B】図 3 の I V - I V 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
- 【図 4 C】図 3 の I V - I V 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
- 【図 4 D】図 3 の I V - I V 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
- 【図 4 E】図 3 の I V - I V 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
- 【図 4 F】図 3 の I V - I V 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
- 【図 4 G】図 3 の I V - I V 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
- 【図 4 H】図 3 の I V - I V 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
- 【図 4 I】図 3 の I V - I V 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
- 【図 4 J】図 3 の I V - I V 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
- 【図 4 K】図 3 の I V - I V 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
- 【図 4 L】図 3 の I V - I V 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
- 【図 4 M】図 3 の I V - I V 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
- 【図 5】本発明の第 2 実施形態による横電界方式液晶表示装置用アレイ基板の単位画素を示した平面図。
- 【図 6 A】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
- 【図 6 B】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
- 【図 6 C】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。
- 【図 6 D】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

10

20

30

40

50

【図 6 E】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 F】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 G】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 H】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 I】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

10

【図 6 J】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 K】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 L】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 M】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 7】本発明の第 3 実施形態による横電界方式液晶表示装置用アレイ基板の単位画素を示した平面図。

20

【図 8】図 7 の V I I I - V I I I 線に沿って切断した断面図。

【発明を実施するための形態】

【0089】

以下、添付した図面を参照して本発明による液晶表示装置について説明する。

【実施例 1】

【0090】

本発明の第 1 実施形態では、3 マスク工程で製作された液晶表示装置用アレイ基板で、アクティブ層とオーミックコンタクト層とバッファパターンを含む半導体層を島状に構成することを特徴とする。

【0091】

30

また、3 マスク工程時、リフトオフ工程の不良を最小化するためにスパターリング法を利用して保護膜パターンを形成することを特徴とする。

【0092】

図 3 は、本発明の第 1 実施形態による液晶表示装置用アレイ基板の単位画素を示した平面図である。

【0093】

図示したように、基板 100 上に一方向にその終端にゲートパッド 152 を有するゲート配線 120 と前記ゲート配線 120 から延長されたゲート電極 125 を構成する。

【0094】

40

前記ゲート配線 120 と垂直交差して画素領域 (P) を定義し、その終端にデータパッド 162 を有するデータ配線 130 と、前記データ配線 130 から延長された U 字状のソース電極 132 と、前記ソース電極 132 と離隔して互いに噛み合うようにドレイン電極 134 を構成する。この時、前記データ配線 130 とソース及びドレイン電極 132、134 は透明な導電性金属と不透明な導電性金属が順に積層された二重層で構成される。

【0095】

前記ゲートパッド 152 とデータパッド 162 は前記ゲート配線 120 と同一層同一物質で構成されて、前記ゲート及びデータパッド 152、162 はこれらの一部をそれぞれ露出するゲート及びデータパッドコンタクトホール (CH4、CH5) を介してゲートパッド電極 154 及びデータパッド電極 164 にそれぞれ接触する。この時、前記ゲートパッド電極 154 とデータパッド電極 164 は透明な導電性金属物質で構成される。

50

【0096】

前記ゲート配線120とデータ配線130の交差地点には薄膜トランジスタ(T)が構成されるので、前記薄膜トランジスタ(T)は、ゲート電極125と、前記ゲート電極125とその一部が重なった半導体層(図4Kの143)と、前記半導体層(図4Kの143)と接触して互いに離隔されたソース及びドレイン電極132、134を含んで構成される。

【0097】

前記半導体層(図4Kの143)は純粋非晶質シリコン(a-Si:H)で構成されたアクティブ層140と、不純物非晶質シリコン(n+a-Si:H)で構成されたオーミックコンタクト層(図4Kの141)を含む。

10

【0098】

前記半導体層(図4Kの143)は、データ配線130、ソース及びドレイン電極132、134と別途のマスクを利用して前記ゲート電極125上部でゲート電極125内部に配置されるように島状に構成する。したがって、半導体層(図4Kの143)は、下部のバックライト(図示せず)の光に露出しなく、薄膜トランジスタ(T)には光電流が生成されない。その結果光電流による薄膜トランジスタ(T)の電気的特性低下が防止される。

【0099】

この時、前記ソース及びドレイン電極132、134として透明な導電性金属と不透明な導電性金属が順に積層されて用いられる場合、前記不透明な導電性金属に比べて仕事関数が大きい透明な導電性金属がオーミックコンタクト層(図4Kの141)と直接的に接触するようになるが、透明な導電性金属層とオーミックコンタクト層(図4Kの141)との仕事関数差によって薄膜トランジスタ(T)のコンタクト抵抗が大きくなって、透明な導電性金属層とオーミックコンタクト層(図4Kの141)がオーミックコンタクトではない整流(rectifying)接触を形成するようになる。したがって、本発明では、透明な導電性金属とオーミックコンタクト層(図4Kの141)間のコンタクト抵抗を低めてオーミックコンタクトを形成するために、前記ソース及びドレイン電極132、134とオーミックコンタクト層(図4Kの141)間に金属物質のバッファー金属層(図4Kの142)を構成する。前記バッファー金属層(図4Kの142)はモリブデンを50の厚さに構成することが望ましい。

20

30

【0100】

ところが、他の実施形態で、ソース及びドレイン電極132、134とオーミックコンタクト層(図4Kの141)間を低い接触抵抗のオーミックコンタクトに作ることができるならば、バッファー金属層(図4Kの142)は省略することができる。例えば、オーミックコンタクト層(図4Kの141)を形成した後、プラズマ処理を行ってオーミックコンタクト層(図4Kの141)上部に非常に薄いシリコン窒化層(SiNx)を形成してバッファー離隔層として利用することができる。その場合、ソース及びドレイン電極132、134はバッファー離隔層上部に形成されてオーミックコンタクト層(図4Kの141)と直接接しないのでバッファー離隔層と接触するので、バッファー金属層を用いなくても低い接触抵抗とオーミックコンタクトを得ることができる。

40

【0101】

そして、前記ソース及びドレイン電極132、134の離隔された間に露出されたバッファー金属層(図4Kの142)とオーミックコンタクト層(図4Kの141)を順に除去してその下部のアクティブ層140をオーバーエッチングしてこの部分をチャネル(図示せず)で活用する。

【0102】

ここで、前記データ配線130とソース及びドレイン電極132、134を覆う保護層(図4Lの158a)を構成するので、前記保護層(図4Lの158a)はスパターリング法のような物理気相蒸着(physical vapor deposition: PVD)法で構成されたことを特徴とする。

50

【 0 1 0 3 】

前記ドレイン電極 1 3 4 と同一パターンで延長された画素電極 1 7 2 を画素領域 (P) に対応して構成する。この時、前記画素電極 1 7 2 は不透明な導電性金属は除去されて透明な導電性金属だけが存在する状態である。

【 0 1 0 4 】

そして、前記画素電極 1 7 2 は前段のゲート配線 1 2 0 と重なるように延長構成して、前記前段のゲート配線 1 2 0 を第 1 電極として、これに重なった前記画素電極 1 7 2 を第 2 電極とするストレージキャパシタ (C s t) を構成する。

【 0 1 0 5 】

前述した構成は 3 マスク工程による液晶表示装置用アレイ基板で半導体層を島状に構成することを特徴とする。 10

【 0 1 0 6 】

また、前記保護膜パターンをスパターリング法で構成したことを特徴とするので、これに対しては、以下本発明の第 1 実施形態による液晶表示装置用アレイ基板の製造方法を介して詳細に説明するようにする。

【 0 1 0 7 】

本発明の第 1 実施形態による液晶表示装置用アレイ基板の製造方法は 3 マスク工程段階に進める。

【 0 1 0 8 】

図 4 A ないし図 4 M は図 3 の I V - I V 線に沿ってそれぞれ切断して工程順序によって示した工程断面図である。 20

【 0 1 0 9 】

図 4 A は第 1 マスク工程段階を示した断面図である。

【 0 1 1 0 】

図 4 A に示したように、基板 1 0 0 上には画素領域 (P)、ゲートパッド領域 (G P) とデータパッド領域 (D P) が定義される。

【 0 1 1 1 】

前記複数の領域 (P、G P、D P) が定義された基板 1 0 0 上に銅 (C u)、アルミニウム (A l)、アルミニウム合金 (A l N d) 及びクロム (C r) のような導電性金属グループのうちから選択された一つでゲート金属層 (図示せず) を形成してこれを第 1 マスク (図示せず) を利用してパターニングすることによって、前記ゲート領域 (G) の一方にゲート配線 1 2 0 と、前記ゲート配線 1 2 0 から延長されたゲート電極 1 2 5 と、前記ゲート配線 1 2 0 の一端に位置したゲートパッド領域 (G P) にゲートパッド 1 5 2 を形成する。 30

【 0 1 1 2 】

これと同時に、前記データ領域 (D) の一端に位置したデータパッド領域 (D P) に対応してデータパッド 1 6 2 を形成する。この時、前記データパッド 1 6 2 は電氣的に絶縁された状態である。

【 0 1 1 3 】

ここで、前記データパッド 1 6 2 の場合、後続工程で形成されるデータ配線 (図 5 の 2 3 0) と同一層同一物質で形成することができる。 40

【 0 1 1 4 】

次に、前記ゲート電極 1 2 5、ゲート配線 1 2 0 とゲート及びデータパッド 1 5 2、1 6 2 が形成された基板 1 0 0 上に窒化シリコン (S i N x) と酸化シリコン (S i O₂) 等のような無機絶縁物質グループのうちから選択された一つを蒸着してゲート絶縁膜 1 4 5 を形成する。

【 0 1 1 5 】

図 4 B は第 2 マスク工程段階を示した断面図である。

【 0 1 1 6 】

図 4 B に示したように、前記ゲート絶縁膜 1 4 5 が形成された基板 1 0 0 上に純粋非晶 50

質シリコン (a - Si : H) で構成された純粋非晶質シリコン層 1 4 0 a を形成して、前記純粋非晶質シリコン層 1 4 0 a 上に不純物非晶質シリコン層 1 4 1 a を形成する。

【 0 1 1 7 】

この時、一例で前記純粋及び不純物非晶質シリコン層 1 4 0 a 、 1 4 1 a はプラズマ化学気相蒸着法で前記ゲート絶縁膜 1 4 5 と同じチャンバー内で連続的に形成することができる。

【 0 1 1 8 】

次に、前記純粋及び不純物非晶質シリコン層 1 4 0 a 、 1 4 1 a が形成された基板 1 0 0 上にモリブデン (Mo) を 5 0 の厚に蒸着してバッファ金属物質層 1 4 2 a を形成する。

10

【 0 1 1 9 】

図 4 C に示したように、前記バッファ金属物質層 1 4 2 a が形成された基板 1 0 0 上にフォトレジストを塗布して第 1 感光層 1 8 0 を形成して、これとは離隔された上部に透過部 (A) と半透過部 (B) と遮断部 (C) で構成された第 2 マスク (M 1 2) を配置整列する段階を行う。

【 0 1 2 0 】

前記第 2 マスク (M 1 2) は、前記半透過部 (B) に半透明膜またはスリットパターンを形成して光の強度を低めたり光の透過量を低めて前記第 1 感光層 1 8 0 が不完全露光されることができるようにする機能をする。

20

【 0 1 2 1 】

また、前記遮断部 (C) は光を完全に遮断する機能をして、前記透過部 (A) は光を透過させて光に露出した第 1 感光層 1 8 0 が化学的变化を起こして完全露光されることができるようにする機能をする。

【 0 1 2 2 】

この時、前記ゲート電極 1 2 5 に対応して遮断部 (C) が位置して、前記ゲートパッド領域 (G P) とデータパッド領域 (D P) それぞれに対応して透過部 (A) が位置して、そしてこれらを除いた全領域は半透過部 (B) が位置するようにする。

【 0 1 2 3 】

次に、図 4 D に示したように、前記第 2 マスク (図 4 C の M 1 2) を利用して前記第 1 感光層 1 8 0 を露光した後、現像して、第 1 感光パターン 1 8 2 を形成する。

30

【 0 1 2 4 】

第 1 感光パターン 1 8 2 は、前記第 2 マスク (図 4 C の M 1 2) の半透過部 (図 4 C の B) に対応する第 1 部分 1 8 2 a と、第 2 マスク (図 4 C の M 1 2) の遮断部 (図 4 C の C) に対応する第 2 部分 1 8 2 b で構成される。

【 0 1 2 5 】

すなわち、第 1 感光層 1 8 0 の露光及び現像によって、ゲート電極 1 2 5 に対応した第 1 感光層 (図 4 C の 1 8 0) はそのまま存在して第 1 感光パターン 1 8 2 の第 2 部分 1 8 2 b になって、前記ゲート及びデータパッド領域 (G P 、 D P) に対応した第 1 感光層 (図 4 C の 1 8 0) は全て除去されてその下部のバッファ金属物質層 1 4 2 a が露出され、これを除いた全領域に対応する第 1 感光層 (図 4 C の 1 8 0) はその一部が除去されて高さが半分程度に低くなった状態で第 1 感光パターン 1 8 2 の第 1 部分 1 8 2 a になる。

40

【 0 1 2 6 】

次に、図 4 E に示したように、前記第 1 感光パターン 1 8 2 をエッチングマスクとして利用して、前記ゲート及びデータパッド領域 (G P 、 D P) それぞれの一部に対応して露出したバッファ金属物質層 1 4 2 a と不純物及び純粋非晶質シリコン層 1 4 1 a 、 1 4 0 a とゲート絶縁膜 1 4 5 を順に除去する段階を行う。

【 0 1 2 7 】

この時、前記ゲート及びデータパッド領域 (G P 、 D P) それぞれに対応したゲート絶縁膜 1 4 5 は一部分が除去されてその下部に一部分が残る。例えば、残されたゲート絶縁

50

膜 1 4 5 の厚さは最初形成された厚さの半分以下であることができる。

【 0 1 2 8 】

ゲート絶縁膜 1 4 5 が一部除去されるので、後続するゲートパッド及びデータパッド 1 5 2、1 6 2 のパッドオープニング工程が安定的に進められることができる。例えば、シリコン窒化膜 (S i N x) やシリコン酸化膜 (S i O ₂) のようなゲート絶縁膜 1 4 5 のエッチング率 (e t c h r a t e) は不純物及び純粋非晶質シリコン層 1 4 1 a、1 4 0 a のエッチング率より低いので、ゲート絶縁膜 1 4 5 をあらかじめ一部除去しない場合、後続するパッドオープニング工程でゲート絶縁膜 1 4 5 が一部残ってゲートパッド及びデータパッド 1 5 2、1 6 2 が露出されなかったりパッドオープニング工程の工程時間が過度に長くなる。また、ゲート絶縁膜 1 4 5 をあらかじめ完全に除去する場合、後続するパッドオープニング工程でゲートパッド及びデータパッド 1 5 2、1 6 2 が劣化する。

10

【 0 1 2 9 】

次に、図 4 F に示したように、前記第 1 感光パターン 1 8 2 をアッシングする段階を行うと、前記第 1 感光パターン 1 8 2 の第 1 部分 1 8 2 a は全て除去されてその下部のバッファ金属物質層 1 4 2 a が露出されて、第 1 感光パターン 1 8 2 の第 2 部分 1 8 2 b は一部除去されてその高さが半分程度に低くなった第 2 感光パターン 1 8 4 になる。

【 0 1 3 0 】

次に、図 4 G に示したように、前記第 2 感光パターン 1 8 4 をエッチングマスクとして利用して、前記露出したバッファ金属物質層 1 4 2 a と不純物非晶質シリコン層 1 4 1 a と純粋非晶質シリコン層 1 4 0 a を一括的にパターンニングする段階を通じて、前記ゲート電極 1 2 5 の内部で重なった島状の半導体パターン 1 4 4 とバッファパターン 1 4 2 b が形成される。

20

【 0 1 3 1 】

この時、前記半導体パターン 1 4 4 は、純粋非晶質シリコンで構成されたアクティブ層 1 4 0 と、不純物非晶質シリコンで構成されたオーミックコンタクトパターン 1 4 1 b を含む。

【 0 1 3 2 】

これと同時に、前記ゲート及びデータパッド領域 (G P、D P) に対応して残された一部ゲート絶縁膜 1 4 5 が共に除去されて、前記ゲート及びデータパッド 1 5 2、1 6 2 それぞれの一部を露出するゲートパッドコンタクトホール (C H 4) とデータパッドコンタクトホール (C H 5) が形成される。

30

【 0 1 3 3 】

本発明の第 1 実施形態では、第 2 マスク工程段階で前記ゲート電極 1 2 5 とその一部が重なった半導体パターン 1 4 4 を島状に構成することを特徴とするので、このような構成はバックライトに半導体パターン 1 4 4 の露出に起因した光漏れ電流を防止して、画質不良を防止することができる長所がある。

【 0 1 3 4 】

また、図 1 のような従来技術では、データ配線 3 0 とソース及びドレイン電極 3 2、3 4 の下部で、これら外部に突出して構成されたアクティブ層 4 0 を遮るためにアレイ基板と対向合着されるカラーフィルター基板 (図示せず) に構成されたブラックマトリックス (図示せず) の線幅を過度に設計するしかない構造であったが、本発明では、データ配線 1 3 0 とソース及びドレイン電極 1 3 2、1 3 4 の下部に半導体パターン 2 4 4 が存在しないため、ブラックマトリックス (図示せず) の線幅を最小化することができてその結果開口率を改善することができる長所がある。

40

【 0 1 3 5 】

次に、前記残された第 2 感光パターン 1 8 4 をストリップ工程で除去することを介して第 2 マスク工程段階が完了する。

【 0 1 3 6 】

図 4 H ないし図 4 M は第 3 マスク工程段階を示した断面図である。

50

【 0 1 3 7 】

図 4 H に示したように、前記半導体パターン 1 4 4 とゲート及びデータパッドコンタクトホール (図 4 G の C H 4 、 C H 5) を含む基板 1 0 0 上にインジウム - スズ - オキサイド (I T O) またはインジウム - ジンク - オキサイド (I Z O) のような透明な導電性金属グループのうちから選択された一つで透明導電物質層 1 7 0 a を形成する。

【 0 1 3 8 】

連続的に、前記透明導電物質層 1 7 0 a が形成された基板 1 0 0 上に銅 (C u) 、モリブデン (M o) 、モリブデン合金 (M o T i) 、アルミニウム (A l) 、アルミニウム合金 (A l N d) 及びクロム (C r) のような導電性金属グループのうちから選択された一つまたはそれ以上に不透明導電物質層 1 7 5 を形成するので、抵抗が低く電気伝導度が優秀な銅を利用することが望ましい。

10

【 0 1 3 9 】

次に、前記透明導電物質層 1 7 0 a と不透明導電物質層 1 7 5 とが形成された基板 1 0 0 上にフォトレジストを塗布して第 2 感光層 1 9 0 を形成して、これと離隔された上部に第 3 マスク (M 1 3) を配置整列する段階を行う。

【 0 1 4 0 】

この時、第 3 マスク (M 1 3) は透過部 (A) 、半透過部 (B) 、遮断部 (C) を含み、前記画素領域 (P) とゲート及びデータパッド領域 (G P 、 D P) に対応して遮断部 (C) が位置し、前記半導体パターン 1 4 4 に対応して両端の半透過部 (B) 及び半透過部 (B) 間の透過部 (A) が位置し、後続される工程でデータ配線 (図 3 の 1 3 0) が形成される領域に対応して半透過部 (B) が位置し、そしてこれらを除いた残り領域には透過部 (A) が位置するように整列される。

20

【 0 1 4 1 】

次に、図 4 I に示したように、前記第 3 マスク (図 4 H の M 1 3) を利用して第 2 感光層 (図 4 H の 1 9 0) を露光した後現像して、第 3 感光パターン 1 9 2 を形成する。

【 0 1 4 2 】

第 3 感光パターン 1 9 2 は、第 3 マスク (図 4 H の M 1 3) の半透過部 (図 4 H の B) に対応する第 1 部分 1 9 2 a と、第 3 マスク (図 4 H の M 1 3) の遮断部 (図 4 H の C) に対応する第 2 部分 1 9 2 b を含む。

【 0 1 4 3 】

すなわち、第 2 感光層 (図 4 H の 1 9 0) の露光現像によって、前記半導体パターン 1 4 4 両端の半透過部 (図 4 H の B) 間の透過部 (図 4 H の A) に対応した第 2 感光層 (図 4 H の 1 9 0) は完全に除去されてその下部の不透明導電物質層 1 7 5 が露出され、前記両端の半透過部 (図 4 H の B) に対応した第 2 感光層 (図 4 H の 1 9 0) は、その一部が除去されて高さが低くなった状態で第 3 感光パターン 1 9 2 の第 1 部分 1 9 2 a になる。

30

【 0 1 4 4 】

そして、前記画素領域 (P) と前記ゲート及びデータパッド領域 (G P 、 D P) で前記遮断部 (C) に対応した第 2 感光層 (図 4 H の 1 9 0) はそのまま存在して第 3 感光パターン 1 9 2 の第 2 部分 1 9 2 b になり、後続工程で形成されるデータ配線 (図 3 の 1 3 0) に対応した第 2 感光層 (図 4 H の 1 9 0) は、その一部が除去されて高さが低くなった状態で第 3 感光パターン 1 9 2 の第 1 部分 1 9 2 a になり、これを除いた残り領域の第 2 感光層 (図 4 H の 1 9 0) は全て除去されてその下部の不透明導電物質層 1 7 5 が露出される。

40

【 0 1 4 5 】

次に、図 4 J に示したように、前記第 3 感光パターン 1 9 2 をエッチングマスクとして利用して、前記露出した不透明導電物質層 1 7 5 とその下部の透明導電物質層 1 7 0 a を一括的にパターンニングする段階を行う。

【 0 1 4 6 】

この時、等方性を有する湿式エッチングを利用して第 3 感光パターン 1 9 2 の下部に位置する不透明導電物質層 1 7 5 と透明導電物質層 1 7 0 a がオーバーエッチングされるよ

50

うにして、前記第3感光パターン192の縁下部面が部分的に露出するようにする。

【0147】

上のような構成は、前記第3感光パターン192の露出した下部面上部に保護層を形成した後、前記第3感光パターン192とこれを覆う前記保護層を同時に除去する後続リフトオフ(lift-off)工程で、前記第3感光パターン192の露出した縁下部面にストリッパー(stripper)が容易に浸透することができるように誘導するためである。

【0148】

以後、前記第3感光パターン192をエッチングマスクとして利用して、等方性を有する湿式エッチングを利用したパターンニング工程を行って、前記半導体パターン144に対応して両側に離隔されたソース電極132とドレイン電極134を形成して、前記画素領域(P)に対応して画素電極パターン172aを形成する。

10

【0149】

これと同時に、前記ソース電極132に連結されるデータ配線130を形成して、前記ゲートパッド領域(GP)とデータパッド領域(DP)には前記ゲートパッド152と接触するゲートパッド電極パターン154aと、データパッド162と接触するデータパッド電極パターン164aをそれぞれ形成する。

【0150】

ここで、前記ソース及びドレイン電極132、134、画素電極パターン172a、データ配線130とゲート及びデータパッド電極パターン154a、164aは、透明導電物質層170aと不透明導電物質層175が積層された二重層で形成される。そして、前記画素電極パターン172aは前段のゲート配線120と重なるように延長された状態である。

20

【0151】

この時、前記ソース及びドレイン電極132、134、画素電極パターン172a、データ配線130とゲートパッド電極パターン及びデータパッド電極パターン154a、164aは、前述した等方性を有する湿式エッチング工程により各配線の両側終端の一部がオーバーエッチングされ、前記第3感光パターン192は、前記両端にオーバーエッチングされた部分により第3感光パターン192の縁下部面が部分的に露出した状態である。

【0152】

次に、図4Kに示したように、前記第3感光パターン(図4Jの192)をエッチングマスクとして利用して、前記ソース及びドレイン電極132、134の離隔区間を介して露出したバッファパターン142bとオーミックコンタクトパターン141bをパターンニングする段階を行う。

30

【0153】

前述したパターンニング工程を行うと、前記ソース及びドレイン電極132、134と等しい幅でバッファパターン142bとオーミックコンタクトパターン141bが両側に分離されて、それぞれバッファ金属層142とオーミックコンタクト層141になる。この時、前記両側に分離されたオーミックコンタクト層141下部に露出したアクティブ層140の一部をオーバーエッチングしてこの部分をチャンネル(ch)で活用し、前記アクティブ層140及びオーミックコンタクト層141を半導体層143として定義できる。

40

【0154】

ここで、前記ゲート電極125と、ソース及びドレイン電極132、134と、バッファ金属層142とアクティブ層及びオーミックコンタクト層140、141は薄膜トランジスタ(T)を形成する。

【0155】

この時、前記ソース及びドレイン電極132、134と前記オーミックコンタクト層141間に形成されたバッファ金属層142は、前記ソース及びドレイン電極132、134の透明導電物質層170aとオーミックコンタクト層141との仕事関数差を低める

50

役割をするので、薄膜トランジスタ (T) の駆動特性が改善される長所がある。

【 0 1 5 6 】

次に、前記第 3 感光パターン (図 4 J の 1 9 2) をアッシング (a s h i n g) する段階を行う。

【 0 1 5 7 】

前述したアッシング工程を行うと、前記画素領域 (P) とゲート及びデータパッド領域 (G P 、 D P) に対応した第 3 感光パターン (図 4 J の 1 9 2) の第 2 部分 (図 4 J の 1 9 2 b) は高さが半分程度低くなった状態で第 4 感光パターン 1 9 4 にり、前記薄膜トランジスタ (T) とデータ配線 1 3 0 に対応した第 3 感光パターン (図 4 J の 1 9 2) の第 1 部分 (図 4 J の 1 9 2 a) は全て除去され、下部のソース及びドレイン電極 1 3 2 、 1 3 4 とデータ配線 1 3 0 がそれぞれ露出される。

10

【 0 1 5 8 】

次に、図 4 L に示したように、前記第 4 感光パターン 1 9 4 を含む基板 1 0 0 上に酸化シリコンと窒化シリコンを含む無機絶縁物質グループのうちから選択された一つで保護層 1 5 8 a を形成する段階を行う。

【 0 1 5 9 】

前記保護層 1 5 8 a を、無機絶縁物質グループのうちから選択された一つをプラズマ化学気相蒸着 (p l a s m a c h e m i c a l v a p o r d e p o s i t i o n : P C V D) 法を利用して形成する場合、前記プラズマ化学気相蒸着法を利用した蒸着工程時 3 5 0 以上の高温工程を必要とするので、前記保護層 1 5 8 a の下部に感光特性を有する有機絶縁物質で形成された第 4 感光パターン 1 9 4 の耐熱性が 1 5 0 程度までしかなく、前記第 4 感光パターン 1 9 4 がつぶれたり、変形する問題が生じることがある。

20

【 0 1 6 0 】

前述した問題が生じた状態で前記保護層 1 5 8 a を続いて蒸着して行くと、結局、第 4 感光パターン 1 9 4 が前記保護層 1 5 8 a により完全に覆われる結果をもたらし、リフトオフ (l i f t - o f f) 工程時ストリッパーが円滑に浸透することができず、前記第 4 感光パターン 1 9 4 と保護層 1 5 8 a が残留するリフトオフ不良を引き起こす。

【 0 1 6 1 】

また、液晶表示装置用アレイ基板を完成した状態で前述した問題が生じる場合、残留する第 4 感光パターン 1 9 4 が液晶と反応して残像のような画質不良が発生する。

30

【 0 1 6 2 】

これを防止するために、本発明では、スパターリング法 (s p u t t e r i n g m e t h o d) のような物理気相蒸着法 (p h y s i c a l v a p o r d e p o s i t i o n : P V D) 法を利用して保護層 1 5 8 a を形成することを特徴とする。

【 0 1 6 3 】

前記スパターリング法を利用する場合、前記第 4 感光パターン 1 9 4 を 1 5 0 以下の低温工程で形成することができるので、前記第 4 感光パターン 1 9 4 がつぶれたり変形する心配がなく、副次的にはガラス基板ではないプラスチックのようなフレキシブルな基板に適用することができる長所がある。

【 0 1 6 4 】

40

この時、前記保護層 1 5 8 a は、前記第 4 感光パターン 1 9 4 それぞれに対応してその上部面の一部分を覆って、前記第 4 感光パターン 1 9 4 の段差により両側面縁に対応した部分と、これらの縁下部面には保護層 1 5 8 a が連結されて形成されなくて断絶された状態である。

【 0 1 6 5 】

そして、前記保護層 1 5 8 a は、前記第 4 感光パターン 1 9 4 が形成されていない前記データ配線 1 3 0 とソース及びドレイン電極 1 3 2 、 1 3 4 を覆って形成される。

【 0 1 6 6 】

次に、図 4 M に示したように、ストリッパー (s t r i p p e r) を利用したリフトオフ工程を行うと、前記第 4 感光パターン 1 9 4 の縁下部面の露出部にストリッパーが浸透

50

して、第4感光パターン194と、第4感光パターン194を覆う保護層158aが共に除去されて画素電極パターン172aとゲートパッド電極パターン及びデータパッド電極パターン154a、164aがそれぞれ露出される。そして、前記データ配線130とソース及びドレイン電極132、134を覆って形成された前記保護層158aは除去されなくてそのまま残って保護パターン158になる。

【0167】

以後、保護パターン158をエッチングマスクとして利用して画素電極パターン172a、ゲートパッド電極パターン154a、データパッド電極パターン164aの不透明導電物質層175を除去することによって、透明導電物質層170aの単一層で構成される画素電極172、ゲートパッド電極154、データパッド電極164を形成する。

10

【0168】

したがって、本発明では、3マスク工程で製作されながら、保護パターン158により前記データ配線130と、ソース及びドレイン電極132、134が覆われる構造で、異物からの不良を事前に防止することができて信頼性が改善される長所がある。

【0169】

この時、前記画素電極172とゲート及びデータパッド電極154、164は、透明導電物質層170aと不透明導電物質層175が積層された状態である。

【0170】

次に、前記保護パターン158をエッチングマスクとして利用して、前記画素電極172とゲート及びデータパッド電極154、164それぞれの最上層である不透明導電物質層175を除去する段階を行う。

20

【0171】

前述した不透明導電物質層175を除去する段階を通じて、前記画素電極172と、ゲート及びデータパッド電極154、164は透明な導電性金属で構成された単一層で形成される。

【0172】

言い換えると、前記ドレイン電極134は、不透明導電物質層175と透明導電物質層170aが積層された状態であって、前記ドレイン電極134から延長された前記画素電極172は透明な導電性金属層が存在する状態である。

【0173】

この時、前記画素電極172は、前段のゲート配線120と重なるように延長されて、前記前段のゲート配線120を第1電極として、これと重なった前記画素電極172を第2電極として、前記第1及び第2電極間に介在されたゲート絶縁膜145を誘電体層とするストレージキャパシタ(Cst)が構成される。

30

【0174】

前述したストレージキャパシタ(Cst)の構成は、従来と違い、第1及び第2電極間に介在されたゲート絶縁膜145が誘電体層として利用されるので、誘電体層の厚さ減少による第1及び第2電極の重畳面積を縮小設計することができる長所がある。

【0175】

以上で、前述した工程を介して本発明の第1実施形態による液晶表示装置用アレイ基板を製作することができる。

40

【0176】

上述のように、本発明の第1実施形態では、半導体層を島状に形成することを介して薄膜トランジスタの素子特性と開口率を改善することができ、前記データ配線とソース及びドレイン電極の上部を覆う保護膜パターンにより信頼性を確保することができる。

【0177】

また、スパターリング法を利用して保護膜パターンを形成することを介してリフトオフ工程による不良を最小化することができる長所がある。

【0178】

しかし、本発明の第1実施形態の場合、画素領域に対応して大面積に形成された画素電

50

極の場合ストリッパーが浸透することができる空間上の制約が伴う。

【0179】

これに対し、横電界方式の場合、アレイ基板上の画素領域に共通電極と画素電極を棒状で交互に構成することが一般的であるので、前述したスパターリング法を利用したリフトオフ工程に最適化した画素設計と言える。

【実施例2】

【0180】

以下、添付した図面を参照して、本発明の第2実施形態による横電界方式液晶表示装置について説明する。

【0181】

本発明の第2実施形態では、画素領域に対応して共通電極と画素電極が棒状で互い違いに構成された画素設計でリフトオフ工程をさらに効率的行うことができることを特徴とする。

【0182】

また、前記画素電極と共通電極を透明な導電性金属で製作することを介して輝度を改善することができることをまた他の特徴とする。

【0183】

図5は、本発明の第2実施形態による横電界方式液晶表示装置用アレイ基板の単位画素を示した平面図である。

【0184】

図示したように、基板200上に一方向にその終端にゲートパッド252を有するゲート配線220と前記ゲート配線220から延長されたゲート電極225と、前記ゲート配線220と平行に離隔された共通配線250を構成する。

【0185】

前記ゲート配線220及び共通配線250と垂直交差して画素領域(P)を定義し、その終端にデータパッド262を有するデータ配線230と、前記データ配線230から延長されたU字状のソース電極232と、前記ソース電極232と離隔して互いに噛み合うようにドレイン電極234を構成する。この時、前記データ配線230とソース及びドレイン電極232、234は透明な導電性金属と不透明な導電性金属が順に積層された二重層で構成される。

【0186】

前記ゲートパッド252とデータパッド262は、前記ゲート配線220と同一層同一物質で構成され、前記ゲート及びデータパッド252、262は、これらの一部をそれぞれ露出するゲート及びデータパッドコンタクトホール(CH6、CH7)を介してゲートパッド電極254及びデータパッド電極264にそれぞれ接触する。この時、前記ゲートパッド電極254とデータパッド電極264は透明な導電性金属物質で構成される。

【0187】

前記ゲート配線220とデータ配線230の交差点に薄膜トランジスタ(T)を構成するので、前記薄膜トランジスタ(T)は、ゲート電極225と、前記ゲート電極225とその一部が重なった半導体層(図6Kの243)と、前記半導体層(図6Kの243)と接触して互いに離隔されたソース及びドレイン電極232、234を含んで構成される。

【0188】

前記半導体層(図6Kの243)は、純粋非晶質シリコン(a-Si:H)で構成されたアクティブ層240と、不純物非晶質シリコン(n+a-Si:H)で構成されたオーミックコンタクト層(図6Kの241)を含む。

【0189】

前記半導体層(図6Kの243)は、データ配線230、ソース及びドレイン電極232、234と別途のマスクを利用して前記ゲート電極225とその一部が重なるように島状パターンで構成する。したがって、半導体層(図6Kの243)は下部のバックライト

10

20

30

40

50

(図示せず)の光に露出しなく、薄膜トランジスタ(T)には光電流が生成されない。その結果光電流による薄膜トランジスタ(T)の電気的特性低下が防止される。

【0190】

この時、前記ソース及びドレイン電極232、234が透明な導電性金属と不透明な導電性金属が順に積層されて用いられる場合、前記不透明な導電性金属に比べて仕事関数が大きい透明な導電性金属がオーミックコンタクト層(図6Kの241)と直接的に接触するようになるが、前記透明な導電性金属とオーミックコンタクト層(図6Kの241)との仕事関数差によって薄膜トランジスタ(T)のコンタクト抵抗が大きくなって、透明な導電性金属層とオーミックコンタクト層(図6Kの241)がオーミックコンタクトではない整流(rectifying)接触を形成するようになる。したがって、本発明では、透明な導電性金属とオーミックコンタクト層(図6Kの241)間のコンタクト抵抗を低めてオーミックコンタクトを形成するために、前記ソース及びドレイン電極232、234とオーミックコンタクト層(図6Kの241)との間に金属物質のバッファー金属層(図6Kの242)を構成する。前記バッファー金属層(図6Kの242)はモリブデンを50の厚さに構成することが望ましい。

10

【0191】

ところが、他の実施形態でソース及びドレイン電極232、234とオーミックコンタクト層(図6Kの241)との間を低い接触抵抗のオーミックコンタクトに作ることができるならば、バッファー金属層(図6Kの242)は省略することができる。例えば、オーミックコンタクト層(図6Kの241)を形成した後、プラズマ処理を行ってオーミックコンタクト層(図6Kの241)上部に非常に薄いシリコン窒化層(SiNx)を形成してバッファー離隔層として利用することができる。その場合、ソース及びドレイン電極232、234は、バッファー離隔層上部に形成されてオーミックコンタクト層(図6Kの241)と直接接しないのでバッファー離隔層と接触するので、バッファー金属層を用いなくても低い接触抵抗とオーミックコンタクトを得ることができる。

20

【0192】

そして、前記ソース及びドレイン電極232、234の離隔された間に露出されたバッファー金属層(図6Kの242)とオーミックコンタクト層(図6Kの241)を順に除去してその下部のアクティブ層240をオーバーエッチングしてこの部分をチャンネル(図示せず)で活用する。

30

【0193】

ここで、前記データ配線230とソース及びドレイン電極232、234の上部にはこれを覆う保護層(図6Lの258a)が構成されるので、前記保護層(図6Lの258a)はスパターリング法のような物理気相蒸着(physical vapor deposition: PVD)法で構成されたことを特徴とする。

【0194】

この時、前記ドレイン電極234と同一パターンで延長された画素電極272を画素領域(P)に対応して構成する。前記画素電極272は、前記ドレイン電極234から延長された延長部272bと、前記延長部272bから画素領域(P)に垂直に分岐した複数の垂直部272cと、前記複数の垂直部272cを一つに連結する連結部272dを含む。

40

【0195】

そして、前記共通配線250の一部を露出する共通コンタクトホール(CMH)を介して前記共通配線250と接触した複数の共通電極260を構成するので、前記共通電極260は前記画素電極垂直部272cと互いに交互に一定間隔で平行するように離隔して構成する。

【0196】

前記画素電極272と共通電極260は透明な導電性金属だけが存在する状態である。そして、前記共通配線250を第1電極として、これに重なった前記画素電極連結部272dを第2電極とするストレージキャパシタ(Cst)を構成する。

50

【 0 1 9 7 】

前述した構成は、3マスク工程による液晶表示装置用アレイ基板で半導体層を島状に構成することを特徴とする。

【 0 1 9 8 】

また、前述した構成は画素領域に対応して共通電極と画素電極が平行するように離隔して棒状で構成されるので、このような構成は棒状のコーナー部にストリッパーの浸透が容易であってリフトオフ工程に最適化した画素設計と言える。

【 0 1 9 9 】

これに対して、以下本発明の第2実施形態による横電界方式液晶表示装置用アレイ基板の製造方法を介して詳細に説明するようにする。

10

【 0 2 0 0 】

本発明の第2実施形態による横電界方式液晶表示装置用アレイ基板は、3マスク工程段階で製作される。

【 0 2 0 1 】

図6Aないし図6Mは図5のVI-VI線に沿ってそれぞれ切断して工程順序によって示した工程断面図である。

【 0 2 0 2 】

図6Aは第1マスク工程段階を示した断面図である。

【 0 2 0 3 】

図6Aに示したように、画素領域(P)、ゲートパッド領域(GP)とデータパッド領域(DP)が定義された基板200上に銅(Cu)、銅合金(AlNd)、アルミニウム(Al)、アルミニウム合金(AlNd)及びクロム(Cr)のような導電性金属グループのうちから選択された一つでゲート金属層(図示せず)を形成して第1マスク(図示せず)を利用してパターニングすることによって、ゲート配線220と、前記ゲート配線220から延長されたゲート電極225を形成して、前記ゲート配線220の一端に位置したゲートパッド領域(GP)にはゲートパッド252を形成する。

20

【 0 2 0 4 】

これと同時に、前記データパッド領域(DP)にはデータパッド262を形成して、前記画素領域(P)に隣接した領域には共通配線250を形成する。この時、前記共通配線250の一部分は画素領域(P)に延長された状態である。

30

【 0 2 0 5 】

ここで、前記データパッド262は、後続工程で形成されるデータ配線(図5の230)と同一層同一物質で形成することができる。

【 0 2 0 6 】

次に、前記ゲート電極225、ゲート配線220、共通配線250とゲートパッド252とデータパッド262が形成された基板200上に窒化シリコン(SiNx)と酸化シリコン(SiO₂)等のような無機絶縁物質グループのうちから選択された一つを蒸着してゲート絶縁膜245を形成する。

【 0 2 0 7 】

図6Bは第2マスク工程段階を示した断面図である。

40

【 0 2 0 8 】

図6Bに示したように、前記ゲート絶縁膜245が形成された基板200上に純粋非晶質シリコン(a-Si:H)で構成された純粋非晶質シリコン層240aを形成して、前記純粋非晶質シリコン層240a上に不純物非晶質シリコン層241aを形成する。

【 0 2 0 9 】

この時、一例では、前記純粋及び不純物非晶質シリコン層240a、241aはプラズマ化学気相蒸着法で前記ゲート絶縁膜245と同じチャンバー内で連続的に形成することができる。

【 0 2 1 0 】

50

次に、前記純粋及び不純物非晶質シリコン層 240 a、241 a が形成された基板 200 上にモリブデン (Mo) を 50 の厚に蒸着してバッファ金属物質層 242 a を形成する。

【0211】

図 6 C に示したように、前記バッファ金属物質層 242 a が形成された基板 200 上にフォトリソを塗布して第 1 感光層 280 を形成して、これとは離隔された上部に第 2 マスク (M22) を配置整列する段階を行う。

【0212】

第 2 マスク (M22) は、透過部 (A)、半透過部 (B)、遮断部 (C) を含んで、前記ゲート電極 225 に対応して遮断部 (C) が位置して、前記ゲートパッド領域 (GP) とデータパッド領域 (DP) と共通配線 250 の一部に対応して透過部 (A) が位置して、これらを除いた残りの領域には半透過部 (B) が位置するように整列される。

10

【0213】

次に、図 6 D に示したように、前記第 2 マスク (図 6 C の M22) を利用して第 1 感光層 280 を露光した後、現像して、第 1 感光パターン 282 を形成する。

【0214】

第 1 感光パターン 282 は、前記第 2 マスク (図 6 C の M22) の半透過部 (図 6 C の B) に対応する第 1 部分 282 a と、第 2 マスク (図 6 C の M22) の遮断部 (図 6 C の C) に対応する第 2 部分 282 b で構成される。

【0215】

すなわち、第 1 感光層 280 の露光及び現像によって、ゲート電極 225 に対応した第 1 感光層 (図 6 C の 280) はそのまま存在して第 1 感光パターン 282 の第 2 部分 282 b になり、前記ゲート及びデータパッド領域 (GP、DP) に対応した第 1 感光層 (図 6 C の 280) は全て除去されてその下部のバッファ金属物質層 242 a が露出されて、これを除いた全領域に対応する第 1 感光層 (図 6 C の 280) はその一部が除去されて高さが半分程度に低くなった状態で第 1 感光パターン 282 の第 1 部分 282 a になる。

20

【0216】

次に、図 6 E に示したように、前記第 1 感光パターン 282 をエッチングマスクとして利用して、前記ゲート及びデータパッド領域 (GP、DP) と前記共通配線 250 それぞれの一部に対応して露出したバッファ金属物質層 242 a と不純物及び純粋非晶質シリコン層 241 a、240 a とゲート絶縁膜 245 を順に除去する段階を行う。

30

【0217】

この時、前記ゲート及びデータパッド領域 (GP、DP) と共通配線 250 それぞれに対応したゲート絶縁膜 245 は一部分が除去されてその下部に一部分が残る。例えば、残されたゲート絶縁膜 245 の厚さは最初形成された厚さの半分以下であることができる。

【0218】

ゲート絶縁膜 245 が一部除去されるので、後続するゲートパッド及びデータパッド 252、262 のパッドオープニング工程が安定的に進められることができる。例えば、シリコン窒化膜 (SiNx) やシリコン酸化膜 (SiO₂) のようなゲート絶縁膜 245 のエッチング率 (etch rate) は不純物及び純粋非晶質シリコン層 241 a、240 a のエッチング率より低いので、ゲート絶縁膜 245 をあらかじめ一部除去しない場合後続するパッドオープニング工程でゲート絶縁膜 245 が一部残ってゲートパッド及びデータパッド 252、262 が露出されなかったりパッドオープニング工程の工程時間が過度に長くなる。また、ゲート絶縁膜 245 をあらかじめ完全に除去する場合後続するパッドオープニング工程でゲートパッド及びデータパッド 252、262 が劣化する。

40

【0219】

次に、図 6 F に示したように、前記第 1 感光パターン 282 をアッシングする段階を行うと、前記第 1 感光パターン 282 の第 1 部分 280 a は全て除去されてその下部のバッファ金属物質層 242 a が露出されて、第 1 感光パターン 282 の第 2 部分 282 b は一部除去されてその高さが半分程度に低くなった第 2 感光パターン 284 になる。

50

【0220】

次に、図6Gに示したように、前記第2感光パターン284をエッチングマスクとして利用して、前記露出したバッファ金属物質層242aと不純物非晶質シリコン層241aと純粋非晶質シリコン層240aを順に除去する段階を通じて、前記ゲート電極225とその一部が重なった島状の半導体パターン244とバッファパターン242bが形成される。

【0221】

この時、前記半導体パターン244は、純粋非晶質シリコンで構成されたアクティブ層240と、不純物非晶質シリコンで構成されたオーミックコンタクトパターン241bを含む。

10

【0222】

これと同時に、前記ゲート及びデータパッド領域(GP、DP)と共通配線250に対応して残したゲート絶縁膜245が共に除去されて、前記ゲート及びデータパッド252、262それぞれの一部を露出するゲートパッドコンタクトホール(CH6)とデータパッドコンタクトホール(CH7)と、前記共通配線250の一部を露出する共通コンタクトホール(CMH)がそれぞれ形成される。

【0223】

本発明の第2実施形態では、第2マスク工程段階で前記ゲート電極225とその一部が重なった半導体パターン244を島状に構成することを特徴とするので、このような構成はバックライトに半導体パターン244の露出に起因した光漏れ電流を防止して、画質不良を防止することができる長所がある。

20

【0224】

データ配線230とソース及びドレイン電極232、234の下部に半導体パターン244が存在しないため、ブラックマトリクス(図示せず)の線幅を最小化することができて、その結果開口率を改善することができる長所がある。

【0225】

次に、前記残された第2感光パターン284をストリップ工程で除去することを介して第2マスク工程段階が完了する。

【0226】

図6Hないし図6Mは第3マスク工程段階を示した断面図である。

30

【0227】

図6Hに示したように、前記半導体パターン244とゲート及びデータパッドコンタクトホール(図6GのCH6、CH7)と共通コンタクトホール(CMH)が形成された基板200上にインジウム-スズ-オキサイド(ITO)またはインジウム-ジnk-オキサイド(IZO)のような透明な導電性金属グループのうちから選択された一つで透明導電物質層270aを形成する。

【0228】

連続的に、前記透明導電物質層270aが形成された基板200上に銅(Cu)、モリブデン(Mo)、モリブデン合金(MoTi)、アルミニウム(Al)、アルミニウム合金(AlNd)及びクロム(Cr)のような導電性金属グループのうちから選択された一つまたはそれ以上に不透明導電物質層275を形成するので、抵抗が低く電気伝導度が優秀な銅を利用することが望ましい。

40

【0229】

次に、前記透明導電物質層270aと不透明導電物質層275が形成された基板200上にフォトレジストを塗布して第2感光層290を形成して、これと離隔された上部に第3マスク(M23)を配置整列する段階を行う。

【0230】

この時、第3マスク(M23)は、透過部(A)、半透過部(B)、遮断部(C)を含んで、前記画素領域(P)に対応して一定間隔で遮断部(C)と透過部(A)が交互に位置し、前記ゲート及びデータパッド領域(GP、DP)に対応して透過部(A)が位置し

50

、前記共通配線 250 に対応して両端の遮断部 (A) 及び遮断部 (A) 間の透過部 (C) が位置し、前記半導体パターン 144 に対応して両端の半透過部 (B) 及び半透過部 (B) 間の透過部 (A) が位置して、後続される工程でデータ配線 (図 5 の 230) が形成される領域に対応して半透過部 (B) が位置し、これらを除いた残り領域には透過部 (A) が位置するように整列される。

【0231】

次に、図 6 I に示したように、前記第 3 マスク (図 6 H の M23) を利用して第 2 感光層 (図 6 H の 290) を露光した後、現像して、第 3 感光パターン 292 を形成する。

【0232】

第 3 感光パターン 292 は、第 3 マスク (図 6 H の M23) の半透過部 (図 6 H の B) に対応する第 1 部分 292 a と、第 3 マスク (図 6 H の M23) の遮断部 (図 6 H の C) に対応する第 2 部分 292 b を含む。

10

【0233】

すなわち、第 2 感光層 (図 6 H の 290) の露光現像によって、前記半導体パターン 244 両端の半透過部 (図 6 H の B) 間の透過部 (図 6 H の A) に対応した第 2 感光層 (図 6 H の 290) は完全に除去されてその下部の不透明導電物質層 275 が露出されて、前記両端の半透過部 (図 6 H の B) に対応した第 2 感光層 (図 6 H の 290) はその一部が除去されて高さが低くなった状態で第 3 感光パターンの第 1 部分 292 a になる。

【0234】

そして、前記画素領域 (P) と共通配線 250 それぞれの透過部 (A) に対応した第 2 感光層 (図 10 F の 290) は全て除去されてその下部の不透明導電物質層 275 が露出されて、前記画素領域 (P) と共通配線 250 それぞれの遮断部 (C) に対応した第 2 感光層 (図 6 H の 290) はそのまま存在して一定間隔で離隔された第 3 感光パターンの第 2 部分 292 b になる。

20

【0235】

また、前記ゲート及びデータパッド領域 (GP、DP) で前記遮断部 (C) に対応した第 2 感光層 (図 6 H の 290) はそのまま存在して第 3 感光パターンの第 2 部分 292 b になって、前記データ配線 (図 5 の 230) に対応した第 2 感光層 (図 6 H の 290) はその一部が除去されて高さが低くなった状態で第 3 感光パターンの第 1 部分 292 a になって、これを除いた全領域の第 2 感光層 (図 6 H の 290) は全て除去されてその下部の不透明導電物質層 275 が露出される。

30

【0236】

次に、図 6 J に示したように、前記第 3 感光パターン 292 をエッチングマスクとして利用して、前記露出した不透明導電物質層 275 とこの下部の透明導電物質層 270 a を一括的にパターンニングする段階を行う。

【0237】

この時、等方性を有する湿式エッチングを利用して第 3 感光パターン 292 の下部に位置する不透明導電物質層 275 と透明導電物質層 270 a がオーバーエッチングされるようにして、前記第 3 感光パターン 292 の縁下部面が部分的に露出するようにする。

【0238】

40

上のような構成は、前記第 3 感光パターン 292 の露出した下部面上部に保護層を形成した後、前記第 3 感光パターン 292 とこれを覆う前記保護層を同時に除去するリフトオフ (lift-off) 工程で、前記第 3 感光パターン 292 の露出した縁下部面にストリッパー (stripper) が容易に浸透することができるように誘導するためである。

【0239】

以後、第 3 感光パターン 292 をエッチングマスクとして利用して、等方性を有する湿式エッチングを利用したパターンニング工程を行って、前記半導体パターン 244 に対応して両側に離隔されたソース電極 232 とドレイン電極 234 を形成して、画素領域 (P) に対応して互いに交互に配置された画素電極パターン 272 a と共通電極パターン 260

50

bを形成する。

【0240】

これと同時に、ソース電極232に連結されるデータ配線230を形成して、前記ゲートパッド領域(GP)とデータパッド領域(DP)には前記ゲートパッド252と接触したゲートパッド電極パターン254aと、データパッド262と接触したデータパッド電極パターン264aをそれぞれ形成する。

【0241】

ここで、前記ソース及びドレイン電極232、234、画素電極パターン272a、共通電極パターン260b、データ配線230とゲートパッド電極パターン及びデータパッド電極パターン252a、264aは、透明導電物質層270aと不透明導電物質層275が積層された二重層で形成される。

10

【0242】

この時、前記ソース及びドレイン電極232、234、画素電極パターン272a、共通電極パターン260b、データ配線230とゲートパッド電極パターン及びデータパッド電極パターン252a、264aは、前述した等方性を有する湿式エッチング工程により各配線の両側終端の一部がオーバーエッチングされて、前記第3感光パターン292は、前記両端にオーバーエッチングされた部分により第3感光パターン292の縁下部面が部分的に露出した状態である。

【0243】

次に、図6Kに示したように、前記第3感光パターン292をマスクとして利用して、ソース及びドレイン電極232、234の離隔区間を介して露出したバッファパターン242bとオーミックコンタクトパターン241bをパターンニングする段階を行う。

20

【0244】

前述したパターンニング工程を行うと、前記ソース及びドレイン電極232、234と等しい幅でバッファパターン242bとオーミックコンタクトパターン241bが両側に分離されてそれぞれバッファ金属層242とオーミックコンタクト層241になる。この時、前記両側に分離されたオーミックコンタクト層241下部に露出したアクティブ層240の一部をオーバーエッチングしてこの部分をチャンネル(ch)で活用し、前記アクティブ層240及びオーミックコンタクト層241を半導体層243として定義できる。

【0245】

ここで、前記ゲート電極225と、ソース及びドレイン電極232、234と、バッファ金属層242とアクティブ及びオーミックコンタクト層240、241は薄膜トランジスタ(T)を形成する。

30

【0246】

この時、前記ソース及びドレイン電極232、234と前記オーミックコンタクト層241間に形成されたバッファ金属層242は前記ソース及びドレイン電極232、234の透明導電物質層270aとオーミックコンタクト層241との仕事関数差を低める役割をするので、薄膜トランジスタ(T)の駆動特性が改善される長所がある。

【0247】

次に、第3感光パターン292をアッシング(ashing)する段階を行う。

40

【0248】

前述したアッシング工程を行うと、前記画素領域(P)及び共通配線250とゲート及びデータパッド領域(GP、DP)に対応した第3感光パターン292の第2部分292bは高さが半分程度低くなった状態で第4感光パターン294になって、前記薄膜トランジスタ(T)とデータ配線230に対応した第3感光パターン292の第1部分292aは全て除去されて下部のソース及びドレイン電極232、234とデータ配線230がそれぞれ露出される。

【0249】

次に、図6Lに示したように、第4感光パターン294を含む基板200上に酸化シリコンと窒化シリコンを含む無機絶縁物質グループのうちから選択された一つで保護層

50

258aを形成する段階を行う。

【0250】

前記保護層258aを無機絶縁物質グループのうちから選択された一つをプラズマ化学気相蒸着(PCVD)法を利用して形成する場合、前記プラズマ化学気相蒸着法を利用した蒸着工程時350以上の高温工程を必要とするので、保護層258aの下部に感光特性を有する有機絶縁物質で形成された第4感光パターン294の耐熱性が150程度までしかなく、前記第4感光パターン294がつぶれたり、変形する問題が生じる。

【0251】

前述した問題が生じた状態で前記保護層258aを続いて蒸着して行くと、結局には第4感光パターン294が前記保護層258aにより完全に覆われる結果をもたらして、リフトオフ(lift-off)工程時ストリッパーが円滑に浸透することができず、前記第4感光パターン294と保護層258aが残留するリフトオフ不良を引き起こす。

10

【0252】

また、液晶表示装置用アレイ基板を完成した状態で、前述した問題が生じる場合残留する第4感光パターン294が液晶と反応して残像のような画質不良が発生する。

【0253】

これを防止するために、本発明ではスパターリング法(sputtering method)のような物理気相蒸着法(PVD)を利用して保護層258aを形成することを特徴とする。

【0254】

前記スパターリング法を利用する場合第4感光パターン294を150以下の温度で形成することができるので、前記第4感光パターン294が変形する心配がなくて、副次的にはガラス基板ではないプラスチックのようなフレキシブルな基板に適用することができる長所がある。

20

【0255】

この時、前記保護層258aは、前記第4感光パターン294それぞれに対応してその上部面の一部分を覆って、前記第4感光パターン294の段差により両側面縁に対応した部分と、これらの縁下部面には保護層284aが連結できなくて断絶された状態である。

【0256】

そして、前記保護層258aは、前記第4感光パターン294が形成されていないデータ配線230とソース及びドレイン電極232、234を覆って形成される。

30

【0257】

次に、図6Mに示したように、ストリッパー(stripper)を利用したリフトオフ工程を行うと、第4感光パターン294の縁下部面の露出部にストリッパーが浸透して、第4感光パターン294と、第4感光パターン294を覆う第1ないし保護層258aが共に除去されて画素電極パターン272a、共通電極パターン260bとゲートパッド電極パターン及びデータパッド電極パターン254a、264aがそれぞれ露出される。そして、前記第4感光パターン294なくデータ配線230とソース及びドレイン電極232、234を覆っていた保護層258aはそのまま残って保護パターン258になる。

40

【0258】

以後、保護パターン258をエッチングマスクとして利用して画素電極パターン272a、共通電極パターン260b、ゲートパッド電極パターン254a、データパッド電極パターン264aの不透明導電物質層275を除去することによって、透明導電物質層270aの単一層で構成される画素電極272、ゲートパッド電極254、データパッド電極264を形成する。

【0259】

ここで、図5に示したように、画素電極272は、ドレイン電極234から延長された延長部272bと、前記延長部272bから垂直に複数個分岐した垂直部272cと、前記複数の垂直部272cを一つに連結する連結部272dを含む。そして、前記共通電極

50

260は複数の垂直部260aを含んで、共通電極260の複数の垂直部260aそれぞれは共通コンタクトホール(CMH)を介して共通配線250とそれぞれ接触して、画素電極272の垂直部272cと平行するように離隔して互いに交互に配置される。

【0260】

また、共通配線250を第1電極として、これと重なった前記画素電極連結部270dを第2電極として、前記第1及び第2電極間に介在されたゲート絶縁膜245を誘電体層とするストレージキャパシタ(Cst)が形成される。

【0261】

前述したストレージキャパシタ(Cst)の構成は、従来と違い、第1及び第2電極間に介在されたゲート絶縁膜245が誘電体層として利用されるので、誘電体層の厚さ減少による第1及び第2電極の重畳面積を縮小設計することができる長所がある。

10

【0262】

したがって、本発明の第2実施形態では、3マスク工程で製作されながら、前記第4保護膜パターン258により前記データ配線230と、ソース及びドレイン電極232、234が覆われる構造で、異物からの不良を事前に防止することができて信頼性が改善される長所がある。

【0263】

また、本発明の第2実施形態では、画素領域(図3のP)に対応して板状の画素電極(図5の172)を形成する第1実施形態と別に、前記共通電極260と画素電極272を棒状のパターンで平行するように交互に配置されるように構成するので、リフトオフ工程時ストリッパーの浸透をさらに容易に誘導することができてリフトオフ不良を最小化することができる長所がある。

20

【0264】

以上で、前述した工程を介して本発明の第2実施形態による液晶表示装置用アレイ基板を製作することができる。

【0265】

したがって、本発明の第2実施形態は第1実施形態と同じ効果を得ることができて、これにさらに棒状の共通電極と画素電極の画素設計でリフトオフ工程をさらに効率的に進行することを介して生産収率を改善することができる長所がある。

【実施例3】

30

【0266】

本発明の第3実施形態は第2実施形態を多少変形したことであって、共通電極と画素電極を不透明な導電性金属で形成することを介してコントラスト比(contrast ratio)を改善することに関する。

【0267】

図7は、本発明の第3実施形態による横電界方式液晶表示装置用アレイ基板の単位画素を示した平面図であって、図8は図7のV I I I - V I I I線に沿って切断した断面図である。

【0268】

図7及び図8に示したように、基板300上に一方向にその終端にゲートパッド352を有するゲート配線320と前記ゲート配線320から延長されたゲート電極325と、前記ゲート配線320と平行に離隔された共通配線350を構成する。

40

【0269】

前記ゲート配線320及び共通配線350と垂直交差して画素領域(P)を定義し、その終端にデータパッド362を有するデータ配線330と、前記データ配線330から延長されたU字状のソース電極332と、前記ソース電極332と離隔して互いに噛み合うようにドレイン電極334を構成する。

【0270】

前記ゲートパッド352とデータパッド362は前記ゲート配線320と同一層同一物質で構成されて、前記ゲート及びデータパッド352、362はこれらの一部をそれぞれ

50

露出するゲート及びデータパッドコンタクトホール（CH8、CH9）を介してゲートパッド電極354とデータパッド電極364にそれぞれ接触する。この時、前記ゲートパッド電極354とデータパッド電極364はモリブデン合金（MoTi）のような第1不透明導電物質からなる。

【0271】

前記ゲート配線320とデータ配線330の交差点に薄膜トランジスタ（T）を構成するので、前記薄膜トランジスタ（T）はゲート電極325と、前記ゲート電極325とその一部が重なった半導体層344と、前記半導体層344と接触して互いに離隔されたソース及びドレイン電極332、334を含んで構成される。

【0272】

前記半導体層344は、純粹非晶質シリコン（a-Si:H）で構成されたアクティブ層340と、不純物非晶質シリコン（n+a-Si:H）で構成されたオーミックコンタクト層341を含む。

【0273】

本発明では、前記半導体層344を別途のマスクを利用して前記ゲート電極325とその一部が重なるように島状パターンで構成することを特徴とする。また、ソース及びドレイン電極332、334の下部層を仕事関数が比較的低い不透明導電物質で形成するので、オーミックコンタクト層341とソース及びドレイン電極332、334間の仕事関数差がそんなに大きくなって別途の層や処理がなくてもオーミックコンタクトを確保することができる。

【0274】

そして、前記ソース及びドレイン電極332、334の離隔された間に露出されたオーミックコンタクト層341を除去してその下部のアクティブ層340をオーバーエッチングしてこの部分をチャネル（図示せず）で活用する。

【0275】

前記ドレイン電極334と同一パターンで延長された画素電極372を画素領域（P）に対応して構成する。この時、前記画素電極372は前記ドレイン電極334から延長された延長部372bと、前記延長部372bから画素領域（P）に垂直に複数個分岐した垂直部372cと、前記複数の垂直部372cを一つに連結する連結部372dを含む。

【0276】

この時、前記共通配線350の一部を露出する共通コンタクトホール（CMH）を介して前記共通配線350と接触した共通電極360を構成するので、前記共通電極360は複数の垂直部360aを含んで、共通電極360の複数の垂直部360aは前記画素電極垂直部370cと互いに交互に一定間隔で平行に離隔されて配置される。

【0277】

この時、データ配線330とソース及びドレイン電極332、334は、第1不透明導電物質層370aと第2不透明導電物質層375を順に積層した後パターンニングして形成される反面、画素電極372と共通電極360は、第1不透明導電物質層370aと第2不透明導電物質層375を順に積層した後パターンニングして最終工程段階で上部の第2不透明導電物質層375を除去することによって形成される。

【0278】

したがって、画素電極372と共通電極360は第1不透明導電物質層375の単一層で構成される。

【0279】

ここで、第1不透明導電物質層375はモリブデン合金（MoTi）で構成することができて、第2不透明導電物質層375は銅（Cu）、アルミニウム（Al）、アルミニウム合金（AlNd）及びクロム（Cr）のような導電性金属グループのうちから選択された一つまたはそれ以上で構成することができるが、抵抗が低く電気伝導度が優秀な銅を利用することが望ましい。

【0280】

10

20

30

40

50

前記画素電極 372 と共通電極 360 が不透明な物質からなるので、液晶表示装置のブラック輝度が低くなって、その結果液晶表示装置のコントラスト比 (contrast ratio) が改善される。

【0281】

そして、前記前段の共通配線 350 を第 1 電極として、これに重なった前記画素電極連結部 370d を第 2 電極とするストレージキャパシタ (Cst) が構成される。

【0282】

本発明の第 3 実施形態による横電界方式液晶表示装置用アレイ基板の製造方法は、前述した第 2 実施形態の製造方法と大きい差を見せないで、残りの詳細な説明は省略するようにする。

10

【0283】

したがって、本発明の第 3 実施形態では、画素電極と共通電極を不透明な導電性物質層で構成することを介してコントラスト比が改善される長所がある。

【0284】

しかし、本発明は前記実施形態に限定されないし、本発明の趣旨を外れない限度内で多様に変形及び変更することができるということは自明な事実であることである。

【符号の説明】

【0285】

200 : 基板

220 : ゲート配線

225 : ゲート電極

230 : データ配線

245 : ゲート絶縁膜

250 : 共通配線

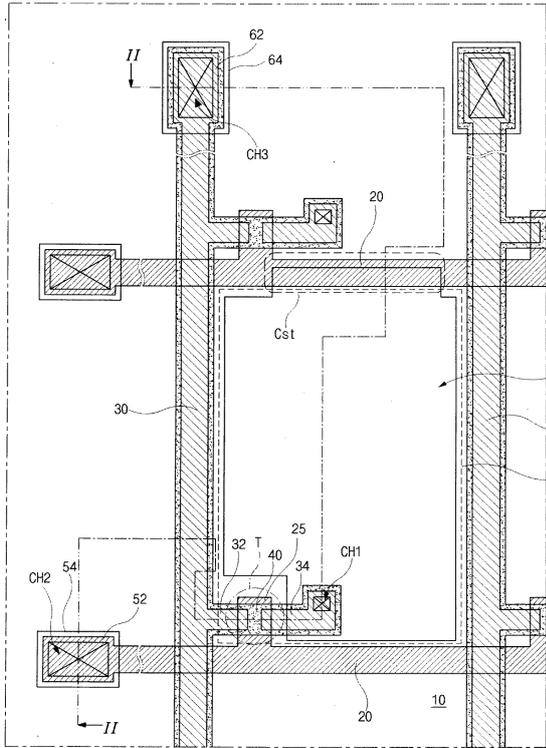
258 : 保護パターン

260 : 共通電極

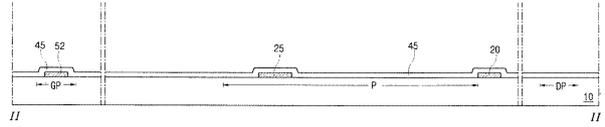
272 : 画素電極

20

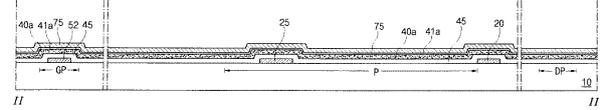
【図 1】



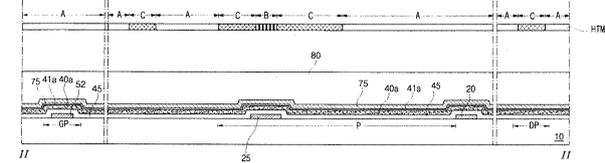
【図 2 A】



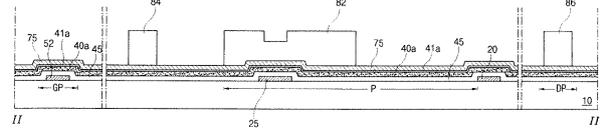
【図 2 B】



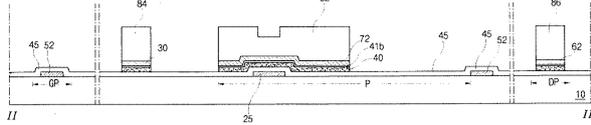
【図 2 C】



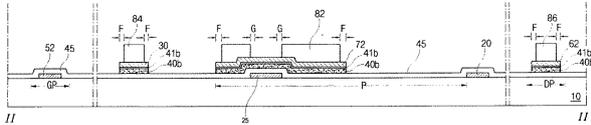
【図 2 D】



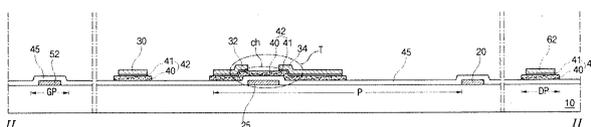
【図 2 E】



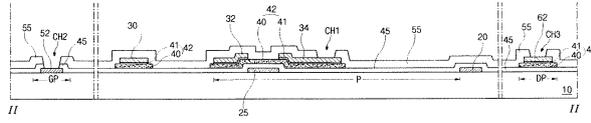
【図 2 F】



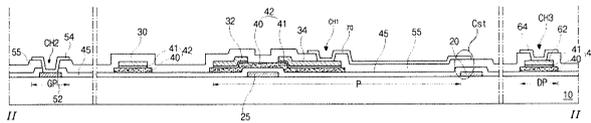
【図 2 G】



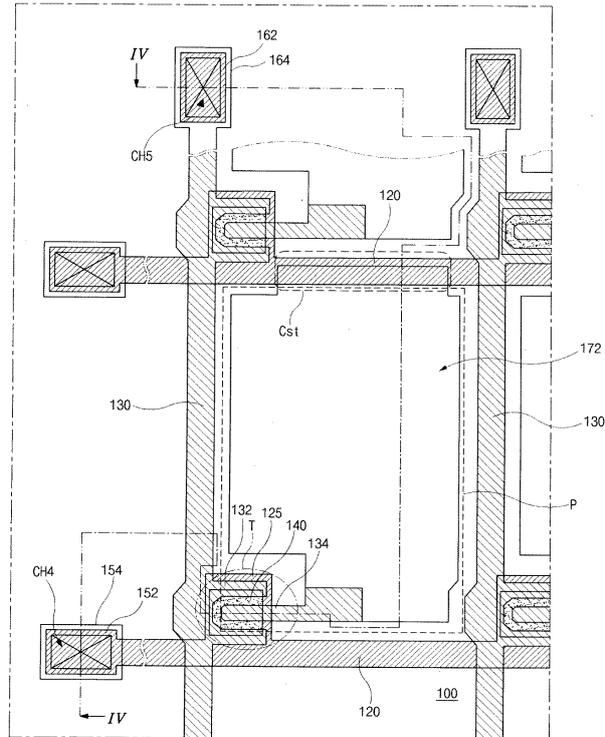
【図 2 H】



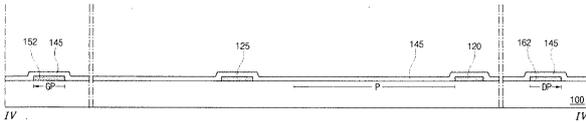
【図 2 I】



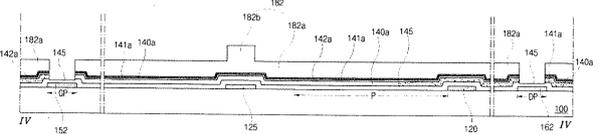
【図 3】



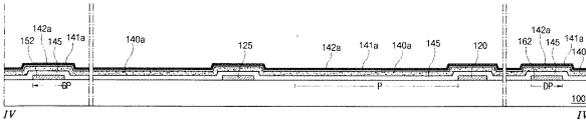
【図 4 A】



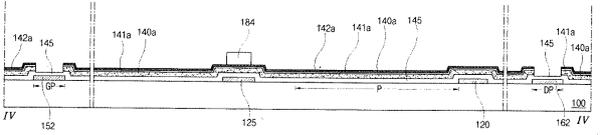
【図 4 E】



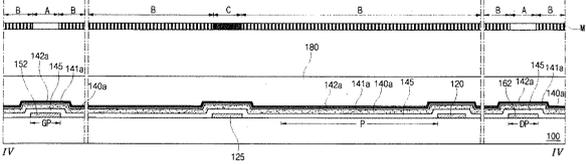
【図 4 B】



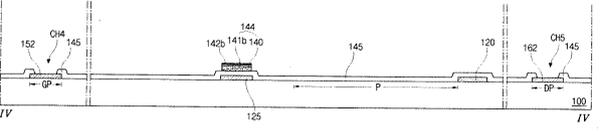
【図 4 F】



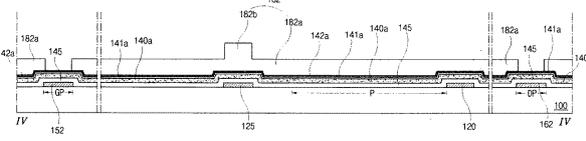
【図 4 C】



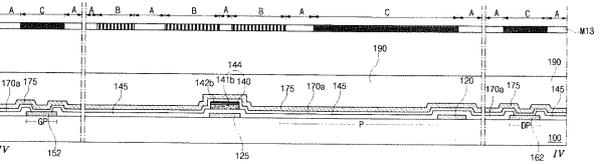
【図 4 G】



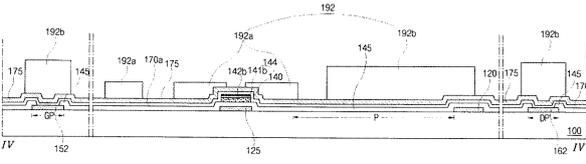
【図 4 D】



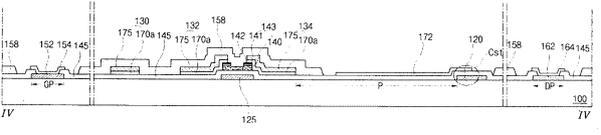
【図 4 H】



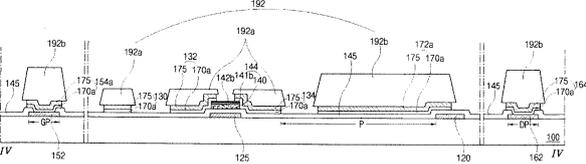
【図 4 I】



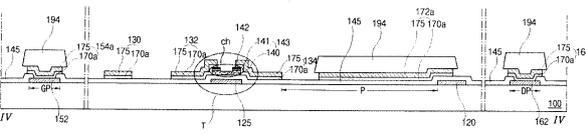
【図 4 M】



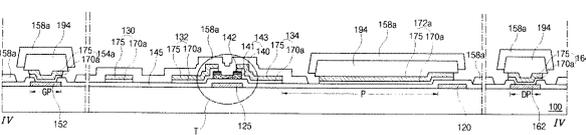
【図 4 J】



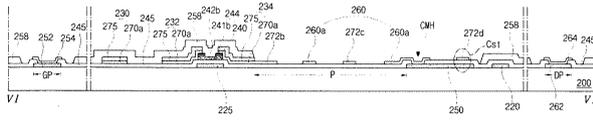
【図 4 K】



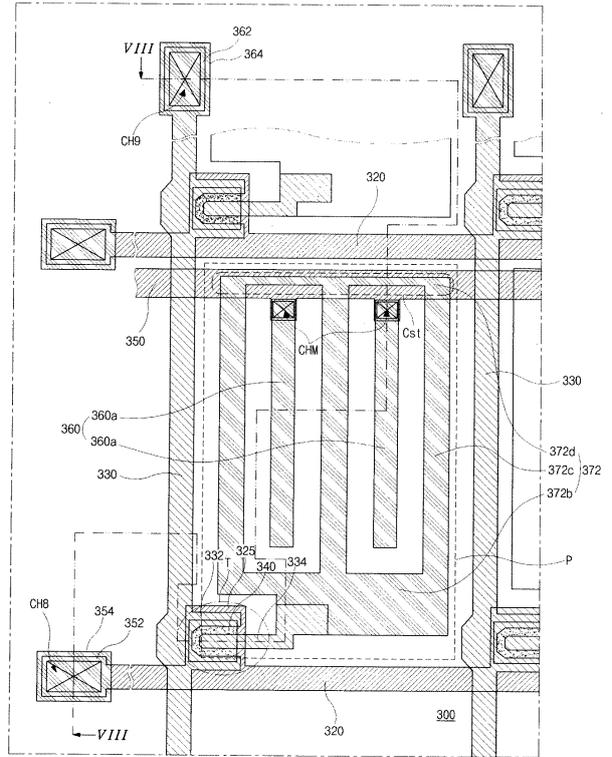
【図 4 L】



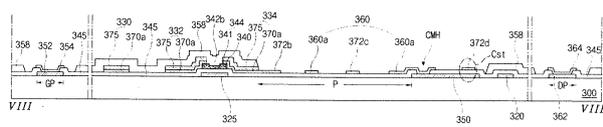
【図 6 M】



【図 7】



【図 8】



フロントページの続き

- (72)発明者 キム ワン
大韓民国 705-836 デグ ナムグ イチョンドン 361-16 デソン ウニド アパ
ートメント 105-1406
- (72)発明者 キム ヒョウク
大韓民国 730-300 キョンブク クミシ グピョンドン 454 グピョン3チャ ブ
ヨン アパートメント 601/301
- (72)発明者 リン ビョンホ
大韓民国 730-200 キョンサンブット クミシ ボンゴクトン 528ボンジ ヨンナム
ネオビルシティ 201/1402

審査官 小濱 健太

- (56)参考文献 特開平09-105908(JP,A)
特開2000-180898(JP,A)
特開2007-183638(JP,A)
特開2006-323344(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G02F 1/1345
G02F 1/1343