



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 10 2006 029 701 A1** 2008.01.03

(12)

## Offenlegungsschrift

(21) Aktenzeichen: **10 2006 029 701.6**

(22) Anmeldetag: **28.06.2006**

(43) Offenlegungstag: **03.01.2008**

(51) Int Cl.<sup>8</sup>: **H01L 21/762** (2006.01)

(71) Anmelder:

**Infineon Technologies AG, 81669 München, DE**

(74) Vertreter:

**Müller - Hoffmann & Partner Patentanwälte, 81667 München**

(72) Erfinder:

**Meiser, Andreas, 81549 München, DE; Hartner, Walter, Dr., 93077 Bad Abbach, DE; Gruber, Hermann, 93049 Regensburg, DE; Bonart, Dietrich, Dr., 93077 Bad Abbach, DE; Gross, Thomas, Dr., 93161 Sinzing, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

**US 49 80 747 A**

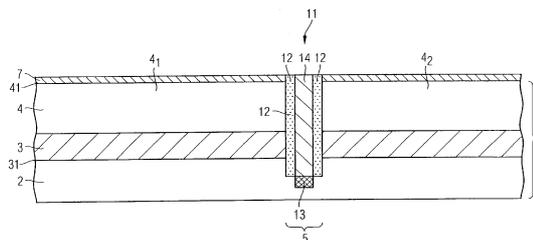
**US 47 45 081 A**

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Halbleiterbauteil sowie Verfahren zur Herstellung eines Halbleiterbauteils**

(57) Zusammenfassung: Ein Halbleiterbauteil weist einen Halbleiterkörper (1) auf, in dem ein Substrat (2) eines ersten Leitungstyps, eine auf dem Substrat (2) angeordnete vergrabene Halbleiterschicht (3) eines zweiten Leitungstyps und eine auf der vergrabenen Halbleiterschicht (3) angeordnete Funktionseinheit-Halbleiterschicht (4) eines dritten Leitungstyps, in dem mindestens zwei lateral nebeneinander angeordnete Halbleiter-Funktionseinheiten vorgesehen sind, ausgebildet sind. Die vergrabene Halbleiterschicht (3) ist Teil zumindest einer Halbleiter-Funktionseinheit, wobei jeweils zwei Halbleiter-Funktionseinheiten durch eine Isolationsstruktur (5), die die Funktionseinheit-Halbleiterschicht (4), die vergrabene Halbleiterschicht (3) sowie das Substrat (2) durchsetzt, gegeneinander elektrisch isoliert sind. Die Isolationsstruktur (5) umfasst mindestens einen Graben (11) und einen elektrisch leitenden Kontakt zum Substrat (2), wobei der Kontakt zum Substrat (2) durch den mindestens einen Graben (11) elektrisch von der Funktionseinheit-Halbleiterschicht (4) und der vergrabenen Schicht (3) isoliert ist.



## Beschreibung

**[0001]** Die Erfindung betrifft ein Halbleiterbauteil, das einen Halbleiterkörper aufweist, der ein Substrat eines ersten Leitungstyps, eine auf dem Substrat angeordnete vergrabene Halbleiterschicht eines zweiten Leitungstyps, eine auf der vergrabenen Halbleiterschicht angeordnete Funktionseinheit-Halbleiterschicht eines dritten Leitungstyps, in dem mindestens zwei lateral nebeneinander angeordnete Halbleiter-Funktionseinheiten vorgesehen sind, sowie einen Kontakt von der Oberfläche des Halbleiterkörpers zum Substrat umfasst, wobei die vergrabene Halbleiterschicht Teil zumindest einer Halbleiter-Funktionseinheit ist, und wobei jeweils zwei Halbleiter-Funktionseinheiten durch eine Isolationsstruktur, die die Funktionseinheit-Halbleiterschicht, die vergrabene Halbleiterschicht sowie das Substrat durchsetzt, gegeneinander elektrisch isoliert sind.

**[0002]** Der laterale Platzbedarf von Halbleiterbauteilen der eingangs genannten Art ist relativ groß. Dies rührt unter anderem daher, dass die Isolationsstrukturen, die die Funktionseinheit-Halbleiterschicht, die vergrabene Halbleiterschicht sowie das Substrat durchsetzen, auf Basis eines Diffusionsprozesses erzeugt werden: Beispielsweise werden, um die Isolationsstrukturen herzustellen, vor der Erzeugung der vergrabenen Halbleiterschicht Dotierstoffe in den oberen Bereich des Substrats eingebracht und nach Erzeugen der vergrabenen Halbleiterschicht sowie der Funktionseinheit-Halbleiterschicht Dotierstoffe in den oberen Bereich der Funktionseinheit-Halbleiterschicht (oberhalb des Bereichs des Substrats, in den die Dotierstoffe eingebracht wurden), eingebracht. Anschließend werden mittels eines Temperaturprozesses (Temperprozesses) die beiden Dotierstoffbereiche zum Verschmelzen gebracht, d.h. die vertikalen Ausdehnungen der Dotierstoffbereiche werden solange vergrößert, bis diese vertikal miteinander überlappen.

**[0003]** In [Fig. 1A](#) ist eine auf diese Art und Weise erzeugte Isolationsstruktur zu sehen: ein Halbleiterkörper **1** weist ein Substrat **2**, eine auf dem Substrat **2** angeordnete vergrabene Halbleiterschicht **3** sowie eine auf der vergrabenen Halbleiterschicht **3** angeordnete Funktionseinheit-Halbleiterschicht **4** auf. Die Funktionseinheit-Halbleiterschicht **4**, die vergrabene Halbleiterschicht **3** sowie das Substrat **2** werden durch eine Isolationsstruktur **51** (Junction Isolation) durchsetzt, die zur Isolation einer (nicht gezeigten) Halbleiter-Funktionseinheit, die links neben der Isolationsstruktur **51** angeordnet ist, gegenüber einer (nicht gezeigten) Halbleiter-Funktionseinheit, die rechts neben der Isolationsstruktur **51** angeordnet ist, dient. Der Leitungstyp der Funktionseinheit-Halbleiterschicht **4** und der vergrabenen Halbleiterschicht **3** ist von einem Leitungstyp (beispielsweise vom n-Leitungstyp), wohingegen das Halbleitermaterial, aus

dem die Isolationsstruktur **51** besteht, und das Substrat vom anderen Leitungstyp (beispielsweise vom p-Leitungstyp) sind. Damit dient die Isolationsstruktur **51** gleichzeitig als Substratkontakt. Die Isolationsstruktur **51** weist einen ersten Isolationsstruktur-Bereich **5<sub>1</sub>**, sowie einen zweiten Isolationsstruktur-Bereich **5<sub>2</sub>** auf, die durch Einbringen von Dotierstoffen in den oberen Bereich des Substrats **2** sowie in den oberen Bereich der Funktionseinheit-Halbleiterschicht **4** und einen anschließenden Temperprozess erzeugt werden. Der Temperprozess bewirkt, dass sich die laterale Ausdehnung der Isolationsstrukturbereiche **5<sub>1</sub>**, **5<sub>2</sub>** vergrößert, was unerwünscht ist, da der daraus resultierende laterale Platzbedarf des Halbleiterbauteils unnötig vergrößert wird.

**[0004]** Als Isolationsstrukturen sind weiterhin Grabenisolationen **52** (Trench Isolation) bekannt ([Fig. 1B](#)). Dabei ist ein Graben **11**, der sich von der Oberfläche **41** des Halbleiterbauteils **1** bis in das Substrat **2** hinein erstreckt, derart ausgestaltet, dass er benachbarte Halbleiter-Funktionseinheiten (nicht gezeigt) in der Funktionseinheit-Halbleiterschicht **4** elektrisch voneinander isoliert. Der Graben **11** kann mit einem isolierenden Material gefüllt sein (nicht gezeigt). Ebenfalls möglich ist die Ausbildung einer isolierenden Schicht **12** auf den Seitenwänden und dem Boden des Grabens **11** und das Auffüllen des Grabens **11** mit beispielsweise Polysilizium **17**, wie in [Fig. 1B](#) dargestellt.

**[0005]** Allerdings bietet die bekannte Isolation mittels Graben, wie in [Fig. 13](#) dargestellt, keine Möglichkeit der Substratkontaktierung wie bei der Diffusions-Isolation, die anhand der [Fig. 1A](#) beschrieben wurde. Damit muss die Kontaktierung des Substrates beispielsweise mittels eines zusätzlichen Diffusionsgebietes oder über einen Rückseitenkontakt erzeugt werden.

**[0006]** Die der Erfindung zugrunde liegende Aufgabe ist, ein Halbleiterbauteil der eingangs bezeichneten Art so weiterzuentwickeln, dass der durch die Isolationsstruktur und den Kontakt zum Substrat beanspruchte laterale Platzbedarf so weit wie möglich minimiert wird.

**[0007]** Zur Lösung dieser Aufgabe stellt die Erfindung ein Halbleiterbauteil gemäß Patentanspruch 1 bereit. Weiterhin stellt die Erfindung Verfahren zur Herstellung dieses Halbleiterbauteils gemäß den Patentansprüchen 11 und 19 bereit. Vorteilhafter Ausgestaltungen bzw. Weiterbildungen des Erfindungsgedankens finden sich in den Unteransprüchen.

**[0008]** Das erfindungsgemäße Halbleiterbauteil weist einen Halbleiterkörper auf, in dem ein Substrat eines ersten Leitungstyps, eine auf dem Substrat angeordnete vergrabene Halbleiterschicht eines zweiten Leitungstyps, und eine auf der vergrabenen Halb-

leiterschicht angeordnete Funktionseinheit-Halbleiterschicht eines dritten Leitungstyps, in dem mindestens zwei lateral nebeneinander angeordnete Halbleiter-Funktionseinheiten vorgesehen sind, ausgebildet sind. Mindestens der zweite oder der dritte Leitungstyp sind dem ersten Leitungstyp entgegengesetzt. Die vergrabene Halbleiterschicht kann auf der gesamten Oberfläche des Substrates oder nur in einigen Bereichen der Substratoberfläche ausgebildet sein. Die vergrabene Halbleiterschicht ist Teil zumindestens einer Halbleiter-Funktionseinheit (z.B. kann die vergrabene Halbleiterschicht als Drainzone eines vertikalen Transistors dienen ("buried layer")). Jeweils zwei Halbleiter-Funktionseinheiten sind durch eine Isolationsstruktur, die die Funktionseinheit-Halbleiterschicht, die vergrabene Halbleiterschicht sowie das Substrat durchsetzt, gegeneinander elektrisch isoliert. Die Isolationsstruktur umfasst mindestens einen Graben zur Isolation von benachbarten Halbleiter-Funktionseinheiten und einen elektrisch leitenden Kontakt zum Substrat. Der mindestens eine Graben isoliert den Kontakt zum Substrat elektrisch von der Funktionseinheit-Halbleiterschicht und der vergrabenen Schicht.

**[0009]** Als halbleitendes Material kann Si verwandt werden. Das Übertragen des Erfindungsgedankens auf andere Halbleitermaterialien ist möglich, sofern geeignete Materialkombinationen für die Isolation und elektrische Kontaktierung vorhanden sind.

**[0010]** Desweiteren liegt es im Rahmen der Erfindung, das Substrat durch eine beliebige Halbleiterschicht des ersten Leitungstyps zu ersetzen. Eine solche Halbleiterschicht kann beispielsweise eine zweite vergrabene Halbleiterschicht sein, die unter der ersten, oben erwähnten vergrabenen Halbleiterschicht angeordnet ist. Ebenfalls möglich ist eine isolierte Kontaktierung der ersten, oben erwähnten vergrabenen Halbleiterschicht mittels der beschriebenen Isolationsstruktur, wobei diese dann nur bis an oder in die erste vergrabene Halbleiterschicht hineinreicht.

**[0011]** Durch das Ausgestalten der Isolationsstruktur als Graben (Trench) kann der laterale Platzbedarf der Isolationsstruktur weitgehend reduziert werden, da es heutzutage problemlos möglich ist, Gräben mit sehr geringen lateralen Abmessungen herzustellen. Weiterhin kann durch das Füllen der Gräben mit elektrisch leitendem Material, wobei das elektrisch leitende Material einen elektrischen Kontakt zum Substrat aufweist, oder durch das Erzeugen eines halbleitenden Gebietes des ersten Leitungstyps zwischen zwei Gräben die Isolationsstruktur zusätzlich als elektrische Kontaktierung des Substrats genutzt werden. Elektrische Kontaktierungen des Substrats sind in Halbleiterbauteilen der oben beschriebenen Art üblich und benötigen in herkömmlichen Halbleiterbauteilen viel lateralen Platz, da diese entweder einstu-

ckig mit den diffundierten Isolationsstrukturen ([Fig. 1A](#)) oder analog zu den Isolationsstrukturen der Halbleiterbauteile gemäß dem Stand der Technik auf Basis von Diffusionsprozessen erzeugt werden. Erfindungsgemäß können demnach Isolationsstrukturen in Form von Platz sparenden Gräben sowie Substratkontakte, "zusammengefasst" werden.

**[0012]** In einer ersten Ausführungsform der Erfindung umfasst die Isolationsstruktur einen Graben, dessen Seitenwände zumindest teilweise mit einer isolierenden Schicht bedeckt sind, so dass das Grabeninnere gegenüber der Funktionseinheit-Halbleiterschicht und der vergrabenen Halbleiterschicht elektrisch isoliert ist. Das Innere des Grabens ist mit einem elektrisch leitenden Material, das das Substrat elektrisch kontaktiert gefüllt.

**[0013]** In einer besonderen Ausführungsform der ersten Ausführungsform der Erfindung ist das elektrisch leitende Material ein Halbleitermaterial des ersten Leitungstyps.

**[0014]** Um die Güte des Substratkontakts zu erhöhen, kann der an das elektrisch leitende Material des ersten Leitungstyps angrenzende Teil des Substrats eine Dotierstärke, das heißt eine Dotierstoffkonzentration, aufweisen, die höher ist als die Dotierstärke des Substrats.

**[0015]** In einer anderen besonderen Ausführungsform der ersten Ausführungsform der Erfindung ist mindestens am Boden des Grabens ein Silizid ausgebildet. Für den Fall, dass als halbleitendes Material ein anderes Material als Silizium verwendet wird, ist anstelle des Silizids eine dem verwendeten Material entsprechende Metall-Halbleiter-Verbindung ausgebildet. Anstelle des Silizides kann auch eine elektrisch leitfähige Schicht aus einem Halbleiter-Nitrid oder Halbleiter-Carbid ausgebildet sein. Das elektrisch leitende Material im Grabeninneren kann ein Halbleitermaterial eines beliebigen Leitungstyps sein.

**[0016]** Als Silizid können beispielsweise TiSi, WSi, CoSi, TaSi, HfSi, HfSiOx und andere Verbindungen des halbleitenden Materials mit Übergangsmetallen zur Anwendung kommen. Insbesondere können auch elektrisch leitfähige Nitride und Carbide wie TiN, WN, TaN, TaSiN, TiSiN, WC, TiC und andere eingesetzt werden.

**[0017]** In einer anderen besonderen Ausführungsform der ersten Ausführungsform der Erfindung ist das elektrisch leitende Material ein Metall.

**[0018]** Als Metall in diesem Sinne können W, Al, Cu, Ti, Co, Graphit oder andere sowie leitfähige Silizide, Nitride und Carbide wie oben beschrieben zur Anwendung kommen. Es ist ebenfalls möglich, Schichten aus verschiedenen Materialien zu kombinieren,

um den elektrisch leitenden Kontakt zum Substrat herzustellen.

**[0019]** In einer zweiten Ausführungsform der Erfindung umfasst die Isolationsstruktur zwei Gräben sowie ein zwischen den Gräben befindliches halbleitendes Gebiet des ersten Leitungstyps.

**[0020]** In einer besonderen Ausführungsform der zweiten Ausführungsform der Erfindung umfasst das zwischen den Gräben befindliche halbleitende Gebiet des ersten Leitungstyps einen Bereich des ersten Leitungstyps der vergrabenen Halbleiterschicht und einen dotierten Bereich des ersten Leitungstyps oberhalb des genannten Bereiches der vergrabenen Halbleiterschicht. Beide Bereiche grenzen mindestens teilweise aneinander, so dass ein in vertikaler Richtung durchgängiges halbleitendes Gebiet des ersten Leitungstyps von der Oberfläche des Halbleiterbauteils bis zum Substrat vorhanden ist.

**[0021]** Die Gräben der zweiten Ausführungsform können mit einem isolierenden Material gefüllt sein.

**[0022]** Die Erfindung stellt weiterhin ein erstes Verfahren zur Herstellung des erfindungsgemäßen Halbleiterbauteils der ersten Ausführungsform bereit, das, ausgehend von einem Halbleiterkörper, der

- ein Substrat des ersten Leitungstyps,
  - eine auf dem Substrat vorgesehene vergrabene Halbleiterschicht des zweiten Leitungstyps, und
  - eine auf der vergrabenen Halbleiterschicht vorgesehene Funktionseinheit-Halbleiterschicht des dritten Leitungstyps
- aufweist, die folgenden Schritte beinhaltet:
- Ausbilden wenigstens eines Grabens in dem Halbleiterkörper, der bis in das Substrat hineinreicht,
  - Ausbilden einer isolierenden Schicht, die das Grabeninnere gegenüber der Funktionseinheit-Halbleiterschicht sowie der vergrabenen Halbleiterschicht elektrisch isoliert, jedoch zumindest im Bereich des Grabenbodens eine Aussparung aufweist,
  - Auffüllen des Grabens mit einem elektrisch leitenden Material.

**[0023]** In einer besonderen Ausführungsform des ersten Verfahrens wird der Graben mit einem Halbleitermaterial des ersten Leitungstyps aufgefüllt.

**[0024]** Vor dem Auffüllen der Gräben mit Halbleitermaterial können Dotierstoffe des ersten Leitungstyps in den Graben eingebracht werden, so dass die Dotierung des Bereichs des Substrats, der an den Boden des Grabens angrenzt, gegenüber der Dotierung des Substrates erhöht wird.

**[0025]** In einer anderen besonderen Ausführungsform des ersten Verfahrens wird vor dem Auffüllen

des Grabeninneren mit einem elektrisch leitenden Material ein Silizid oder ein elektrisch leitfähiges Nitrid oder Carbid wie vorstehend beschrieben mindestens am Boden des Grabens gebildet. Danach wird der Graben mit einem Halbleitermaterial eines beliebigen Leitungstyps als das elektrisch leitende Material gefüllt.

**[0026]** Das Silizid kann durch die Abscheidung eines Metalls mindestens am Boden des Grabens gebildet werden. Dabei entsteht in den Bereichen, in denen das Metall direkt ein halbleitendes Material (beispielsweise Silizium) kontaktiert, ein Silizid.

**[0027]** Als Metall zur Bildung des Silizids können Ti, W, Co, Ta, Hf und andere Übergangsmetalle zur Anwendung kommen.

**[0028]** In einer besonderen Ausführungsform des ersten Verfahrens wird der Graben mit einer metallischen Schicht aufgefüllt.

**[0029]** Als Metall in diesem Sinne können W, Al, Cu, Ti, Co, Graphit und andere sowie leitfähige Metall-Halbleiter-Verbindungen, Nitride oder Carbide wie vorstehend beschrieben zur Anwendung kommen.

**[0030]** Die Erfindung stellt weiterhin ein zweites Verfahren zum Herstellen der zweiten Ausführungsform des erfindungsgemäßen Halbleiterbauteils bereit, das, ausgehend von einem Halbleiterkörper, der ein Substrat des ersten Leitungstyps aufweist, die folgenden Schritte beinhaltet:

- Ausbilden einer vergrabenen Halbleiterschicht auf dem Substrat, wobei die vergrabene Halbleiterschicht einen Bereich des zweiten Leitungstyps und zumindest einen Bereich aufweist, dessen Leitungstyp der erste Leitungstyp ist,
  - Ausbilden einer Funktionseinheit-Halbleiterschicht des dritten Leitungstyps auf der vergrabenen Halbleiterschicht,
  - Ausbilden wenigstens einer Grabenstruktur in dem Halbleiterkörper, wobei jede Grabenstruktur, ausgehend von der Oberseite der Funktionseinheit-Halbleiterschicht, bis in das Substrat hineinreicht, und jede Grabenstruktur zwei lateral voneinander beabstandete Gräben aufweist, zwischen denen sich einer der Bereiche des ersten Leitungstyps der vergrabenen Halbleiterschicht befindet, und
- Vergrößern der vertikalen und/oder horizontalen Ausdehnung der Bereiche der vergrabenen Halbleiterschicht durch Ausführen eines Temperprozesses.

**[0031]** Die Gräben jeder Grabenstruktur bilden gemäß dem zweiten Herstellungsverfahren eine Diffusionsbarriere, die verhindert, dass während des Diffusionsprozesses Dotierstoffe in lateraler Richtung

über eine bestimmte Grenze hinaus diffundieren, sondern statt dessen in eine vertikale Diffusionsrichtung (nach oben oder nach unten) "umgelenkt" werden.

**[0032]** In einer Ausführungsform des erfindungsgemäßen zweiten Herstellungsverfahrens werden durch das Ausbilden der Gräben die lateralen Ausdehnungen der Bereiche des ersten Dotiertyps der vergrabenen Halbleiterschicht verkleinert, indem die lateralen Positionen der Bereiche der vergrabenen Halbleiterschicht sowie die lateralen Positionen der Gräben miteinander überlappen. Mit anderen Worten: durch das Ausbilden der Gräben werden die Randzonen dieser Bereiche "abgeschnitten"; damit werden die lateralen Freiheitsgrade während des Diffusionsprozesses noch weiter eingeschränkt.

**[0033]** Zur Herstellung eines in vertikaler Richtung durchgängigen Gebietes des ersten Leitungstyps zwischen der Oberfläche des Halbleiterbauteiles und dem Substrat kann durch Einbringen von Dotierstoffen in den Bereich zwischen den Gräben ein Bereich des ersten Leitungstyps oberhalb des Bereichs des ersten Leitungstyps der vergrabenen Schicht erzeugt werden. Dies ist besonders vorteilhaft, wenn die vertikale Ausdehnung der Funktionshalbleiterschicht so groß ist, dass nur durch Ausdiffusion von Dotierstoffen aus dem Bereich des ersten Leitungstyps der vergrabenen Schicht keine genügend hohe Dotierung des Gebietes zwischen den Gräben bis hin zur Oberfläche des Halbleiterbauteiles erreicht werden kann. Insbesondere kann ein zusätzliches Einbringen von Dotierstoffen des ersten Leitungstyps von der Oberfläche des Halbleiterbauteiles aus, beispielsweise mittels Implantation über eine Maske, notwendig sein, wenn der dritte Leitungstyp, d.h. der Leitungstyp der Funktionseinheit-Halbleiterschicht, dem ersten Leitungstyp entgegengesetzt ist.

**[0034]** Die Gräben können mit isolierendem Material gefüllt werden.

**[0035]** Die Erfindung wird im Folgenden unter Bezugnahme auf die Figuren in beispielhaften Ausführungsformen näher erläutert. Es zeigen:

**[0036]** [Fig. 1A](#) einen Teil eines Halbleiterbauteils gemäß dem Stand der Technik in Querschnittsdarstellung,

**[0037]** [Fig. 1B](#) einen Teil eines anderen Halbleiterbauteils gemäß dem Stand der Technik in Querschnittsdarstellung,

**[0038]** [Fig. 2](#) ein erstes Prozessstadium einer ersten Ausführungsform des ersten erfindungsgemäßen Herstellungsverfahrens,

**[0039]** [Fig. 3](#) ein zweites Prozessstadium der ers-

ten Ausführungsform des ersten erfindungsgemäßen Herstellungsverfahrens,

**[0040]** [Fig. 4](#) ein drittes Prozessstadium der ersten Ausführungsform des ersten erfindungsgemäßen Herstellungsverfahrens,

**[0041]** [Fig. 5](#) ein viertes Prozessstadium der ersten Ausführungsform des ersten erfindungsgemäßen Herstellungsverfahrens,

**[0042]** [Fig. 6](#) ein fünftes Prozessstadium der ersten Ausführungsform des ersten erfindungsgemäßen Herstellungsverfahrens,

**[0043]** [Fig. 7](#) ein sechstes Prozessstadium der ersten Ausführungsform des ersten erfindungsgemäßen Herstellungsverfahrens,

**[0044]** [Fig. 8](#) ein siebtes Prozessstadium der ersten Ausführungsform des ersten erfindungsgemäßen Herstellungsverfahrens,

**[0045]** [Fig. 9](#) ein achttes Prozessstadium der ersten Ausführungsform des ersten erfindungsgemäßen Herstellungsverfahrens,

**[0046]** [Fig. 10](#) ein sechstes Prozessstadium einer zweiten Ausführungsform des ersten erfindungsgemäßen Herstellungsverfahrens,

**[0047]** [Fig. 11](#) ein siebtes Prozessstadium der zweiten Ausführungsform des ersten erfindungsgemäßen Herstellungsverfahrens,

**[0048]** [Fig. 12](#) ein achttes Prozessstadium der zweiten Ausführungsform des ersten erfindungsgemäßen Herstellungsverfahrens,

**[0049]** [Fig. 13](#) ein neuntes Prozessstadium der zweiten Ausführungsform des ersten erfindungsgemäßen Herstellungsverfahrens,

**[0050]** [Fig. 14](#) ein sechstes Prozessstadium einer dritten Ausführungsform des ersten erfindungsgemäßen Herstellungsverfahrens,

**[0051]** [Fig. 15](#) ein siebtes Prozessstadium der dritten Ausführungsform des ersten erfindungsgemäßen Herstellungsverfahrens,

**[0052]** [Fig. 16](#) ein erstes Prozessstadium einer ersten Ausführungsform des zweiten erfindungsgemäßen Herstellungsverfahrens,

**[0053]** [Fig. 17](#) ein zweites Prozessstadium der ersten Ausführungsform des zweiten erfindungsgemäßen Herstellungsverfahrens,

**[0054]** [Fig. 18](#) ein drittes Prozessstadium der ersten

Ausführungsform des zweiten erfindungsgemäßen Herstellungsverfahrens,

[0055] [Fig. 19](#) ein viertes Prozessstadium der ersten Ausführungsform des zweiten erfindungsgemäßen Herstellungsverfahrens,

[0056] [Fig. 20](#) ein fünftes Prozessstadium der ersten Ausführungsform des zweiten erfindungsgemäßen Herstellungsverfahrens,

[0057] [Fig. 21](#) ein sechstes Prozessstadium der ersten Ausführungsform des zweiten erfindungsgemäßen Herstellungsverfahrens,

[0058] [Fig. 22](#) ein siebtes Prozessstadium der ersten Ausführungsform des zweiten erfindungsgemäßen Herstellungsverfahrens.

[0059] In den Figuren sind identische bzw. einander entsprechende Bereiche, Bauteile/Bauteilgruppen mit denselben Bezugsziffern gekennzeichnet. Des Weiteren können sämtliche Ausführungsformen invers dotiert sein, das heißt n-Gebiete werden durch p-Gebiete ersetzt und umgekehrt. Beispielhaft wird in den dargestellten Ausführungsformen Si als halbleitendes Material eingesetzt. Bei Vorhandensein entsprechender Materialkombinationen können aber auch andere halbleitende Materialien zur Anwendung kommen.

[0060] Im Folgenden soll anhand der [Fig. 2](#) bis [Fig. 9](#) eine erste Ausführungsform des ersten erfindungsgemäßen Herstellungsverfahrens näher erläutert werden.

[0061] [Fig. 2](#) zeigt einen Halbleiterkörper **1**, der ein Substrat **2**, eine auf dem Substrat **2** angeordnete vergrabene Halbleiterschicht **3** sowie eine auf der vergrabenen Halbleiterschicht **3** angeordnete Funktionseinheit-Halbleiterschicht **4** aufweist. Die Funktionseinheit-Halbleiterschicht **4** kann beispielsweise eine epitaktische, d.h. einkristalline, Schicht sein. Die Funktionseinheit-Halbleiterschicht **4** enthält Halbleiter-Funktionseinheiten (nicht gezeigt), beispielsweise Logik-Schaltungen, Speicherzellen oder Bauelemente wie Transistoren, Dioden, Kondensatoren oder andere. Benachbarte Funktionseinheiten müssen dabei elektrisch voneinander isoliert werden. Das Substrat **2** ist in dieser Ausführungsform niedrig dotiertes p-Si, während die vergrabene Schicht **3** (Buried layer) eine hoch dotierte n-Si-Schicht und die Funktionseinheit-Halbleiterschicht **4** eine niedrig dotierte n-Si-Epitaxie-Schicht ist. Die Dotierungen des Substrates und der halbleitenden Schichten können auch anders gestaltet sein, jedoch ist der Leitungstyp des Substrates entgegengesetzt zum Leitungstyp der vergrabenen Schicht **3** und/oder der Funktionseinheit-Halbleiterschicht **4**. Auf der Funktionseinheit-Halbleiterschicht **4** ist eine Hartmaske **6** angeordnet, die aus ei-

ner Siliziumnitridschicht **7**, einer Oxidschicht **8** sowie einer Polysiliziumschicht **9** besteht. Die Hartmaske **6** kann auch aus anderen Materialien und Schichtabfolgen bestehen und an die Erfordernisse der folgenden Prozessschritte angepasst werden.

[0062] In einem zweiten Prozessstadium ([Fig. 3](#)) wird in der Hartmaske **6** eine Hartmaskenöffnung **10** erzeugt, beispielsweise unter Verwendung eines Fotomaske.

[0063] In einem dritten Prozessstadium ([Fig. 4](#)) wird unter Verwendung der gemäß [Fig. 3](#) strukturierten Hartmaske **6** ein Graben **11** innerhalb des Halbleiterkörpers **1** erzeugt, der bis in das Substrat **2** hineinreicht. Dabei unterbricht der Graben **11** die vergrabene Halbleiterschicht **3**. Es ist auch möglich, dass sich die vergrabene Halbleiterschicht **3** nur in einem Bereich des Halbleiterkörpers **1**, d.h. auf einer Seite des Grabens **11**, befindet, wenn die vergrabene Halbleiterschicht **3** mittels einer Maske nur in einigen Bereichen im Halbleiterkörper **1** erzeugt wurde (hier nicht dargestellt). Während des Erzeugens des Grabens **11** wird die Hartmaske **6** teilweise entfernt (Polysiliziumschicht **9** vollständig, Oxidschicht **8** teilweise). Anschließend wird die Oxidschicht **8** vollständig entfernt, wie in [Fig. 4](#) dargestellt. Die restliche Oxidschicht **8** kann aber auch erst in einem späteren Prozessstadium entfernt werden.

[0064] Der Graben **11** kann beliebige Formen und laterale Abmessungen aufweisen. Jedoch müssen Form und laterale Abmessungen so beschaffen sein, dass sie eine elektrische Isolation benachbarter Halbleiter-Funktionseinheiten gewährleisten. Beispielsweise kann der Graben **11** im Querschnitt eine rechteckige Form, wie in [Fig. 4](#) dargestellt, aufweisen. In der Draufsicht kann der Graben **11** beispielsweise einen Rahmen um eine Funktionseinheit bilden, wobei jedes Teilstück des Rahmens eine Länge und eine Öffnungsweite besitzen. Die Länge eines Teilstückes ergibt sich dabei aus der Länge oder Breite einer zu isolierenden Funktionseinheit, während die Öffnungsweite durch die zu gewährleistenden Isolationsparameter bestimmt wird.

[0065] In einem vierten Prozessstadium ([Fig. 5](#)) wird eine Isolationsschicht **12** konform abgeschieden, die die Oberfläche der Siliziumnitridschicht **7** sowie die Innenwände des Grabens **11** bedeckt. Die Isolationsschicht **12** besteht aus einem elektrisch isolierenden Material, wie beispielsweise TEOS, thermisches Siliziumoxid, SiNx, SiOxNy, AlOx, ZrOx, TiOx und anderen, oder aus einer Kombination bzw. einem Schichtstapel von elektrisch isolierenden Materialien.

[0066] In einem fünften Prozessstadium ([Fig. 6](#)) wird die Isolationsschicht **12** so entfernt, beispielsweise mittels einer isotropen Rückätzung, dass lediglich die Seitenwände des Grabens **11** von der Isolati-

onsschicht **12** bedeckt werden.

**[0067]** Die Isolationsschicht **12** muss derart ausgestaltet sein, dass eine elektrische Isolation der Funktionseinheits-Halbleiterschicht **4** und der vergrabenen Schicht **3** von dem später im Inneren des Grabens **11** eingebrachten elektrisch leitenden Material gewährleistet ist. Beispielsweise bedeckt die Isolationsschicht **12** die Seitenwände des Grabens **11** bis zum Boden des Grabens **11**. Es ist aber auch möglich, dass die Isolationsschicht **12** sich von der Oberfläche **41** der Funktionseinheit-Halbleiterschicht **4**, die eine Oberfläche des Halbleiterkörpers **1** bildet, bis mindestens unterhalb der Unterkante **31** der vergrabenen Schicht **3** erstreckt. Dabei bildet die Unterkante **31** die Grenzfläche zwischen der vergrabenen Schicht **3** und dem Substrat **2**. Mit anderen Worten: Es ist möglich, dass sich die Isolationsschicht **12** nicht bis an den Boden des Grabens **11** erstreckt. Jedoch muss in jedem Falle gewährleistet sein, dass ein Bereich des Grabens **11**, der an das Substrat angrenzt, nicht von der Isolationsschicht **12** bedeckt ist. Dies kann ein Bereich des Grabenbodens, wie in den hier beschriebenen Ausführungsformen, aber auch ein Bereich der Seitenwand des Grabens **11** sein.

**[0068]** Zur Erzeugung der Isolationsschicht **12** in der beschriebenen Form können auch andere Verfahren, die kein Entfernen der Isolationsschicht **12** vom Grabenboden nötig machen, zur Anwendung kommen.

**[0069]** Typische laterale Öffnungsweiten des Grabens **11** sind 0,5 bis 3 µm. Bevorzugte Öffnungsweiten sind 1,5 bis 2,5 µm, und eine besonders bevorzugte Öffnungsweite ist ca. 2 µm. Typische Tiefen des Grabens **11** sind 5 bis 50 µm. Bevorzugte Tiefen sind 10 bis 25 µm, und eine besonders bevorzugte Tiefe ist ca. 20 µm. Typische Dicken der Isolationsschicht **12** sind 50 bis 1000 nm. Typische Dicken der Isolationsschicht **12** sind 100 bis 700 nm, bevorzugte Dicken der Isolationsschicht **12** sind 100 bis 500 nm.

**[0070]** Jedoch sind alle erwähnten Dimensionen und Materialien an die gewünschten Eigenschaften der Isolationsstruktur, das heißt der elektrischen Isolierung und des elektrischen Kontaktes, anpassbar.

**[0071]** In einem sechsten Prozessstadium (**Fig. 7**) werden Dotierstoffe des Leitungstyps des Substrates, beispielsweise mittels Implantation, in den Boden des Grabens **11** eingebracht, so dass innerhalb des Substrats **2** ein Bereich **13** entsteht, dessen Dotierung höher als die des Substrates **2** ist. Damit kann der elektrische Anschluss des später in den Graben **11** eingebrachten elektrisch leitenden Materials an das Substrat **2** verbessert werden. Der zusätzliche Dotierschritt ist ein optionaler Schritt, er kann auch eingespart (weggelassen) werden.

**[0072]** Insbesondere kann der Bereich **13** auch schon in einem zeitigeren Prozessstadium erzeugt worden sein, beispielsweise in Form einer vergrabenen Schicht. Damit ist die laterale Ausdehnung des Bereiches **13** nicht durch die Abmessungen des Grabens **11** begrenzt. Mit anderen Worten: Der Bereich **13** kann sich lateral über den Graben **11** hinaus erstrecken.

**[0073]** Weiterhin ist es möglich, den Bereich **13** gar nicht auszubilden.

**[0074]** In einem siebten Prozessstadium (**Fig. 8**) wird der Graben **11** sowie die Oberfläche der Siliziumnitridschicht **7** mit einer Polysiliziumschicht **14** des Leitungstyps des Substrates **2** gefüllt bzw. bedeckt.

**[0075]** In einem achten Prozessschritt (**Fig. 9**) wird die Polysiliziumschicht **14** rückgeätzt, so dass lediglich innerhalb des Grabens **11** Polysilizium **14** verbleibt. Damit bildet der Graben **11**, dessen Seitenwände mit der Isolationsschicht **12** bedeckt sind und dessen Inneres mit dem Polysilizium **14** gefüllt ist, und der Bereich **13** eine erste Ausführungsform der erfindungsgemäßen Isolationsstruktur **5**.

**[0076]** Die Siliziumnitridschicht **7** kann während der weiteren Prozessierung des Halbleiterbauteils auf der Oberfläche **41** der Funktionseinheits-Halbleiterschicht **4** verbleiben oder von dieser entfernt werden.

**[0077]** Damit ergibt sich eine erste Ausführungsform des erfindungsgemäßen Halbleiterbauteils, wie in **Fig. 9** dargestellt. Das Halbleiterbauteil umfasst einen Halbleiterkörper **1** und eine Isolationsstruktur **5**. Der Halbleiterkörper **1** umfasst ein Substrat **2** von einem ersten Leitungstyp, eine vergrabene Halbleiterschicht **3** von einem zweiten Leitungstyp und eine Funktionseinheit-Halbleiterschicht **4** von einem dritten Leitungstyp, wobei mindestens der zweite oder dritte Leitungstyp dem ersten Leitungstyp entgegengesetzt ist. Die Funktionseinheit-Halbleiterschicht **4** hat eine Oberfläche **41**, die nicht an die vergrabene Halbleiterschicht **3** angrenzt. Die Oberfläche **41** bildet eine Oberfläche des Halbleiterkörpers **1** und des erfindungsgemäßen Halbleiterbauteils. Die Isolationsstruktur **5** ist in einem Graben **11** ausgebildet, der sich von der Oberfläche **41** bis in das Substrat **2** erstreckt und dabei die Funktionseinheit-Halbleiterschicht **4** und die vergrabene Schicht **3** durchtrennt. Die Unterkante des Grabens **11** weist damit eine größere Tiefe, gemessen von der Oberfläche **41**, auf als die Unterkante **31** der vergrabenen Schicht **3**. Die Seitenwände des Grabens **11** sind mit einer isolierenden Schicht **12** bedeckt, die sich bis an den Boden des Grabens **11** erstreckt. Dabei ist ein Bereich des Grabenbodens nicht von der Schicht **12** bedeckt. Unterhalb dieses Bereiches des Grabenbodens ragt ein hochdotierter Bereich **13** des ersten Leitungstyps in das Substrat **2** hinein. Dieser Bereich **13** verbessert

den Kontakt zum Substrat **2**. Der Bereich **13** ist optional, kann also auch nicht vorhanden sein. Oberhalb des Bereiches **13**, d.h. im Inneren des Grabens **11**, befindet sich eine Polysiliziumschicht **14** vom ersten Leitungstyp. Die Schicht **14** füllt den Raum innerhalb des Grabens **11** zwischen den Isolationsschichten **12** vollständig auf und reicht bis zur Oberfläche **41**. Die Schicht **14** realisiert den elektrischen Kontakt zum Substrat **2**. Die Isolationsschichten **12** realisieren die elektrische Isolation der benachbarten Bereiche **4<sub>1</sub>** und **4<sub>2</sub>** der Funktionseinheit-Halbleiterschicht **4** voneinander und die elektrische Isolation der Schicht **14** von der Funktionseinheit-Halbleiterschicht **4** sowie von der vergrabenen Schicht **3**.

**[0078]** In der folgenden Beschreibung soll unter Bezugnahme auf [Fig. 10](#) bis [Fig. 13](#) eine zweite Ausführungsform des ersten erfindungsgemäßen Herstellungsverfahrens erläutert werden.

**[0079]** Im Anschluss an das Erzeugen eines Grabens **11** im Halbleiterkörper **1** und dem Erzeugen einer Isolationsschicht **12** an den Seitenwänden des Grabens **11**, wie dies unter Bezugnahme auf [Fig. 2](#) bis [Fig. 6](#) beschrieben ist, wird eine metallische Schicht **15** konform auf der Siliziumnitridschicht **7** und auf der Oberfläche des Grabens **11** abgeschieden ([Fig. 10](#)). Damit befindet sich die Schicht **15** auf der Isolationsschicht **12** an den Seitenwänden des Grabens **11** sowie auf dem Boden des Grabens **11**.

**[0080]** In einem anschließenden Silizidierungsschritt wird an den Stellen, an denen die Schicht **15** das Silizium kontaktiert, ein Silizid erzeugt. Wie in [Fig. 11](#) dargestellt, entsteht somit ein Silizid **16** am Boden des Grabens **11**. Nachfolgend wird die metallische Schicht **15** entfernt, so dass die in [Fig. 11](#) dargestellte Struktur entsteht.

**[0081]** Das Silizid **16** am Boden des Grabens **11** kann auch auf andere Weise erzeugt werden, beispielsweise durch eine CVD-Abscheidung, wobei dann nachfolgend weitere Prozessschritte, wie beispielsweise das Entfernen nicht benötigter Schichtbereiche, erforderlich werden können. Insbesondere können anstelle des Silizides **16** auch andere leitfähige Schichten **16** wie Nitride und Carbide erzeugt werden.

**[0082]** In einem achten Prozessstadium der zweiten Ausführungsform des ersten Herstellungsverfahrens wird eine Polysiliziumschicht **17** so abgeschieden, dass sie den verbleibenden Graben **11** vollständig füllt und die Oberfläche der Siliziumnitridschicht **7** bedeckt ([Fig. 12](#)). Dabei kann die Polysiliziumschicht **17** von einem beliebigen Leitungstyp sein.

**[0083]** In einem neunten Prozessstadium wird die Polysiliziumschicht **17** von der Oberfläche der Siliziumnitridschicht **7** entfernt ([Fig. 13](#)). Damit bildet der

Graben **11**, dessen Seitenwände mit der Isolationsschicht **12** bedeckt sind und dessen Inneres mit dem Polysilizium **17** gefüllt ist, eine zweite Ausführungsform der erfindungsgemäßen Isolationsstruktur **5**.

**[0084]** Die in [Fig. 13](#) dargestellte zweite Ausführungsform des erfindungsgemäßen Halbleiterbauteils ähnelt der in der [Fig. 9](#) dargestellten ersten Ausführungsform. Jedoch befindet sich kein hochdotierter Bereich **13** im Substrat **2**, sondern ein Silizid **16** ist am Boden des Grabens **11** ausgebildet. Das Silizid **16** kann auch in das Substrat **2** hineinragen. Der Raum innerhalb des Grabens **11** zwischen den Isolationsschichten **12** ist vollständig mit einer Polysiliziumschicht **17** von einem beliebigen Leitungstyp gefüllt.

**[0085]** Ein besonderer Vorteil der zweiten Ausführungsform ist der beliebig wählbare Leitungstyp der Polysiliziumschicht **17**. Damit können Prozessschritte, wie beispielsweise die Abscheidung einer weiteren Polysiliziumschicht mit einem entgegengesetzten Leitungstyp, bei der Kontaktierung von halbleitenden Schichten mit entgegengesetztem Leitungstyp in verschiedenen Bereichen eines Halbleiterkörpers eingespart werden.

**[0086]** In der folgenden Beschreibung soll unter Bezugnahme auf [Fig. 14](#) und [Fig. 15](#) eine dritte Ausführungsform des ersten erfindungsgemäßen Herstellungsverfahrens erläutert werden.

**[0087]** Im Anschluss an das Erzeugen eines Grabens **11** im Halbleiterkörper **1** und dem Erzeugen einer Isolationsschicht **12** an den Seitenwänden des Grabens **11**, wie dies unter Bezugnahme auf [Fig. 2](#) bis [Fig. 6](#) beschrieben ist, wird eine Schicht **18** auf der Siliziumnitridschicht **7** und im Graben **11** abgeschieden ([Fig. 14](#)). Damit füllt die Schicht **18** vollständig den Graben **11**. Die Schicht **18** ist eine metallische Schicht. Mögliche Materialien der Schicht **18** können Graphit, elektrisch leitfähige Nitride oder Carbide oder Metalle wie W, Cu, Al, Ti, Co oder andere sein. Abhängig von dem gewählten Material ist eventuell die Abscheidung einer elektrisch leitenden Barrierschicht (nicht dargestellt) auf freiliegenden Halbleiterbereichen vor dem Abscheiden der Schicht **18** notwendig. Desweiteren ist es möglich, dass die Schicht **18** aus einem Verbund oder einem Schichtstapel der genannten Materialien besteht.

**[0088]** In einem siebten Prozessstadium der dritten Ausführungsform des ersten erfindungsgemäßen Herstellungsverfahrens wird die Schicht **18** von der Oberfläche der Siliziumnitridschicht **7** entfernt ([Fig. 15](#)). Damit bildet der Graben **11**, dessen Seitenwände mit der Isolationsschicht **12** bedeckt sind und dessen Inneres mit der Schicht **18** gefüllt ist eine dritte Ausführungsform der erfindungsgemäßen Isolationsstruktur **5**.

**[0089]** Die in [Fig. 15](#) dargestellte dritte Ausführungsform des erfindungsgemäßen Halbleiterbauteils ähnelt der in der [Fig. 9](#) dargestellten ersten Ausführungsform. Jedoch befindet sich kein hochdotierter Bereich **13** im Substrat **2**. Der Raum innerhalb des Grabens **11** zwischen den Isolationsschichten **12** ist vollständig mit einer metallischen Schicht **18** gefüllt.

**[0090]** Ein besonderer Vorteil der dritten Ausführungsform besteht in der freien Wahl des Materials der Schicht **18** unabhängig vom Leitungstyp des Substrates. Damit können halbleitenden Schichten mit entgegengesetztem Leitungstyp in verschiedenen Bereichen eines Halbleiterkörpers durch nur eine Absecheidung eines leitenden Materials kontaktiert werden.

**[0091]** In der folgenden Beschreibung soll unter Bezugnahme auf [Fig. 16](#) bis [Fig. 22](#) eine erste Ausführungsform des zweiten erfindungsgemäßen Herstellungsverfahrens erläutert werden.

**[0092]** In einem ersten Prozessstadium ([Fig. 16](#)) wird ein Halbleiterkörper **1** bereitgestellt, der ein Substrat **2**, eine vergrabene Halbleiterschicht **3** sowie eine Funktionseinheit-Halbleiterschicht **4** aufweist. Das Substrat **2** ist in dieser Ausführungsform niedrig dotiertes p-Si, während die Funktionseinheit-Halbleiterschicht **4** eine niedrig dotierte n-Si-Epitaxie-Schicht ist. Die vergrabene Halbleiterschicht **3** weist Bereiche **3<sub>1</sub>** des zweiten Leitungstyps (hier: n-Leitungstyp) sowie Bereiche **3<sub>2</sub>** des ersten Leitungstyps (Leitungstyp des Substrates, hier: p-Leitungstyp) auf. Die Dotierungen des Substrates und der halbleitenden Schichten können auch anders gestaltet sein, jedoch ist der Leitungstyp des Substrates entgegengesetzt zum Leitungstyp der vergrabenen Schicht-Bereiche **3<sub>1</sub>** und der Funktionseinheit-Halbleiterschicht **4**. Zur Herstellung der vergrabenen Halbleiterschicht **3** kann beispielsweise in einem ersten Schritt eine zusammenhängende n-dotierte Halbleiterschicht auf dem Substrat **2** abgeschieden werden, in einem zweiten Schritt mittels einer geeigneten Maskierung ein Teil der n-dotierten Halbleiterschicht entfernt und anschließend der entfernte Bereich mit p-dotiertem Halbleitermaterial gefüllt werden. Auf der so hergestellten Halbleiterschicht **3** wird dann eine Funktionseinheit-Halbleiterschicht **4** erzeugt, so dass die Halbleiterschicht **3** zu einer vergrabenen Halbleiterschicht **3** wird. Auf dem Halbleiterkörper **1** ist eine Hartmaske **6** angeordnet, die aus einer Siliziumnitridschicht **7**, einer Oxidschicht **8** sowie einer Polysiliziumschicht **9** besteht.

**[0093]** In einem zweiten Prozessstadium ([Fig. 17](#)) werden in der Hartmaske **6** Hartmaskenöffnungen **10** eingebracht, deren laterale Position mit der lateralen Position des p-dotierten Bereichs **3<sub>2</sub>** überlappen. Mit anderen Worten: Die laterale Position der linken Grenzfläche des Bereichs **3<sub>2</sub>** zum linken Bereiche **3<sub>1</sub>**

muss sich unterhalb der linken Hartmaskenöffnung **10** befinden, während sich die laterale Position der rechten Grenzfläche des Bereichs **3<sub>2</sub>** zum rechten Bereiche **3<sub>1</sub>** unterhalb der rechten Hartmaskenöffnung **10** befinden muss.

**[0094]** In einem dritten Prozessstadium ([Fig. 18](#)) werden unter Verwendung der Hartmaske **6** als Ätzmaske Gräben **11** in dem Halbleiterkörper **1** erzeugt, die bis in das Substrat **2** hineinreichen. Die Gräben **11** trennen dabei die Bereiche **3<sub>1</sub>** von dem Bereich **3<sub>2</sub>** der vergrabenen Halbleiterschicht **3**.

**[0095]** In einem vierten Prozessstadium ([Fig. 19](#)) wird isolierendes Material **19**, beispielsweise TEOS, auf der Oberfläche der Siliziumnitridschicht **7** sowie in den Gräben **11** abgeschieden, so dass die Gräben **11** vollständig mit dem isolierenden Material **19** aufgefüllt werden.

**[0096]** In einem fünften Prozessstadium ([Fig. 20](#)) wird das isolierende Material **19** rückgeätzt, derart, dass lediglich innerhalb der Gräben **11** isolierendes Material **19** verbleibt.

**[0097]** In einem sechsten Prozessstadium ([Fig. 21](#)) wird die Siliziumnitridschicht **7** entfernt und ein Temperprozess durchgeführt. Die Siliziumnitridschicht **7** kann aber auch auf der Oberfläche **41** verbleiben. Der Temperprozess bewirkt eine Vergrößerung der vertikalen Ausdehnung der Bereiche **3<sub>1</sub>** sowie des Bereichs **3<sub>2</sub>** der vergrabenen Halbleiterschicht **3**. Aufgrund der Tatsache, dass der Bereich **3<sub>2</sub>** seitlich durch das isolierende Material **19** in den Gräben **11** eingeschlossen ist, kann der Effekt der vertikalen Ausdehnung dieses Bereichs gezielt vergrößert werden, wobei der Effekt um so größer ist, je enger die beiden Gräben **11** aneinander rücken, d.h. je schmaler der Zwischenraum zwischen den beiden Gräben **11** ist. Die Gräben **11** wirken demnach als laterale Diffusionsbarriere, was dazu führt, dass die vertikale Ausdehnung des Bereichs **3<sub>2</sub>** verglichen zu den Bereichen **3<sub>1</sub>**, die keine laterale Diffusionsbarriere aufweisen, höher ausfällt.

**[0098]** In einem siebten Prozessstadium ([Fig. 22](#)) werden in den oberen Bereich zwischen den Gräben **11**, in den während des Diffusionsprozesses keine Dotierstoffe aus dem Bereich **3<sub>2</sub>** vordringen konnten, Dotierstoffe des ersten Leitungstyps (p-Leitungstyp) eingebracht, so dass ein p-dotierter Bereich **20** entsteht. Dieser bildet zusammen mit dem Bereich **3<sub>2</sub>**, ausgehend von der Oberfläche **41** der Funktionseinheit-Halbleiterschicht **4**, ein zum Substrat **2** durchgehendes Gebiet **21** des ersten Leitungstyps, das einen elektrischen Kontakt zum Substrat **2** ermöglicht. Die Gesamtheit aus dem mit isolierendem Material **19** gebildeten Gräben **11** sowie den Bereichen **20** und **3<sub>2</sub>** bildet eine vierte Ausführungsform der Isolationsstruktur **5**. Die Isolationsstruktur **5** dient einerseits zur

Isolation unterschiedlicher Halbleiter-Funktionseinheiten (nicht gezeigt), die in den Bereichen **4<sub>1</sub>** und **4<sub>2</sub>** ausgebildet sind bzw. ausgebildet werden; gleichzeitig kann das zwischen den Gräben **11** befindliche Gebiet **21** des ersten Leitungstyps zur Kontaktierung des Substrats **2** verwendet werden. Auf diese Art und Weise kann der laterale Platzbedarf des Halbleiterbauteils stark reduziert werden.

**[0099]** Typische laterale Öffnungsweiten für die Gräben **11** sind denen der für das erste Herstellungsverfahren genannten Weiten ähnlich. Typische laterale Abstände zwischen den Gräben **11** einer Isolationsstruktur **5**, d.h. die laterale Weite des Gebietes **21**, sind 1 bis 500 µm.

**[0100]** Für den Fall, dass der Bereich **3<sub>2</sub>** während des Temperprozesses, der mit Bezug auf [Fig. 21](#) beschrieben wurde, die Oberfläche **42** der Funktionseinheit-Halbleiterschicht **4** erreicht und dass die Dotierstärke des so entstandenen Gebietes **21** des ersten Leitungstyps für einen niederohmigen Kontakt zum Substrat **2** ausreicht, kann die Ausbildung des hochdotierten Bereiches **20** eingespart werden.

**[0101]** In der folgenden Beschreibung sollen weitere Aspekte der Erfindung erläutert werden.

**[0102]** In den heute gängig verfügbaren SPT-Produkte (Smart Power Technologien), die die Funktionalität von CMOS, Bipolar und DMOS Devices auf einem Chip vereinigen, wird die Isolierung der unterschiedlichen Schaltungselementen auf dem Si-Chip durch eine Diffusions-Isolierung realisiert. Dabei wird z.B. durch maskierte Implantation und anschließendes Tempern ein p-dotiertes Gebiet auf einem n-Substrat oder eine n-Epi-Schicht erzeugt. Eine ähnliche Vorgehensweise wird zum Herstellen eines elektrischen Kontaktes zum Buried-Layer herangezogen. Dabei wird ein hochdotiertes n<sup>+</sup>-Gebiet auf die Scheibenoberfläche durch maskierte Belegung mit einem hochdotiertem Phosphorglas erzeugt. Anschließend werden die Dotierstoffe durch Tempern in das Substrat oder in die Epi-Schicht "eingetrieben".

**[0103]** Neben einem Kontakt zum Buried-Layer, wird auch ein Kontakt zum Substrat benötigt. Dieser Substratkontakt, der gleichzeitig die Junction-Isolation der Wannens darstellt, wird heute realisiert durch ein unteres p-Gebiet (Bottom Isolation) (durch eine Implantation im Substrat vor der n-Epi-Schicht erzeugt) und ein oberes p-Gebiet (Top Isolation), die über Diffusion ineinander laufen. Diese durch die Temperungen gewünschten Diffusionen der Dotierstoffe zur Erzeugung des Isolationsgebietes und des Kontaktes führen natürlich auch zu radial symmetrisch ausgedehnten Diffusionsgebieten. Diese wiederum bedingen den großen Platzanspruch der Diffusions-Isolierung und des Diffusions-Kontaktes auf dem Siliziumchip.

**[0104]** Die Erfindung ermöglicht ein Integrationskonzept für eine platz sparende Substratkontaktierung ohne Verwendung eines Diffusionskontaktes bzw. eine Substratkontaktierung, bei der die laterale Ausdiffusion unterdrückt wird. Weiterhin wird erfindungsgemäß eine gleichzeitige Realisierung von Isolierung und Substratkontakt durch einen Deep Trench ermöglicht.

**[0105]** Vorgehend wurden zwei mögliche Varianten für einen Substratkontakt mit Hilfe der DTI (Deep Trench Isolation) beschrieben. In der ersten Variante wird im Deep Trench zusätzlich zur Isolation der Epi-Wannen ein Substratkontakt erzeugt. Hierzu wird die Isolierung im Trench, die durch eine TEOS-Abscheidung erreicht wird, über eine Spacerätzung am Boden des Isolationstrenches geöffnet. Anschließend wird der geöffnete Deep Trench mit einer p-Poly-Abscheidung verfüllt. Um den Anschluss an das Substrat zu verbessern, kann vor der Poly-Abscheidung noch eine hohe p-Dosis im Trenchboden implantiert werden, hierfür ist allerdings eine zusätzliche Lithographie-Ebene nötig. Demnach werden beispielsweise nach dem partiellen Auffüllen der Deep Trenches mit TEOS-Oxid (für ca. 2 µm weite Trenches z.B. 100-500 nm) über eine trockenchemische TEOS-Oxid-Ätzung (Spacerätzung) die Trenches am Boden geöffnet. Anschließend wird über eine weitere Lithographie die Dotierung im Trenchboden angehoben und mit p-dotiertem Poly verfüllt oder alternativ direkt mit p-dotiertem Poly verfüllt.

**[0106]** In der zweiten Variante wird der Deep Trench benutzt, um die laterale Ausdiffusion der Dotierungsprofile, die den Substratkontakt bilden, zu begrenzen, um so Fläche zu sparen. Dies lässt sich zudem mit dem "dual well Prozess" (Bottom Isolation wird flächig vor dem n-Buried Layer implantiert) kombinieren, um sich eine Lithographie-Ebene zu sparen. Da eine große Ausdiffusion der unteren Isolation durch die Begrenzung mit Deep Trenches lateral keine Rolle spielt, kann der obere Anschluss mit einer bestehenden flacheren p-Wanne realisiert werden und somit zusätzlich eine weitere Lithographie-Ebene gespart werden. In der zweiten Variante wird über die Außenwände von benachbarten Deep Trenches im Layout ein Bereich definiert, in dem die Ausdiffusion der beiden p-Implantationen begrenzt wird. Dabei ist in diesem Bereich der Buried Layer zu öffnen. Demnach wird in der zweiten Variante im Bereich des gewünschten Substratkontaktes mit Hilfe des "dual well"-Prinzips der n-Buried-Layer unterbrochen, und eine flächige p-Dotierung auf dem Wafer implantiert. Dabei maskiert ein dickeres thermisches Oxid den n-dotierten Buried Layer, in der Substratkontaktöffnung erfolgt die Implantation. Dadurch entsteht neben dem n-Buried Layer ein p-Buried Layer. Dieser Bereich wird anschließend mit Deep-Trenches umschlossen. Bei einer anschließenden Diffusion des p-Buried Layers stellt nun der Deep-Trench eine late-

rale Barriere für den Dotierstoff dar. Dadurch kann der Dotierstoff nur in Richtung der Oberfläche und dem Substrat ausdiffundieren. Dieser Effekt ist gewünscht, um anschließend mit einer von oben implantierten p-Wanne den Anschluss nach unten an das Substrat zu erzielen.

**[0107]** Bei beiden Varianten spart man sich (zusätzlich zum enormen Flächengewinn) eine Lithographie-Ebene, da das Diffusions-Isoliergebiet normalerweise mit zwei Isolierungsebenen erzeugt wird (Bottom Isolierung vor Abscheidung der Epi-Schicht und Top Isolierung nach Abscheidung der Epi-Schicht).

#### Bezugszeichenliste

1	Halbleiterkörper
2	Substrat
3	vergrabene Halbleiterschicht
31	Unterkante der vergrabenen Halbleiterschicht
3 <sub>1</sub> , 3 <sub>2</sub>	Bereiche der vergrabenen Halbleiterschicht
4	Funktionseinheit-Halbleiterschicht
4 <sub>1</sub> , 4 <sub>2</sub>	Bereiche der Funktionseinheit-Halbleiterschicht
41	Oberfläche der Funktionseinheit-Halbleiterschicht
5	Isolationsstruktur
51	Junction Isolation
52	Trench Isolation
5 <sub>1</sub> , 5 <sub>2</sub>	Isolationsstrukturbereich
6	Hartmaske
7	Siliziumnitridschicht
8	Oxidschicht
9	Polysiliziumschicht
10	Hartmaskenöffnung
11	Graben
12	Isolationsschicht
13	hochdotierter Bereich
14	Polysiliziumschicht
15	metallische Schicht
16	Silizid
17	Polysiliziumschicht
18	elektrisch leitendes Material
19	isolierendes Material
20	hochdotierter Bereich
21	halbleitendes Gebiet

#### Patentansprüche

1. Halbleiterbauteil, mit einem Halbleiterkörper (1), in dem:  
 – ein Substrat (2) eines ersten Leitungstyps,  
 – eine auf dem Substrat (2) angeordnete vergrabene Halbleiterschicht (3) eines zweiten Leitungstyps, und  
 – eine auf der vergrabenen Halbleiterschicht (3) angeordnete Funktionseinheit-Halbleiterschicht (4) eines dritten Leitungstyps, in der mindestens zwei lateral nebeneinander angeordnete Halbleiter-Funktions-

einheiten vorgesehen sind, ausgebildet sind, wobei die vergrabene Halbleiterschicht (3) Teil zumindest einer Halbleiter-Funktionseinheit ist, und wobei jeweils zwei Halbleiter-Funktionseinheiten durch eine Isolationsstruktur (5), die die Funktionseinheit-Halbleiterschicht (4), die vergrabene Halbleiterschicht (3) sowie das Substrat (2) durchsetzt, gegeneinander elektrisch isoliert sind,

**dadurch gekennzeichnet**, dass

die Isolationsstruktur (5) mindestens einen Graben (11) und einen elektrisch leitenden Kontakt zum Substrat (2) umfasst, wobei der elektrisch leitende Kontakt zum Substrat (2) durch den mindestens einen Graben (11) elektrisch von der Funktionseinheit-Halbleiterschicht (4) und der vergrabenen Schicht (3) isoliert ist.

2. Halbleiterbauteil nach Anspruch 1, dadurch gekennzeichnet, dass die Isolationsstruktur (5) einen Graben (11) umfasst, dessen Seitenwände zumindest teilweise mit einer isolierenden Schicht (12) bedeckt sind, so dass das Grabeninnere gegenüber der Funktionseinheit-Halbleiterschicht (4) sowie der vergrabenen Halbleiterschicht (3) elektrisch isoliert ist, und dessen Inneres mit einem elektrisch leitendem Material, welches das Substrat (2) elektrisch kontaktiert, gefüllt ist.

3. Halbleiterbauteil nach Anspruch 2, dadurch gekennzeichnet, dass das elektrisch leitende Material ein Halbleitermaterial des ersten Leitungstyps (14) ist.

4. Halbleiterbauteil nach Anspruch 3, dadurch gekennzeichnet, dass der an das elektrisch leitende Halbleitermaterial (14) angrenzende Teil (13) des Substrats (2) eine Dotierstärke aufweist, die höher ist als die Dotierstärke des Substrats (2).

5. Halbleiterbauteil nach Anspruch 2, dadurch gekennzeichnet, dass mindestens am Boden des Grabens (11) ein Silizid (16) ausgebildet ist und das elektrisch leitende Material ein Halbleitermaterial (17) eines beliebigen Leitungstypes ist.

6. Halbleiterbauteil nach Anspruch 5, dadurch gekennzeichnet, dass das Silizid (16) TiSi, WSi, Co-Si, TaSi, HfSi, HfSiOx, andere Halbleiter-Übergangsmetall-Verbindungen oder elektrisch leitfähige Nitride und Carbide umfasst.

7. Halbleiterbauteil nach Anspruch 2, dadurch gekennzeichnet, dass das elektrisch leitende Material ein Metall (18) ist.

8. Halbleiterbauteil nach Anspruch 7, dadurch gekennzeichnet, dass das Metall (18) W, Al, Cu, Ti, Co, Übergangsmetalle und deren Halbleiter-Verbindungen, Silizide, Graphit oder elektrisch leitfähige Nitride und Carbide umfasst.

9. Halbleiterbauteil nach Anspruch 1, dadurch gekennzeichnet, dass die Isolationsstruktur (5) zwei Gräben (11) und ein zwischen den Gräben (11) befindliches halbleitendes Gebiet (21) des ersten Leitungstypes umfasst.

10. Halbleiterbauteil nach Anspruch 9, dadurch gekennzeichnet, dass das halbleitende Gebiet (21) eine vergrabene Schicht (32) des ersten Leitungstypes und einen dotierten Bereich (20) des ersten Leitungstypes umfasst.

11. Halbleiterbauteil nach Anspruch 9, dadurch gekennzeichnet, dass die Gräben (11) mit einem isolierenden Material (19) gefüllt sind.

12. Verfahren zur Herstellung eines Halbleiterbauteils gemäß den Ansprüchen 2 bis 8, ausgehend von einem Halbleiterkörper (1), der

- ein Substrat (2) des ersten Leitungstyps,
- eine auf dem Substrat (2) vorgesehene vergrabene Halbleiterschicht (3) des zweiten Leitungstyps, und
- eine auf der vergrabenen Halbleiterschicht (3) vorgesehene Funktionseinheit-Halbleiterschicht (4) des dritten Leitungstyps

aufweist, gekennzeichnet durch die folgenden Schritte:

- Ausbilden eines Grabens (11) in dem Halbleiterkörper (1), der bis in das Substrat (2) hineinreicht,
- Ausbilden einer isolierenden Schicht (12), die das Grabeninnere gegenüber der Funktionseinheit-Halbleiterschicht (4) sowie der vergrabenen Halbleiterschicht (3) elektrisch isoliert, jedoch zumindest im Bereich des Grabenbodens eine Aussparung aufweist,
- Auffüllen des Grabens (11) mit einem elektrisch leitenden Material.

13. Verfahren nach Anspruch 12, dadurch gekennzeichnet, dass der Graben (11) mit einem Halbleitermaterial (14) des ersten Leitungstyps aufgefüllt wird.

14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, dass vor dem Auffüllen des Grabens (11) mit dem Halbleitermaterial (14) Dotierstoffe des ersten Leitungstyps in den Graben (11) eingebracht werden, so dass die Dotierung des Bereichs (13) des Substrats (2), der an den Boden des Grabens (11) angrenzt, gegenüber der Dotierung des Substrates (2) erhöht wird.

15. Verfahren nach Anspruch 12, dadurch gekennzeichnet, dass

- vor dem Auffüllen des Grabens (11) mit dem elektrisch leitenden Material ein Silizid (16) mindestens am Boden des Grabens (11) gebildet wird und
- der Graben (11) mit einem Halbleitermaterial (17) eines beliebigen Leitungstyps aufgefüllt wird.

16. Verfahren nach Anspruch 15, dadurch gekennzeichnet, dass das Silizid (16) durch die Abscheidung eines Metalls (16) mindestens am Boden des Grabens (11) gebildet wird.

17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, dass das Metall (16) Ti, W, Co, Ta, Hf oder andere Übergangsmetalle umfasst.

18. Verfahren nach Anspruch 12, dadurch gekennzeichnet, dass das elektrisch leitende Material ein Metall (18) ist.

19. Verfahren nach Anspruch 18, dadurch gekennzeichnet, dass das Metall (18) W, Al, Cu, Ti, Co, Übergangsmetalle und deren Halbleiter-Verbindungen, Silizide, Graphit oder elektrisch leitfähige Nitride und Carbide umfasst.

20. Verfahren zur Herstellung eines Halbleiterbauteils gemäß den Ansprüchen 9 bis 11, ausgehend von einem Halbleiterkörper, der ein Substrat (2) des ersten Leitungstyps aufweist, mit den folgenden Schritten:

- Ausbilden einer vergrabenen Halbleiterschicht (3) auf dem Substrat (2), wobei die vergrabene Halbleiterschicht (3) einen Bereich (3<sub>1</sub>) des zweiten Leitungstyps und zumindest einen Bereich (3<sub>2</sub>) aufweist, dessen Leitungstyp der erste Leitungstyp ist,
- Ausbilden einer Funktionseinheit-Halbleiterschicht (4) des dritten Leitungstyps auf der vergrabenen Halbleiterschicht (3),
- Ausbilden wenigstens einer Grabenstruktur in dem Halbleiterkörper (1), wobei jede Grabenstruktur, ausgehend von der Oberseite der Funktionseinheit-Halbleiterschicht (4), bis in das Substrat (2) hineinreicht, und jede Grabenstruktur zwei lateral voneinander beabstandete Gräben (11) aufweist, zwischen denen sich einer der Bereiche (3<sub>2</sub>) des ersten Leitungstyps der vergrabenen Halbleiterschicht (3) befindet,
- Vergrößern der vertikalen und/oder horizontalen Ausdehnung der Bereiche (3<sub>2</sub>) der vergrabenen Halbleiterschicht (3) durch Ausführen eines Temperprozesses.

21. Verfahren nach Anspruch 20, dadurch gekennzeichnet, dass durch das Ausbilden der Gräben (11) die laterale Ausdehnungen der Bereiche (3<sub>2</sub>) des ersten Dotiertyps der vergrabenen Halbleiterschicht (3) verkleinert werden, indem die lateralen Positionen der Bereiche (3<sub>2</sub>) der vergrabenen Halbleiterschicht (3) und die lateralen Positionen der Gräben (11) miteinander überlappen.

22. Verfahren nach Anspruch 20 oder 21, dadurch gekennzeichnet, dass der Bereich (20) oberhalb des Bereiches (3<sub>2</sub>) der vergrabenen Halbleiterschicht (3) durch Einbringen von Dotierstoffen in einen Bereich des ersten Leitungstypes umgewandelt wird.

23. Verfahren nach einem der Ansprüche 20 bis 22, dadurch gekennzeichnet, dass die Gräben (**11**) mit isolierendem Material (**19**) gefüllt werden.

Es folgen 22 Blatt Zeichnungen

FIG 1A

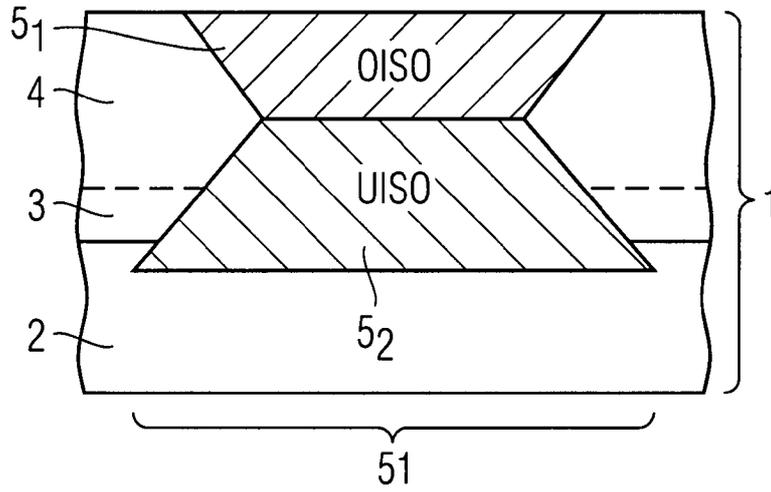


FIG 1B

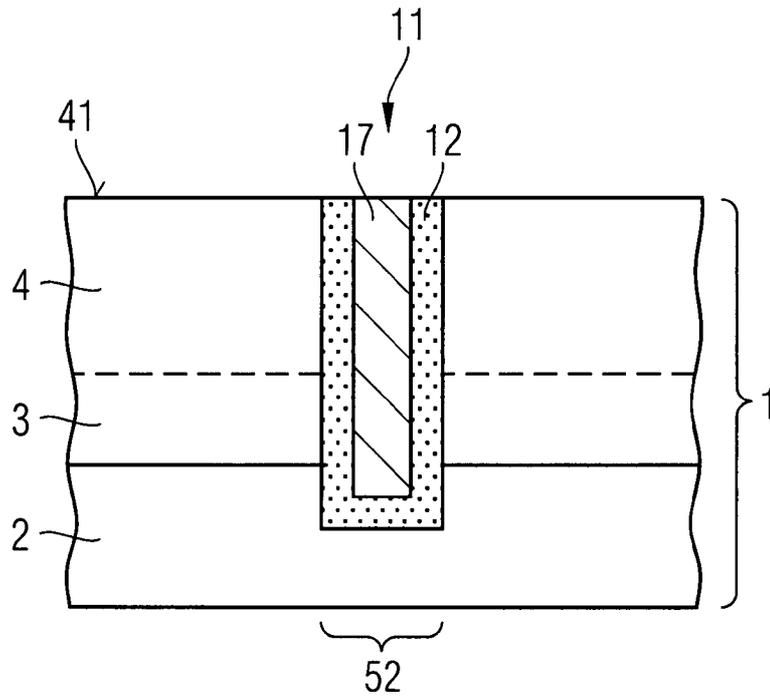


FIG 2

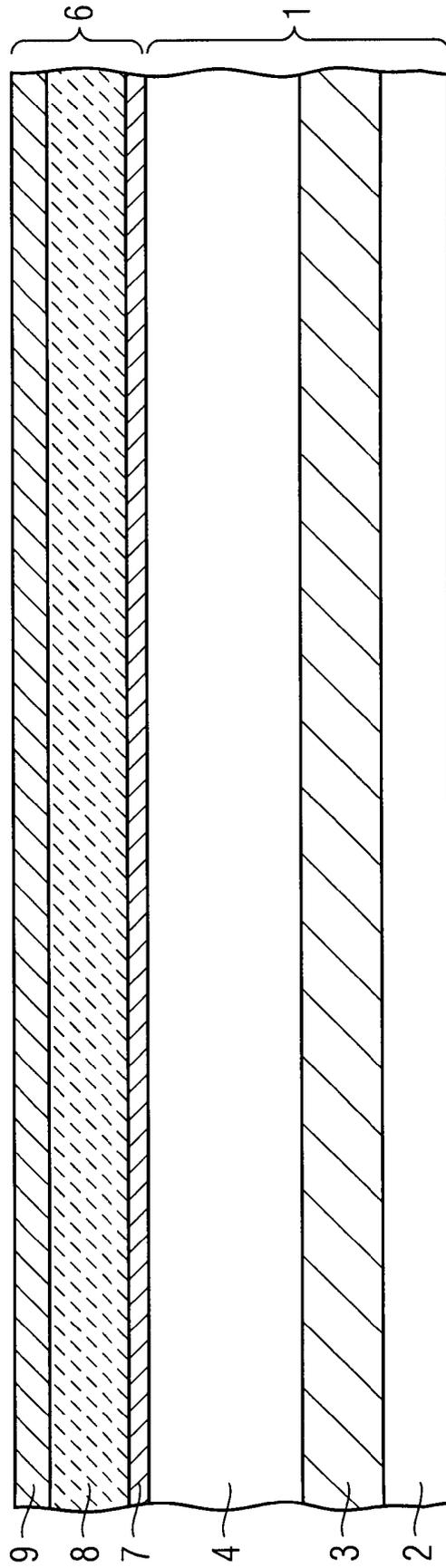


FIG 3

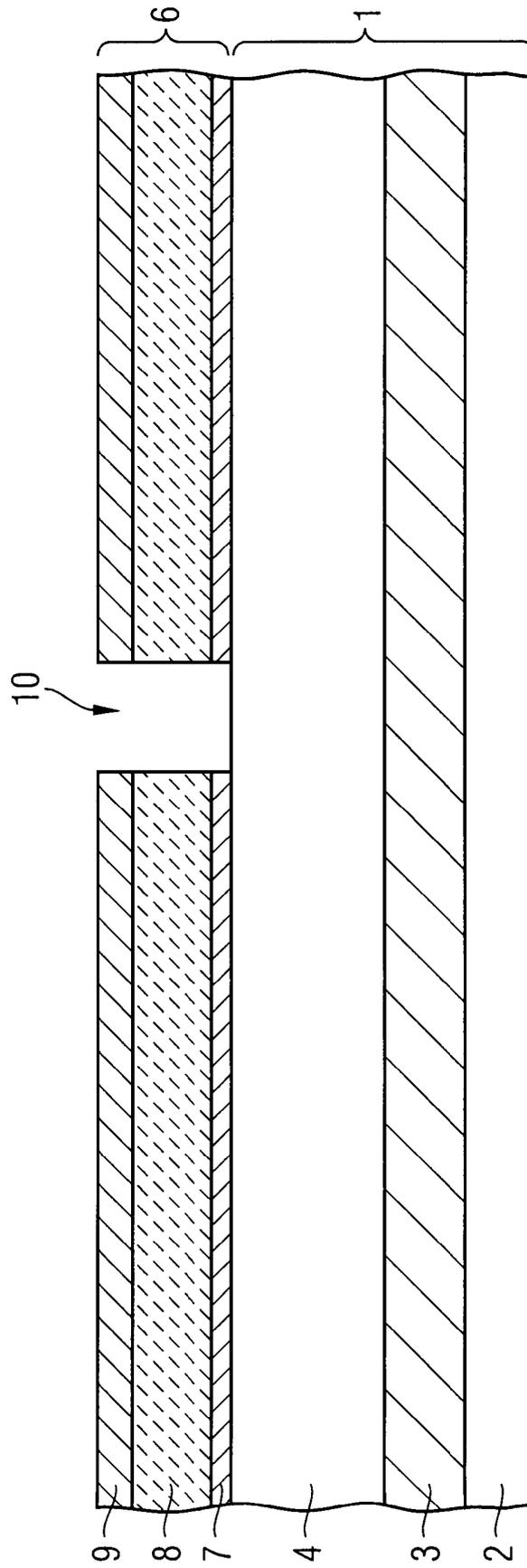


FIG 4

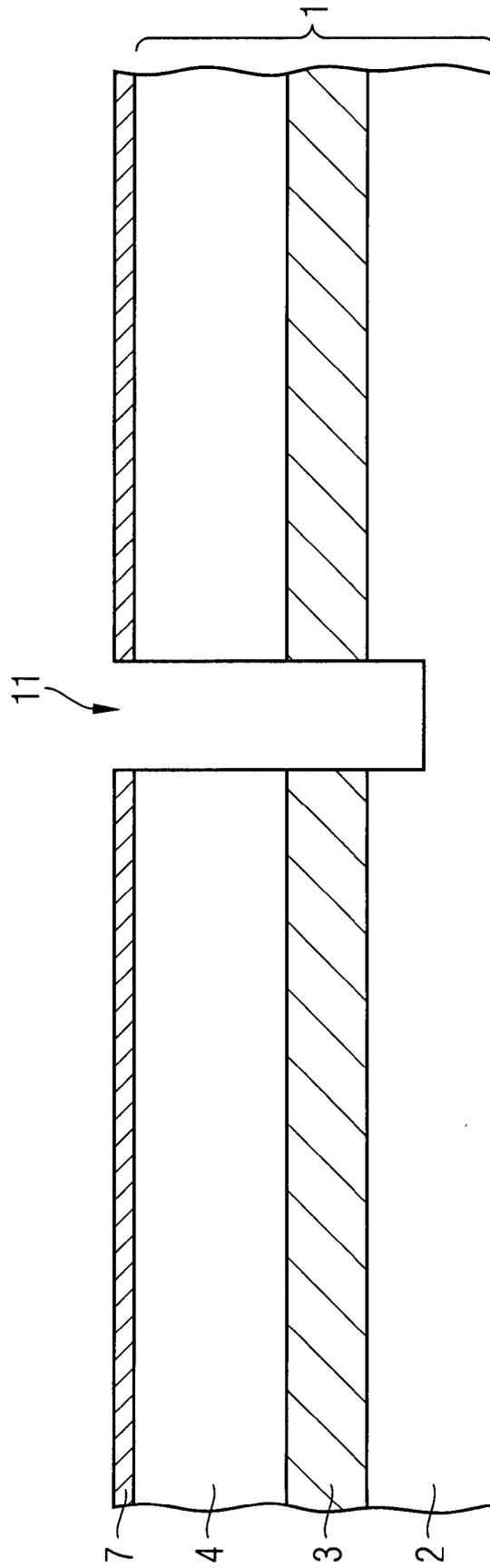


FIG 5

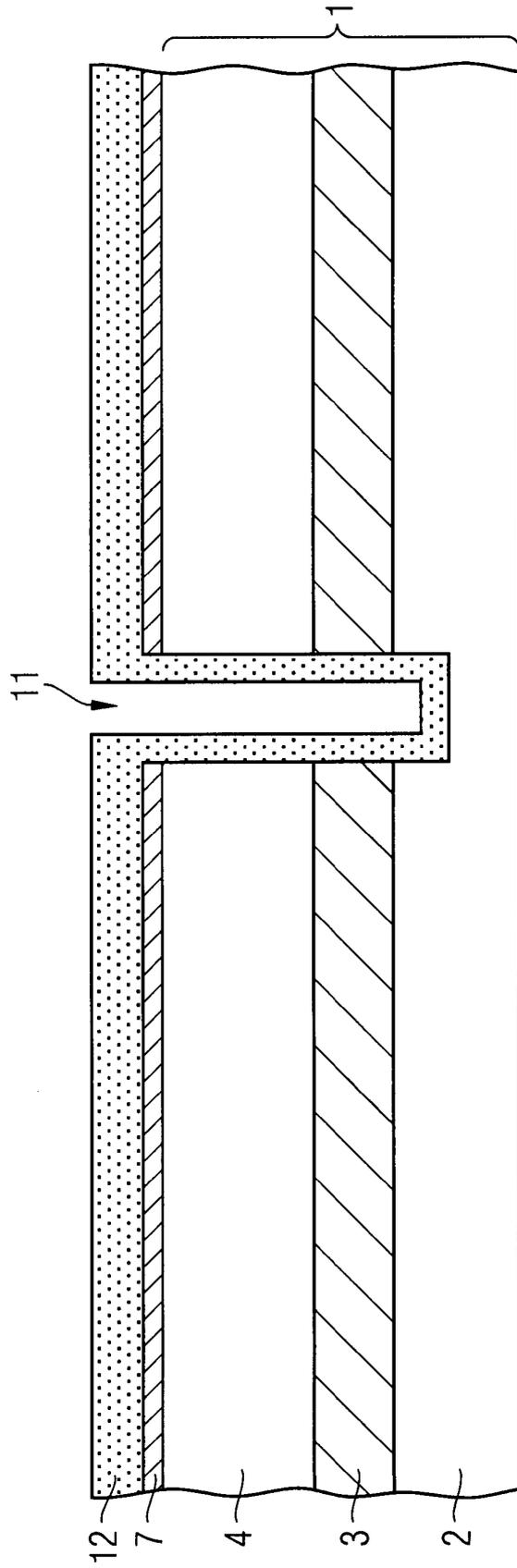


FIG 6

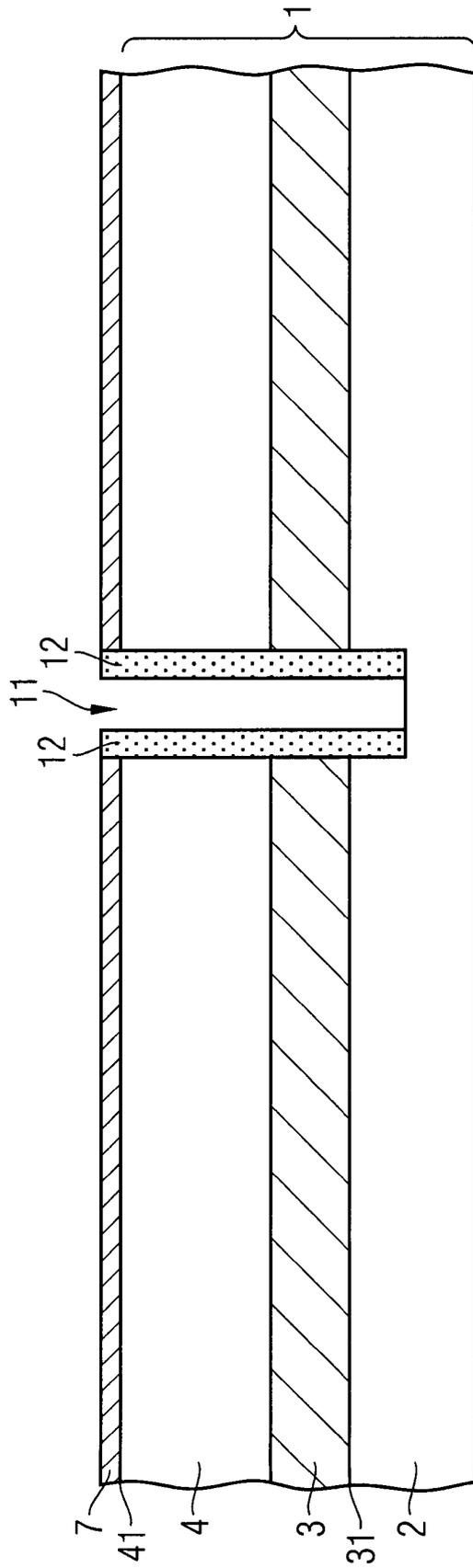


FIG 7

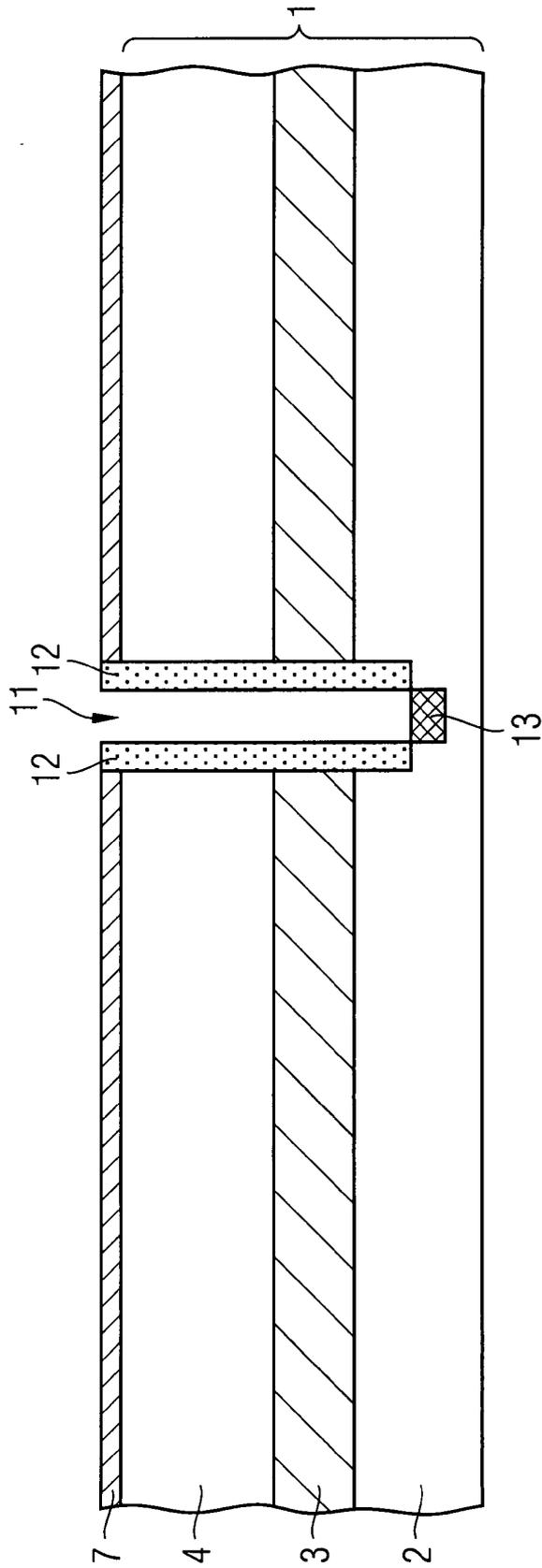


FIG 8

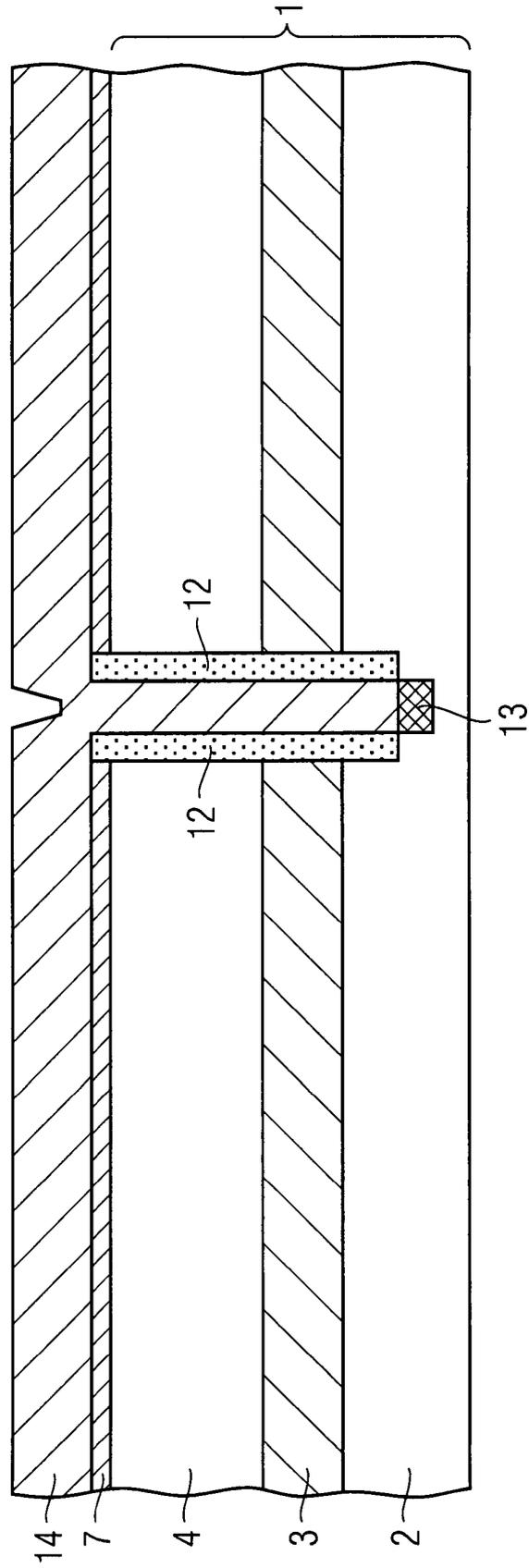


FIG 9

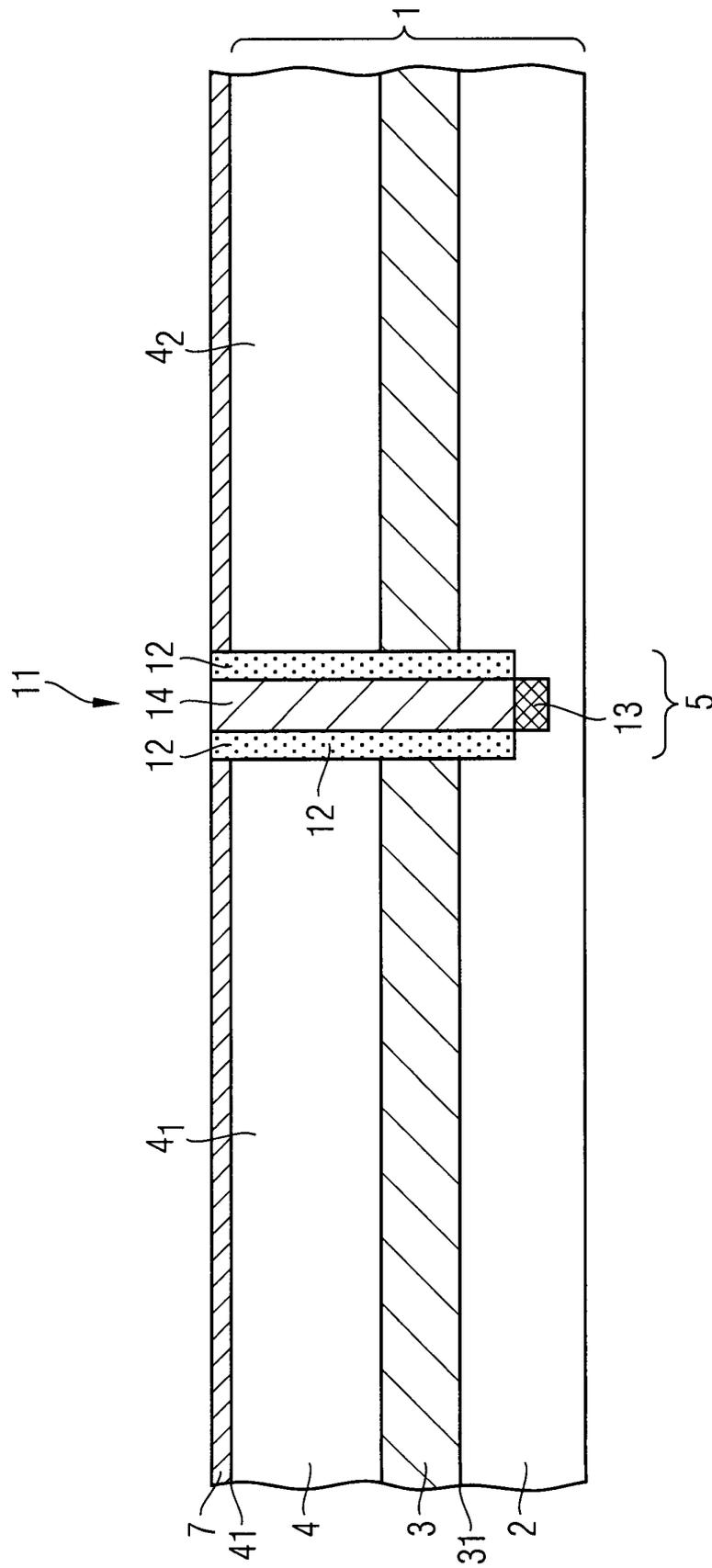


FIG 10

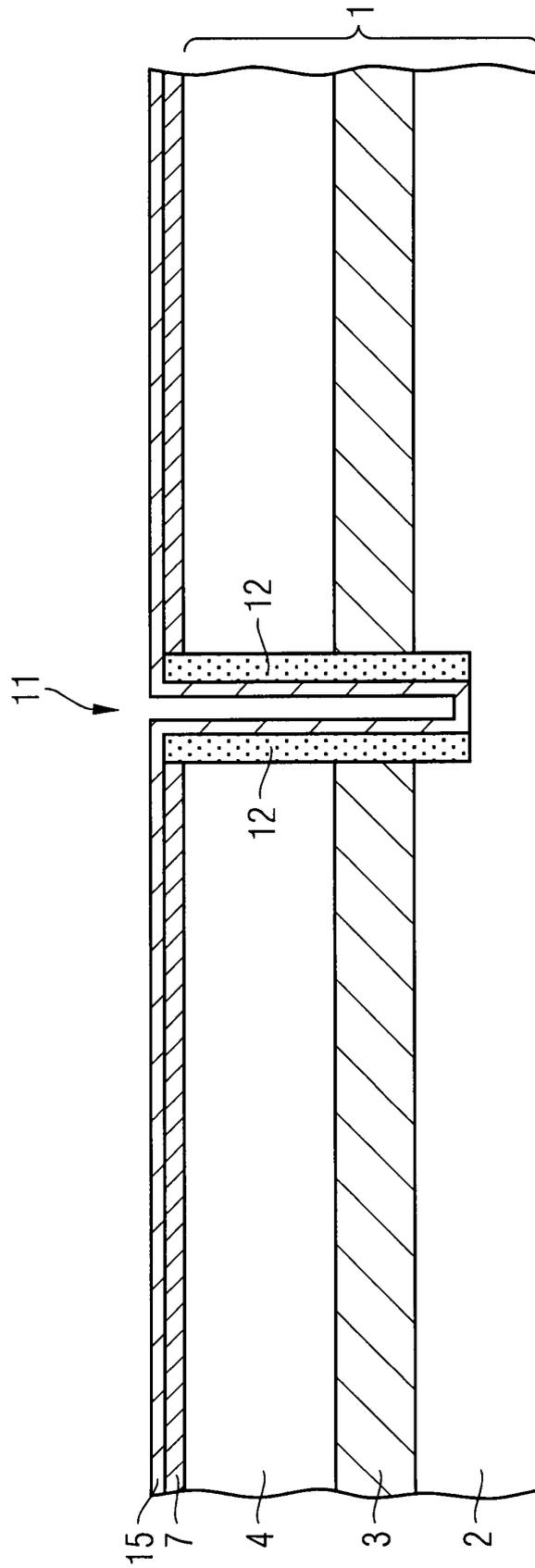


FIG 11

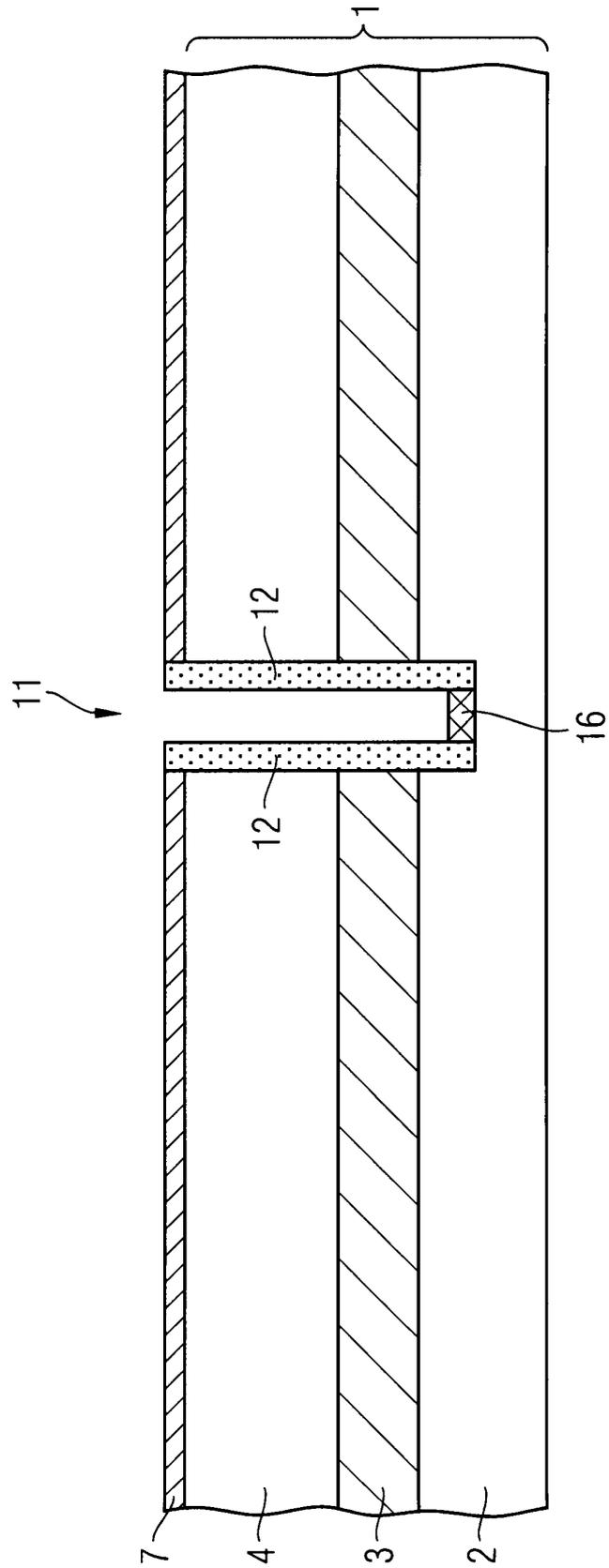


FIG 12

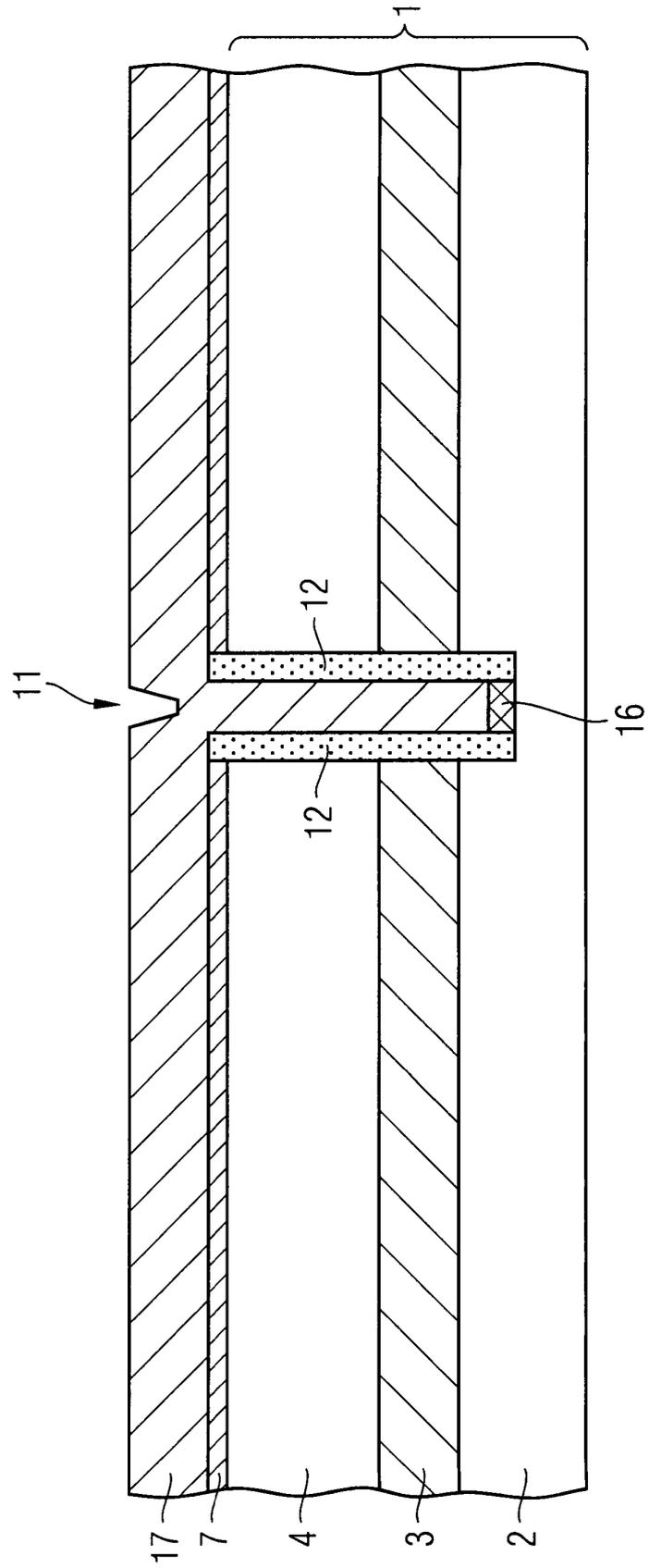


FIG 13

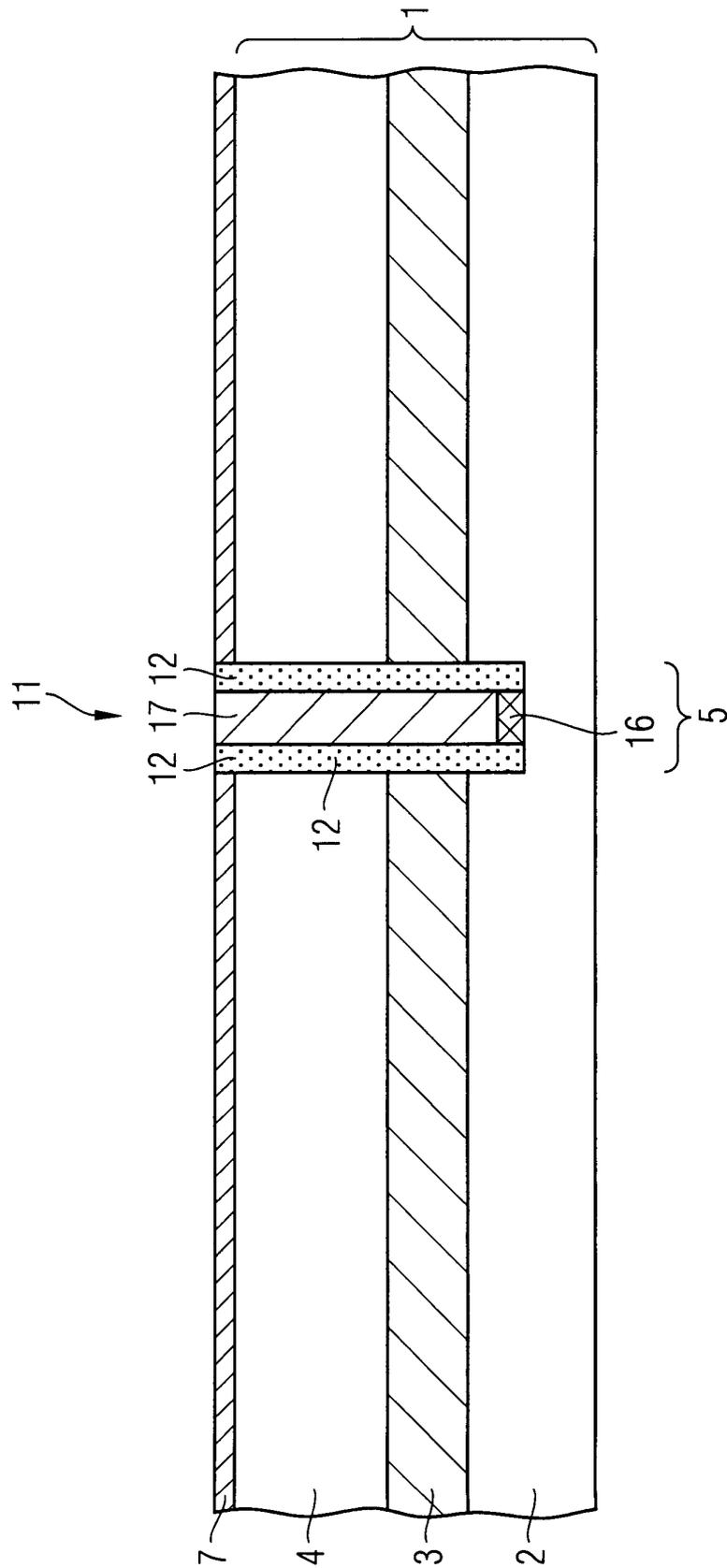


FIG 14

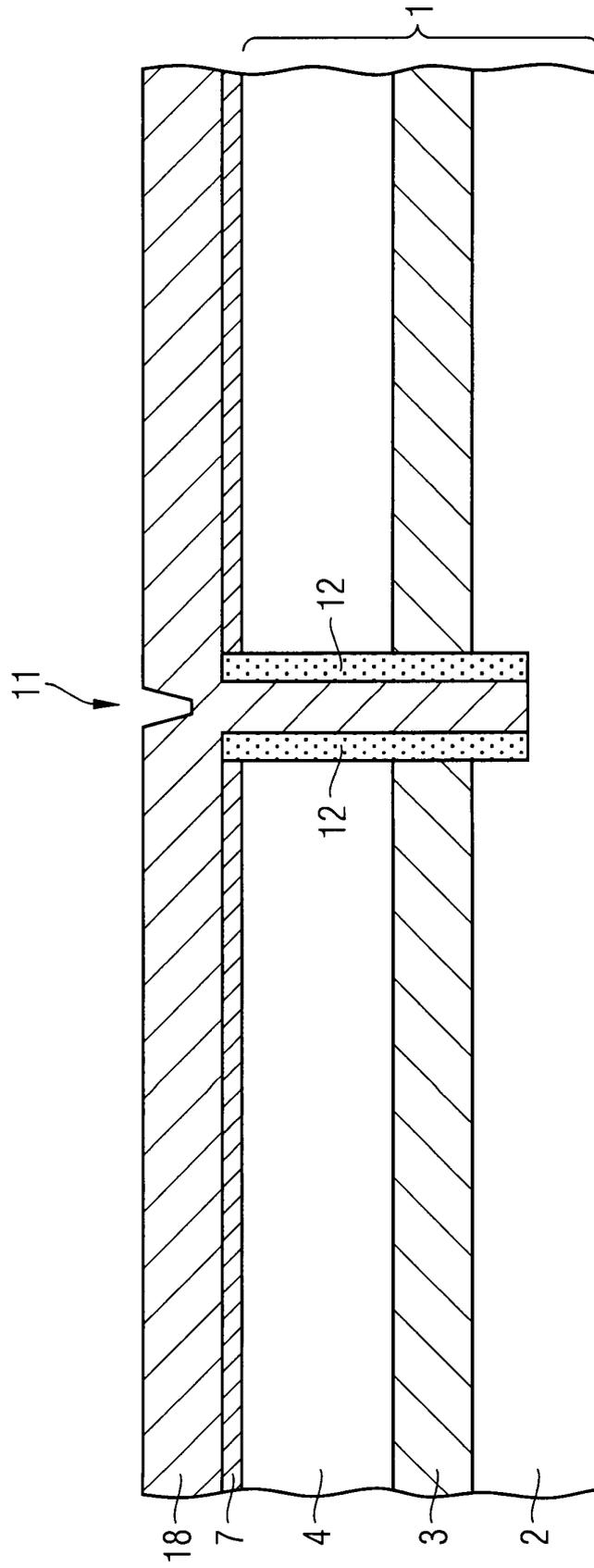


FIG 15

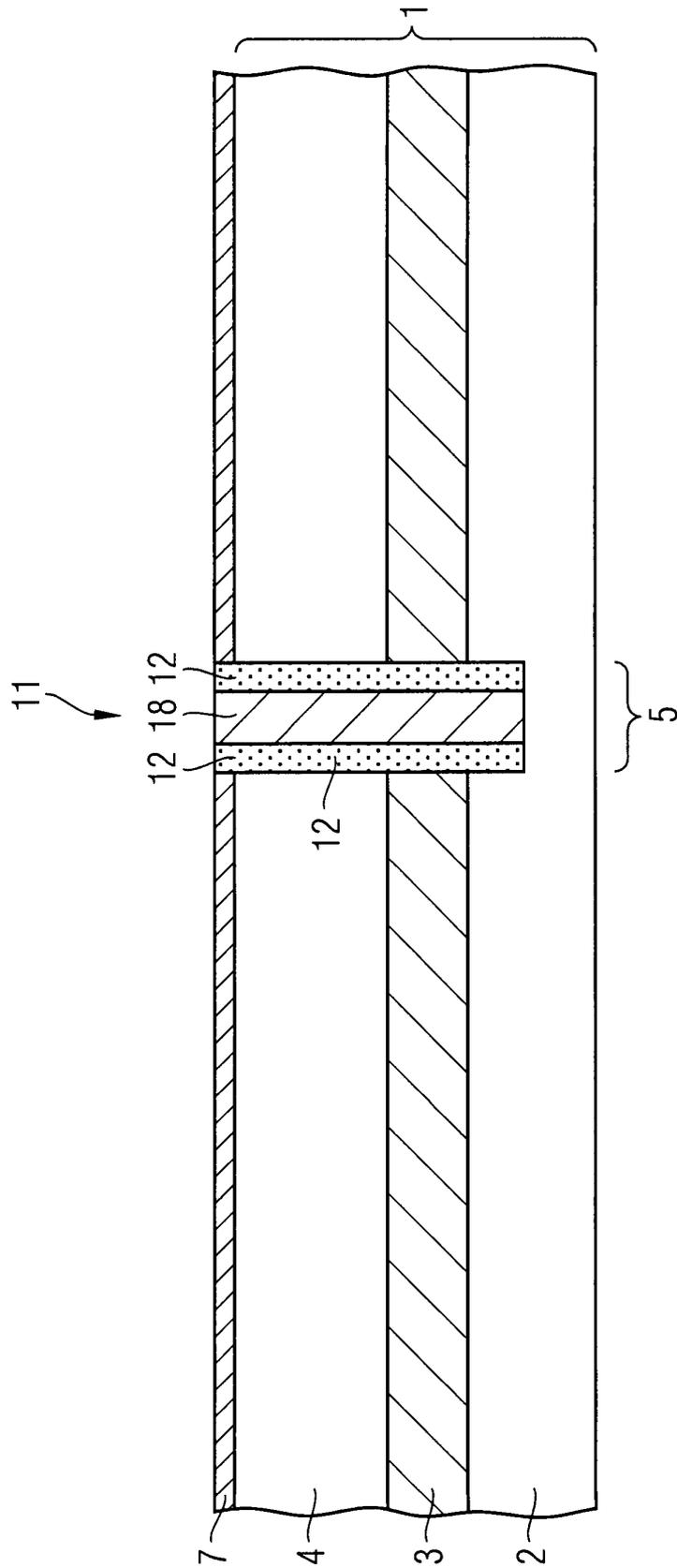


FIG 16

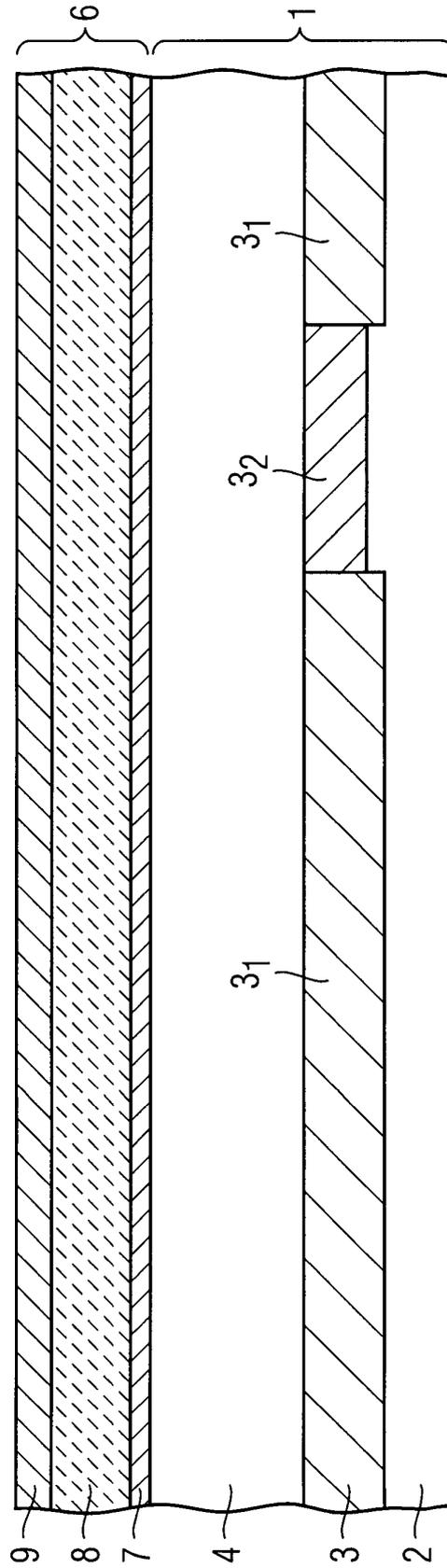


FIG 17

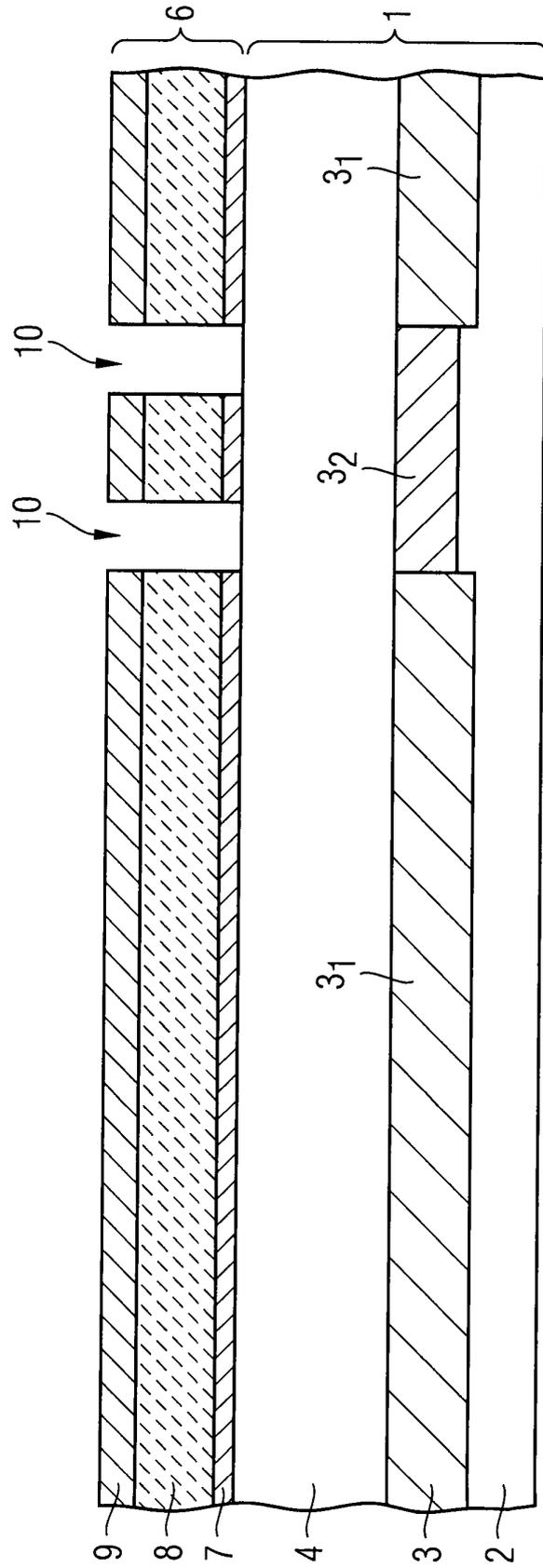


FIG 18

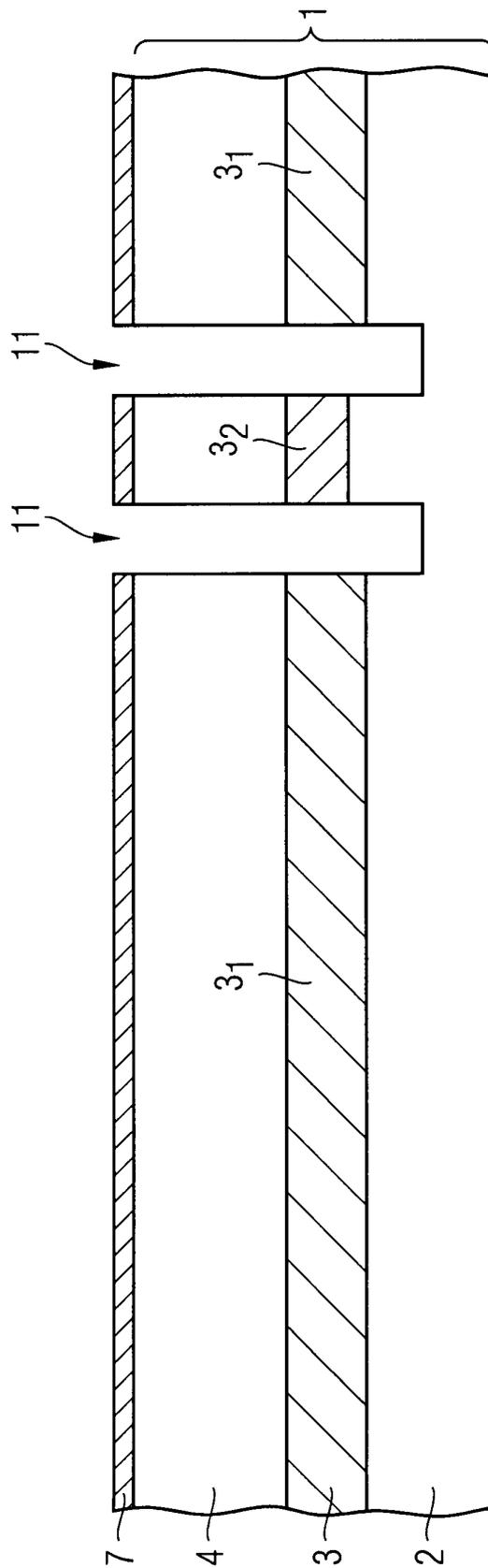


FIG 19

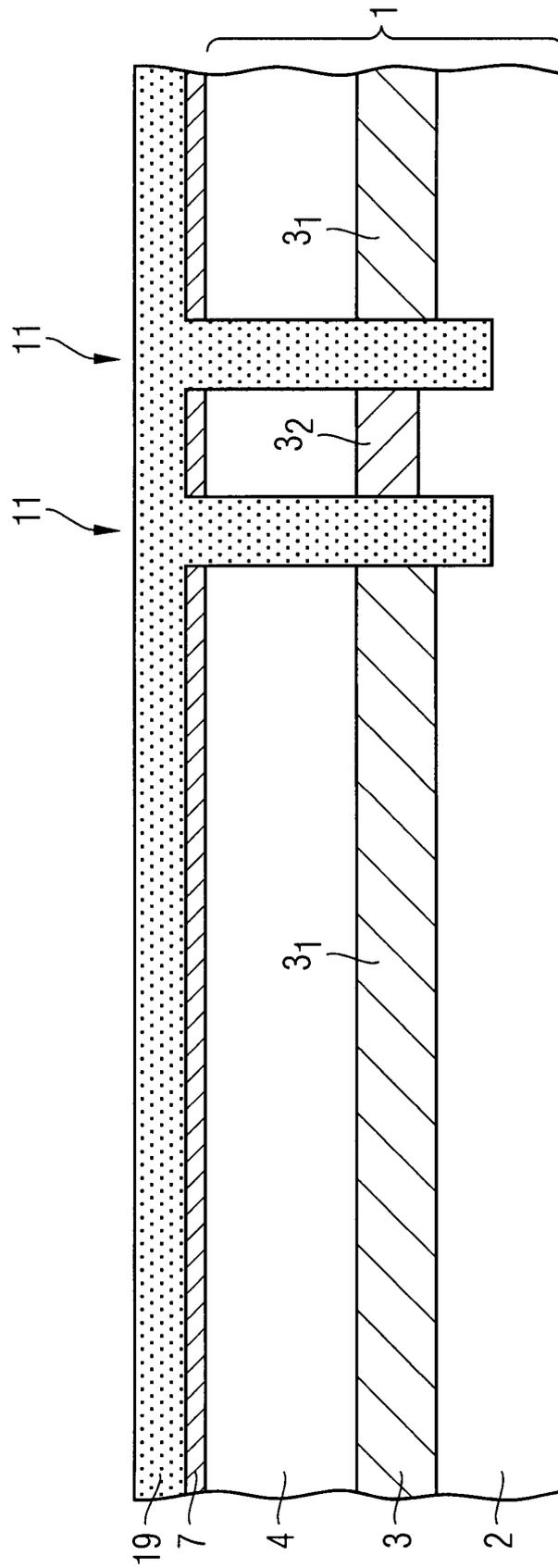


FIG 20

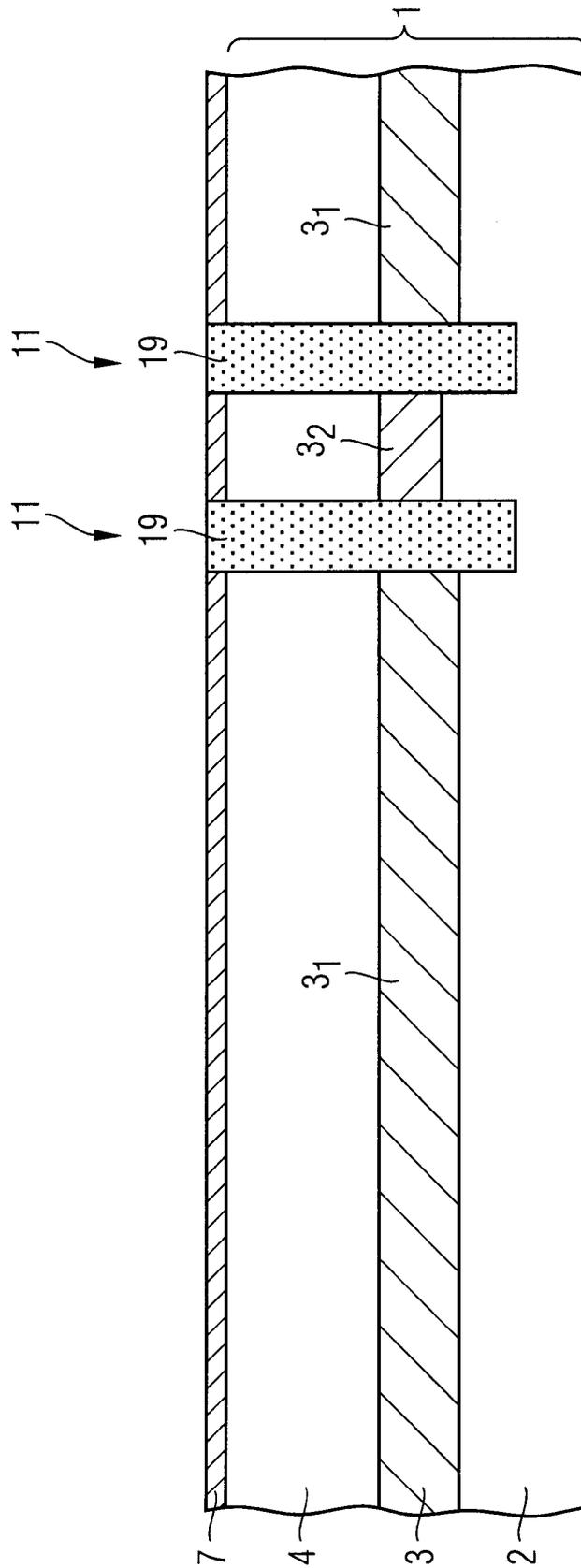


FIG 21

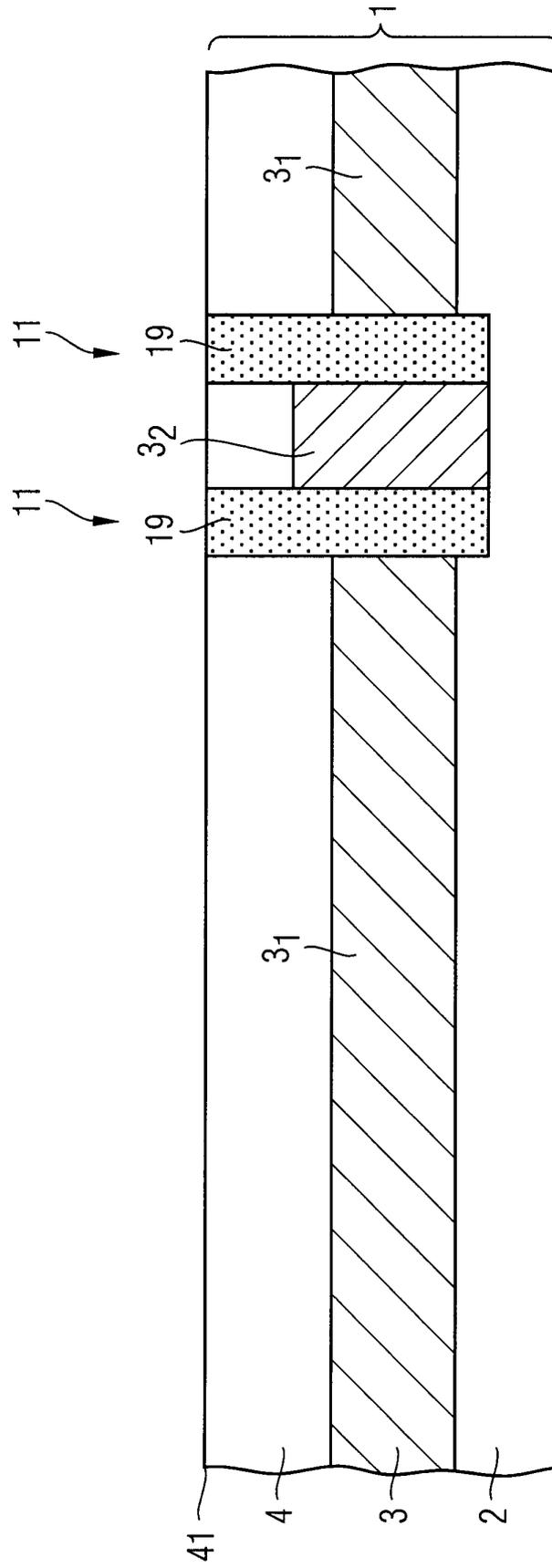


FIG 22

