

公告本

申請日期	P. 2. 27
案 號	P 1103682
類 別	H01L 21/66

A4
C4

527677

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	可對孔洞開口進行可靠檢查之半導體元件製造方法以及由該方法製得之半導體元件
	英 文	SEMICONDUCTOR DEVICE MANUFACTURING METHOD CAPABLE OF RELIABLE INSPECTION FOR HOLE OPENING AND SEMICONDUCTOR DEVICES MANUFACTURED BY THE METHOD
二、發明 人	姓 名	渡邊健一 Kenichi WATANABE
	國 籍	日 本 Japan
	住、居所	日本國神奈川縣川崎市中原區上小田中4丁目1番1號 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi kanagawa 211-8588, Japan
三、申請人	姓 名 (名稱)	日商・富士通股份有限公司 FUJITSU LIMITED
	國 籍	日 本 Japan
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi kanagawa 211-8588, Japan
	代 表 人 姓 名	秋草直之 Naoyuki Akikusa

裝 訂 線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
 日本 2001, 10, 11 特願2001-313706

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

相關申請案之交叉參考

本案係基於日本專利申請案2001-313706，申請日2001年，10月11日，其全文內容以引用方式併入此處。

發明背景

A)發明範疇

本發明係有關一種半導體元件製造方法及一種半導體元件，特別係關於一種通過佈線層上之絕緣膜檢視欲形成的通孔之孔洞開口之半導體元件製造方法，以及藉此種方法製造的半導體元件。

B)相關技藝說明

已知數種檢查孔洞開口的方法，該等方法用於檢查貫穿層間絕緣膜形成的通孔是否到達層間絕緣膜底層。

第12A圖剖面圖顯示經由JP-A-60-109240揭示之檢查孔洞開口方法檢查通孔之周邊區。於底層間絕緣膜500上形成佈線線路501。形成於層間絕緣膜500上之頂層間絕緣膜502覆蓋佈線線路501。通孔503係貫穿層間絕緣膜502形成。通孔503之設置方式讓沿平行基板表面法線之視線觀視時，佈線線路501邊緣貫穿通孔503底區。

若通孔503到達佈線線路501，則當通孔底部使用掃描電子顯微鏡(SEM)觀察時，可觀察得由佈線線路501所形成的一階。若通孔503未到達佈線線路501，則無法觀察得由佈線線路形成的一階。

因此，通孔503開口情況的檢驗係仰賴是否可觀察得由佈線線路501形成的一階。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

如第12B圖所示，若欲形成於含通孔506之層間絕緣膜505之佈線線路507邊緣係位於通孔開口，則可經由觀察通孔506底部該階而檢查以通孔506形成該層與設置有佈線線路該層間的對準位移。

第13A及13B圖為剖面圖顯示經由JP-A-4-12531揭示之孔開口檢查方法檢驗之通孔周邊區。

第13A圖所示，佈線線路511係設置於底層間絕緣膜510上。位於層間絕緣膜510上的底層間絕緣膜512則覆蓋佈線線路511。佈線線路511上方之層間絕緣膜512該區膨脹，層間絕緣膜512於接近佈線線路511中區變成較厚。因此，由於通孔513係形成於對應於佈線線路511該區，故殘留物514可能留在佈線線路511上。留下的殘留物造成難以偵測佈線線路511該階。

如第13B圖所示，若二佈線線路511毗鄰並置，則二佈線線路511間的層間絕緣膜512上表面變成概略平坦。若跨於二佈線線路511之至少一線路上方的通孔係形成於層間絕緣膜512，則殘留物不會留在佈線線路511上，而容易檢測佈線線路511該階。

第14圖為剖面圖顯示JP-A-11-297777揭示之欲藉孔洞開口檢查法檢查之通孔周邊區。於半導體基板520表面上，形成層間絕緣膜521，而於其上形成佈線線路522。佈線線路522係透過經由層間絕緣膜521形成的通孔523而電連接至半導體基板520。

形成於層間絕緣膜521上的頂層間絕緣膜524覆蓋佈線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

線路522。通孔525係形成於層間絕緣膜524上而曝露佈線線路522之部分上表面。使用SEM觀察各個通孔522底部，若佈線線路522為曝露，則為明亮，而若通孔525未到達佈線線路522則該底部為暗。

即使佈線線路522係曝於通孔525底部，若電子堆積於佈線線路522上，則通孔底部亮度下降，此種案例無法與通孔525未能到達佈線線路522之案例區別。如第14圖所示，佈線線路522連接至半導體基板520之結構可避免電子堆積於佈線線路522。

比較經由反應性離子蝕刻(RIE)圖樣化金屬層而形成佈線線路之習知方法，鑲嵌法更容易滿足半導體積體電路元件之高度積體需求，預期可減少製程數目。因此，鑲嵌法引人注目，而適合用於形成具有較低佈線電阻的銅佈線。

第15A圖為剖面圖顯示藉鑲嵌法形成銅佈線過程中通孔之周邊區。於形成於底層間絕緣膜530表層之佈線溝槽，嵌置銅佈線線路532。為了防止銅擴散，佈線溝槽內面覆蓋鈿(Ta)等阻擋金屬層531。

於層間絕緣膜530上，由底部以下述順序積層氮化矽(SiN)薄膜533，氧化矽(SiO₂)薄膜534，低介電常數絕緣膜535，氧化矽薄膜536及氮化矽薄膜537。積層結構形成有個通孔538，通孔曝露銅佈線線路532之部分上表面。佈線溝槽539形成而重疊通孔538，且到達低介電常數絕緣膜535底部。

第15B圖為SEM相片顯示通孔538周邊區。因通孔538

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

底部為暗，故無法判定銅佈線線路532是否曝露出。

第15C圖為剖面圖，顯示通孔538A周邊區，其中通孔538A係由銅佈線線路532略為位移，讓銅佈線線路532邊緣通過通孔538A底區。通孔538A係經由使用氮化矽膜533作為蝕刻停止薄膜而蝕刻積層結構至氧化矽薄膜534底部，以及隨後去除曝露於通孔底部的於氮化矽薄膜533形成。

氮化矽薄膜533之蝕刻形成通常係設定為層間絕緣膜530。銅佈線線路532罕見被蝕刻。因此未形成對應於銅佈線線路532邊緣之一階。

第15D圖為SEM相片顯示通孔538A之周邊區。通孔538A底部全區觀察得幾乎皆為黑，而無法檢測銅佈線線路532與層間絕緣膜503間的邊界。原因在於並未形成階級，此點與第12A圖所示習知實例相反。

未利用階來檢驗孔洞開口於第14圖所示習知案例為可行。但隨著通孔525直徑的逐漸變小，曝光佈線線路522與未曝光佈線線路間之明暗差異變小，因而無法獲得高度可靠的孔洞開口檢查。

發明概要

本發明之目的係提供一種半導體元件製造方法，即使皆未形成於通孔底部，且通孔直徑小，該方法仍可施行高度可靠的孔洞開口檢查。

本發明之另一目的係提供一種經由前述半導體元件製造方法製造的半導體元件，

根據本發明之一特徵方面，提供一種半導體元件製造

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

方法，包含下列步驟：(a)形成一第一絕緣材料薄膜於界定於基板之第一表面上，該基板有一個由絕緣材料製成的表層部分，且成形有一佈線溝槽，該溝槽係以導電材料佈線線路填補，一佈線線路上表面係曝露於第一表面上，佈線線路係電連接至導電件，以及沿平行第一表面之法線之線觀視，該導電件占據面積係大於佈線線路面積；(b)形成一通孔貫穿第一薄膜，通孔之形成方式，讓佈線線路與絕緣材料表層部分間之邊界，沿第一表面法線平行線觀視時係通過通孔內側；以及(c)經由利用來自試樣的二次電子及反射電子獲得影像資訊之裝置，使用該裝置觀察通孔底部俾判定通孔底部狀態是否為可接受或須被剔除。

根據本發明之另一特徵方面，提供一種半導體元件包含：一基板界定一第一表面，該基板具有由絕緣材料製成的表層部分，且形成有佈線溝槽以導電材料之佈線線路填補，佈線線路上表面係曝露於第一面上，佈線線路係電連接至第一導電件，以及當沿第一表面法線之平行線觀視時，該第一導電件占據之面積係大於佈線線路面積；一第一薄膜其係由絕緣材料製成且係成形於基板之第一表面上；一通孔其係成形於第一薄膜，該通孔係設置成讓佈線線路與絕緣材料表層部分間的邊界，當沿第一表面法線平行線觀視時係通過通孔內側；以及一第二導電件填補於該通孔，且係連接至通孔底部的佈線線路，其中該第二導電件底部於對應於佈線線路邊緣位置不具有一階。

由於佈線線路係連接至大導電件，故經由利用二次電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

子及反射電子之強度分布，可減少佈線線路的電荷堆積以及獲得清晰影像。由於各佈線線路與表層部分間之界線係通過通孔底區，故經由檢測通孔底部是否存在有界線，可判定佈線線路是否曝光。

圖式之簡單說明

第1A及1B圖為根據第一具體實施例之半導體元件之剖面圖，以及第1C圖為其平面圖。

第2A及2B圖為根據第一具體實施例之修改例之半導體元件之平面圖。

第3A圖為根據第一具體實施例之另一修改例之半導體元件之平面圖，第3B圖為其剖面圖，以及第3C圖為其SEM相片。

第4圖為根據第一具體實施例之半導體元件之平面圖。

第5A圖為根據第三具體實施例之半導體元件之剖面圖，以及第5B圖為其平面圖。

第6A圖為根據第四具體實施例之半導體元件之剖面圖，以及第6B圖為其平面圖。

第7圖為根據第五具體實施例之半導體元件之剖面圖。

第8圖為檢驗孔洞開口之通孔周邊區之剖面圖，說明設置寬佈線線路該區檢驗孔洞開口之相關問題。

第9圖為根據第六具體實施例之半導體元件之剖面圖，以及第9B圖為其平面圖。

第10A至10H圖為剖面圖顯示一種半導體元件製造方法，該方法可應用於檢驗由具體實施例之半導體元件使用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

的孔洞開口。

第11圖為半導體元件之剖面圖，該半導體元件可應用於檢驗具體實施例之半導體元件使用的孔洞開口。

第12A及12B圖為剖面圖，顯示欲接受習知檢驗孔洞開口及檢查對準位移之通孔及佈線線路。

第13A及13B圖為剖面圖，顯示欲接受習知檢驗孔洞開口之通孔及佈線線路。

第14圖為剖面圖，顯示欲接受習知檢驗孔洞開口之通孔及佈線線路。

第15A及15C圖通孔周邊區剖面圖，其中習知孔洞開口檢查方法應用於鑲嵌結構之佈線圖樣，以及第15B及15D圖分別為第15A及15C圖所示元件之SEM相片。

較佳具體實施例之說明

參照第1A至1C圖，將說明根據本發明之第一具體實施例之半導體元件及其製造方法。

第1A及1B圖為第一具體實施例之半導體元件之通孔周邊區之剖面圖。第1C圖為孔洞開口檢查模式之示意平面圖。沿第1C圖單點鏈線A1-A1所取的剖面圖係對應於第1A及1B圖。以下將說明至第1A圖所示狀態製程。

於氧化矽製成的層間絕緣膜1上，厚50毫微米之氮化矽製成之蝕刻停止膜2係藉電漿CVD(電漿增進化學氣相沉積)形成。於蝕刻停止膜2上，藉電漿CVD形成厚500毫微米之氧化矽製成的佈線層絕緣膜3。

於佈線層絕緣膜3表面上，形成光阻劑薄膜，對應於佈

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

線溝槽4之開口形成貫穿光阻劑薄膜。經由使用此種光阻劑薄膜作為光罩，佈線層絕緣膜3經由使用含氟碳化物蝕刻氣體乾蝕刻，此種蝕刻停止於蝕刻停止膜2。因此佈線溝槽4形成貫穿佈線層絕緣膜3。於光阻劑薄膜被去除後，曝露於佈線溝槽4上方的蝕刻停止膜2經由使用含CHF之蝕刻氣體乾蝕刻。

厚30毫微米之Ta製成的阻擋金屬層5A係藉濺鍍形成，阻擋金屬層5A覆蓋佈線溝槽4上表面以及佈線層絕緣膜3上表面。厚200毫微米之銅種子層藉濺鍍形成於阻擋金屬層5A上表面上。銅鍍覆於種子層至1500毫微米厚。因此各佈線溝槽4內側以主要佈線材料5B亦即銅填補。化學機械研磨(CMP)進行至佈線層絕緣膜3上表面曝光位置。因此阻擋金屬層5A及主佈線材料5B製成的檢查孔洞開口用佈線圖樣5留在佈線溝槽4。

如第1C圖所示，佈線圖樣5係由三條平行設置的佈線線路組成。三佈線線路係接續形成於同一佈線層絕緣膜的襯墊15。襯墊15係於佈線線路5形成的同時形成。

於佈線層絕緣膜3上，厚50毫微米之氮化矽製成的蝕刻停止膜10係藉電漿CVD形成。於蝕刻停止膜10上，厚1200毫微米之氧化矽製成的層間絕緣膜11係藉電漿CVD形成。施行CMP平面化層間絕緣膜11表面。平面化後，層間絕緣膜11厚度例如設定為約800毫微米。

光阻劑薄膜係形成於層間絕緣膜11上，對應於通孔12之開口係形成貫穿光阻劑薄膜。經由使用此種光阻劑薄膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

作為光罩，層間絕緣膜11經由使用含氮碳化物氣體乾蝕刻，此種蝕刻係停止於蝕刻停止膜10。因此，檢查孔洞開口用的通孔12形成貫穿層間絕緣膜11。隨後去除光阻劑薄膜。

曝露於通孔12底面之蝕刻停止膜10經由使用含CHF氣體乾蝕刻而曝露通孔12底部之佈線層絕緣膜3及佈線圖樣5之部分上表面。如第1C圖所示，通孔12排列成三列三行的矩陣形狀。三列通孔12係對應三條佈線線路12。

於不含任何對準位移之理想狀態下，中列的通孔12係位於中央佈線線路5內側，最上列以及最下列通孔則略為偏離對應佈線線路5，對應佈線線路5邊緣係通過通孔12底區。使用此種佈局，即使佈線線路5與通孔12間有對準位移，佈線線路5邊緣仍然通過對應列通孔底區。

通孔12底部使用SEM觀察，佈線線路5邊緣清晰可見。原因在於佈線線路5係連接至有大面積的襯墊15，使用SEM觀察期間，大部分輻射至佈線圖樣5之電子流入襯墊15，可抑制電荷積聚於佈線圖樣5。

為了抑制電荷積聚於佈線圖樣5，無需要求佈線圖樣連接於同一佈線層的襯墊15，反而佈線圖樣5可連接至同一佈線層或較低層的大導電區。為了充分防止電荷積聚於佈線圖樣5，此導電區之面積較佳至少係大於佈線圖樣5面積。除了襯墊外，導電區包括半導體基板本身、防水環設置於晶片周邊區當閘極形成於半導體基板之同時形成導電區。此等案例之具體實施例容後詳述。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

經由檢驗孔洞開口證實佈線圖樣5曝露於通孔12底部時，執行其次處理。於其次處理，如第1B圖所示，導電插塞16填補於通孔12。導電插塞16係由阻擋金屬層16A以及主導電材料16B製成。導電插塞16係經由類似形成佈線圖樣5之方法形成。

第一具體實施例中，通孔12底部使用SEM觀察。取而代之，經由利用試樣之二次電子或反射電子強度分布，使用獲得影像資訊裝置觀察。

第2A及2B圖為根據第一具體實施例之修改例之半導體元件之平面圖。沿第2A及2B圖所示單點鏈線A1-A1所取之剖面圖同第1A第一具體實施例之剖面圖。

如第2A圖所示，多個通孔30形成於襯墊15內側。類似第1A圖所示通孔12，通孔30貫穿層間絕緣膜11及蝕刻停止膜10形成，而曝露襯墊15上表面。頂層襯墊形成於層間絕緣膜11上。上層襯墊透過嵌置於通孔30之導電插塞電連接至下層襯墊15。

第2B圖所示之修改例中，通孔31也形成於襯墊15下方之層間絕緣膜。襯墊15係透過嵌置於通孔31下方之導電插塞電連接至底層襯墊。

若佈線圖樣5不僅連接至形成於佈線層的襯墊15，同時也連接至底層襯墊，則可進一步減少佈線圖樣5之電荷堆積。

參照第3A至3C圖，說明第一具體實施例之另一項修改。第3A圖為平面圖顯示通孔周邊區，第3B圖為沿第3B

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

圖所示單點鏈B3-B3所取之剖面圖。襯墊15連接至佈線圖樣5。通孔12貫穿設置於佈線圖樣5之層間絕緣膜形成。於平面觀視時，包括通孔12之佈線溝槽13係形成於層間絕緣膜11至其中間深度。於第3A圖所示平面圖，佈線圖樣5邊緣通過通孔12底區。

第3C圖為SEM相片顯示通孔12底部。可見可清晰檢測得佈線圖樣5邊緣。

第4圖為根據第二具體實施例之半導體元件之孔洞開口檢驗模式之平面圖。三佈線線路5、一個襯墊15以及通孔設置成三列三行矩陣形狀，具有類似第1A圖所示第一具體實施例。第二具體實施例中，多條虛設佈線線路5a係設置於三條佈線線路5兩邊，且平行於佈線線路5。虛設佈線線路5a係電隔離而未連接至導電區。

佈線線路5及虛設佈線線路5a均勻分布於檢查佈線區20。由於多條佈線線路以高密度分布，故於形成佈線線路5之CMP之後，稱作溶蝕的凹部形成於第1A圖所示佈線層絕緣膜3上表面層的檢視佈線區20。因佈線層絕緣膜3之層間絕緣膜11經平面化，故佈線線路5上的層間絕緣膜11較厚，而其量對應於凹部深度。

第二具體實施例中，即使層間絕緣膜11厚度因溶蝕而變不規則，但仍可高度可靠地檢查孔洞開口。為了正面利用檢視佈線區20的溶蝕，檢視佈線區20之佈線線路面積較佳設定為檢視佈線區20面積之25%或以上。例如佈線線路5及虛設佈線線路5a個別寬度W1設定為0.2微米，佈線線路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

間距設定為0.6微米。

若欲藉溶蝕形成凹部調整為更深，例如佈線寬度W1及距離S1設定為1微米，檢視佈線區20之佈線線路面積設定為檢視佈線區20面積之約50%。檢視佈線區20之佈線線路面積比設定為概略等於下述面積比，此處為晶片最難以形成開口之處，亦即藉溶蝕形成最深凹部的佈線區。採用此種設定，經由檢視檢視佈線區20之孔洞開口，可判定晶片全區之開口狀態。

第5A及5B圖為顯示根據第三具體實施例之半導體元件之剖面圖及平面圖。第5A圖對應於沿第5B圖單點鏈線A5-A5所取之剖面圖。

第一具體實施例中，佈線圖樣5係連接至第1C圖所示襯墊15。第三具體實施例中，佈線圖樣5係連接至防水環16。防水環16係藉形成佈線圖樣5方法之相同方法形成，且沿晶片之外周邊區至少延伸一匝。佈線圖樣5及通孔12之佈局類似第1A及1B圖所示第一具體實施例之半導體元件之佈局。

防水環溝槽17形成貫穿層間絕緣膜11及蝕刻停止膜10。防水環溝槽17係經由形成通孔12方法之相同方法形成，且係位於下方防水環16上。

第三具體實施例中，類似第一具體實施例之襯墊15，防水環16抑制電荷於佈線圖樣5積聚。因此容易進行孔洞開口的檢查。

第6A及6B圖為顯示根據第四具體實施例之半導體元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

件之剖面圖及平面圖。第6A圖係對應沿第6B圖單點鏈線A6-A6所取之剖面圖。

如第6A圖所示，於矽半導體基板25表面上，元件分離絕緣區26係經由局部氧化矽(LOCOS)或淺溝渠隔離(STI)技術形成。氮化矽蝕刻停止膜27覆蓋於基板25表面上。氧化矽層間絕緣膜1形成於蝕刻停止膜27上。層間絕緣膜1上方各層具有如第5A圖所示第三具體實施例之半導體元件之相同結構。

防水環28係嵌置於溝槽，該溝槽形成貫穿層間絕緣膜1及蝕刻停止膜27。防水環28係由氮化鈦阻擋金屬層28A覆蓋溝槽內面以及鎢製成的主導電件28B填補溝槽內部組成。防水環28電連接佈線圖樣5至基板25。因佈線圖樣係連接至基板25，故可防止電荷積聚於佈線圖樣5。替代透過防水環28連接佈線圖樣5至基板，可透過尋常導電插塞連接至基板。

第7圖為剖面圖顯示根據五具體實施例之半導體元件。半導體基板25表面上，形成元件隔離絕緣區35俾界定主動區。主動區係形成於p型或n型井。

積層結構形成於主動區部分上表面上，積層結構有三層包括氧化矽膜36、多晶矽膜37及TiSi或CoSi之金屬矽化物膜38。於積層結構側壁上形成氧化矽製成的側壁間隔體29。氧化矽膜37及多晶矽膜37係於設置於半導體基板另一區的MOSFET之閘極絕緣膜及閘極形成之同時形成。矽化物膜38係藉眾所周知的矽化物(自行對準矽化物)方法形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

成。

於積層結構兩邊之半導體基板25表層形成雜質摻雜區41。雜質摻雜區41可藉MOSFET之源極區及汲極區植入離子之相同方法形成。雜質摻雜區41上表面覆蓋TiSi或CoSi矽化物膜42。矽化物膜42係於矽化物膜38形成之同時形成。

氮化矽蝕刻停止膜27形成於半導體基板25上，覆蓋積層結構。於此蝕刻停止膜27上，形成氧化矽層間絕緣膜1。層間絕緣膜1上方的結構係類似第5A圖所示第三具體實施例之半導體元件結構。

曝露矽化物膜38部分表面積之通孔形成貫穿層間絕緣膜1。導電插塞40嵌置於通孔。導電插塞40係由氮化鈦阻擋金屬層40A覆蓋通孔內膜以及鎢製成的主導電件40B填補通孔內部組成。導電插塞40連結佈線圖樣5至矽化物膜38。因此佈線圖樣5電連接至多晶矽膜37。多晶矽膜37及半導體基板25夾置氧化矽膜36，組成電容器。

第6A圖所示具體實施例中，佈線圖樣5直接電連接至半導體基板25。第五具體實施例中，佈線圖樣5係透過電容器連接至半導體基板25，該電容器係由多晶矽膜37及半導體基板25組成。

當通孔12底部使用SEM觀察時，大部分入射於佈線圖樣之電子堆積於電容器，該電容器係由多晶矽膜37及半導體基板25組成。因此可減少電荷堆積於佈線圖樣5之數量。

前述第一至第五具體實施例中，佈線線路及通孔設置成沿基板法線平行線方向觀視時，佈線線路邊緣通過通孔

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

底區。若佈線線路寬，則難以以前述方式執行高度可靠地檢查孔洞開口。此項困難容後詳述。

如第8圖所示，於佈線層絕緣膜50嵌置細佈線線路51a及寬佈線線路51b。形成佈線線路之CMP於寬佈線線路51b之上表面層形成凹部。蝕刻停止膜52及通孔層絕緣膜53係以此種順序形成於佈線線路51a及51b以及佈線層絕緣膜50上。

通孔層絕緣膜53表面藉CMP平面化。因此通孔絕緣膜53於高於寬佈線線路51b中區上方較厚。即使經過證實佈線線路51b曝露出，經由疊置於寬佈線線路51b邊緣的通孔54a檢視孔洞開口證實，但無法保證位於寬佈線線路51b中區的通孔54b到達佈線線路51b上表面。晶片有一種結構為通孔係設置於寬佈線線路中區。僅使用通孔54a疊置寬佈線線路51b邊緣，檢查孔洞開口無法確保高度可信度。後文所述第六具體實施例中，即使通孔係位於寬佈線線路中區，仍可高度可靠地檢視孔洞開口。

第9A圖為根據第六具體實施例之半導體元件之剖面圖，以及第9B圖為平面圖。第9A圖係對應於沿第9B圖單點鏈線A9-A9所取之剖面圖。第9A圖所示剖面結構幾乎類似第1A圖所示第一具體實施例之半導體元件結構。第一具體實施例中，佈線線路之寬度讓凹部不形成於其上表面。第六具體實施例中，因佈線圖樣5為寬，故於其上表面形成凹部。

經由部分留下佈線層絕緣膜3形成的絕緣區3a係位於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

寬佈線圖樣5。佈線圖樣5包圍絕緣區3a。於第9B圖所示實例，三個絕緣區3a係沿佈線圖樣5之縱向方向設置。絕緣區3a係沿佈線圖樣5之寬度方向彼此位移。較好於最深凹部區形成絕緣區3a。

通孔12位置係對應於各個絕緣區3a。三個通孔12係位在沿佈線圖樣5寬度方向之相同位置。沿基板表面法線平行線觀視，至少一個通孔3a重疊對應絕緣區3a邊緣。寬佈線圖樣5類似第1A至1C圖所示第一具體實施例係連接至襯墊15上。

因通孔到達佈線圖樣5，故佈線圖樣5與絕緣區3a間的界限出現於通孔12底部。經由使用SEM觀察界限可檢查孔洞開口。檢查孔洞開口用之通孔12通過層間絕緣膜11於佈線圖樣5之厚區。因而可從事高度可靠的孔洞開口檢查。

三對絕緣區3a與通孔12間之位置關係沿佈線圖樣5寬度方向彼此有別。因此，即使有若干對準誤差，經由使用三對中之一對仍可檢查孔洞開口。

其次，參照第10A至10H圖，將說明具有其中一具體實施例之孔洞開口檢視圖樣之半導體元件製造方法。

如第10A圖所示，蝕刻停止膜112係形成於底層111上，佈線層絕緣膜113係形成於蝕刻停止膜112上。例如於MOSFET's形成於半導體晶圓之主動區後，絕緣膜形成於晶圓上，底層111之結構讓導電插塞嵌置於絕緣膜，或導電插塞嵌置於頂層間絕緣膜之結構係高於絕緣膜。

例如蝕刻停止膜112係由厚50毫微米氮化矽製成。氮化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

矽膜具有蝕刻停止功能及銅擴散的防止功能。佈線層絕緣膜113例如係由厚500毫微米之氧化矽製成。於佈線層絕緣膜113表面上，形成光阻劑薄膜114其具有對應於佈線圖樣的開口。

經由使用光阻劑薄膜114作為蝕刻罩，佈線層絕緣膜113係使用含氟碳化物之蝕刻氣體藉反應性離子蝕刻(RIE)蝕刻。此種蝕刻止於蝕刻停止膜112。隨後，經由使用氧電漿灰化去除光阻劑膜114。於此灰化期間，底層111係以蝕刻停止膜112覆蓋，故可防止底層111之導電件表面被氧化。曝露於貫穿佈線層絕緣膜113之溝槽底部的蝕刻停止膜112，係經由使用基於CHF之蝕刻氣體藉RIE去除。使用前述方法形成佈線溝槽。

第一至第六具體實施例之一檢視孔洞開口之通孔係形成為貫穿佈線層絕緣膜113及蝕刻停止膜112，俾執行孔洞開口的檢視。

如第10B圖所示，阻擋金屬層115及主佈線層116係形成於帶有佈線溝槽之結構上。例如擋阻金屬層115係藉濺鍍藉鈮製成，厚30毫微米；以及主佈線層116係藉濺鍍或鍍敷而由銅製成。若主佈線層116係藉濺敷形成，則銅種子層首先係藉濺鍍形成，然後銅被鍍敷於銅種子層上。

於阻擋金屬層115及主佈線層116形成後，施行CMP去除於佈線層絕緣膜113上表面上方的主佈線層116及阻擋金屬層115。

如第10C圖所示，因此阻擋金屬層115及主佈線層116

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

形成佈線線路留在佈線溝槽，該溝槽係形成貫穿佈線層絕緣膜113。此時也形成檢視孔洞開口用之佈線圖樣5。孔洞開口之檢視佈線圖樣5可設置於晶片或劃線上。於佈線層絕緣膜113上，形成第二層蝕刻停止膜117。例如蝕刻停止膜117係由厚50毫微米之氮化矽製成。於蝕刻停止膜117上形成通孔層絕緣膜118。例如通孔層絕緣膜118係由厚1200毫微米之氮化矽製成。

於通孔層絕緣膜118形成後，施行CMP來平面化通孔層絕緣膜118上表面。於通孔層絕緣膜118平面化後，形成第三層之蝕刻停止層119及佈線層絕緣膜120。例如蝕刻停止膜119係由厚50毫微米之氮化矽製成，佈線層絕緣膜120係由厚500毫微米之氧化矽製成。具有通孔開口的光阻劑薄膜121係形成於佈線層絕緣膜120上。

經由使用光阻劑薄膜121作為蝕刻光罩，佈線層絕緣膜120、蝕刻停止膜119及通孔層絕緣膜118係經由使用含CF蝕刻氣體、含CHF蝕刻氣體等蝕刻。經由控制蝕刻條件，蝕刻止於蝕刻停止膜117表面。光阻劑光罩121經由使用氧電漿灰化去除。因此形成到達蝕刻停止膜117的通孔。此時也形成檢查孔洞開口用的通孔12。

如第10D圖所示，非感光樹脂塗覆於佈線層絕緣膜120表面，樹脂由表面熔化而只留下填補劑器122於通孔。因此，於佈線層絕緣膜120表面形成光阻劑薄膜123，其具有開口對應於佈線線路。

經由使用光阻劑薄膜123作為蝕刻光罩，佈線層絕緣膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

120使用含氟碳化物氣體藉RIE蝕刻。此種蝕刻止於蝕刻停止膜119表面。因此佈線溝槽經由佈線層絕緣膜120形成。

如第10E圖所示，光阻膜123經由使用氧電漿灰化去除。此時非感光樹脂填補劑122也被去除。蝕刻停止膜119及117曝露於佈線溝槽底部及通孔。

如第10F圖所示，曝露出的蝕刻停止膜119及117使用含CHF蝕刻氣體藉RIE去除。此種狀態下，觀察檢視孔洞開口用的通孔12底部俾進行孔洞開口的檢查。

如第10G圖所示，阻擋金屬層124形成而覆蓋佈線層絕緣膜120上表面及佈線溝槽及通孔內面，主佈線層125形成於阻擋金屬層124上。阻擋金屬層124及主佈線層125係經由類似形成底阻擋金屬層115及主佈線層116之方法形成。沉積於佈線層絕緣膜120上表面的阻擋金屬層124及主佈線層125藉CMP去除。

如第10H所示，藉CMP平面化的表面覆蓋以第四層蝕刻停止膜126。因此形成雙重鑲嵌結構佈線125。

於第10A至10H圖所示具體實施例中，具體實施例之一之孔洞開口檢查模式應用於雙重鑲嵌結構。孔洞開口檢查模式也可應用於單一鑲嵌結構。

第11圖為剖面圖顯示有鑲嵌多層佈線結構之半導體元件實例。元件分離溝渠係形成於半導體晶圓201之有井的預定區，氧化矽等絕緣材料填補於元件分離溝渠，俾形成經由淺溝渠隔離(STI)之元件隔離絕緣區204。

於元件隔離絕緣區204界定的主動區，形成絕緣閘極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

205及側壁間隔體206。源/汲區S/D係經由離子植入形成於閘極205兩側上。第一蝕刻停止膜210形成而覆蓋絕緣閘極205，第一底絕緣膜211形成於第一蝕刻停止膜上。阻擋金屬層207及佈線金屬區208製成的導電插塞係形成貫穿第一底絕緣膜211及第一蝕刻停止膜210。

有機絕緣膜212及第一頂絕緣膜213形成於第一底絕緣膜211上。若有機絕緣膜為塗覆型絕緣膜，則具有平面化功能，可未施行CMP而獲得平坦面。第一佈線線路209嵌置於佈線溝槽，該佈線溝槽係形成貫穿第一頂絕緣膜213及有機絕緣膜212。

第二蝕刻停止膜220及第二底絕緣膜221係形成於第一佈線線路209表面上，並施行CMP進行平面化。於第二底絕緣膜221上，形成的第二有機薄膜222及第二底絕緣膜223俾形成雙重鑲嵌佈線結構224。

同理，第三蝕刻停止膜230及第三底絕緣膜231形成於第二頂絕緣膜223表面上，且施行CMP用於平面化。於第三底絕緣膜231上，形成第三有機薄膜232及第三頂絕緣膜233俾形成第二雙重鑲嵌佈線結構234。

第四蝕刻停止膜240以及第四底絕緣膜241形成於第三頂絕緣膜233表面上，且施行CMP進行平面化。於第四底絕緣膜241上，形成第四有機薄膜242及第四頂絕緣膜243俾形成第三雙重鑲嵌佈線結構244。表面保護膜250係形成於多層佈線結構上。

該具體實施例孔洞開口檢查係於形成通孔貫穿多層結

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

構各層的處理之後進行。

雖然已經說明四層之多層佈線結構，但也可視需要增減佈線層數目。替代積層有機絕緣膜及頂絕緣膜，也使用蝕刻停止膜及絕緣膜的積層。可使用具有低介電常數絕緣膜之積層結構，例如含氟或碳之氧化矽膜以及多孔氧化矽膜。

已經就較佳具體實施例說明本發明。本發明非僅囿限於前述具體實施例。顯然熟諳技藝人士可作多種修改、改良、組合等。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

元件標號對照

1, 11, 505, 521... 層間絕緣膜	20... 檢查佈線區
2, 10, 27, 52, 112, 117, 119, 126, 210, 220, 230, 240... 蝕刻停止膜	25... 矽半導體基板
3, 50, 113, 120... 佈線層絕緣膜	26, 35, 204... 元件分隔絕緣區
3a... 絕緣區	28... 防水環
4, 13, 539... 佈線溝槽	28B... 主導電件
5... 佈線圖樣	29, 206... 側壁間隔體
5A, 16A, 28A, 40A, 115, 124, 207, 531... 阻擋金屬層	36, 534, 536... 氧化矽膜
5B... 主佈線材料	37... 多晶矽膜
5a... 虛設佈線	38, 42... 矽化物膜
12, 30, 31, 54a, 54b, 503, 506, 513, 523, 525, 538, 538A... 通孔	40... 導電插塞
15... 襯墊	40B... 主導電件
16... 導電插塞	41... 雜質摻雜區
16... 防水環	51a... 細佈線線路
16B... 主導電材料	51b... 粗佈線線路
17... 防水環溝槽	53, 118... 通孔層絕緣膜
	111... 底層
	114, 121, 123... 光阻膜
	116, 125... 主佈線層
	122... 填補劑
	205... 閘極
	208... 佈線金屬區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

209, 501, 507, 511, 522,	佈線結構
532... 佈線線路	250... 表面保護膜
211, 221... 底絕緣膜	500, 510, 530... 底層間絕
212... 有機絕緣膜	緣膜
213... 頂絕緣膜	502, 512, 524... 頂層間絕
222, 232, 242... 有機薄膜	緣膜
223, 231, 241, 243, 535... 絕緣膜	514... 殘留物
224, 234, 244... 雙重鑲嵌	520... 半導體基板
	533, 537... 氮化矽膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：可對孔洞開口進行可靠檢查之半導體元件製造方法以及由該方法製得之半導體元件)

一種基板界定絕緣表層部分且形成佈線溝槽而其中以佈線線路填補，該佈線線路係電連接至導電件。導電件占據的面積當沿第一表面法線方向觀視時，係大於佈線線路面積。絕緣第一薄膜形成於第一表面上。通孔形成貫穿第一薄膜。通孔之形成方式讓佈線線路與絕緣表層部分間之邊界通過通孔內側。通孔底部係使用一種裝置觀察俾判定通孔底部狀態是否為可接受或需剔除，該裝置係經由利用二次電子或反射電子獲得影像資訊。

英文發明摘要(發明之名稱：

SEMICONDUCTOR DEVICE MANUFACTURING METHOD
CAPABLE OF RELIABLE INSPECTION FOR HOLE
OPENING AND SEMICONDUCTOR DEVICES
MANUFACTURED BY THE METHOD)



A substrate defining an insulating surface layer portion and formed with a wiring groove filled with a wiring line the wiring line is electrically connected to a conductive member. The conductive member occupies an area larger than an area of the wiring line as viewed along a line parallel to a normal to the first surface. An insulating first film is formed on the first surface. A via hole is formed through the first film. The via hole is formed so that a boundary between the wiring line and the insulating surface layer portion passes through the inside of the via hole. The bottom of the via hole is observed with an apparatus for obtaining image information by utilizing secondary electrons and reflection electrons, to judge whether a state of the bottom of the via hole is accepted or rejected.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體元件製造方法，包含下列步驟：

(a)形成一第一絕緣材料薄膜於界定於基板之第一表面上，該基板有一個由絕緣材料製成的表層部分，且成形有一佈線溝槽，該溝槽係以導電材料佈線線路填補，一佈線線路上表面係曝露於第一表面上，佈線線路係電連接至導電件，以及沿平行第一表面之法線之線視觀，該導電件占據面積係大於佈線線路面積；

(b)形成一通孔貫穿第一薄膜，通孔之形成方式，讓佈線線路與絕緣材料表層部分間之邊界，沿第一表面法線平行線觀視時係通過通孔內側；以及

(c)經由利用來自試樣的二次電子及反射電子獲得影像資訊之裝置，使用該裝置觀察通孔底部俾判定通孔底部狀態是否為可接受或須被剔除。

2. 如申請專利範圍第1項之半導體元件製造方法，其中該導電件為襯墊或防水環設置於與佈線線路相同的佈線層或比佈線線路更低的佈線層。
3. 如申請專利範圍第1項之半導體元件製造方法，其中該基板包括半導體基板及多層佈線結構形成於半導體基板表面上，以及導電件為半導體基板。
4. 如申請專利範圍第1項之半導體元件製造方法，其中：
基板包括一半導體基板，一MOS電晶體其係形成於半導體基板表面上且具有一源區、汲區、閘極絕緣膜及閘極，以及一電容器介電薄膜其係形成於半導體基板表面，且係由閘極絕緣膜之相同材料製成；以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

導電件係形成於電容器介電薄膜上，連同用作為電容器之一電極的半導體基板組成電容器。

5. 如申請專利範圍第1項之半導體元件製造方法，其中該步驟(a)包含下列步驟：

形成絕緣材料第二薄膜設置於其位置比第一表面更深的第二表面上，該第二薄膜上表面界定第一表面；

形成佈線溝槽於第二薄膜；

沉積導電薄膜於第二薄膜上，該導電薄膜嵌置於佈線溝槽內側；以及

去除沉積於比第一表面更高的導電薄膜俾留下佈線線路於佈線溝槽。

6. 如申請專利範圍第1項之半導體元件製造方法，其中該第一薄膜包含：

一蝕刻停止膜其係直接設置於第一表面上，且係由與界定第一表面之表層部分材料不同的材料製成；以及

一層間絕緣膜其係設置於蝕刻停止膜上，且係由與蝕刻停止膜材料不同的材料組成，

該步驟(b)包含下列步驟：

形成通孔於層間絕緣膜，該形成條件讓蝕刻停止膜之蝕刻速率比層間絕緣膜之蝕刻速率更慢；以及

去除曝露於通孔底部之蝕刻停止膜，其去除條件讓界定第一表面之表層部分蝕刻速率比蝕刻停止膜蝕刻速率更慢。

7. 如申請專利範圍第1項之半導體元件製造方法，其中多

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

條其它佈線線路係設置於該佈線線路兩邊且平行該佈線線路。

8. 如申請專利範圍第7項之半導體元件製造方法，其中其它佈線線路係均一設置於第一表面之第一區，佈線線路於第一區之面積係占第一區面積之25%或以上。
9. 如申請專利範圍第8項之半導體元件製造方法，其中該第一表面上之第一區係比第一區之周邊區更凹陷。
10. 如申請專利範圍第1項之半導體元件製造方法，其中佈線線路環繞第一表面上的絕緣區，以及通孔係設置成當沿第一表面法線平行線觀視時，佈線線路與層間絕緣區間的界限係通過通孔內側。
11. 如申請專利範圍第10項之半導體元件製造方法，其中佈線線路上表面於第一表面凹陷，絕緣區上表面係低於佈線線路周邊上表面。
12. 一種半導體元件，包含：

一基板界定一第一表面，該基板具有由絕緣材料製成的表層部分，且形成有佈線溝槽以導電材料之佈線線路填補，佈線線路上表面係曝露於第一面上，佈線線路係電連接至第一導電件，以及當沿第一表面法線之平行線觀視時，該第一導電件占據之面積係大於佈線線路面積；

一第一薄膜其係由絕緣材料製成且係成形於基板之第一表面上；

一通孔其係成形於第一薄膜，該通孔係設置成讓佈

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

線線路與絕緣材料表層部分間的邊界，當沿第一表面法線平行線觀視時係通過通孔內側；以及

一第二導電件填補於該通孔，且係連接至通孔底部的佈線線路，

其中該第二導電件底部於對應於佈線線路邊緣位置不具有一階。

13. 如申請專利範圍第12項之半導體元件，其中該第一導電件為襯墊或防水環設置於與佈線線路相同的佈線層或比佈線線路更低的佈線層。

14. 如申請專利範圍第12項之半導體元件，其中該基板包括半導體基板及多層佈線結構形成於半導體基板表面上，以及導電件為半導體基板。

15. 如申請專利範圍第12項之半導體元件，其中：

基板包括一半導體基板，一MOS電晶體其係形成於半導體基板表面上且具有一源區、汲區、閘極絕緣膜及閘極，以及一電容器介電薄膜其係形成於半導體基板表面，且係由閘極絕緣膜之相同材料製成；以及

第一導電件係形成於電容器介電薄膜上，連同用作為電容器之一電極的半導體基板組成電容器。

16. 如申請專利範圍第12項之半導體元件，其中該第一薄膜包含：

一蝕刻停止膜其係直接設置於第一表面上，且係由與界定第一表面之表層部分材料不同的材料製成；以及

一層間絕緣膜其係設置於蝕刻停止膜上，且係由與

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

六、申請專利範圍

- 蝕刻停止膜材料不同的材料組成。
17. 如申請專利範圍第12項之半導體元件，其中多條其它佈線線路係設置於該佈線線路兩邊且平行該佈線線路。
 18. 如申請專利範圍第17項之半導體元件，其中其它佈線線路係均一設置於第一表面之第一區，佈線線路於第一區之面積係占第一區面積之25%或以上。
 19. 如申請專利範圍第18項之半導體元件，其中該第一表面上之第一區係比第一區之周邊區更凹陷。
 20. 如申請專利範圍第12項之半導體元件，其中佈線線路環繞第一表面上的絕緣區，以及通孔係設置成當沿第一表面法線平行線觀視時，佈線線路與層間絕緣區間的界限係通過通孔內側。
 21. 如申請專利範圍第20項之半導體元件，其中佈線線路上表面於第一表面凹陷，絕緣區上表面係低於佈線線路周邊上表面。

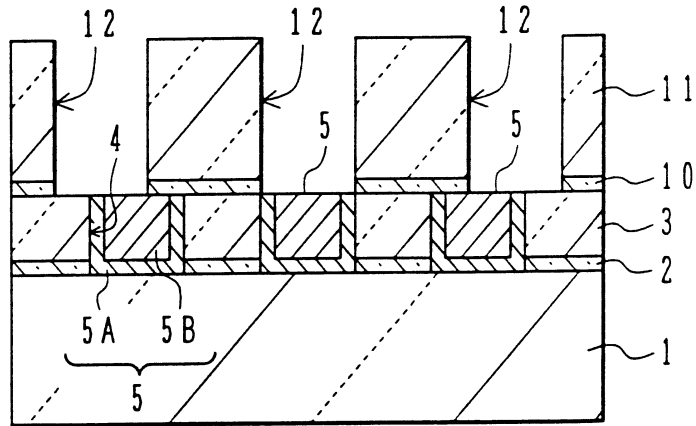
(請先閱讀背面之注意事項再填寫本頁)

裝

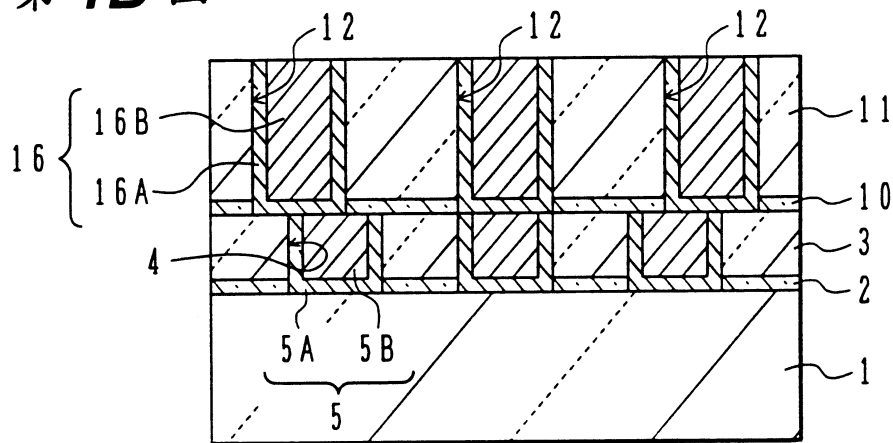
訂

線

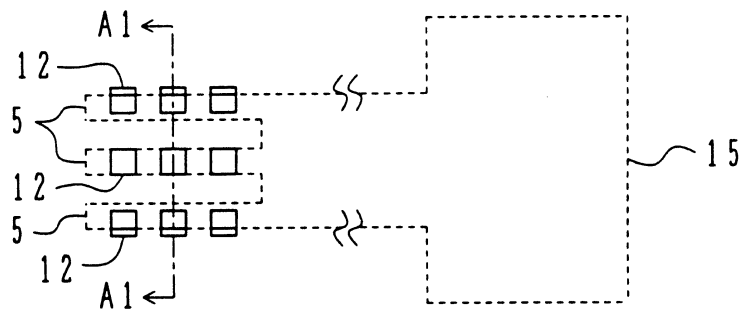
第 1A 圖



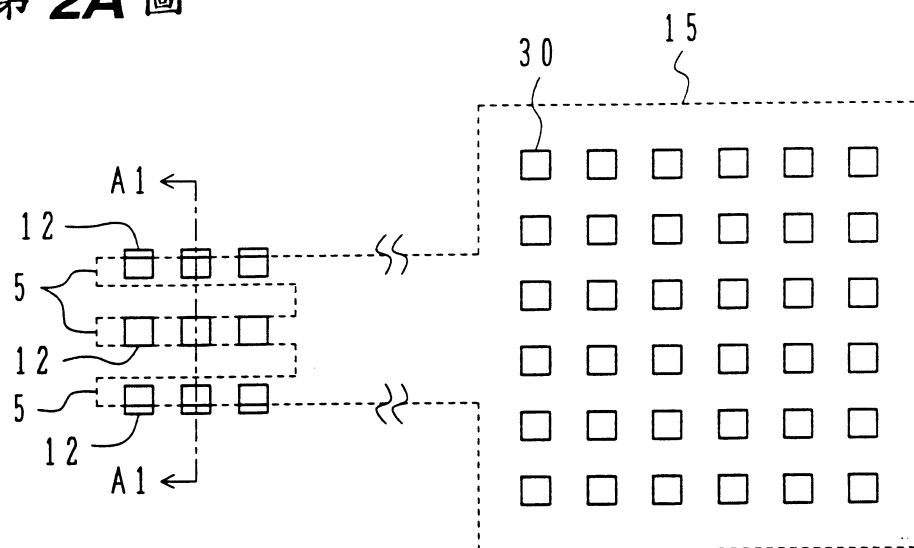
第 1B 圖



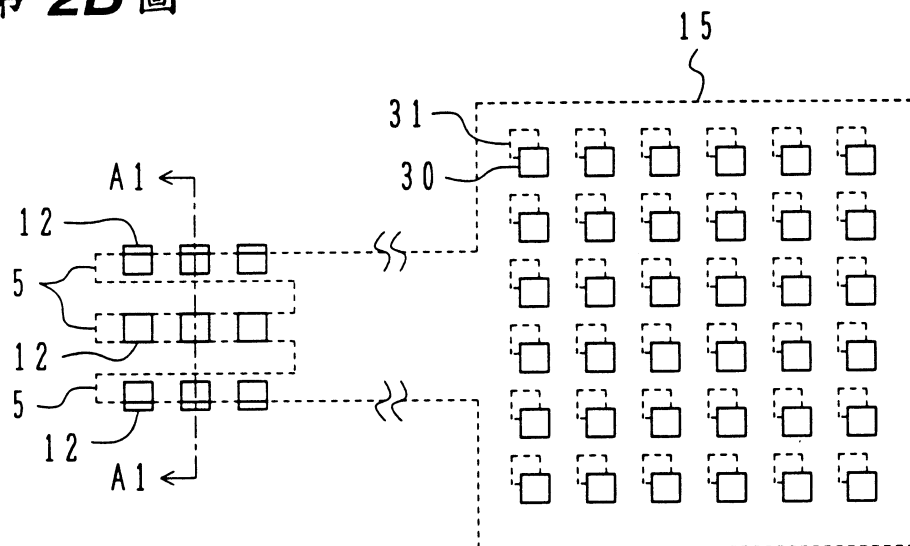
第 1C 圖



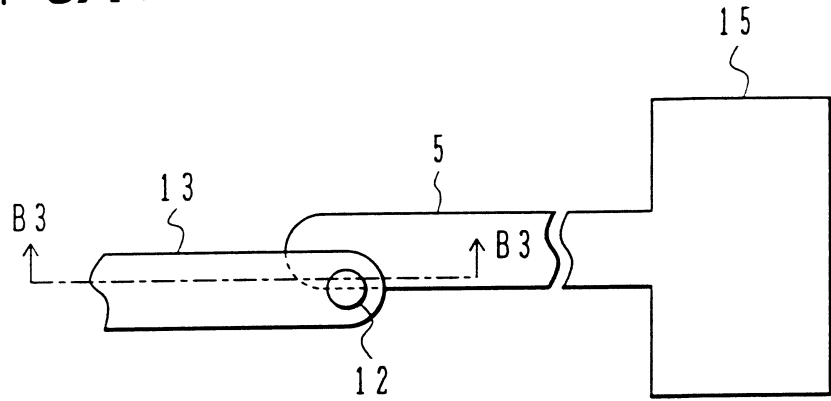
第 2A 圖



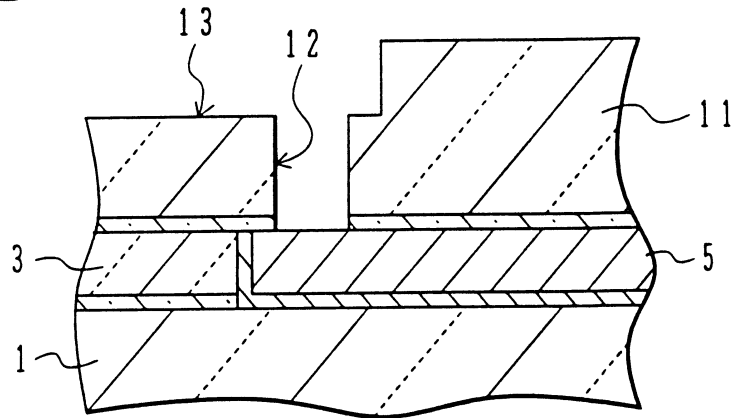
第 2B 圖



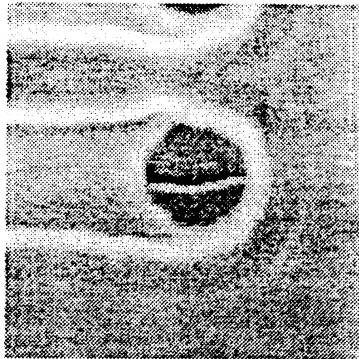
第 3A 圖



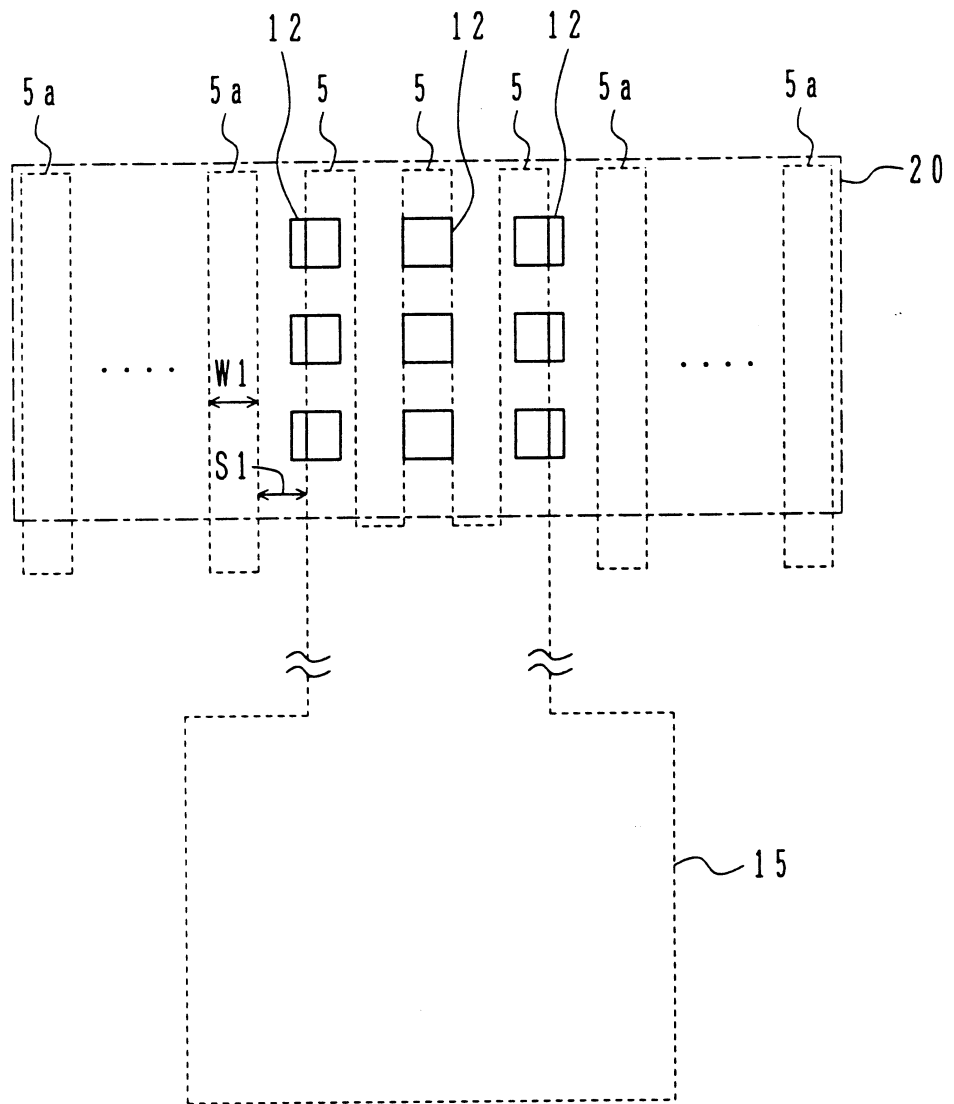
第 3B 圖



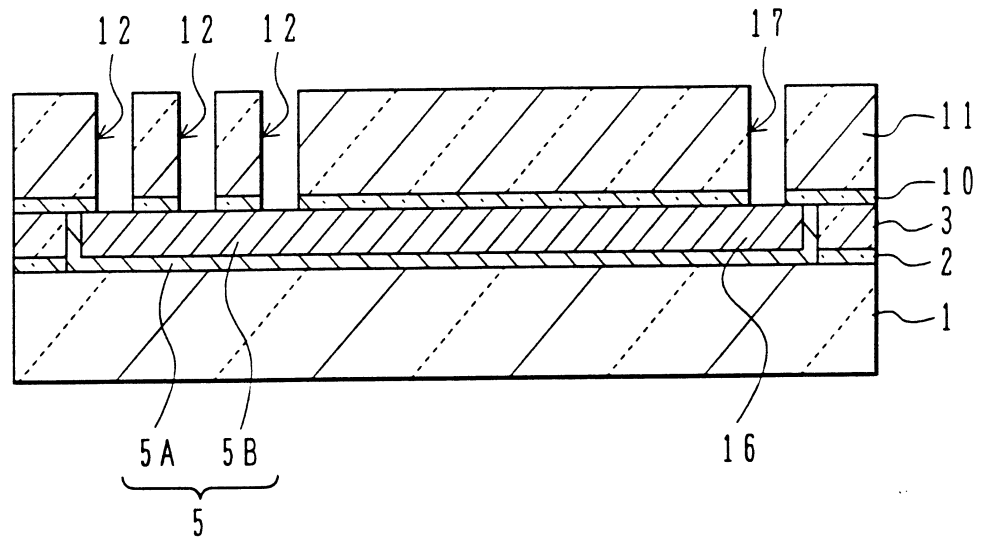
第 3C 圖



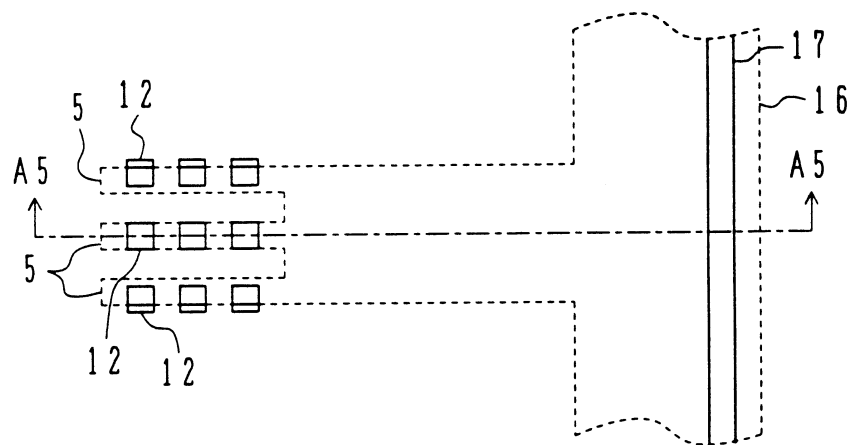
第 4 圖



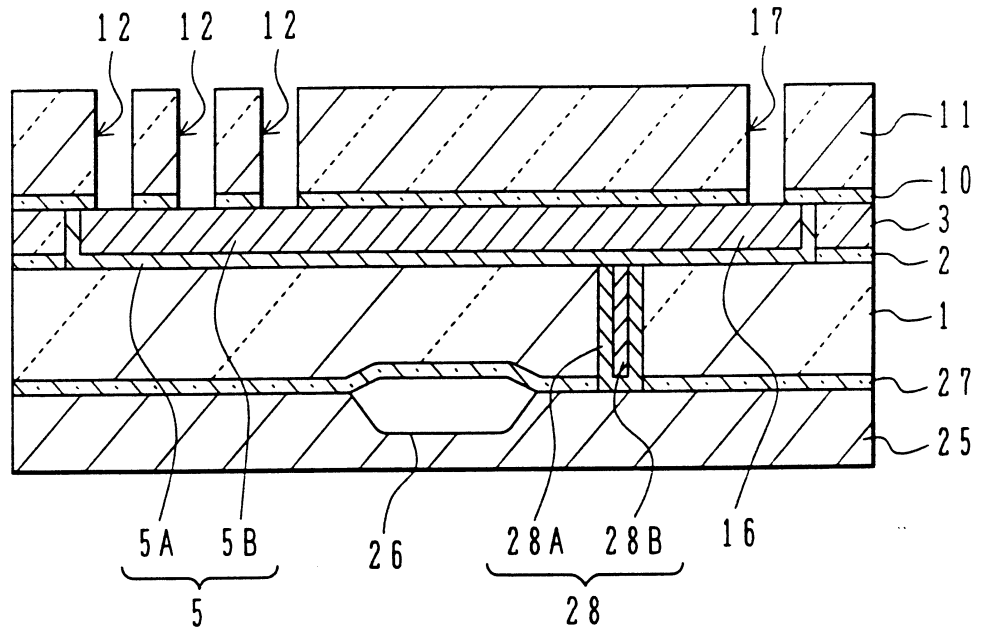
第 5A 圖



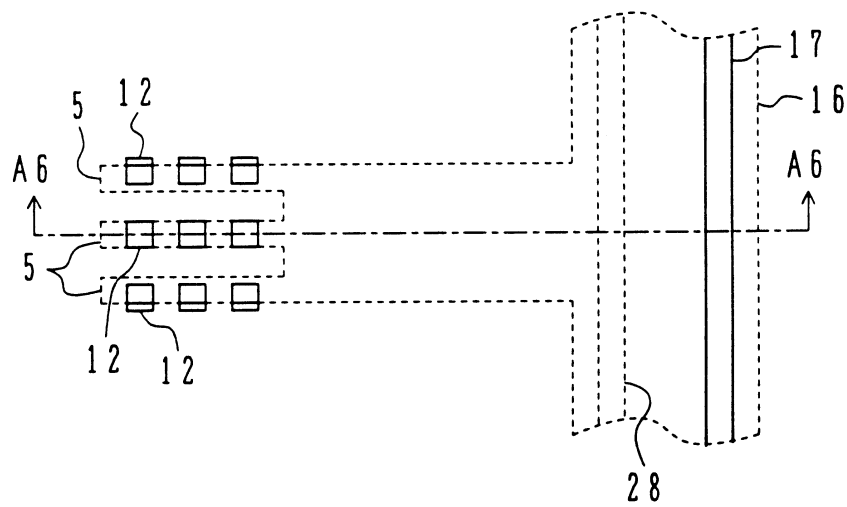
第 5B 圖

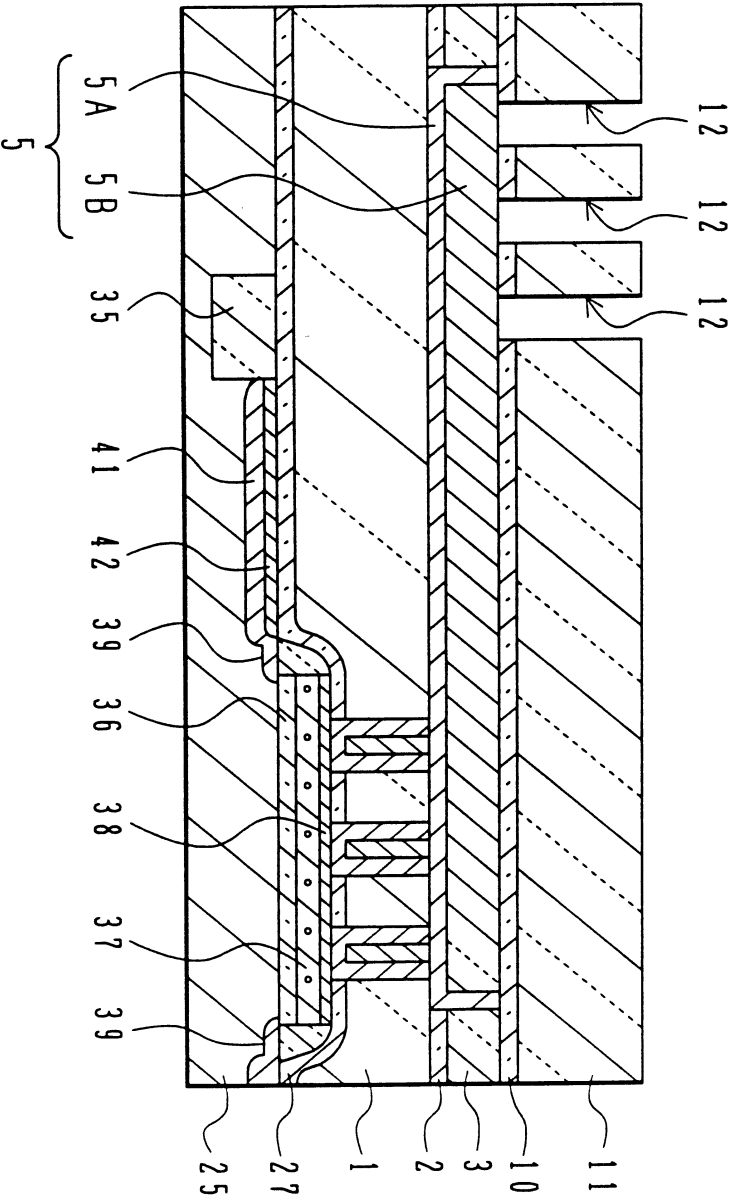


第 6A 圖

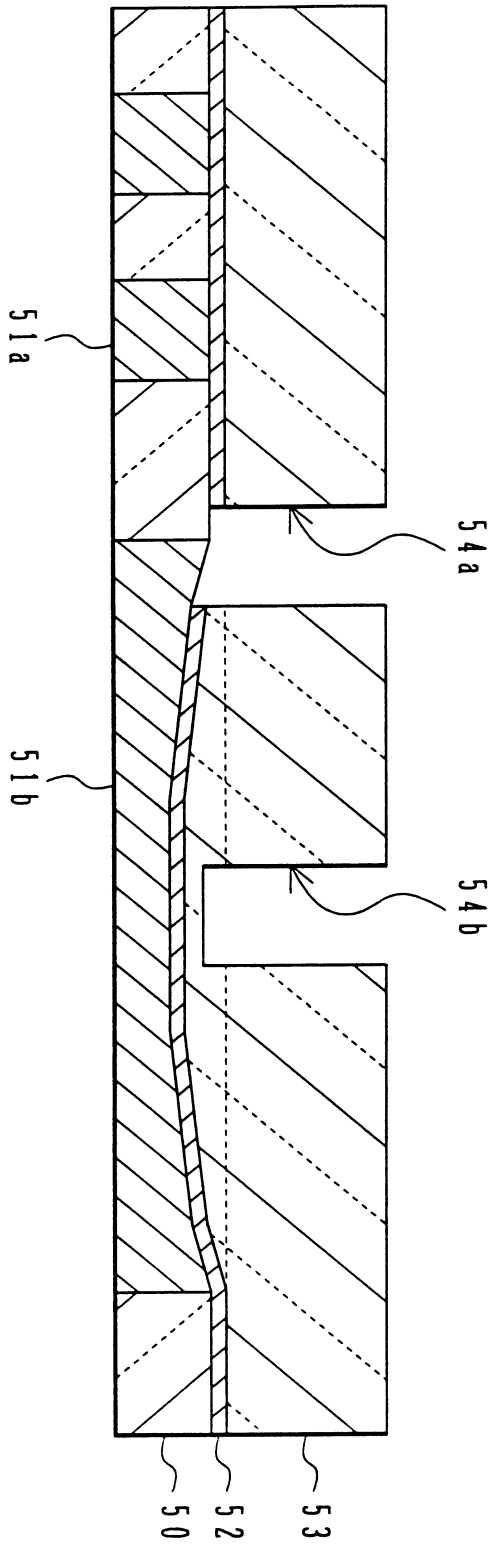


第 6B 圖



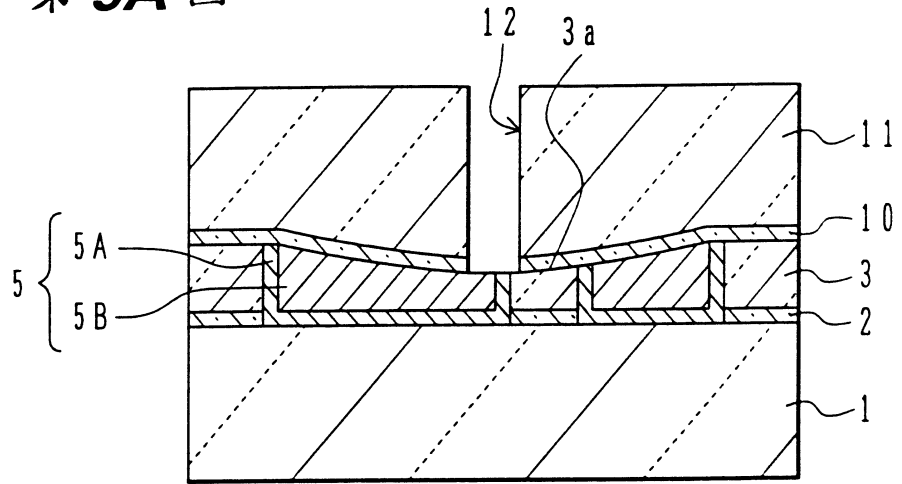


第 7 圖

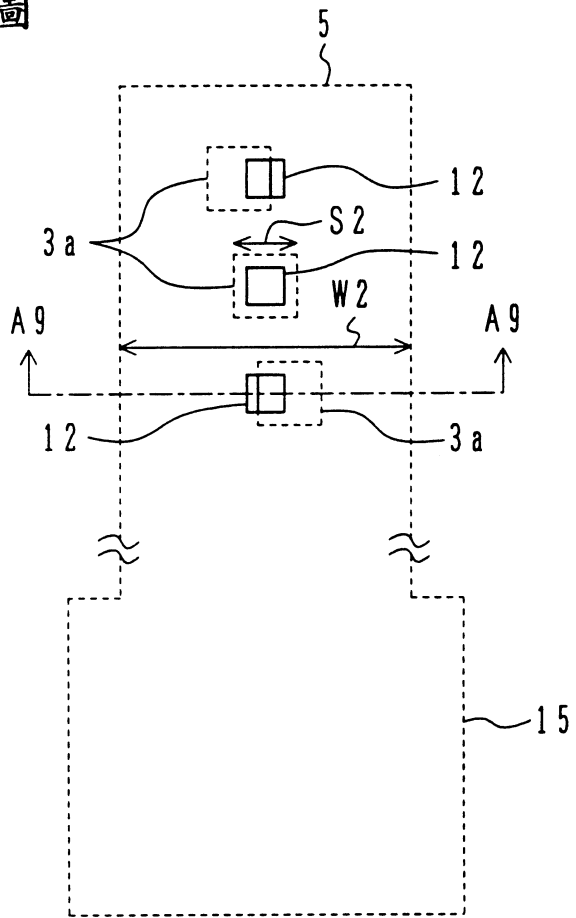


第 8 圖

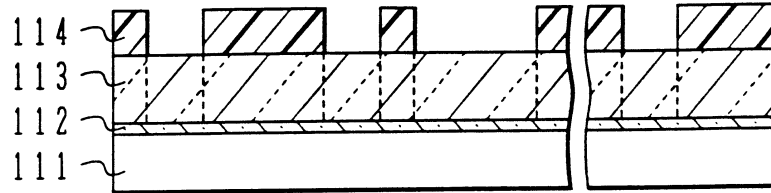
第 9A 圖



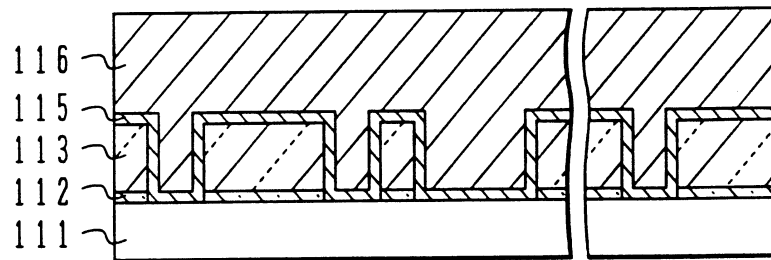
第 9B 圖



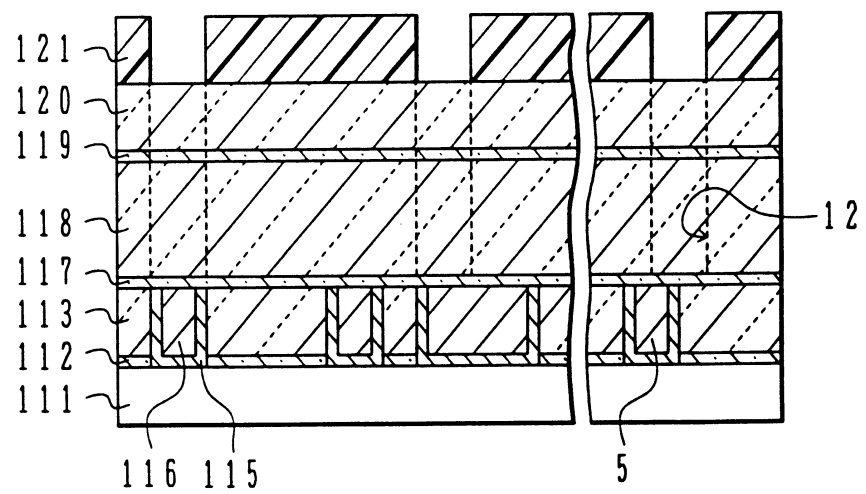
第10A圖



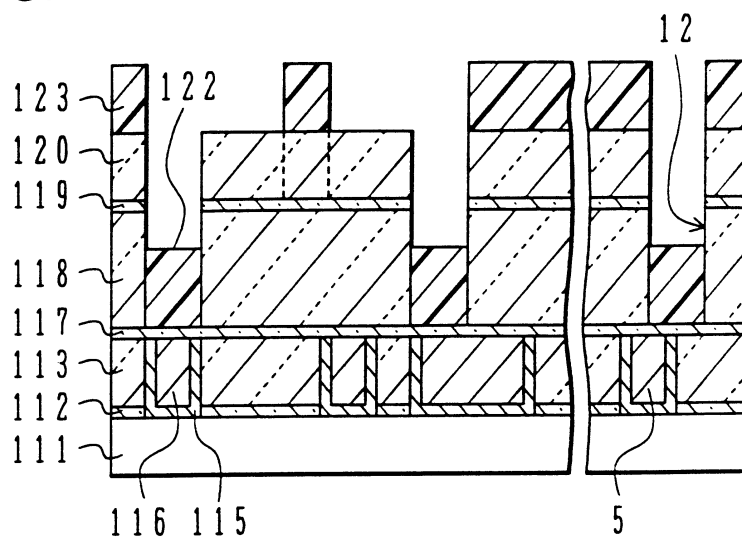
第10B圖



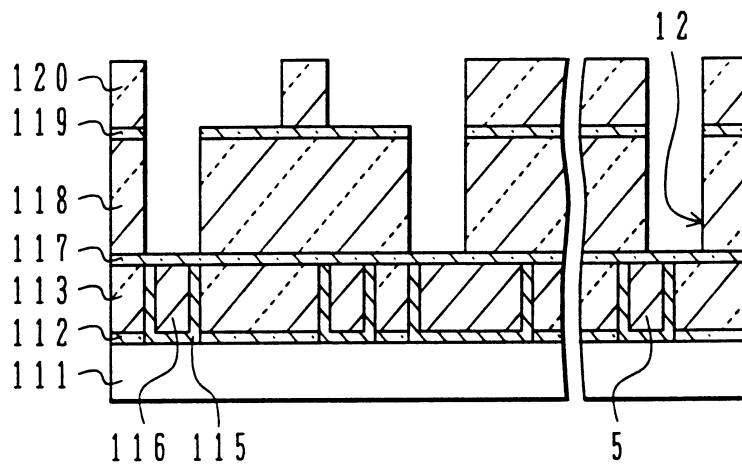
第10C圖



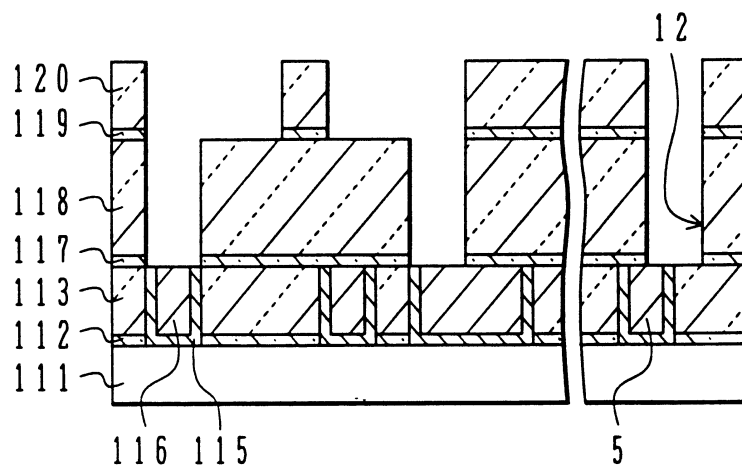
第10D圖



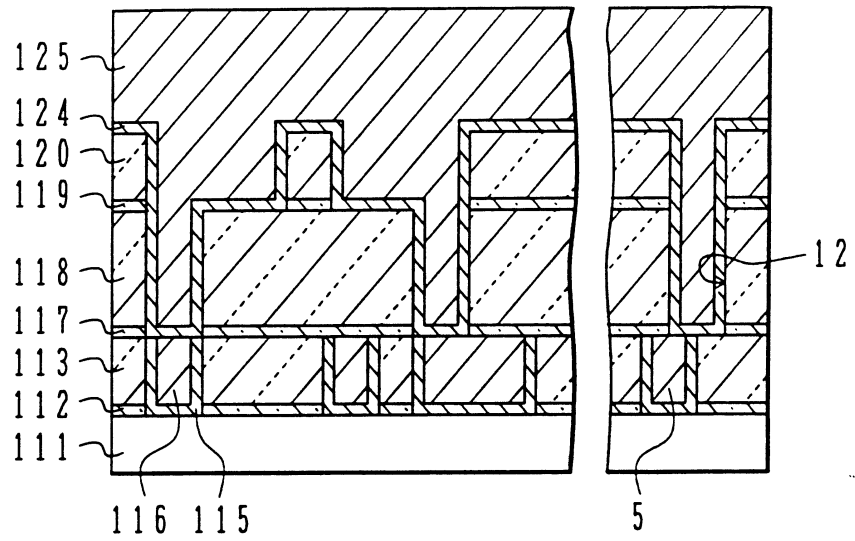
第10E圖



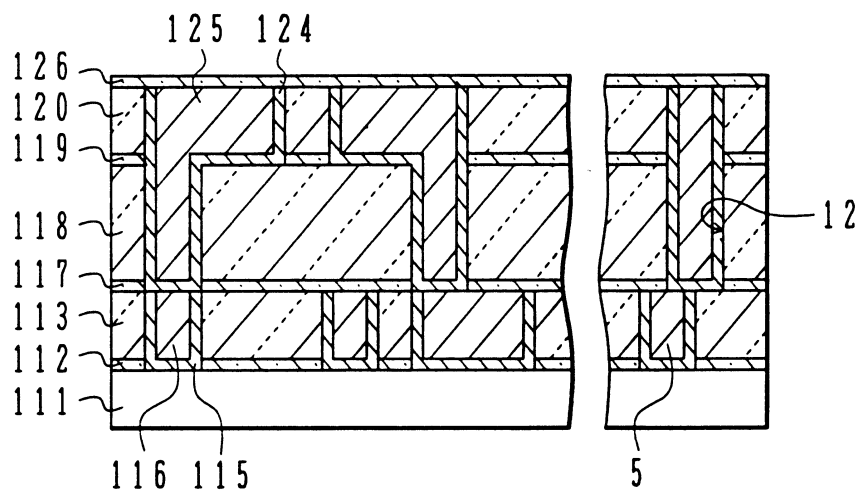
第10F圖



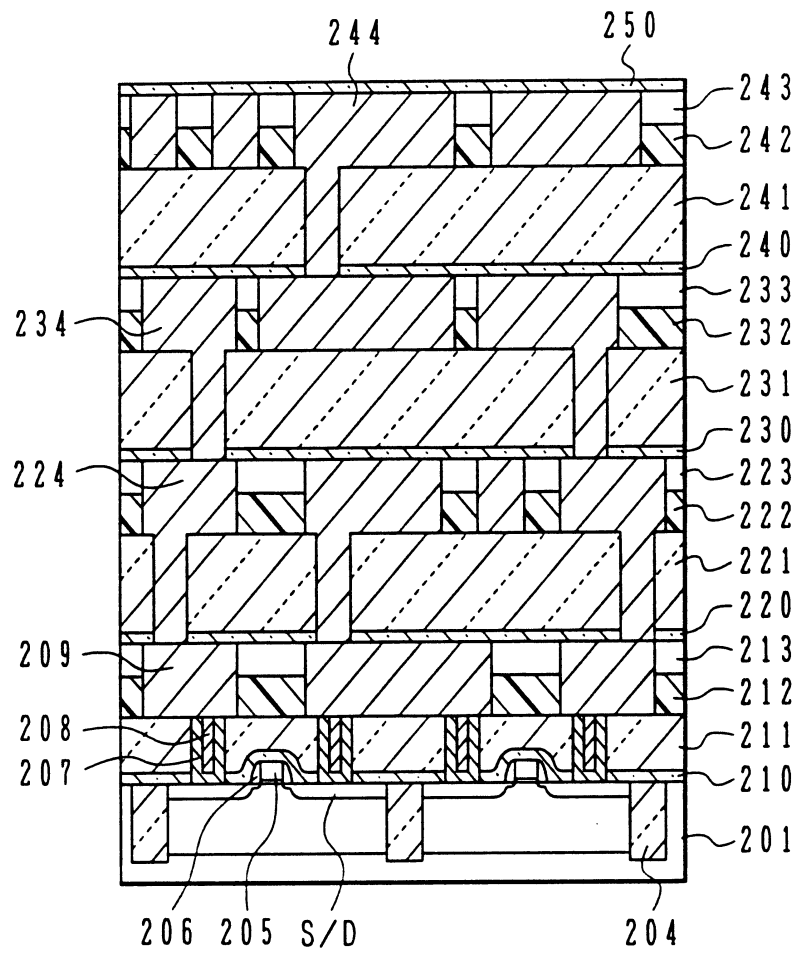
第10G圖



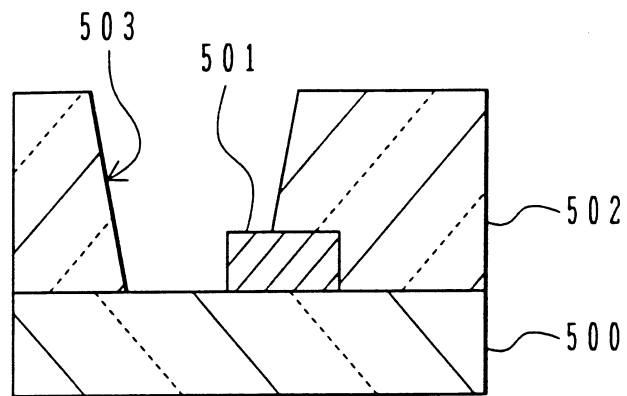
第10H圖



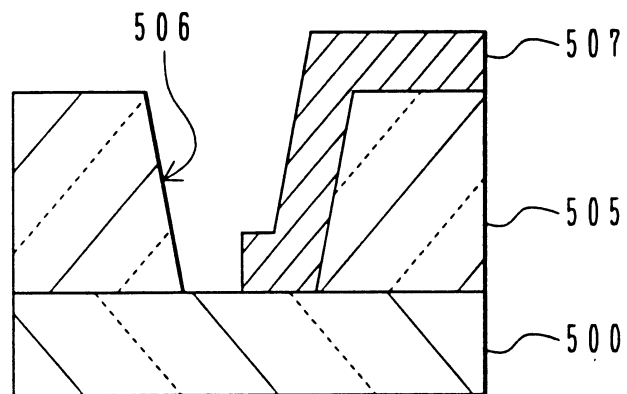
第 11 圖



第12A圖
先前技藝

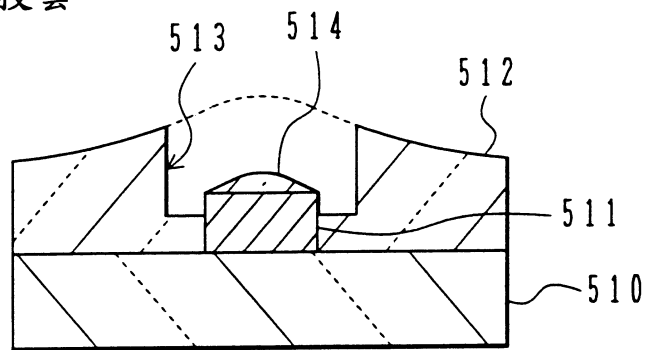


第12B圖
先前技藝



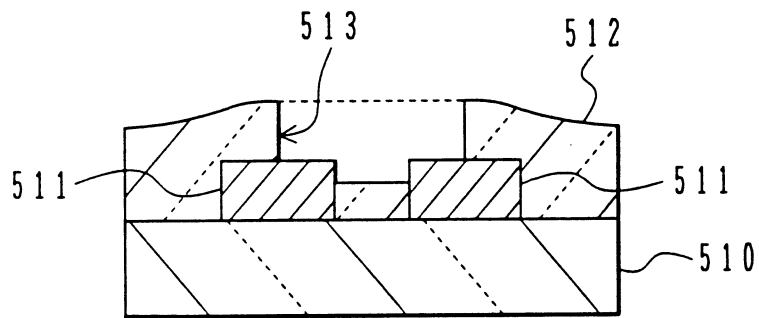
第13A圖

先前技藝

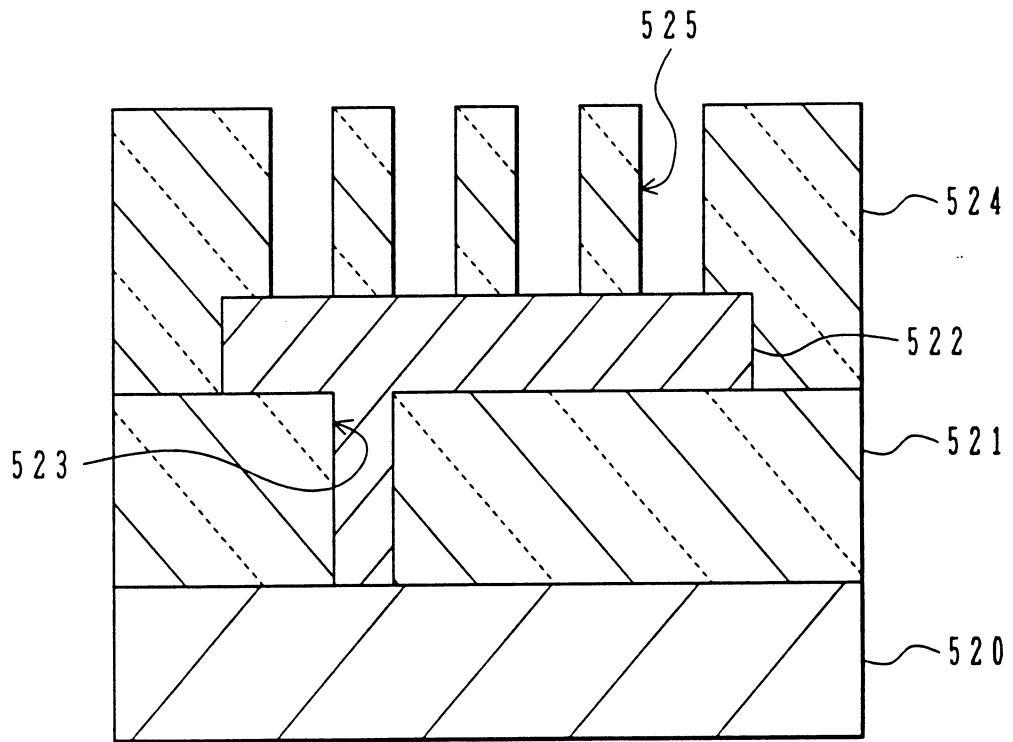


第13B圖

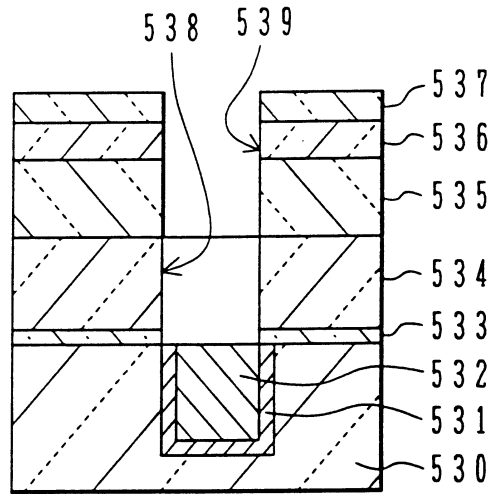
先前技藝



第 14 圖
先前技藝



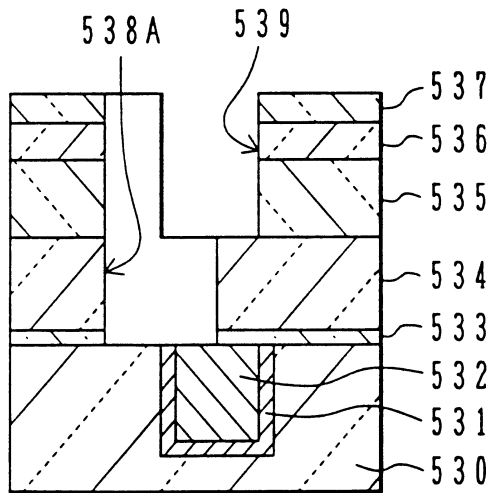
第15A圖



第15B圖



第15C圖



第15D圖

