



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년05월22일
(11) 등록번호 10-0898676
(24) 등록일자 2009년05월13일

(51) Int. Cl.

H01L 31/10 (2006.01)

(21) 출원번호 10-2002-0042177
(22) 출원일자 2002년07월18일
심사청구일자 2007년07월13일
(65) 공개번호 10-2004-0008538
(43) 공개일자 2004년01월31일

(56) 선행기술조사문헌

KR1020020045453 A*
KR1020000041444 A*
KR1019980005428 A
KR1020010004106 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

매그나칩 반도체 유한회사

충북 청주시 흥덕구 향정동 1

(72) 발명자

최선호

인천광역시부평구부평1동동아아파트13/504

(74) 대리인

특허법인 신성

전체 청구항 수 : 총 5 항

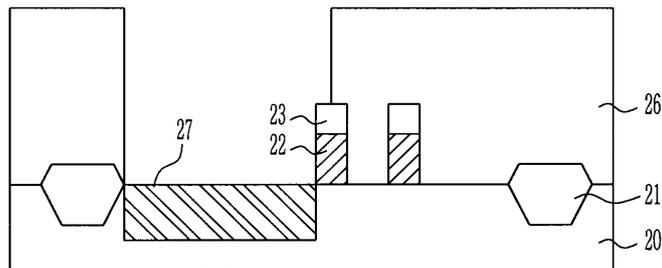
심사관 : 박재훈

(54) 포토 다이오드용 이온주입 마스크 형성 방법

(57) 요약

본 발명은 2 스텝 하드 마스크를 이용하여 N웰 이온주입 공정시 게이트 전극 하부에 이온이 침투하지 않도록 하는 포토 다이오드용 이온주입 마스크 형성 방법에 관한 것으로, 본 발명은 반도체 기관상에 소자분리막을 형성하는 단계, 소자 분리막 상에 게이트 절연막, 폴리실리콘층, 제 1 절연층 및 제 1 절연층과 다른 물질인 제 2 절연층을 차례로 증착하는 단계, 제 2 절연층의 상부에 게이트 전극 형성용 포토레지스트를 형성하는 단계, 게이트 전극 형성용 포토레지스트를 식각 마스크로 제 2 절연층 및 제 1 절연층을 패터닝하는 단계, 제 1 절연층을 식각 마스크로 폴리 실리콘층 및 게이트 절연막을 패터닝하는 단계, 폴리 실리콘층 및 게이트 절연막의 패터닝 후, 반도체 기관의 상부에 이온주입 마스크용 포토레지스트를 형성하는 단계를 포함하는 포토 다이오드용 이온주입 마스크 형성 방법을 제공한다.

대표도 - 도2g



특허청구의 범위

청구항 1

반도체 기판상에 소자분리막을 형성하는 단계;

상기 소자 분리막 상에 게이트 절연막, 폴리실리콘층, 제 1 절연층 및, 상기 제 1 절연층과 다른 물질인 제 2 절연층을 차례로 증착하는 단계;

상기 제 2 절연층의 상부에 게이트 전극 형성용 포토레지스트를 형성하는 단계;

상기 게이트 전극 형성용 포토레지스트를 식각 마스크로 상기 제 2 절연층 및 제 1 절연층을 패터닝하는 단계;

상기 제 1 절연층을 식각 마스크로 상기 폴리 실리콘층 및 상기 게이트 절연막을 패터닝하는 단계; 및

상기 폴리 실리콘층 및 상기 게이트 절연막의 패터닝 후, 상기 반도체 기판의 상부에 이온주입 마스크용 포토레지스트를 형성하는 단계를 포함하는 것을 특징으로 하는 포토 다이오드용 이온주입 마스크 형성 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 절연층은 실리콘 산화막이며, 상기 제 2 절연층은 실리콘 질화막인 것을 특징으로 하는 포토 다이오드용 이온주입 마스크 형성 방법.

청구항 3

제 2 항에 있어서,

상기 제 2 절연층 및 상기 제 1 절연층을 패터닝하는 단계는,

상기 실리콘 질화막을 건식식각하는 단계; 및

CF₄ 및 CHF₃를 혼합한 물질을 이용하여 상기 실리콘 산화막을 식각하는 단계를 포함하여 수행되는 것을 특징으로 하는 포토 다이오드용 이온주입 마스크 형성 방법.

청구항 4

제 2 항에 있어서,

상기 제 2 절연층 및 상기 제 1 절연층을 패터닝하는 단계는,

상기 실리콘 산화막과 상기 실리콘 질화막을 동시에 BOE 용액을 이용하여 습식식각으로 수행하는 특징으로 하는 포토 다이오드용 이온주입 마스크 형성 방법.

청구항 5

제 2 항에 있어서,

상기 실리콘 산화막은 BPSG, USG 또는 TEOS막인 것을 특징으로 하는 포토 다이오드용 이온주입 마스크 형성 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<10> 본 발명은 포토 다이오드용 이온주입 마스크 형성 방법에 관한 것으로, 보다 상세하게는, 2 스텝 하드 마스크를 이용하여 N웰 이온주입 공정시 게이트 전극 하부에 이온이 침투하지 않도록 하는 포토 다이오드용 이온주입 마

스크 형성 방법에 관한 것이다.

- <11> 통상 CMOS 이미지 센서는 복수개의 트랜지스터와 감광수단인 포토다이오드로 구성되어 있다. 이러한 CCD 센서의 포토다이오드는 전체 면적의 70% 내외를 차지하는 부분으로 이 특성은 매우 중요한 부분을 차지한다.
- <12> 이하, 포토 다이오드 형성 부위를 기준으로 종래 기술에 의한 포토다이오드용 이온 주입 마스크 형성 방법을 도 1a 내지 도 1d를 참조하여 설명한다.
- <13> 먼저, 도 1a를 참조하면, 반도체 기판(10) 상에 통상적인 STI(Shallow Trench Isolation)를 실시하여 소자분리막(11)을 형성한 후, 게이트 절연막(미도시)을 증착하고, FG(First Gate)를 형성하기 위한 폴리실리콘층(12)을 형성한다. 그 후, 전체 구조의 상부에 폴리실리콘층(12)을 형성하기 위하여 제 1 포토레지스트(13)의 소정 부위를 정의한다(도 1b).
- <14> 이 때, 제 1 포토레지스트(13)는 건식식각으로 인해서 상부 프로파일이 라운드 형태가 된다. 그 후, 포토다이오드 형성을 위한 n-웰 형성을 목적으로 제 2 포토레지스트(14)를 통해서 n웰 형성 부위를 오픈한다. 다음으로, 이온 주입공정을 실시한다.
- <15> 이와 같이 형성된 폴리실리콘층(12)과 잔존하는 제 1 포토레지스트(13)의 두께가 충분하지 못하고, 상부 프로파일이 나빠, 후단 공정으로 고에너지의 이온 주입 공정을 실시할 때, 폴리 게이트 전극(12)의 하단까지 이온이 주입되어 포토 다이오드의 신뢰성에 심각한 오류가 발생할 수 있다. 즉, 도 1d를 참조하면, n 웰(15)영역이 폴리 게이트 전극의 하단(A)까지 확장되어 있는 것을 알 수 있다.
- <16> 또한, n 웰 이온주입 공정을 위한 제 2 포토레지스트(14)를 정의할 때, 제 1 포토레지스트(13)의 상부 프로파일 이 불량하여 충분한 공정 마진을 확보하기도 용이하지 않은 문제점이 있었다.
- <17> 따라서, 이러한 문제점을 해결하기 위해서, 폴리 게이트 전극을 형성한 후, 잔류한 포토레지스트에 UV(Ultraviolet) 큐어링을 실시하여 포토레지스트를 하드닝시키는 방법이 자주 이용되고 있지만, 이 경우도 포토레지스트 옐로우(yellow) 현상, 플로우(flow) 현상 등이 나타나는 등 여전히 문제점을 많이 있었다. 도 3에 서는 이러한 현상들을 도시한 도면이다.

발명이 이루고자 하는 기술적 과제

- <18> 상술한 바와 같은 문제점을 해결하기 위하여, 본 발명의 목적은 포토 다이오드 형성을 위한 이온주입 공정시 신뢰성을 향상시켜 보다 높은 수율을 확보할 수 있는 공정을 제공하는 것이다.

발명의 구성 및 작용

- <19> 상술한 문제점을 해결하기 위하여, 본 발명은 반도체 기판상에 소자분리막을 형성하는 단계, 소자 분리막 상에 게이트 절연막, 폴리실리콘층, 제 1 절연층 및 제 1 절연층과 다른 물질인 제 2 절연층을 차례로 증착하는 단계, 제 2 절연층의 상부에 게이트 전극 형성용 포토레지스트를 형성하는 단계, 게이트 전극 형성용 포토레지스트를 식각 마스크로 제 2 절연층 및 제 1 절연층을 패터닝하는 단계, 제 1 절연층을 식각 마스크로 폴리 실리 콘층 및 게이트 절연막을 패터닝하는 단계, 폴리 실리 콘층 및 게이트 절연막의 패터닝 후, 반도체 기판의 상부 에 이온주입 마스크용 포토레지스트를 형성하는 단계를 포함하는 포토 다이오드용 이온주입 마스크 형성 방법을 제공한다.
- <20> 바람직하게는, 제 1 절연층은 실리콘 산화막이며, 제 2 절연층은 실리콘 질화막이며, 제 2 절연층 및 상기 제 1 절연층을 패터닝하는 단계는, 실리콘 질화막을 건식식각하는 단계 및 CF₄ 및 CHF₃를 혼합한 물질을 이용하여 실리콘 산화막을 식각하는 단계를 포함한다.
- <21> 이하, 본 발명의 일실시예에 따른 포토 다이오드의 제조 방법을 도 2a 내지 도 2h를 참조하여 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전 하도록 하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- <22> 먼저, 도 2a를 참조하면, 반도체 기판(20) 상에 통상적인 STI(Shallow Trench Isolation)를 실시하여 소자분리막(21)을 형성한 후, 게이트 절연막(미도시), FG(First Gate)를 형성하기 위한 폴리실리콘층(22), 제 1 절연층

(23) 및 제 2 절연층(24)을 차례로 증착한다. 제 1 절연층(23)은 고에너지의 이온을 블러킹하기 위한 충분한 두께로 실리콘 산화막이 가능하며, 예를 들어 BPSG, USG 및 TEOS 등을 형성할 수 있고, 제 2 절연층(24)은 제 1 절연층을 보호하기 위해 형성되는 절연층으로 실리콘 질화막 계열이 바람직하다.

<23> 다음으로, 전체 구조의 상부에 폴리실리콘층 전극(22)을 형성하기 위하여 포토레지스트(25)의 소정 부위를 정의한다(도 2b). 그 후, 포토레지스트(25)를 식각마스크로 하여 제 2 절연층(24)을 건식 식각한다(도 2c). 그 후, 제 1 절연층(23)과 제 2 절연층(24)의 선택비를 이용하여 습식 식각을 수행한다. 예를 들어 제 1 절연층(23)이 실리콘 산화막이고, 제 2 절연층(24)이 실리콘 질화막인 경우, 실리콘질화막의 식각 선택도를 향상시키기 위해 CF₄ 및 CHF₃를 혼합한 식각용액을 이용한다(도 2d). 도 2d에서는 제 1 절연층(23)이 식각되는 동안 제 2 절연층(24)이 식각된 상황을 도시하고 있다. 한편, 실리콘 산화막과 실리콘 질화막을 동시에 BOE(Buffered Oxide Etchant: 100:1 내지 300:1 로 H₂O로 희석된 HF 및 NH₄F 의 혼합용액[1:4 내지 1:7])를 이용하여 습식식각을 실시하여 폴리실리콘층(22)만 잔류하도록 할 수 있다.

<24> 다음으로, 제 1 절연층(23)을 식각 마스크로 하여 폴리실리콘층(22)을 건식 식각한다(도 2e). 이 경우, 제 1 절연층(23)의 상부에 제 2 절연층(24)이 잔류하도록 할 수도 있다.

<25> 다음으로, 소정부위에 포토레지스트(26)를 증착하여 포토다이오드 형성을 위한 n-웰 형성을 목적으로 이온 주입 공정을 실시할 때, 제 1 절연층(23)의 탑프로파일이 양호하여 FG(22)아래 까지 이온주입되는 상황을 방지한다. 즉, 도 2g에 도시된 바와 같이, 제 1 절연층(23)의 상부 프로파일은 라운드 형상으로 나타나지 않아서, 도 1c에 도시된 종래 기술의 포토레지스트(13)의 라운드 형상과 비교된다. 따라서, 종래 기술과 비교해 포토 다이오드 형성 영역이 폴리실리콘층(22)의 아래 부분까지 침투하지 않아서 신뢰성 높은 특성을 획득할 수 있다.

<26> 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

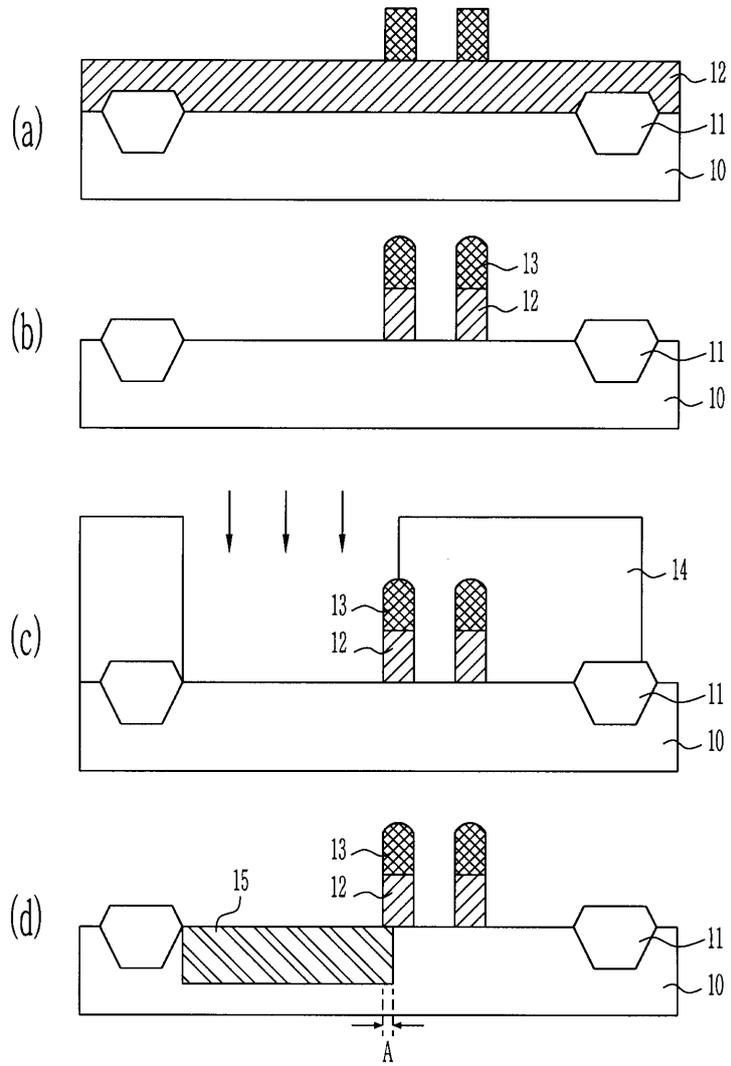
<27> 상술한 구성을 통하여, 포토 다이오드 형성을 위한 N웰 이온주입 공정시 게이트 전극 하부에 이온이 침투하지 않도록 하여, 신뢰성을 향상시켜 보다 높은 수율을 확보할 수 있는 효과가 있다.

도면의 간단한 설명

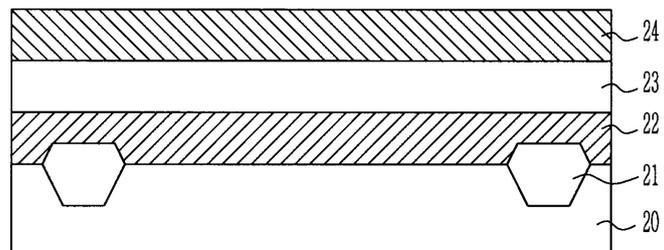
- <1> 도 1a 내지 도 1d는 종래 기술에 의한 포토다이오드용 이온 주입 마스크 형성 방법을 도시한 도면이다.
- <2> 도 2a 내지 도 2h는 본 발명의 바람직한 실시예에 따른 포토다이오드용 이온 주입 마스크 형성 방법을 도시한 도면이다.
- <3> 도 3은 종래 기술에 의한 포토다이오드의 이온 주입시 발생하는 문제점을 도시한 도면이다.
- <4> *도면의 주요부분에 대한 간단한 설명
- <5> 10 : 반도체 기판 11 : 소자 분리막
- <6> 12 : 폴리실리콘층 13 : 포토레지스트
- <7> 20 : 반도체 기판 21 : 소자분리막
- <8> 22 : 폴리실리콘층 23 : 제 1 절연층
- <9> 24 : 제 2 절연층

도면

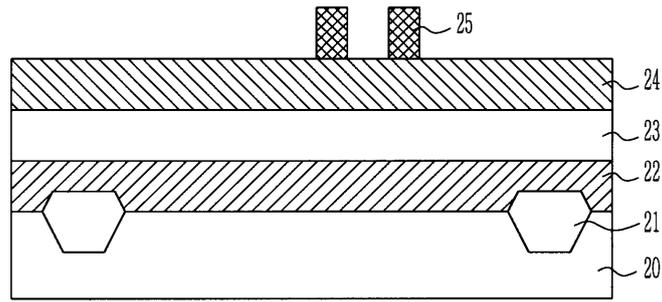
도면1



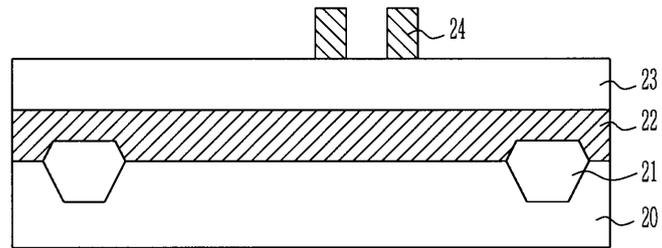
도면2a



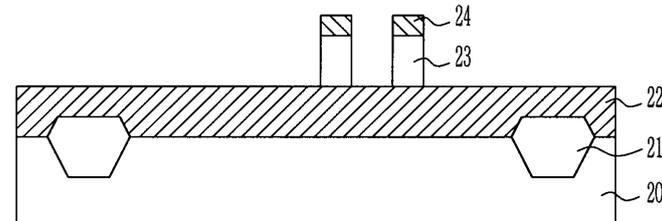
도면2b



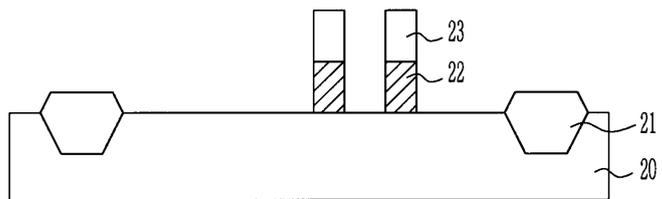
도면2c



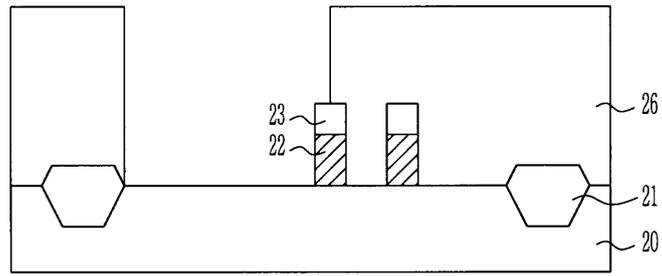
도면2d



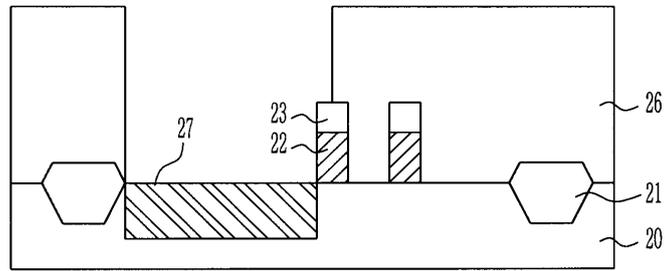
도면2e



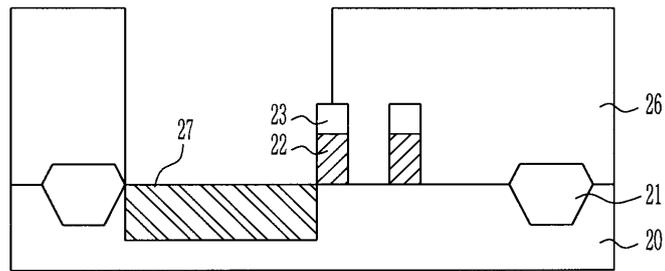
도면2f



도면2g



도면2h



도면3

