

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. <i>G06F 13/40</i> (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년10월13일 10-0633773 2006년10월04일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2005-0059147 2005년07월01일	(65) 공개번호 (43) 공개일자
------------------------	--------------------------------	------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 강신찬
 서울시 성동구 옥수2동 극동아파트 8-206

 이재영
 경기도 용인시 풍덕천2동 주공1단지아파트 1065 신정마을 102동803호

 구교근
 경기도 용인시 신봉동 신LG1차빌리지 122동 1106호

(74) 대리인 박영우

(56) 선행기술조사문헌
US6687773 B1 US6789153 B1
US6868459 B1 US6981088 B2
* 심사관에 의하여 인용된 문헌

심사관 : 권오성

(54) 버스 시스템 및 버스 중재 방법

요약

버스트 모드 동작시 조기 종료 발생했을 경우 동작 오류를 방지할 수 있는 버스 시스템이 개시되어 있다. 버스 시스템은 AHB 버스, 버스 마스터, 버스 아비터, 및 전송모드 선택회로를 구비한다. 버스 마스터는 버스트 사이클 제어 신호, 전송 시작 신호, 및 AHB 버스의 제어를 요청하는 버스 요청 신호를 발생시키고 버스 승인 신호에 응답하여 활성화되고, AHB 버스를 통해 데이터를 주고받는다. 버스 아비터는 버스 요청 신호에 응답하여 버스 승인 신호를 발생시켜 버스 마스터에 제공한다. 전송모드 선택회로는 버스 마스터의 버스트 동작이 끝나기 전에 버스 승인 신호가 디스에블되었을 때 버스 마스터의 버스트 모드를 싱글 모드로 전환하고 선택 신호를 발생시킨다. 따라서, 버스 시스템은 버스트 모드 동작시 조기 종료 발생했을 경우 동작 오류를 방지할 수 있다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 한 개의 마스터, 한 개의 슬레이브, 및 아비터를 구비한 종래의 AHB 버스 시스템을 나타내는 블록도이다.

도 2는 본 발명의 하나의 실시예에 따른 AHB 버스 시스템을 나타내는 블록도이다.

도 3과 도 4는 도 2의 AHB 버스 시스템에 포함되어 있는 전송모드 선택회로들을 나타내는 회로도들이다.

도 5는 도 3의 제 1 전송모드 선택회로의 타이밍도이다.

도 6은 본 발명의 다른 하나의 실시예에 따른 AHB 버스 시스템을 나타내는 블록도이다.

도 7 및 도 8은 도 6의 AHB 버스 시스템에 포함되어 있는 전송모드 선택회로들을 나타내는 회로도들이다.

* 도면의 주요부분에 대한 부호의 설명 *

300, 400 : AHB 버스 시스템

310, 330, 410, 430 : 버스 마스터

320, 420 : 버스 아비터

340, 350, 440, 450 : 전송모드 선택회로

360, 460, 465 : 멀티플렉서

380, 480 : 슬레이브

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 버스 시스템에 관한 것으로, 특히 마스터를 복수 구비한 AHB 버스 시스템에 있어서 버스트 모드 동작시 조기 종료(early termination)가 발생했을 경우 동작 오류를 방지할 수 있는 버스 시스템에 관한 것이다.

컴퓨터 시스템이 복잡해짐에 따라, 칩 내부에서 또는 칩과 외부 장치 사이에서 데이터를 전송하기 위해 복수의 프로세서와 다양한 주변장치들이 사용된다. 이러한 컴퓨터 시스템은 데이터의 전송을 위해 다양한 분리된 버스들이 사용된다. 다중 버스 시스템은 분리된 버스들 사이에서 충돌이 없는(collision-free) 통신을 위한 버스 컨트롤러를 제공해야 한다. 이러한 목적을 위해 마이크로 컨트롤러가 사용되고 있으며, 이들 마이크로 컨트롤러들은 주어진 시간에 어느 장치가 버스의 제어권을 가지는지를 결정하는 버스 중재를 제공한다. 고성능 마이크로 컨트롤러 설계를 위한 표준 버스 시스템이 생겨났다. Advanced RISC Machines(ARM) 사에 의해 AMBA(Advanced Micro-controller Bus Architecture) 시스템이 정의되었으며, AMBA 시스템은 미국등록특허 제 5,740,461호에 기술되어 있다.

표준 AMBA 시스템은 AHB(Advanced High performance Bus) 버스와 APB(Advanced Peripheral Bus) 버스 두 개의 메인 버스를 가진다. AHB 버스는 메인 메모리 버스로서, RAM(Random Access Memory)과 외부 메모리 컨트롤러를 포함한다.

도 1은 한 개의 마스터(master), 한 개의 슬레이브(slave), 및 아비터(arbiter)를 구비한 종래의 AHB(Advanced High Performance Bus) 버스 시스템으로서, 미국등록특허 제 6,775,732호에 개시되어 있다. 도 1의 AHB 버스 시스템은 AHB

버스 제어를 요청하는 마스터, 중재 결정(arbitration decision)을 수행하는 아비터(arbiter), 및 마스터에 의해 선택된 슬레이브 사이의 신호의 흐름을 나타내고 있다. AHB 아비터(110), AHB 마스터(200), 및 AHB 슬레이브(210)는 각각 리셋 신호(HRESET)(222)와 클럭 신호(HCLOCK)(223)를 수신한다. AHB 마스터(200)는 HBUSREQX(231) 신호를 활성화시킴으로써 AHB 아비터(110)에 요청을 하고, HGRANTX(232) 신호에 의해 AHB 아비터(110)로부터 승인을 받는다. AHB 마스터(200)는 이 승인을 확인하고 HLOCKX(233) 신호에 의해 중재 결정을 락시킨다. 그리고 나서, AHB 마스터(200)는 AHB 디코더(111)에 어드레스(205)를 보낸다. AHB 디코더(111)는 선택신호(112)를 활성화시켜 AHB 슬레이브(210)에 제공한다. AHB 마스터(200)와 AHB 슬레이브(210) 사이의 상호작용은 제어신호들(CONTROL)(213)을 통해 완성되고, HRESP(211) 신호와 HREADY(212) 신호에 의해 인지된다(acknowledged). 독출(read)과 기입(write) 동작을 위한 데이터는 AHB 버스(100)를 통해 마스터들과 슬레이브들 사이에서 전송된다. AHB 슬레이브(210)는 HRDATA 버스(206)를 통해 AHB 버스(100)에 데이터를 제공하고, HWDATA 버스(207)를 통해 AHB 버스(100)로부터 데이터를 수신한다. 마찬가지로, AHB 마스터(200)는 HRDATA 버스(206)를 통해 AHB 버스(100)로부터 데이터를 수신하고, HWDATA 버스(207)를 통해 AHB 버스(100)에 데이터를 제공한다. 주어진 시간에 하나의 마스터가 활성화되고, 이 활성화된 마스터는 독출 커맨드 또는 기입 커맨드를 수행할 오직 하나의 슬레이브를 선택한다.

AMBA 규격 Rev.2.0에 의하면, 조기 종료(early termination)를 지원하도록 설계된 메모리 컨트롤러는 버스트 모드 동작 시 매 사이클마다 어드레스와 제어신호를 감시(monitoring)해야 한다. 따라서, 조기 종료를 지원하도록 설계된 메모리 컨트롤러는 조기 종료를 지원하지 않는 메모리 컨트롤러에 비해 회로가 복잡하고, 조기 종료를 지원하도록 설계된 메모리 컨트롤러를 포함한 시스템은 고속동작시 성능이 저하된다. 따라서, 컴퓨터 시스템의 동작속도를 향상시키기 위해서 슬레이브 장치인 메모리 컨트롤러는 조기종료를 지원하지 않도록 설계되는 경우가 있다. 또한, 대부분의 SOC(System On Chip)에서 ARM9 계열의 프로세서를 제외한 DMA(Direct Memory Access), LCDC(LCD Controller), EMAC(Apple's computer) 등의 마스터들은 조기 종료를 지원하지 않도록 설계된다.

ARM 사의 제품인 ARM9 계열의 프로세서들과 DMA 등의 다른 마스터들, 및 메모리 컨트롤러와 같은 슬레이브를 포함하는 시스템에서, 마스터들 사이에 AHB 버스 사용에 대한 우선권(priority)이 다를 수 있다. AHB 버스 사용에 대한 마스터들의 우선권이 다를 경우 AHB 아비터는 우선권에 따라 AHB 버스의 사용 권한을 중재한다. 따라서, 마스터들은 각각 AHB 슬레이브인 메모리 컨트롤러를 액세스할 때마다 AHB 아비터에 AHB 버스 제어 요청신호를 보내고 AHB 아비터로부터 버스제어 승인신호를 받아서 AHB 버스를 통해서 메모리 컨트롤러를 액세스한다.

그런데, ARM 프로세서가 AHB 버스의 제어 승인 신호를 수신하고 버스트 모드 동작을 할 때, ARM 프로세서보다 우선권이 높은 다른 마스터가 AHB 버스의 사용권을 요청할 수 있다. 이 때 AHB 아비터는 ARM 프로세서에게 부여된 AHB 버스 제어 승인신호를 취소(desertion)하고 우선권이 더 높은 다른 마스터에게 AHB 버스의 사용권을 준다. 그런데, ARM 프로세서가 버스트 모드 동작을 할 때는 데이터의 독출 또는 데이터의 기입이 종료되기 전에 AHB 버스의 제어권이 다른 마스터에게 이양(handover)될 수 있다. 이러한 현상을 조기 종료(early termination)라 한다. 이러한 조기 종료 발생 시, 메모리 컨트롤러가 조기 종료를 지원하지 않는다면, 메모리 컨트롤러는 버스트 모드 동작이 시작되는 첫 번째 사이클에서 버스트의 개수를 확인하여 자동으로 DRAM(Dynamic Random Access Memory) 등의 외부 메모리로부터 데이터를 가져온다. 이 때, 메모리 컨트롤러는 두 번째 사이클에서 버스의 사용권이 바뀐 것을 고려하지 못하고 가져온 데이터를 ARM 프로세서에 전달하지 않고 우선권이 높은 다른 마스터에 전달할 수 있다. 따라서, 조기 종료 발생하면, 데이터의 전송 오류가 발생할 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 마스터를 복수 구비한 AHB 버스 시스템에 있어서 버스트 모드 동작시 조기 종료(early termination)가 발생했을 경우 동작 오류를 방지할 수 있는 버스 시스템을 제공하는 것이다.

본 발명의 다른 목적은 마스터를 복수 구비한 AHB 버스 시스템에 있어서 버스트 모드 동작시 조기 종료 발생했을 경우 동작 오류를 방지할 수 있는 버스 중재 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 하나의 실시형태에 따른 버스 시스템은 AHB 버스, 버스 마스터, 버스 아비터, 및 전송모드 선택회로를 구비한다.

버스 마스터는 버스트 사이클 제어신호, 전송 시작신호, 및 상기 AHB 버스의 제어를 요청하는 버스 요청신호를 발생시키고 버스 승인신호에 응답하여 활성화되고, 상기 AHB 버스를 통해 데이터를 주고받는다. 버스 아비터는 상기 버스 요청신

호에 응답하여 상기 버스 승인신호를 발생시켜 상기 버스 마스터에 제공한다. 전송모드 선택회로는 상기 버스 마스터의 버스트 동작이 끝나기 전에 상기 버스 승인신호가 디스에이블되었을 때 상기 버스 마스터의 버스트 모드를 싱글 모드로 전환하고 선택신호를 발생시킨다.

본 발명의 하나의 실시형태에 따른 버스 시스템은 상기 선택신호에 응답하여 상기 AHB 버스를 통해 상기 버스 마스터와 상기 데이터를 주고받는 버스 슬레이브를 더 구비할 수 있다.

본 발명의 하나의 실시형태에 따른 버스 시스템의 전송모드 선택회로는 검출회로 및 멀티플렉서를 구비한다. 검출회로는 상기 전송 시작신호가 비시퀀스(non-sequence)이고, 상기 버스 승인신호가 디스에이블되었을 때 인에이블되는 검출신호를 발생시킨다. 멀티플렉서는 상기 검출신호가 인에이블되었을 때 상기 버스트 사이클 제어신호를 싱글 모드 신호로 전환하고 상기 선택신호를 발생시킨다.

본 발명의 하나의 실시형태에 따른 버스 시스템의 전송모드 선택회로는 제 1 내지 제 3 AND 게이트들을 구비한다. 제 1 AND 게이트는 상기 버스 승인신호와 상기 버스트 사이클 제어신호의 제 1 비트에 대해 논리곱 연산을 수행하고 상기 선택신호의 제 1 비트를 발생시킨다. 제 2 AND 게이트는 상기 버스 승인신호와 상기 버스트 사이클 제어신호의 제 2 비트에 대해 논리곱 연산을 수행하고 상기 선택신호의 제 2 비트를 발생시킨다. 제 3 AND 게이트는 상기 버스 승인신호와 상기 버스트 사이클 제어신호의 제 3 비트에 대해 논리곱 연산을 수행하고 상기 선택신호의 제 3 비트를 발생시킨다.

본 발명의 하나의 실시형태에 따른 버스 시스템은 AHB 버스, 복수의 버스 마스터들, 버스 아비터, 및 복수의 전송모드 선택회로, 및 제 1 선택회로를 구비한다.

복수의 버스 마스터들은 상기 AHB 버스의 제어를 요청하는 버스 요청신호, 버스트 사이클 제어신호, 및 전송 시작신호를 발생시키고 버스 승인신호를 수신하며, 상기 AHB 버스를 통해 데이터를 주고받는다. 버스 아비터는 상기 복수의 버스 마스터들로부터 출력되는 복수의 버스 요청신호에 대해 중재 결정을 하여 복수의 버스 승인 신호들 중 하나의 버스 승인신호를 인에이블시켜 주어진 시간에 상기 복수의 버스 마스터들 중 하나의 버스 마스터를 활성화시킨다. 복수의 전송모드 선택회로는 상기 버스 마스터들 각각의 버스트 동작이 끝나기 전에 상기 버스 승인신호가 디스에이블되었을 때 상기 버스 마스터들 각각의 버스트 모드를 싱글 모드로 전환하고 선택신호를 발생시킨다. 제 1 선택회로는 상기 복수의 전송모드 선택회로로부터 발생하는 복수의 선택신호들 중 하나를 선택하여 제 1 슬레이브 제어신호를 발생시킨다.

본 발명의 하나의 실시형태에 따른 버스 중재 방법은 버스트 사이클 제어신호, 전송 시작신호, 및 AHB 버스의 제어를 요청하는 버스 요청신호를 발생시키는 단계; 상기 버스 요청신호에 응답하여 상기 버스 승인신호를 인에이블시켜 상기 버스 마스터를 활성화시키는 단계; 상기 버스 승인신호에 응답하여 상기 AHB 버스의 사용권한을 획득하는 단계; 및 상기 버스 마스터의 버스트 동작이 끝나기 전에 상기 버스 승인신호가 디스에이블되었을 때 상기 버스 마스터의 버스트 모드를 싱글 모드로 전환하고 슬레이브 제어신호를 발생시키는 단계를 포함한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.

도 2는 본 발명의 하나의 실시예에 따른 AHB 버스 시스템을 나타내는 블록도이다. 도 2를 참조하면, AHB 버스 시스템(300)은 AHB 버스(391), 버스 마스터들(310, 330), 버스 아비터(320), 및 전송모드 선택회로들(340, 350)을 구비한다. 또한, AHB 버스 시스템(300)은 AHB 버스(391)에 결합된 슬레이브(380)를 구비한다. 버스 마스터들(310, 330), 버스 아비터(320), 및 전송모드 선택회로들(340, 350)에는 시스템 클럭(HCLK)이 인가된다. 버스 마스터(310)는 HRDATA 버스(392)를 통해 AHB 버스(391)로부터 데이터를 수신하고, HWDATA 버스(393)를 통해 AHB 버스(391)에 데이터를 제공한다. 마찬가지로, 버스 마스터(330)는 HRDATA 버스(394)를 통해 AHB 버스(391)로부터 데이터를 수신하고, HWDATA 버스(395)를 통해 AHB 버스(391)에 데이터를 제공한다. AHB 슬레이브(380)는 HRDATA 버스(397)를 통해 AHB 버스(391)에 데이터를 제공하고, HWDATA 버스(396)를 통해 AHB 버스(391)로부터 데이터를 수신한다.

버스 마스터(310)는 ARM9 계열의 프로세서로서, 조기 종료(early termination)를 지원하는 프로세서이다. 버스 마스터(330)는 DMA(Direct Memory Access)로서 조기 종료를 지원하지 않는 마스터이다. 또한, 버스 마스터(330)는 AHB 버스(391)의 사용에 있어서 버스 마스터(310)에 비해 우선권(priority)이 높다.

버스 마스터(310)는 버스트 사이클 제어신호(HBURST1), 전송 시작신호(HTRAN1), 및 AHB 버스(391)의 제어를 요청하는 버스 요청신호(HREQ1)를 발생시킨다. 또한, 버스 마스터(310)는 버스 아비터(320)로부터 버스 승인신호(HGR1)를 수신하고 AHB 버스(391)를 통해 데이터를 주고받는다.

버스 마스터(330)는 버스트 사이클 제어신호(HBURST2), 전송 시작신호(HTRAN2), 및 AHB 버스(391)의 제어를 요청하는 버스 요청신호(HREQ2)를 발생시킨다. 또한, 버스 마스터(330)는 버스 아비터(320)로부터 버스 승인신호(HGR2)를 수신하고 AHB 버스(391)를 통해 데이터를 주고받는다.

버스 아비터(320)는 버스 요청신호들(HREQ1, HREQ2)에 대해 중재 결정을 하여 버스 승인신호(HGR1) 또는 버스 승인신호(HGR2)를 인에이블시키고 주어진 시간에 상기 버스 마스터들(310, 330) 중 하나의 버스 마스터를 활성화시킨다.

전송모드 선택회로(340)는 전송 시작신호(HTRAN1) 및 버스 승인신호(HGR1)에 응답하여 버스트 사이클 제어신호(HBURST1)를 싱글 모드 신호로 전환하고 선택신호(MSEL1)를 발생시킨다. 또한, 전송모드 선택회로(340)는 버스트 사이클 제어신호(HBURST1)를 싱글 모드 신호로 전환하기 위해 [0, 0, 0]의 비트구조를 가지는 싱글 신호(SINGLE)를 수신한다.

전송모드 선택회로(350)는 전송 시작신호(HTRAN2) 및 버스 승인신호(HGR2)에 응답하여 버스트 사이클 제어신호(HBURST2)를 싱글 모드 신호로 전환하고 선택신호(MSEL2)를 발생시킨다. 또한, 전송모드 선택회로(350)는 버스트 사이클 제어신호(HBURST2)를 싱글 모드 신호로 전환하기 위해 [0, 0, 0]의 비트구조를 가지는 싱글 신호(SINGLE)를 수신한다.

전송모드 선택회로들(340, 350)은 버스 마스터들(310, 330) 각각의 버스트 동작이 끝나기 전에 버스 승인신호(HGR1 또는 HGR2)가 디스에이블되었을 때 버스 마스터들(310, 330) 각각의 버스트 모드를 싱글 모드로 전환한다.

AHB 버스 시스템(300)은 선택신호들(MSEL1, MSEL2) 중 하나를 선택하여 슬레이브 제어신호(CONT)를 발생시키는 선택회로(360)를 구비한다. 선택회로(360)는 도 2에 도시된 바와 같이 멀티플렉서로 구성할 수 있다.

이하, 도 2에 도시된 본 발명의 하나의 실시예에 대해 설명한다.

버스 마스터(310)가 버스트 모드 동작을 하는 도중에 AHB 버스(391)에 대해 우선권을 갖는 버스 마스터(330)가 AHB 버스(391)의 사용을 요청하면, 버스 아비터(320)는 버스 마스터(310)에 주었던 버스 승인신호(HGR1)를 디스에이블시키고, 버스 승인신호(HGR2)를 인에이블시키고 버스 마스터(330)를 활성화시킨다.

그런데, 슬레이브(380)인 메모리 컨트롤러는 두 번째 사이클에서 버스의 사용권이 바뀐 것을 고려하지 못하고 가져온 데이터를 버스 마스터(310)에 전달하지 않고 우선권이 높은 버스 마스터(330)에 전달할 수 있다.

도 2에 도시된 본 발명에 따른 버스 시스템은 전송모드 선택회로들(340, 350)을 구비하여 버스 마스터(310)의 버스트 동작이 끝나기 전에 버스 승인신호(HGR1)가 디스에이블되었을 때 버스 마스터(310)의 버스트 모드를 싱글 모드로 전환하여 동작오류를 방지할 수 있다. 멀티플렉서(360)는 전송모드 선택회로들(340, 350)의 출력신호인 선택신호들(MSEL1, MSEL2) 중 하나를 선택하여 슬레이브 제어신호(CONT)로서 출력한다. 슬레이브 제어신호는 싱글모드 신호이므로, 슬레이브(380)는 처리하는 데이터를 싱글 데이터로 인식한다. 따라서, 마스터들과 슬레이브 사이의 데이터 전송에서 동작오류는 발생하지 않는다.

도 3과 도 4는 도 2의 AHB 버스 시스템에 포함되어 있는 전송모드 선택회로들을 나타내는 회로도이다.

도 3을 참조하면, 전송모드 선택회로(340)는 검출회로(342) 및 멀티플렉서(347)를 구비한다. 검출회로(342)는 전송 시작신호(HTRAN1)가 비시퀀스(non-sequence)이고 버스 승인신호(HGR1)가 디스에이블되었을 때 인에이블되는 검출신호(ETDET1)를 발생시킨다. 멀티플렉서(347)는 검출신호(ETDET1)가 인에이블되었을 때 버스트 사이클 제어신호(HBURST1)를 싱글 모드 신호(SINGLE)로 전환하고 선택신호(MSEL1)를 발생시킨다. 버스트 사이클 제어신호(HBURST1), 싱글 모드 신호(SINGLE), 및 선택신호(MSEL1)는 3 비트의 비트 구조를 가지는 신호이다. AMBA 규격 2.0에 의하면, 버스트 사이클 제어신호(HBURST1)는 INCR4의 경우 [1, 1, 1]의 비트구조를 가지고, 싱글 모드 신호(SINGLE)의 경우 [0, 0, 0]의 비트구조를 가진다. 버스트 사이클 제어신호(HBURST1)가 싱글 모드 신호(SINGLE)이면, 버스 마스터(도2의 310)는 버스트 모드 동작을 하지 않음을 의미하며, 처리되는 데이터는 버스트 데이터가 아니라 싱글 데이터가 된다.

검출회로(342)는 펄스 발생회로(347), 및 AND 게이트(346)를 구비한다. 펄스 발생회로(347)는 시스템 클럭(HCLK)과 버스 승인신호(HGR1)에 응답하여 시스템 클럭(HCLK)의 한 주기동안 인에이블되는 펄스 신호를 발생시킨다. AND 게이트

(346)는 펄스 발생회로(347)의 출력신호와 전송 시작신호(HTRAN1)에 대해 논리곱 연산을 수행한다. 펄스 발생회로(347)는 인버터(343), 플립플롭(344), 및 AND 게이트(345)를 구비한다. 인버터(343)는 버스 승인신호(HGR1)를 반전시킨다. 플립플롭(344)은 시스템 클럭(HCLK)의 전단(front edge)에서 버스 승인신호(HGR1)를 출력한다. AND 게이트(345)는 인버터(343)의 출력신호와 플립플롭(344)의 출력신호에 대해 논리곱 연산을 수행한다.

도 4를 참조하면, 전송모드 선택회로(350)는 검출회로(352) 및 멀티플렉서(357)를 구비한다. 검출회로(352)는 전송 시작신호(HTRAN2)가 비시퀀스(non-sequence)이고 버스 승인신호(HGR2)가 디스에이블되었을 때 인에이블되는 검출신호(ETDET2)를 발생시킨다. 멀티플렉서(357)는 검출신호(ETDET2)가 인에이블되었을 때 버스트 사이클 제어신호(HBURST2)를 싱글 모드 신호(SINGLE)로 전환하고 선택신호(MSEL2)를 발생시킨다. 버스트 사이클 제어신호(HBURST2), 싱글 모드 신호(SINGLE), 및 선택신호(MSEL2)는 3 비트의 비트 구조를 가지는 신호이다. AMBA 규격 2.0에 의하면, 버스트 사이클 제어신호(HBURST2)는 INCR4의 경우 [1, 1, 1]의 비트구조를 가지고, 싱글 모드 신호(SINGLE)의 경우 [0, 0, 0]의 비트구조를 가진다. 버스트 사이클 제어신호(HBURST2)가 싱글 모드 신호(SINGLE)이면, 버스 마스터(도3의 330)는 버스트 모드 동작을 하지 않음을 의미하며, 처리되는 데이터는 버스트 데이터가 아니라 싱글 데이터가 된다.

검출회로(352)는 펄스 발생회로(357), 및 AND 게이트(356)를 구비한다. 펄스 발생회로(357)는 시스템 클럭(HCLK)과 버스 승인신호(HGR2)에 응답하여 시스템 클럭(HCLK)의 한 주기동안 인에이블되는 펄스 신호를 발생시킨다. AND 게이트(356)는 펄스 발생회로(357)의 출력신호와 전송 시작신호(HTRAN2)에 대해 논리곱 연산을 수행한다. 펄스 발생회로(347)는 인버터(353), 플립플롭(354), 및 AND 게이트(355)를 구비한다. 인버터(353)는 버스 승인신호(HGR2)를 반전시킨다. 플립플롭(354)은 시스템 클럭(HCLK)의 전단(front edge)에서 버스 승인신호(HGR2)를 출력한다. AND 게이트(355)는 인버터(353)의 출력신호와 플립플롭(354)의 출력신호에 대해 논리곱 연산을 수행한다.

도 5는 도 3의 제 1 전송모드 선택회로에 대한 타이밍도이다.

이하, 도 3 내지 도 5를 참조하여, 전송모드 선택회로들(340, 350)의 동작을 설명한다. 도 5를 참조하면, 버스 승인신호(HGR1)가 로직 "하이" 상태에서 로직 "로우" 상태로 바뀌면, 시스템 클럭(HCLK)의 전단에서 검출신호(ETDET1)가 로직 "로우" 상태에서 로직 "하이" 상태로 바뀌고, 시스템 클럭(HCLK)의 한 주기 동안 로직 "하이" 상태를 유지하다가 시스템 클럭(HCLK)의 전단에서 로직 "로우" 상태로 바뀐다. 결국, 검출신호(ETDET1)는 시스템 클럭(HCLK)의 한 주기 동안 로직 "하이" 상태를 유지하는 펄스신호가 된다. 버스트 사이클 제어신호(HBURST1)는 3에서 0으로 바뀌고, 전송 시작신호(HTRAN1)는 2에서 0으로 바뀌었다. AMBA 2.0 규격에 의하면, 버스트 사이클 제어신호(HBURST1)가 3이면 버스트 모드(INCR4)를 나타내고, 버스트 사이클 제어신호(HBURST1)가 0이면 싱글 모드를 나타낸다. 전송 시작신호(HTRAN1)가 2이면 비시퀀스(non-sequence)를 나타내고, 전송 시작신호(HTRAN1)가 0이면 시퀀스(sequence)를 나타낸다. 따라서, 버스 승인신호(HGR1)가 디스에이블되었을 때, 버스트 사이클 제어신호(HBURST1)는 버스트 모드에서 싱글 모드로 바뀌고, 전송 시작신호(HTRAN1)는 비시퀀스에서 시퀀스로 바뀐다.

도 6은 본 발명의 다른 하나의 실시예에 따른 AHB 버스 시스템을 나타내는 블록도이다. 도 6를 참조하면, AHB 버스 시스템(400)은 AHB 버스(491), 버스 마스터들(410, 430), 버스 아비터(420), 및 전송모드 선택회로들(440, 450)을 구비한다. 또한, AHB 버스 시스템(400)은 AHB 버스(491)에 결합된 슬레이브(480)를 구비한다. 버스 마스터들(410, 430), 버스 아비터(420), 및 전송모드 선택회로들(440, 450)에는 시스템 클럭(HCLK)이 인가된다. 버스 마스터(410)는 HRDATA 버스(492)를 통해 AHB 버스(491)로부터 데이터를 수신하고, HWDATA 버스(493)를 통해 AHB 버스(491)에 데이터를 제공한다. 마찬가지로, 버스 마스터(430)는 HRDATA 버스(494)를 통해 AHB 버스(491)로부터 데이터를 수신하고, HWDATA 버스(495)를 통해 AHB 버스(491)에 데이터를 제공한다. AHB 슬레이브(480)는 HRDATA 버스(497)를 통해 AHB 버스(491)에 데이터를 제공하고, HWDATA 버스(496)를 통해 AHB 버스(491)로부터 데이터를 수신한다.

버스 마스터(410)는 ARM9 계열의 프로세서로서, 조기 종료(early termination)를 지원하는 프로세서이다. 버스 마스터(430)는 DMA(Direct Memory Access)로서 조기 종료를 지원하지 않는 마스터이다. 또한, 버스 마스터(430)는 AHB 버스(491)의 사용에 있어서 버스 마스터(310)에 비해 우선권(priority)이 높다.

버스 마스터(410)는 버스트 사이클 제어신호(HBURST1), 전송 시작신호(HTRAN1), 및 AHB 버스(491)의 제어를 요청하는 버스 요청신호(HREQ1)를 발생시킨다. 또한, 버스 마스터(410)는 버스 아비터(420)로부터 버스 승인신호(HGR1)를 수신하고 AHB 버스(491)를 통해 데이터를 주고받는다.

버스 마스터(430)는 버스트 사이클 제어신호(HBURST2), 전송 시작신호(HTRAN2), 및 AHB 버스(491)의 제어를 요청하는 버스 요청신호(HREQ2)를 발생시킨다. 또한, 버스 마스터(430)는 버스 아비터(420)로부터 버스 승인신호(HGR2)를 수신하고 AHB 버스(491)를 통해 데이터를 주고받는다.

버스 아비터(420)는 버스 요청신호들(HREQ1, HREQ2)에 대해 중재 결정을 하여 버스 승인신호(HGR1) 또는 버스 승인신호(HGR2)를 인에이블시키고 주어진 시간에 상기 버스 마스터들(410, 430) 중 하나의 버스 마스터를 활성화시킨다.

전송모드 선택회로(440)는 전송 시작신호(HTRAN1) 및 버스 승인신호(HGR1)에 응답하여 버스트 사이클 제어신호(HBURST1)를 싱글 모드 신호로 전환하고 선택신호(MSEL1)를 발생시킨다.

전송모드 선택회로(450)는 전송 시작신호(HTRAN2) 및 버스 승인신호(HGR2)에 응답하여 버스트 사이클 제어신호(HBURST2)를 싱글 모드 신호로 전환하고 선택신호(MSEL2)를 발생시킨다.

전송모드 선택회로들(440, 450)은 버스 마스터들(410, 430) 각각의 버스트 동작이 끝나기 전에 버스 승인신호(HGR1 또는 HGR2)가 디스에이블되었을 때 버스 마스터들(410, 430) 각각의 버스트 모드를 싱글 모드로 전환한다.

AHB 버스 시스템(400)은 선택신호들(MSEL1, MSEL2) 중 하나를 선택하여 슬레이브 제어신호(CONT1)를 발생시키는 선택회로(460)를 구비한다. 선택회로(460)는 도 6에 도시된 바와 같이 멀티플렉서로 구성할 수 있다. 또한, AHB 버스 시스템(400)은 전송 시작신호들(HTRAN1, HTRAN2) 중 하나를 선택하여 슬레이브 제어신호(CONT2)를 발생시키는 선택회로(465)를 구비한다.

이하, 도 6에 도시된 본 발명의 하나의 실시예에 대해 설명한다.

도 6의 AHB 버스 시스템에서 전송모드 선택회로들(440, 450)은 도 2의 전송모드 선택회로들(340, 350)과 달리 버스트 사이클 제어신호들(HBURST1 또는 HBURST2)과 버스 승인신호(HGR1 또는 HGR2)를 사용하여 선택신호들(MSEL1, MSEL2)을 발생시킨다. 그리고, AHB 버스 시스템(400)은 전송 시작신호들(HTRAN1, HTRAN2) 중 하나를 선택하여 슬레이브 제어신호(CONT2)를 발생시키는 선택회로(465)를 구비하는 점이 도 2의 AHB 버스 시스템과 다르다.

도 7 및 도 8은 도 6의 AHB 버스 시스템에 포함되어 있는 전송모드 선택회로들을 나타내는 회로도들이다.

도 7을 참조하면, 전송모드 선택회로(440)는 AND 게이트들(441~443)을 구비한다. AND 게이트(443)는 버스 승인신호(HGR1)와 버스트 사이클 제어신호(HBURST1)의 제 1 비트(HBURST1[0])에 대해 논리곱 연산을 수행하고 선택신호(MSEL1)의 제 1 비트(MSEL1[0])를 발생시킨다. AND 게이트(442)는 버스 승인신호(HGR1)와 버스트 사이클 제어신호(HBURST1)의 제 2 비트(HBURST1[1])에 대해 논리곱 연산을 수행하고 선택신호(MSEL1)의 제 2 비트(MSEL1[1])를 발생시킨다. AND 게이트(441)는 버스 승인신호(HGR1)와 버스트 사이클 제어신호(HBURST1)의 제 3 비트(HBURST1[2])에 대해 논리곱 연산을 수행하고 선택신호(MSEL1)의 제 3 비트(MSEL1[2])를 발생시킨다.

이하, 도 7의 전송모드 선택회로(440)의 동작을 설명한다.

전송모드 선택회로(440)는 버스트 사이클 제어신호(HBURST1) 및 버스 승인신호(HGR1)에 응답하여 버스 승인신호(HGR1)가 디스에이블되었을 때 싱글 모드 신호인 선택신호(MSEL1)를 발생시킨다. 버스 승인신호(HGR1)가 디스에이블되었을 때, AND 게이트들(441~443)의 출력은 버스트 사이클 제어신호(HBURST1)의 비트 값에 무관하게 로직 "로우" 상태가 된다. 즉, 전송모드 선택회로(440)는 버스트 사이클 제어신호(HBURST1)의 각 비트들을 "0"의 값을 갖는 버스 승인신호(HGR1)와 논리곱함으로써 선택신호(MSEL1)의 각 비트들을 "0"으로 만들고 선택신호(MSEL1)를 싱글모드 신호로 만든다. 결국, 버스 마스터(410)가 발생시킨 버스트 사이클 제어신호(HBURST1)는 버스트 모드 동작을 완료하기 이전에 버스 승인신호(HGR1)가 디스에이블되었을 때 전송모드 선택회로(440)를 싱글 모드신호로 전환하여 슬레이브(480)에 전달하게 된다. 버스트 사이클 제어신호(HBURST1)가 싱글 모드 신호(SINGLE)이면, 버스 마스터(도6의 410)는 버스트 모드 동작을 하지 않음을 의미하며, 처리되는 데이터는 버스트 데이터가 아니라 싱글 데이터가 된다.

도 8을 참조하면, 전송모드 선택회로(450)는 AND 게이트들(451~453)을 구비한다. AND 게이트(453)는 버스 승인신호(HGR2)와 버스트 사이클 제어신호(HBURST2)의 제 1 비트(HBURST2[0])에 대해 논리곱 연산을 수행하고 선택신호(MSEL2)의 제 1 비트(MSEL2[0])를 발생시킨다. AND 게이트(452)는 버스 승인신호(HGR2)와 버스트 사이클 제어신호

(HBURST2)의 제 2 비트(HBURST2[1])에 대해 논리곱 연산을 수행하고 선택신호(MSEL2)의 제 2 비트(MSEL2[1])를 발생시킨다. AND 게이트(451)는 버스 승인신호(HGR2)와 버스트 사이클 제어신호(HBURST2)의 제 3 비트(HBURST2[2])에 대해 논리곱 연산을 수행하고 선택신호(MSEL2)의 제 3 비트(MSEL2[2])를 발생시킨다.

이하, 도 8의 전송모드 선택회로(440)의 동작을 설명한다.

전송모드 선택회로(450)는 버스트 사이클 제어신호(HBURST2) 및 버스 승인신호(HGR2)에 응답하여 버스 승인신호(HGR2)가 디스에이블되었을 때 싱글 모드 신호인 선택신호(MSEL2)를 발생시킨다. 버스 승인신호(HGR2)가 디스에이블되었을 때, AND 게이트들(451~453)의 출력은 버스트 사이클 제어신호(HBURST2)의 비트 값에 무관하게 로직 "로우" 상태가 된다. 즉, 전송모드 선택회로(450)는 버스트 사이클 제어신호(HBURST2)의 각 비트들을 "0"의 값을 갖는 버스 승인신호(HGR2)와 논리곱함으로써 선택신호(MSEL2)의 각 비트들을 "0"으로 만들고 선택신호(MSEL2)를 싱글모드 신호로 만든다. 결국, 버스 마스터(도 6의 430)가 발생시킨 버스트 사이클 제어신호(HBURST2)는 버스트 모드 동작을 완료하기 이전에 버스 승인신호(HGR2)가 디스에이블되었을 때 전송모드 선택회로(450)를 싱글 모드신호로 전환하여 슬레이브(480)에 전달하게 된다. 버스트 사이클 제어신호(HBURST2)가 싱글 모드 신호(SINGLE)이면, 버스 마스터(도6의 430)는 버스트 모드 동작을 하지 않음을 의미하며, 처리되는 데이터는 버스트 데이터가 아니라 싱글 데이터가 된다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 버스 시스템은 제 1 마스터가 버스트 모드로 동작하고 있을 때 제 1 마스터보다 버스 사용에 대한 우선권이 높은 제 2 마스터가 아비터에 버스 사용의 요청을 한 경우, 제 1 마스터의 동작을 싱글모드로 전환함으로써 버스트 모드 동작시 조기 종료가 발생했을 경우 동작 오류를 방지할 수 있다. 본 발명에 따른 버스 시스템은 전송모드 선택회로를 구비하여 버스트 사이클 제어신호(HBURST1)를 싱글 모드 신호로 전환하여 슬레이브에 전송한다.

(57) 청구의 범위

청구항 1.

AHB 버스;

버스트 사이클 제어신호, 전송 시작신호, 및 상기 AHB 버스의 제어를 요청하는 버스 요청신호를 발생시키고 버스 승인신호에 응답하여 활성화되고, 상기 AHB 버스를 통해 데이터를 주고받는 버스 마스터;

상기 버스 요청신호에 응답하여 상기 버스 승인신호를 발생시켜 상기 버스 마스터에 제공하는 버스 아비터; 및

상기 버스 마스터의 버스트 동작이 끝나기 전에 상기 버스 승인신호가 디스에이블되었을 때 상기 버스 마스터의 버스트 모드를 싱글 모드로 전환하고 선택신호를 발생시키는 전송모드 선택회로를 구비하는 것을 특징으로 하는 버스 시스템.

청구항 2.

제 1 항에 있어서, 상기 버스 시스템은

상기 선택신호에 응답하여 상기 AHB 버스를 통해 상기 버스 마스터와 상기 데이터를 주고받는 버스 슬레이브를 더 구비하는 것을 특징으로 하는 버스 시스템.

청구항 3.

제 1 항에 있어서, 상기 전송모드 선택회로는

상기 전송 시작신호, 및 상기 버스 승인신호에 응답하여 상기 버스트 사이클 제어신호를 싱글 모드 신호로 전환하고 상기 선택신호를 발생시키는 것을 특징으로 하는 버스 시스템.

청구항 4.

제 3 항에 있어서, 상기 버스트 사이클 제어신호는 상기 전송 시작신호가 비시퀀스이고, 상기 버스 승인신호가 디스에이블 되었을 때 싱글 모드 신호로 전환되는 것을 특징으로 하는 버스 시스템.

청구항 5.

제 4 항에 있어서, 상기 전송모드 선택회로는

상기 전송 시작신호가 비시퀀스이고, 상기 버스 승인신호가 디스에이블되었을 때 인에이블되는 검출신호를 발생시키는 검출회로; 및

상기 검출신호가 인에이블되었을 때 상기 버스트 사이클 제어신호를 싱글 모드 신호로 전환하고 상기 선택신호를 발생시키는 멀티플렉서를 구비하는 것을 특징으로 하는 버스 시스템.

청구항 6.

제 5 항에 있어서, 상기 검출회로는

시스템 클럭과 상기 버스 승인신호에 응답하여 상기 시스템 클럭의 한 주기동안 인에이블되는 펄스 신호를 발생시키는 펄스 발생회로; 및

상기 펄스 신호와 상기 전송 시작신호에 대해 논리곱 연산을 수행하는 제 1 AND 게이트를 구비하는 것을 특징으로 하는 버스 시스템.

청구항 7.

제 6 항에 있어서, 상기 펄스 발생회로는

상기 버스 승인신호를 반전시키는 인버터;

상기 시스템 클럭의 전단에서 상기 버스 승인신호를 출력하는 플립플롭; 및

상기 인버터의 출력신호와 상기 플립플롭의 출력신호에 대해 논리곱 연산을 수행하는 제 2 AND 게이트를 구비하는 것을 특징으로 하는 버스 시스템.

청구항 8.

제 1 항에 있어서, 상기 전송모드 선택회로는

상기 버스트 사이클 제어신호 및 상기 버스 승인신호에 응답하여 상기 버스 승인신호가 디스에이블되었을 때 싱글 모드 신호인 상기 선택신호를 발생시키는 것을 특징으로 하는 버스 시스템.

청구항 9.

제 8 항에 있어서, 상기 전송모드 선택회로는

상기 버스트 사이클 제어신호를 구성하는 각 비트에 대해 상기 버스 승인신호와 논리곱 연산을 수행하여 상기 버스트 사이클 제어신호와 동일한 비트를 가지는 상기 선택신호를 발생시키는 것을 특징으로 하는 버스 시스템.

청구항 10.

제 9 항에 있어서, 상기 전송모드 선택회로는

상기 버스 승인신호와 상기 버스트 사이클 제어신호의 제 1 비트에 대해 논리곱 연산을 수행하고 상기 선택신호의 제 1 비트를 발생시키는 제 1 AND 게이트;

상기 버스 승인신호와 상기 버스트 사이클 제어신호의 제 2 비트에 대해 논리곱 연산을 수행하고 상기 선택신호의 제 2 비트를 발생시키는 제 2 AND 게이트; 및

상기 버스 승인신호와 상기 버스트 사이클 제어신호의 제 3 비트에 대해 논리곱 연산을 수행하고 상기 선택신호의 제 3 비트를 발생시키는 제 3 AND 게이트를 구비하는 것을 특징으로 하는 버스 시스템.

청구항 11.

AHB 버스;

상기 AHB 버스의 제어를 요청하는 버스 요청신호, 버스트 사이클 제어신호, 및 전송 시작신호를 발생시키고 버스 승인신호를 수신하며, 상기 AHB 버스를 통해 데이터를 주고받는 복수의 버스 마스터들;

상기 복수의 버스 마스터들로부터 출력되는 복수의 버스 요청신호에 대해 중재 결정을 하여 복수의 버스 승인 신호들 중 하나의 버스 승인신호를 인에이블시켜 주어진 시간에 상기 복수의 버스 마스터들 중 하나의 버스 마스터를 활성화시키는 버스 아비터;

상기 버스 마스터들 각각의 버스트 동작이 끝나기 전에 상기 버스 승인신호가 디스에이블되었을 때 상기 버스 마스터들 각각의 버스트 모드를 싱글 모드로 전환하고 선택신호를 발생시키는 복수의 전송모드 선택회로; 및

상기 복수의 전송모드 선택회로로부터 발생되는 복수의 선택신호들 중 하나를 선택하여 제 1 슬레이브 제어신호를 발생시키는 제 1 선택회로를 구비하는 것을 특징으로 하는 버스 시스템.

청구항 12.

제 11 항에 있어서, 상기 버스 시스템은

상기 슬레이브 제어신호에 응답하여 상기 AHB 버스를 통해 상기 버스 마스터들과 상기 데이터를 주고받는 버스 슬레이브를 더 구비하는 것을 특징으로 하는 버스 시스템.

청구항 13.

제 11 항에 있어서, 상기 전송모드 선택회로들은 각각

상기 전송 시작신호 및 상기 버스 승인신호에 응답하여 상기 버스트 사이클 제어신호를 싱글 모드 신호로 전환하고 상기 선택신호를 발생시키는 것을 특징으로 하는 버스 시스템.

청구항 14.

제 13 항에 있어서, 상기 제 1 버스트 사이클 제어신호는

상기 전송 시작신호가 비시퀀스이고, 상기 버스 승인신호가 디스에이블되었을 때 싱글 모드 신호로 전환되는 것을 특징으로 하는 버스 시스템.

청구항 15.

제 14 항에 있어서, 상기 전송모드 선택회로들은 각각

상기 전송 시작신호가 비시퀀스이고, 상기 버스 승인신호가 디스에이블되었을 때 인에이블되는 검출신호를 발생시키는 검출회로; 및

상기 검출신호가 인에이블되었을 때 상기 버스트 사이클 제어신호를 싱글 모드 신호로 전환하고 상기 선택신호를 발생시키는 멀티플렉서를 구비하는 것을 특징으로 하는 버스 시스템.

청구항 16.

제 15 항에 있어서, 상기 검출회로는

시스템 클럭과 상기 버스 승인신호에 응답하여 상기 시스템 클럭의 한 주기동안 인에이블되는 펄스 신호를 발생시키는 펄스 발생회로; 및

상기 펄스 신호와 상기 제 1 전송 시작신호에 대해 논리곱 연산을 수행하는 AND 게이트를 구비하는 것을 특징으로 하는 버스 시스템.

청구항 17.

제 11 항에 있어서, 상기 버스 시스템은

상기 버스 마스터들로부터 전송 시작신호들을 수신하고 상기 전송시작신호들 중 하나를 선택하고 제 2 슬레이브 제어신호를 발생시키는 제 2 선택회로를 더 구비하는 것을 특징으로 하는 버스 시스템.

청구항 18.

제 17 항에 있어서, 상기 전송모드 선택회로들은 각각

상기 버스트 사이클 제어신호 및 상기 버스 승인신호에 응답하여 상기 버스 승인신호가 디스에이블되었을 때 싱글 모드 신호인 상기 선택신호를 발생시키는 것을 특징으로 하는 버스 시스템.

청구항 19.

제 18 항에 있어서, 상기 전송모드 선택회로들은 각각

상기 버스트 사이클 제어신호를 구성하는 각 비트에 대해 상기 버스 승인신호와 논리곱 연산을 수행하여 상기 버스트 사이클 제어신호와 동일한 비트를 가지는 상기 선택신호를 발생시키는 것을 특징으로 하는 버스 시스템.

청구항 20.

제 19 항에 있어서, 상기 전송모드 선택회로들은 각각

상기 버스 승인신호와 상기 버스트 사이클 제어신호의 제 1 비트에 대해 논리곱 연산을 수행하고 상기 선택신호의 제 1 비트를 발생시키는 제 1 AND 게이트;

상기 버스 승인신호와 상기 버스트 사이클 제어신호의 제 2 비트에 대해 논리곱 연산을 수행하고 상기 선택신호의 제 2 비트를 발생시키는 제 2 AND 게이트; 및

상기 버스 승인신호와 상기 버스트 사이클 제어신호의 제 3 비트에 대해 논리곱 연산을 수행하고 상기 선택신호의 제 3 비트를 발생시키는 제 3 AND 게이트를 구비하는 것을 특징으로 하는 버스 시스템.

청구항 21.

버스트 사이클 제어신호, 전송 시작신호, 및 AHB 버스의 제어를 요청하는 버스 요청신호를 발생시키는 단계;

상기 버스 요청신호에 응답하여 상기 버스 승인신호를 인에이블시켜 상기 버스 마스터를 활성화시키는 단계;

상기 버스 승인신호에 응답하여 상기 AHB 버스의 사용권한을 획득하는 단계; 및

상기 버스 마스터의 버스트 동작이 끝나기 전에 상기 버스 승인신호가 디스에이블되었을 때 상기 버스 마스터의 버스트 모드를 싱글 모드로 전환하고 슬레이브 제어신호를 발생시키는 단계를 포함하는 것을 특징으로 하는 버스 중재 방법.

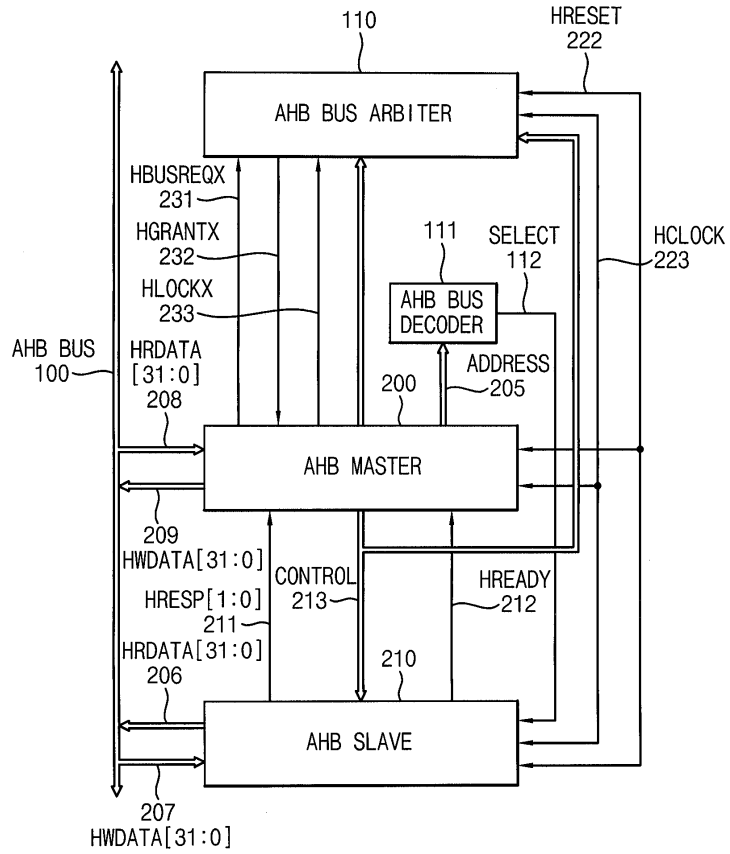
청구항 22.

제 21 항에 있어서, 상기 버스 중재 방법은

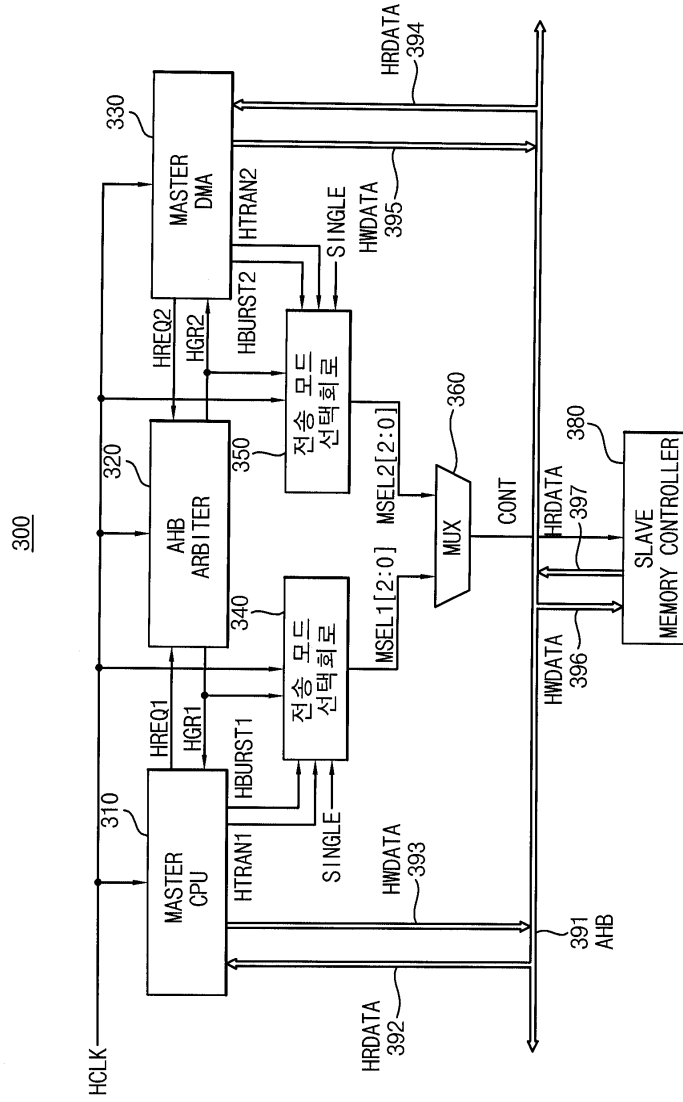
상기 슬레이브 제어신호를 슬레이브에 전송하는 단계를 더 포함하는 것을 특징으로 하는 버스 중재 방법.

도면

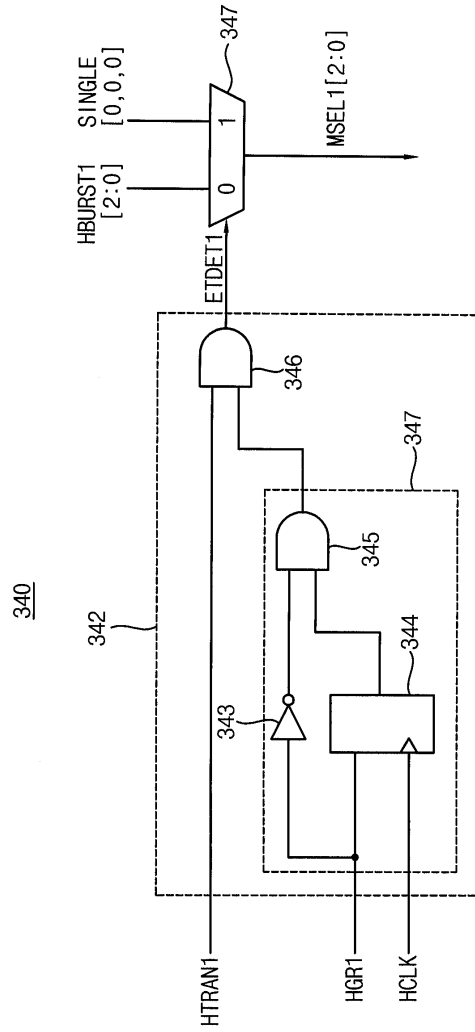
도면1



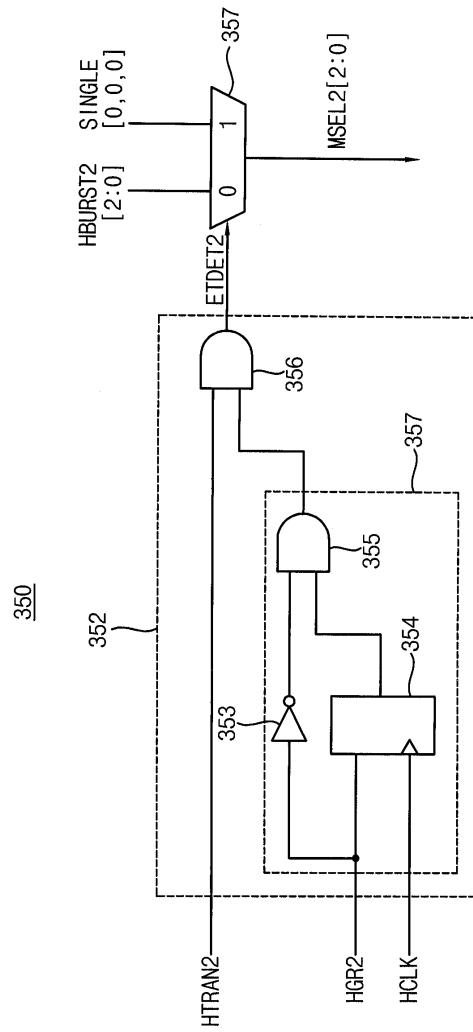
도면2



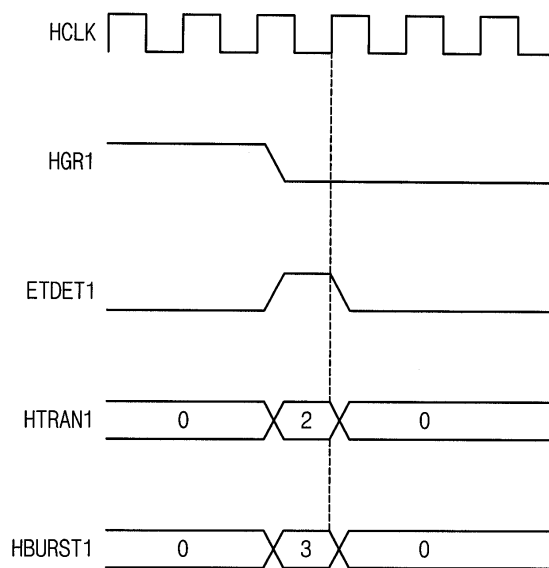
도면3



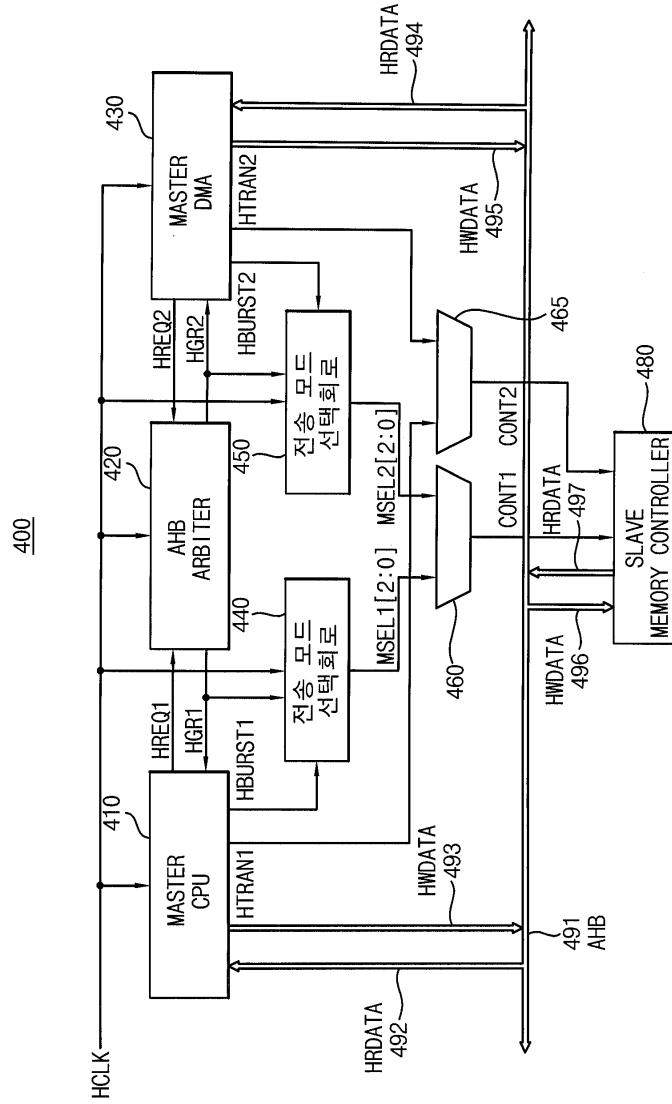
도면4



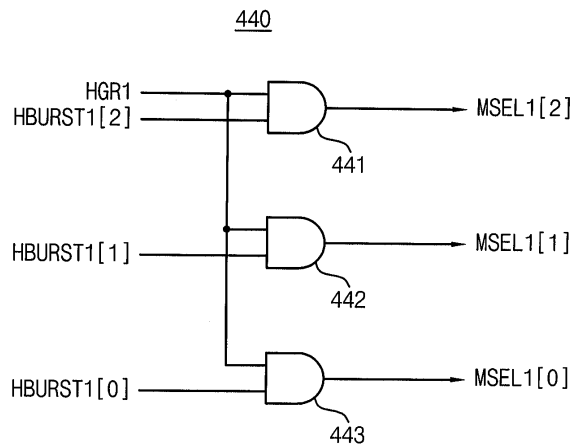
도면5



도면6



도면7



도면8

