



(12) 发明专利

(10) 授权公告号 CN 112103202 B

(45) 授权公告日 2021.02.12

(21) 申请号 202011242883.9

(22) 申请日 2020.11.10

(65) 同一申请的已公布的文献号
申请公布号 CN 112103202 A

(43) 申请公布日 2020.12.18

(73) 专利权人 晶芯成(北京)科技有限公司
地址 100176 北京市大兴区北京经济技术
开发区科创十三街29号院一区2号楼
13层1302-C54

(72) 发明人 周山 王丽雅 俞佩佩

(74) 专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237
代理人 曹廷廷

(51) Int. Cl.

H01L 21/66 (2006.01)

(56) 对比文件

- CN 104282594 A, 2015.01.14
- CN 104752409 A, 2015.07.01
- CN 204067309 U, 2014.12.31
- CN 102386167 A, 2012.03.21
- CN 110838479 A, 2020.02.25
- US 2007145364 A1, 2007.06.28
- US 2004245569 A1, 2004.12.09
- CN 103822948 A, 2014.05.28
- CN 203026497 U, 2013.06.26
- US 2015115982 A1, 2015.04.30

审查员 张卉

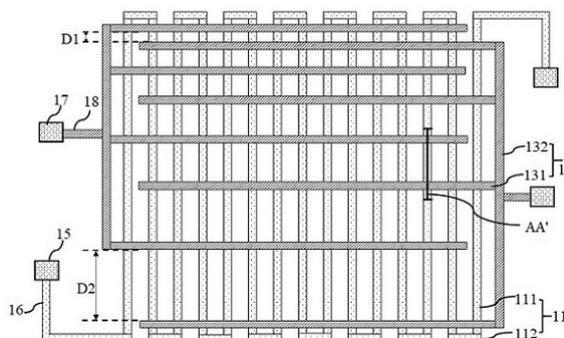
权利要求书2页 说明书6页 附图2页

(54) 发明名称

半导体测试结构及半导体钝化层的质量测试方法

(57) 摘要

本发明提供了一种半导体测试结构及半导体钝化层的质量测试方法,所述半导体测试结构包括:第一金属层,所述第一金属层包括至少一个蛇形结构;绝缘层,覆盖于所述第一金属层上且填满所述蛇形结构的间隙;第二金属层,形成于所述绝缘层上,所述第二金属层包括两个相对交错设置的梳形结构,且两个所述梳形结构的梳齿之间相互穿插;钝化层,覆盖于所述第二金属层上及所述梳形结构的梳齿间隙所暴露出的绝缘层上;多个焊盘,分别与所述第一金属层和所述第二金属层的两端连接。本发明的技术方案能够及时确认所述钝化层中是否存在缺陷,缩短了测试周期,从而降低了成本。



1. 一种半导体测试结构,其特征在于,包括:
第一金属层,所述第一金属层包括至少一个蛇形结构;
绝缘层,覆盖于所述第一金属层上且填满所述蛇形结构的间隙;
第二金属层,形成于所述绝缘层上,所述第二金属层包括两个相对交错设置的梳形结构,且两个所述梳形结构的梳齿之间相互穿插;
钝化层,覆盖于所述第二金属层上以及所述梳形结构的梳齿间隙所暴露出的绝缘层上;以及,
多个焊盘,分别与所述蛇形结构的两端和所述梳形结构的梳背连接。
2. 如权利要求1所述的半导体测试结构,其特征在于,所述蛇形结构包括多条平行的第一金属线和多条平行的第二金属线,相邻两条所述第一金属线之间通过所述第二金属线相连接,所述第一金属线垂直于所述第二金属线。
3. 如权利要求2所述的半导体测试结构,其特征在于,所述第一金属线和所述第二金属线的宽度为工艺所允许的金属线的最小宽度,相邻两条所述第一金属线之间的间隙宽度为工艺所允许的最小间隙宽度。
4. 如权利要求1所述的半导体测试结构,其特征在于,每个所述梳形结构包括多条依次排列的梳齿以及连接每条梳齿的同一端的梳背,两个所述梳形结构的梳背相互平行,且所述梳齿垂直于所述梳背。
5. 如权利要求4所述的半导体测试结构,其特征在于,两个相对交错设置的所述梳形结构中的至少一个具有不等的梳齿间隙。
6. 如权利要求5所述的半导体测试结构,其特征在于,所述梳齿间隙按照所述梳齿排列位置依次增大,所述梳齿间隙最小值为工艺所允许的最小宽度。
7. 如权利要求1所述的半导体测试结构,其特征在于,所述钝化层包括依次覆盖于所述第二金属层上的氧化物层和氮化物层以及形成于所述氧化物层中的氧化填充层,所述氧化填充层的顶面与所述氧化物层的顶面齐平,且所述氧化填充层位于所述梳齿间隙的上方。
8. 如权利要求7所述的半导体测试结构,其特征在于,所述绝缘层还填满所述梳齿间隙,所述氧化填充层的底部与所述梳齿间隙处的所述绝缘层的顶部接触;或者,所述绝缘层对所述梳齿间隙部分填充,所述氧化填充层的底部与所述梳齿间隙处的所述绝缘层的顶部之间还夹有所述氧化物层。
9. 一种半导体钝化层的质量测试方法,其特征在于,包括:
提供包含如权利要求1至8中任一项所述的半导体测试结构的测试样品;
对所述测试样品进行初步测试,以获得所述第一金属层的电阻以及所述第二金属层的电容;
对所述测试样品进行温度循环实验;
对所述温度循环实验后的所述测试样品进行再次测试,以获得所述第一金属层的电阻以及所述第二金属层的电容;以及,
计算所述第一金属层实验前后的电阻差值以及所述第二金属层实验前后的电容差值,若电阻差值和/或电容差值超出规格值,则所述钝化层中存在缺陷;若电阻差值和电容差值均未超出规格值,则所述钝化层中不存在缺陷。
10. 如权利要求9所述的半导体钝化层的质量测试方法,其特征在于,对所述测试样品

进行初步测试和再次测试的步骤包括：

向所述第二金属层的两个相对交错设置的梳形结构分别施加相应的电压信号，以获得第二金属层的电容；以及，

向所述第一金属层的蛇形结构中施加电流信号和/或向所述蛇形结构的两端分别施加相应的电压信号，以获得所述第一金属层的电阻。

半导体测试结构及半导体钝化层的质量测试方法

技术领域

[0001] 本发明涉及半导体集成电路制造领域,特别涉及一种半导体测试结构及半导体钝化层的质量测试方法。

背景技术

[0002] 在半导体器件的制造工艺中,会在半导体器件的最上层覆盖钝化层(Passivation),以用于保护下层结构免于损坏。但是,钝化层潜在的高应力、界面分层及介质缺陷等因素会导致其对温度变化敏感,进而导致在芯片使用的过程中钝化层中会产生裂缝,从而导致芯片故障(金属互连线断开、芯片表面未密封等)。因此,行业可靠性标准对于钝化层工艺的变更,规定需做温度循环(TC, Temperature cycle)试验来做质量评估。

[0003] 但是,现有对钝化层质量的评估是通过客户配合做产品级(即经过封装等工艺做成的成品)的温度循环实验来验证,其存在验证周期长、费用高等问题。

[0004] 因此,需要提出一种半导体测试结构及半导体钝化层的质量测试方法,以能够及时确认钝化层是否存在缺陷,进而降低成本。

发明内容

[0005] 本发明的目的在于提供一种半导体测试结构及半导体钝化层的质量测试方法,能够及时确认所述钝化层中是否存在缺陷,缩短了测试周期,从而降低了成本。

[0006] 为实现上述目的,本发明提供了一种半导体测试结构,包括:

[0007] 第一金属层,所述第一金属层包括至少一个蛇形结构;

[0008] 绝缘层,覆盖于所述第一金属层上且填满所述蛇形结构的间隙;

[0009] 第二金属层,形成于所述绝缘层上,所述第二金属层包括两个相对交错设置的梳形结构,且两个所述梳形结构的梳齿之间相互穿插;

[0010] 钝化层,覆盖于所述第二金属层上以及所述梳形结构的梳齿间隙所暴露出的绝缘层上;以及,

[0011] 多个焊盘,分别与所述第一金属层和所述第二金属层的两端连接。

[0012] 可选的,所述蛇形结构包括多条平行的第一金属线和多条平行的第二金属线,相邻两条所述第一金属线之间通过所述第二金属线相连接,所述第一金属线垂直于所述第二金属线。

[0013] 可选的,所述第一金属线和所述第二金属线的宽度为工艺所允许的金属线的最小宽度,相邻两条所述第一金属线之间的间隙宽度为工艺所允许的最小间隙宽度。

[0014] 可选的,每个所述梳形结构包括多条依次排列的梳齿以及连接每条梳齿的同一直的梳背,两个所述梳形结构的梳背相互平行,且所述梳齿垂直于所述梳背。

[0015] 可选的,两个相对交错设置的所述梳形结构中的至少一个具有不等的梳齿间隙。

[0016] 可选的,所述梳齿间隙按照所述梳齿排列位置依次增大,所述梳齿间隙最小值为工艺所允许的最小宽度。

[0017] 可选的,所述钝化层包括依次覆盖于所述第二金属层上的氧化物层和氮化物层以及形成于所述氧化物层中的氧化填充层,所述氧化填充层的顶面与所述氧化物层的顶面齐平,且所述氧化填充层位于所述梳齿间隙的上方。

[0018] 可选的,所述绝缘层还填满所述梳齿间隙,所述氧化填充层的底部与所述梳齿间隙处的所述绝缘层的顶部接触;或者,所述绝缘层对所述梳齿间隙部分填充,所述氧化填充层的底部与所述梳齿间隙处的所述绝缘层的顶部之间还夹有所述氧化物层。

[0019] 本发明还提供了一种半导体钝化层的质量测试方法,包括:

[0020] 提供包含本发明的所述半导体测试结构的测试样品;

[0021] 对所述测试样品进行初步测试,以获得所述第一金属层的电阻以及所述第二金属层的电容;

[0022] 对所述测试样品进行温度循环实验;

[0023] 对所述温度循环实验后的所述测试样品进行再次测试,以获得所述第一金属层的电阻以及所述第二金属层的电容;以及,

[0024] 计算所述第一金属层实验前后的电阻差值以及所述第二金属层实验前后的电容差值,若电阻差值和/或电容差值超出规格值,则所述钝化层中存在缺陷;若电阻差值和电容差值均未超出规格值,则所述钝化层中不存在缺陷。

[0025] 可选的,对所述测试样品进行初步测试和再次测试的步骤包括:

[0026] 向所述第二金属层的两个相对交错设置的梳形结构分别施加相应的电压信号,以获得第二金属层的电容;以及,

[0027] 向所述第一金属层的蛇形结构中施加电流信号和/或向所述蛇形结构的两端分别施加相应的电压信号,以获得所述第一金属层的电阻。

[0028] 与现有技术相比,本发明的技术方案具有以下有益效果:

[0029] 1、本发明的半导体测试结构,由于具有包括至少一个蛇形结构的第一金属层,以及具有包括两个相对交错设置的梳形结构且两个所述梳形结构的梳齿之间相互穿插的第二金属层,使得所述半导体测试结构能够用于测试所述钝化层中是否存在裂缝缺陷,避免了通过客户配合做产品级的温度循环实验来对所述钝化层的质量进行验证导致的验证周期长的问题。

[0030] 2、本发明的半导体钝化层质量测试方法,通过测试所述半导体测试结构中的第一金属层在温度循环实验前后的电阻差值和/或第二金属层在温度循环实验前后的电容差值来确认所述钝化层中是否存在缺陷,使得能够及时确认所述钝化层中是否存在缺陷,缩短了测试周期,从而降低了成本。

附图说明

[0031] 图1是本发明一实施例的半导体测试结构的示意图;

[0032] 图2是图1所示的半导体测试结构沿AA'的剖面示意图;

[0033] 图3是本发明一实施例的半导体钝化层的质量测试方法的流程图。

[0034] 其中,附图1~图3的附图标记说明如下:

[0035] 10-衬底;11-蛇形结构;111-第一金属线;112-第二金属线;12-绝缘层;13-梳形结构;131-梳齿;132-梳背;14-钝化层;141-氧化物层;142-氧化填充层;143-氮化物层;15-第

一焊盘;16-第三金属线;17-第二焊盘;18-第四金属线;19-裂缝。

具体实施方式

[0036] 为使本发明的目的、优点和特征更加清楚,以下对本发明提出的半导体测试结构及半导体钝化层的质量测试方法作进一步详细说明。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0037] 本发明一实施例提供了一种半导体测试结构,所述半导体测试结构包括第一金属层、绝缘层、第二金属层、钝化层和多个焊盘,所述第一金属层包括至少一个蛇形结构,所述绝缘层覆盖于所述第一金属层上且填满所述蛇形结构的间隙,所述第二金属层形成于所述绝缘层上,所述第二金属层包括两个相对交错设置的梳形结构,且两个所述梳形结构的梳齿之间相互穿插;所述钝化层覆盖于所述第二金属层上以及所述梳形结构的梳齿间隙所暴露出的绝缘层上;所述多个焊盘分别与所述第一金属层和所述第二金属层的两端连接。

[0038] 下面参阅图1和图2详细描述本实施例提供的半导体测试结构,其中,图1中未示出衬底、绝缘层和钝化层。

[0039] 如图2所示,所述第一金属层可以形成于一衬底10上,且所述衬底10上还可形成有膜层结构(未图示),所述膜层结构包括栅极、金属互连线等结构,所述第一金属层形成于所述膜层结构上。可以先在所述衬底上沉积一层金属材料,再对金属材料依次进行光刻和刻蚀,以形成所述第一金属层。

[0040] 所述第一金属层包括至少一个蛇形结构,所述蛇形结构可以为多条直线或多条弧线相互连接形成的金属线,或者也可以为多条直线和多条弧线相互连接形成的金属线。其中,相邻两条连接的直线之间、弧线之间以及直线和弧线之间的夹角可以为任意角度,即可以为直角、锐角或钝角。且所述蛇形结构的金属线的宽度越小,且金属线中相对设置的部分之间的间隔越小,则所述蛇形结构的金属线的图形设置的越密,那么,当所述钝化层中出现裂缝且裂缝延伸到所述蛇形结构中时,裂缝对所述半导体测试结构的性能的影响越明显,进而使得所述钝化层中的裂缝越容易被测试出来。

[0041] 以所述蛇形结构为多条直线相互连接形成的金属线为例,且相邻两条连接的直线之间的夹角为直角,如图1所示,所述蛇形结构11包括多条平行的第一金属线111和多条平行的第二金属线112,相邻两条所述第一金属线111之间通过所述第二金属线112相连接,所述第一金属线111垂直于所述第二金属线112。其中,所述第一金属线111和所述第二金属线112的宽度可以为工艺所允许的金属线的最小宽度,相邻两条所述第一金属线111之间的间隙宽度可以为工艺所允许的最小间隙宽度,以使得所述蛇形结构11中的金属线的图形设置达到工艺能实现的最密的程度。需要说明的是,所述第一金属线111和所述第二金属线112的宽度以及相邻两条所述第一金属线111之间的间隙宽度的大小不仅限于上述的要求,也可以设计为其它尺寸范围,以使得所述蛇形结构11中的金属线的图形设置达到工艺能实现的较密的程度即可。

[0042] 并且,当所述钝化层中出现裂缝且裂缝延伸到所述蛇形结构中时,会导致所述第一金属层的金属线开路,从而影响所述第一金属层的电阻,因此,可以通过测试所述第一金属层的电阻值的变化来确认所述钝化层中是否存在裂缝。

[0043] 所述绝缘层覆盖于所述第一金属层上且填满所述蛇形结构的间隙,以使得所述第

一金属层与后续形成的第二金属层之间绝缘。可以先沉积绝缘材料于所述第一金属层上和所述第一金属层的间隙中,再对所述绝缘材料的顶表面进行平坦化处理,以形成所述绝缘层。

[0044] 所述第二金属层形成于所述绝缘层上,所述第二金属层包括两个相对交错设置的梳形结构,且两个所述梳形结构的梳齿之间相互穿插,两个所述梳形结构之间绝缘。每个所述梳形结构包括多条依次排列的梳齿以及连接每条梳齿的同一直端的梳背;两个所述梳形结构的梳背之间可以相互平行或不相互平行,每个所述梳形结构中的所述梳齿与所述梳背之间可以相互垂直或不相互垂直。所述梳齿和所述梳背的形状均可以为直线或弧线。

[0045] 其中,两个相对交错设置的所述梳形结构中的至少一个可以具有不等的梳齿间隙,以使得所述第二金属层能够包含工艺上不同金属线布线情况下的制程窗口的宽度,进而使得所述半导体测试结构能够评估工艺上不同金属线布线情况下的制程窗口。且所述梳形结构中的梳齿的间隙宽度的不同分布越广,则所述半导体测试结构能够评估到的金属线不同的布线情况越多。

[0046] 并且,可以其中一个所述梳形结构具有不等的梳齿间隙,另一个所述梳形结构具有相等的梳齿间隙;或者,两个所述梳形结构均具有不等的梳齿间隙。并且,优选所述梳齿间隙按照所述梳齿排列位置依次增大,所述梳齿间隙最小值为工艺所允许的最小宽度,以使得后续在对所述钝化层的质量测试发现异常时,能够根据此规律更加快速的分析出所述钝化层中的裂缝的位置,进而进行工艺改善。并且,所述梳形结构中的梳齿间隙的宽度越大,则当所述钝化层中出现裂缝且裂缝延伸到所述梳形结构中时,裂缝对所述半导体测试结构的性能的影响越明显,进而使得所述钝化层中的裂缝越容易被测试出来。

[0047] 以图1所示的为例,每个所述梳形结构13均包括四条依次排列的梳齿131以及连接每条梳齿131的同一直端的梳背132,两个所述梳形结构13的梳背132相互平行,且所述梳齿131垂直于所述梳背132,所述梳齿131和所述梳背132的形状均为直线;所述第二金属层中的八条梳齿131的间隙按照所述梳齿131排列位置依次增大,从工艺上所允许的最小间隙宽度D1逐渐增大到间隙宽度D2。

[0048] 所述钝化层覆盖于所述第二金属层上以及所述梳形结构的梳齿间隙所暴露出的绝缘层上。其中,如图2所示,所述钝化层14可以包括依次覆盖于所述第二金属层上的氧化物层141和氮化物层143以及形成于所述氧化物层141中的氧化填充层142,所述氧化填充层142的顶面与所述氧化物层141的顶面齐平,且所述氧化填充层142位于所述梳齿131间隙的上方。

[0049] 另外,所述绝缘层可以仅形成于所述第一金属层和所述第二金属层之间,如图2所示,所述绝缘层12未填充于所述第二金属层的梳齿131的间隙中,而是所述氧化物层141填充于所述第二金属层的梳齿131的间隙中。此时,所述第二金属层和所述钝化层14的形成步骤可以包括:首先,沉积金属材料于所述绝缘层12上,并依次对金属材料进行光刻和刻蚀,以形成所述第二金属层;然后,沉积形成氧化物层141于所述第二金属层上和所述第二金属层的梳齿131的间隙中,那么,在所述第二金属层的梳齿131的间隙处的所述氧化物层141中会形成一凹槽(未图示);接着,形成所述氧化填充层142于所述凹槽中,且所述氧化填充层142将所述氧化物层141掩埋在内,对所述氧化填充层142的顶部进行平坦化处理,以使得所述氧化填充层142的顶面与所述氧化物层141的顶面齐平;最后,覆盖所述氮化物层143于所

述氧化物层141和所述氧化填充层142上。

[0050] 或者,所述绝缘层不仅形成于所述第一金属层和所述第二金属层之间,所述绝缘层还填满所述梳齿间隙,所述氧化填充层的底部与所述梳齿间隙处的所述绝缘层的顶部接触,或者,此时,所述钝化层也可以仅包含所述氧化物层和所述氮化物层,所述氧化物层的底部直接与所述梳齿间隙处的所述绝缘层的顶部接触;或者,所述绝缘层对梳齿间隙部分填充,所述氧化填充层的底部与所述梳齿间隙处的所述绝缘层的顶部之间还夹有所述氧化物层。

[0051] 因此,所述梳齿间隙中可以填充有所述钝化层和/或所述绝缘层,所述钝化层和所述绝缘层均为绝缘介质,那么,结合所述第二金属层包括两个相对交错设置的梳形结构,使得形成了所述第二金属层的电容结构。当所述钝化层中出现裂缝且裂缝延伸到所述第二金属层的电容结构中时,会导致所述第二金属层的电容结构的介电常数发生变化,从而影响电容结构的电容值,因此,可以通过测试所述第二金属层的电容结构的电容值的变化来确认所述钝化层中是否存在裂缝。

[0052] 另外,所述半导体测试结构中的多个焊盘分别与所述第一金属层和所述第二金属层的两端电性连接,其中,每个所述蛇形结构的两端以及每个所述梳形结构均至少与一个所述焊盘电性连接。所述焊盘可以位于所述钝化层的顶面上;或者所述焊盘位于所述钝化层中,且所述钝化层暴露出所述焊盘的顶面。如图1所示,所述蛇形结构11的两端均分别通过一第三金属线16与一第一焊盘15电性连接,两个所述第一焊盘15分别连接电源的正极和负极,以对所述第一金属层的电阻进行测试;每个所述梳形结构13均通过一第四金属线18与一第二焊盘17电性连接,其中,可以将所述梳形结构13的梳背132与所述第四金属线18电性连接,两个所述第二焊盘17分别连接电源的正极和负极,以对所述第二金属层的电容进行测试。

[0053] 另外,所述第一金属层在所述第二金属层下方所布设的范围不小于所述第二金属层所布设的范围,以使得当所述钝化层中出现裂缝且裂缝向下经过所述绝缘层并继续向下延伸时,下方能够存在所述第一金属层,通过测试所述第一金属层的电阻值的变化来确认所述钝化层中的裂缝。

[0054] 另外,所述钝化层中出现裂缝的情况可以包括:所述裂缝可以从所述钝化层开始并向下延伸至所述第二金属层中的梳齿的间隙中或梳齿中,或者经过所述第二金属层继续向下延伸至所述绝缘层中,或者经过所述第二金属层以及所述绝缘层继续向下延伸至所述第一金属层中的金属线中或金属线的间隙中等。以图2所示的为例,所述裂缝19从所述氧化填充层142开始,向下依次经过所述第二金属层中的梳齿131的间隙中的所述氧化物层141以及所述绝缘层12,并延伸至所述第一金属层中的第一金属线111中,此时,可通过测试所述第一金属层的电阻值的变化和/或所述第二金属层的电容值的变化来检测到所述裂缝19。

[0055] 基于同一发明构思,本发明一实施例提供了一种半导体钝化层的质量测试方法,将所述半导体测试结构应用于半导体钝化层的质量测试,参阅图3,从图3中可看出,所述半导体钝化层的质量测试方法包括:

[0056] 步骤S1,提供包含本发明提供的所述半导体测试结构的测试样品。所述半导体测试结构的具体结构参阅上述的所述半导体测试结构中的内容,在此不再赘述。所述测试样

品可以为晶圆级或封装级,而不是客户端的产品级。

[0057] 步骤S2,对所述测试样品进行初步测试,以获得所述第一金属层的电阻以及所述第二金属层的电容。

[0058] 步骤S3,对所述测试样品进行温度循环实验。温度循环实验的实验条件可以参照相关标准或依照客户的要求执行,例如实验条件可以为 $-55^{\circ}\text{C}\sim 150^{\circ}\text{C}$ 以及500cycle等。

[0059] 步骤S4,对所述温度循环实验后的所述测试样品进行再次测试,以获得所述第一金属层的电阻以及第二金属层的电容。

[0060] 步骤S5,计算所述第一金属层实验前后的电阻差值以及所述第二金属层实验前后的电容差值,若电阻差值和/或电容差值超出规格值,则所述钝化层中存在缺陷;若电阻差值和电容差值均未超出规格值,则所述钝化层中不存在缺陷,所述钝化层的质量符合要求。

[0061] 其中,在步骤S2和步骤S4中对所述测试样品进行初步测试和再次测试的步骤包括:向所述第二金属层的两个相对交错设置的梳形结构分别施加相应的电压信号,以获得所述第二金属层的电容;以及,向所述第一金属层的蛇形结构中施加电流信号和/或向所述蛇形结构的两端分别施加相应的电压信号,以获得所述第一金属层的电阻。

[0062] 通过上述步骤S1至步骤S5可知,由于采用包含本发明提供的所述半导体测试结构的测试样品对所述钝化层的质量进行测试,能够在所述测试样品制作完成且测试了所述第一金属层的电阻以及所述第二金属层的电容之后即可对所述测试样品进行温度循环实验,及时发现所述钝化层中是否存在缺陷,避免了通过客户配合做产品级的温度循环实验来对所述钝化层的质量进行验证导致的验证周期长的问题,进而避免导致所述钝化层中的缺陷引发客户投诉、退货及索赔等问题,进而降低了成本。

[0063] 综上所述,本发明提供的所述半导体测试结构及半导体钝化层的质量测试方法,通过设置包括至少一个蛇形结构的第一金属层,以及设置包括两个相对交错设置的梳形结构且两个所述梳形结构的梳齿之间相互穿插的第二金属层,使得能够通过测试第一金属层在温度循环实验前后的电阻差值和/或第二金属层在温度循环实验前后的电容差值来确认所述钝化层中是否存在缺陷,进而使得能够及时确认所述钝化层中是否存在缺陷,缩短了测试周期,从而降低了成本。

[0064] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要求书的保护范围。

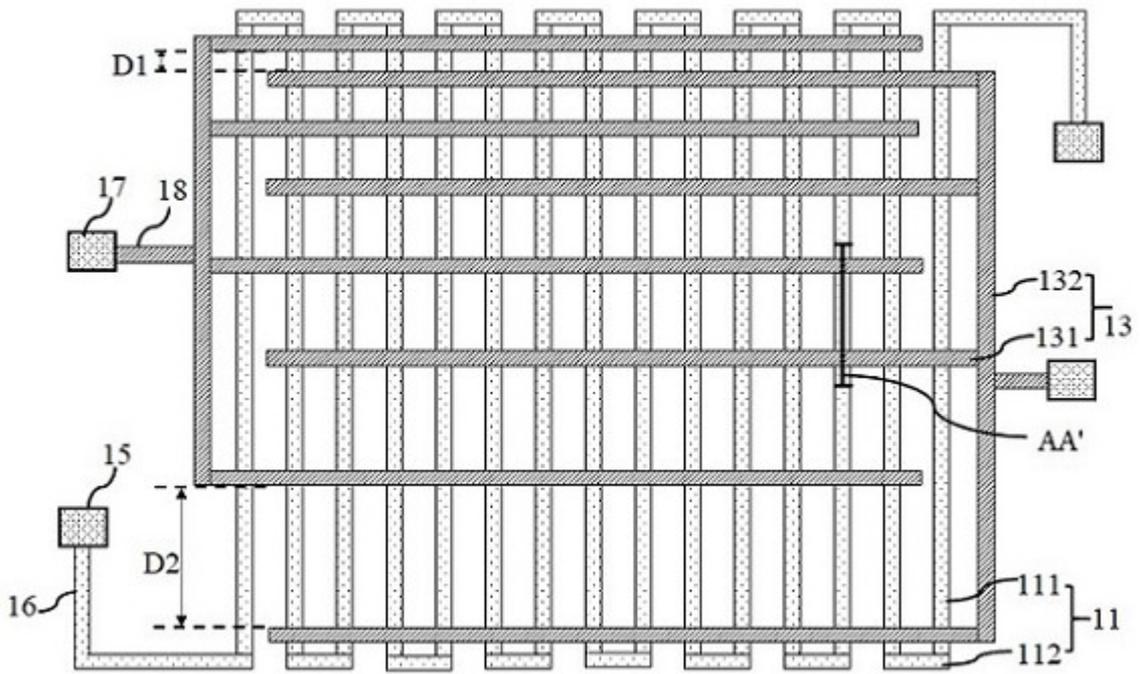


图1

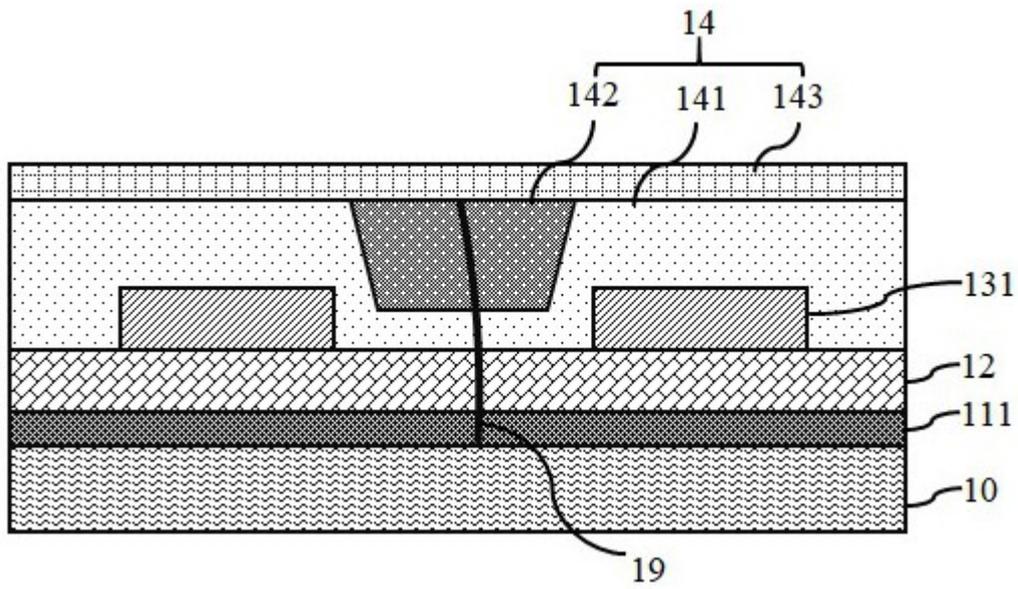


图2

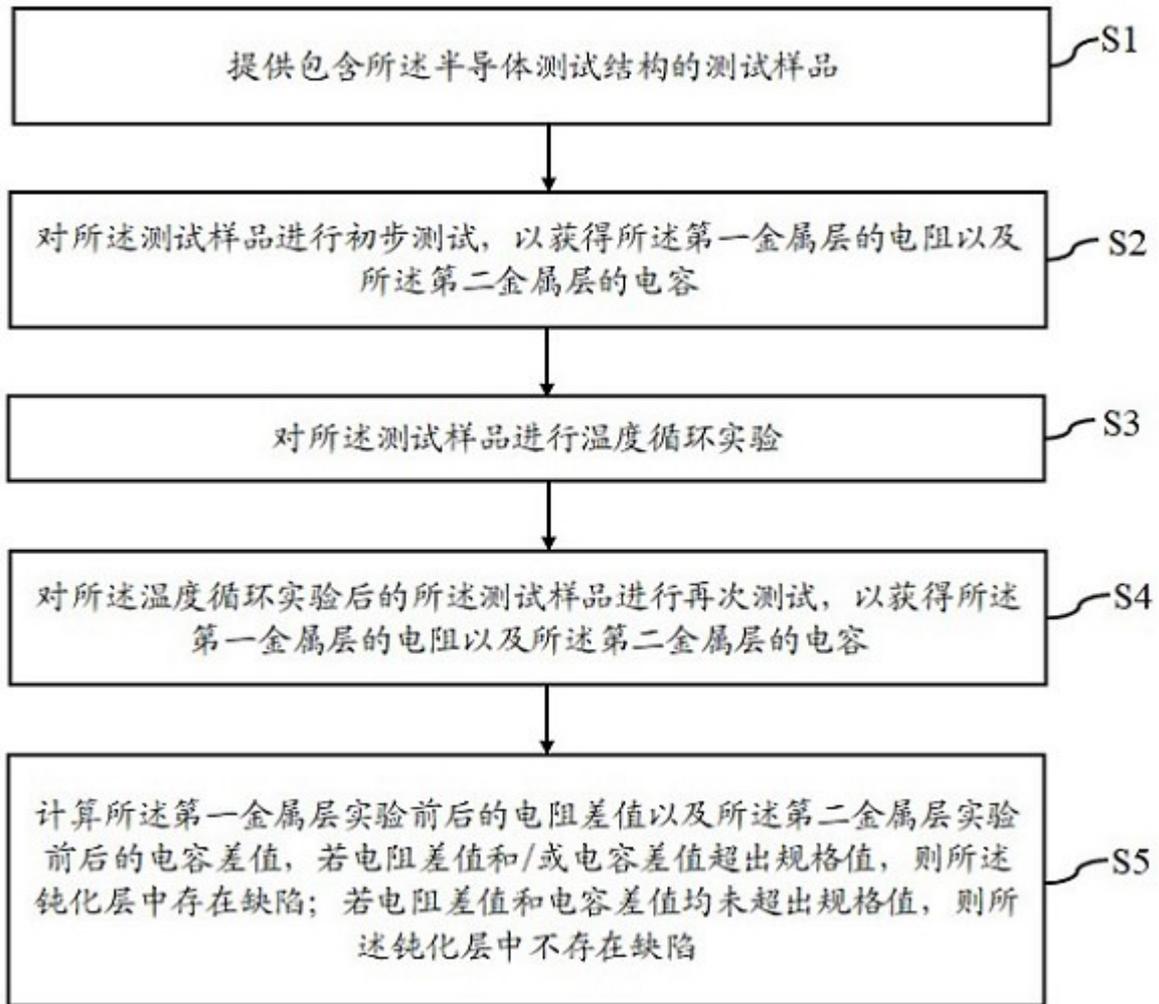


图3