



(12) 发明专利

(10) 授权公告号 CN 112559954 B

(45) 授权公告日 2022.08.12

(21) 申请号 202011503259.X

G06F 15/173 (2006.01)

(22) 申请日 2020.12.18

G06F 9/30 (2006.01)

(65) 同一申请的已公布的文献号
申请公布号 CN 112559954 A

(56) 对比文件

CN 103984677 A, 2014.08.13

CN 103984677 A, 2014.08.13

(43) 申请公布日 2021.03.26

CN 102043761 A, 2011.05.04

(73) 专利权人 清华大学

CN 111581148 A, 2020.08.25

地址 100084 北京市海淀区清华园

US 2005071403 A1, 2005.03.31

(72) 发明人 尹首一 谢思敏 谷江源 钟鸣
罗列 张淞 王智 韩慧明
刘雷波 魏少军

审查员 刘曼

(74) 专利代理机构 北京三友知识产权代理有限公司 11127
专利代理师 薛平 周晓飞

(51) Int. Cl.

G06F 17/14 (2006.01)

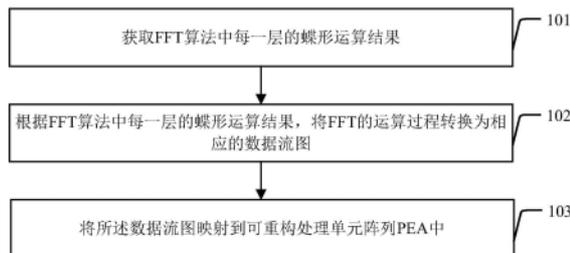
权利要求书2页 说明书7页 附图4页

(54) 发明名称

基于软件定义可重构处理器的FFT算法处理方法及装置

(57) 摘要

本发明公开了一种基于软件定义可重构处理器的FFT算法处理方法及装置,该方法包括:获取FFT算法中每一层的蝶形运算结果;根据FFT算法中每一层的蝶形运算结果,将FFT的运算过程转换为相应的数据流图;将数据流图映射到可重构处理单元阵列中。本发明可以提高FFT算法的运算效率。



1. 一种基于软件定义可重构处理器的FFT算法处理方法,其特征在于,包括:
获取FFT算法中每一层的蝶形运算结果;
根据FFT算法中每一层的蝶形运算结果,将FFT的运算过程转换为相应的数据流图;
将所述数据流图映射到可重构处理单元阵列PEA中;
所述可重构处理单元阵列PEA包括: 8×8 个异构处理单元PE;
 8×8 个异构处理单元PE包括:28个访存PE和64个计算PE,其中,28个访存PE包括8个第一访存PE和20个第二访存PE,8个第一访存PE为 8×8 个PE单元中的第1行的8个PE单元,20个第二访存PE为第8行的8个PE单元和第2行至第7行每行中的第一个PE单元和最后一个PE单元;64个计算PE包括第一计算PE和第二计算PE,所述第二计算PE为对应的28个访存PE,第一计算PE为剩余的36个PE。
2. 如权利要求1所述的方法,其特征在于,所述可重构处理单元阵列PEA包括: 8×8 个异构处理单元PE;
 8×8 个异构处理单元PE包括:4个 4×4 的异构处理单元PE,每个 4×4 的异构处理单元PE分别与7个局部数据寄存器连接,用于共享7个局部数据寄存器的数据信息。
3. 如权利要求1所述的方法,其特征在于,所述可重构处理单元阵列PEA包括: 8×8 个异构处理单元PE,所述 8×8 个异构处理单元PE与4个全局迭代寄存器和8个全局数据寄存器连接,用于共享8个全局数据寄存器的数据信息和4个全局迭代寄存器的配置信息。
4. 一种基于软件定义可重构处理器的FFT算法处理装置,其特征在于,包括:
蝶形运算结果获取模块,用于获取FFT算法中每一层的蝶形运算结果;
数据流图转换模块,用于根据FFT算法中每一层的蝶形运算结果,将FFT的运算过程转换为相应的数据流图;
映射模块,用于将所述数据流图映射到可重构处理单元阵列PEA中;
所述可重构处理单元阵列PEA包括: 8×8 个异构处理单元PE;
 8×8 个异构处理单元PE包括:28个访存PE和64个计算PE,其中,28个访存PE包括8个第一访存PE和20个第二访存PE,8个第一访存PE为 8×8 个PE单元中的第1行的8个PE单元,20个第二访存PE为第8行的8个PE单元和第2行至第7行每行中的第一个PE单元和最后一个PE单元;64个计算PE包括第一计算PE和第二计算PE,所述第二计算PE为对应的28个访存PE,第一计算PE为剩余的36个PE。
5. 如权利要求4所述的装置,其特征在于,所述可重构处理单元阵列PEA包括: 8×8 个异构处理单元PE;
 8×8 个异构处理单元PE包括:4个 4×4 的异构处理单元PE,每个 4×4 的异构处理单元PE分别与7个局部数据寄存器连接,用于共享7个局部数据寄存器的数据信息。
6. 如权利要求4所述的装置,其特征在于,所述可重构处理单元阵列PEA包括: 8×8 个异构处理单元PE,所述 8×8 个异构处理单元PE与4个全局迭代寄存器和8个全局数据寄存器连接,用于共享8个全局数据寄存器的数据信息和4个全局迭代寄存器的配置信息。
7. 一种计算机设备,包括存储器、处理器及存储在存储器上并可在处理器上运行的计算机程序,其特征在于,所述处理器执行所述计算机程序时实现权利要求1至3任一所述方法。
8. 一种计算机可读存储介质,其特征在于,所述计算机可读存储介质存储有执行权利

要求1至3任一所述方法的计算机程序。

基于软件定义可重构处理器的FFT算法处理方法及装置

技术领域

[0001] 本发明涉及可重构计算技术领域,尤其涉及一种基于软件定义可重构处理器的FFT算法处理方法及装置。

背景技术

[0002] 粗粒度可重构处理器结合了专用集成电路高能效和传统通用处理器高灵活性的优点,其以低能耗、高性能和高能效和灵活动态可重构的特性,正得到越来越多的关注。FFT (Fast Fourier Transformation,快速傅氏变换)算法是基于DFT的改进而来,DFT分析广泛应用于不同的工程领域中,诸如DFT给雷达在探测和移动目标的分析,用于压缩数据以提高效率减少有效传输的带宽,也可以用于去除图像中的噪声。因此,提高FFT算法的运算效率十分重要,现有技术目前并没有相关方法。

发明内容

[0003] 本发明实施例提供一种基于软件定义可重构处理器的FFT算法处理方法,用以提高FFT算法的运算效率,该方法包括:

[0004] 获取FFT算法中每一层的蝶形运算结果;

[0005] 根据FFT算法中每一层的蝶形运算结果,将FFT的运算过程转换为相应的数据流图;

[0006] 将所述数据流图映射到可重构处理单元阵列PEA中;

[0007] 所述可重构处理单元阵列PEA包括: 8×8 个异构处理单元PE;

[0008] 8×8 个异构处理单元PE包括:28个访存PE和64个计算PE,其中,28个访存PE包括8个第一访存PE和20个第二访存PE,8个第一访存PE为 8×8 个PE单元中的第1行的8个PE单元,20个第二访存PE为第8行的8个PE单元和第2行至第7行每行中的第一个PE单元和最后一个PE单元;64个计算PE包括第一计算PE和第二计算PE,所述第二计算PE为对应的28个访存PE,第一计算PE为剩余的36个PE。

[0009] 本发明实施例还提供一种基于软件定义可重构处理器的FFT算法处理装置,用以提高FFT算法的运算效率,该装置包括:

[0010] 蝶形运算结果获取模块,用于获取FFT算法中每一层的蝶形运算结果;

[0011] 数据流图转换模块,用于根据FFT算法中每一层的蝶形运算结果,将FFT的运算过程转换为相应的数据流图;

[0012] 映射模块,用于将所述数据流图映射到可重构处理单元阵列PEA中;

[0013] 所述可重构处理单元阵列PEA包括: 8×8 个异构处理单元PE;

[0014] 8×8 个异构处理单元PE包括:28个访存PE和64个计算PE,其中,28个访存PE包括8个第一访存PE和20个第二访存PE,8个第一访存PE为 8×8 个PE单元中的第1行的8个PE单元,20个第二访存PE为第8行的8个PE单元和第2行至第7行每行中的第一个PE单元和最后一个PE单元;64个计算PE包括第一计算PE和第二计算PE,所述第二计算PE为对应的28个访存PE,

第一计算PE为剩余的36个PE。

[0015] 本发明实施例还提供一种计算机设备,包括存储器、处理器及存储在存储器上并可在处理器上运行的计算机程序,所述处理器执行所述计算机程序时实现上述方法。

[0016] 本发明实施例还提供一种计算机可读存储介质,所述计算机可读存储介质存储有执行上述方法的计算机程序。

[0017] 本发明实施例中,通过获取FFT算法中每一层的蝶形运算结果,并根据FFT算法中每一层的蝶形运算结果,将FFT的运算过程转换为相应的数据流图,再将所述数据流图映射到可重构处理单元阵列PEA中,即可完成对FFT算法的处理,由于在多层蝶形运算中,每层的计算过程一致,可重构处理器中多个可重构处理单元并行执行,利用多个可重构处理单元构成的可重构处理单元阵列PEA处理FFT算法,能够有效提高FFT算法的运算效率。

附图说明

[0018] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。在附图中:

[0019] 图1为本发明实施例中基于软件定义可重构处理器的FFT算法处理方法的流程图;

[0020] 图2为本发明实施例中基于软件定义可重构处理器的FFT算法处理装置的结构示意图;

[0021] 图3为本发明实施例中蝶形运算过程示意图;

[0022] 图4为本发明实施例中数据流图示例图;

[0023] 图5为本发明实施例中局部共享寄存器的分布示例图;

[0024] 图6为本发明实施例中全局共享寄存器的分布示例图;

[0025] 图7为本发明实施例中可重构处理单元阵列的结构示例图;

[0026] 图8为本发明实施例中将数据流图映射到PEA后,PEA的结构示例图。

具体实施方式

[0027] 为使本发明实施例的目的、技术方案和优点更加清楚明白,下面结合附图对本发明实施例做进一步详细说明。在此,本发明的示意性实施例及其说明用于解释本发明,但并不作为对本发明的限定。

[0028] 图1为本发明实施例提供的基于软件定义可重构处理器的FFT算法处理方法的流程图,如图1所示,该方法包括:

[0029] 步骤101、获取FFT算法中每一层的蝶形运算结果。

[0030] 在实施例中,如图3所示,获取FFT算法中一层的蝶形运算结果的运算过程如下:
(1) 先将蝶形运算的输入B与蝶形运算的权重做乘法,得到乘法结果;(2) 将乘法结果与蝶形运算的输入A做加法;(3) 将乘法结果与蝶形运算的输入A做减法;(4) 将加法的结果写回输入A;(5) 将减法结果写回输入B。

[0031] 步骤102、根据FFT算法中每一层的蝶形运算结果,将FFT的运算过程转换为相应的数据流图。

[0032] 在实施例中,蝶形运算的输入数据因为每层不规律需要先读取地址再读取相应的数字,但是权重每层都需要更新,所以权重可以按照运算顺序从存储器中搬入,取数时直接按照地址顺序读取。

[0033] 因为后续的处理单元阵列PEA为定点数,所以乘法之后需要移位,如图4所示,在数据流图中要Mul(乘法)之后再SHR(移位)。因为FFT中输入、输出在不同层规律是不一样的,为了能够流水操作,需要先读取当层每次运算输入的地址,再通过地址读取数据,具体的方式是通过路由Route和Add分别取地址和地址+1得到输入数字的实部和虚部。Sub1表示输入1与权重做复数乘法相乘结果的实部,Add3表示输入1与权重做复数乘法相乘结果的虚部。在输入1做完蝶形运算后,与输入2做加减运算,得到蝶形运算的结果。将计算结果1和2写回到输入1和2的位置中,这样在蝶形运算图上两层数据位置保持不变。

[0034] 步骤103、将所述数据流图映射到可重构处理单元阵列PEA中。

[0035] 具体实施时,可以根据PEA上访存PE和运算PE的分布特点、以及各PE之间的互联形式最终将所述数据流图映射到可重构处理单元阵列PEA中。如图8所示,为了复用全局GR,需要将加粗边框为结果写入全局GR(GR0-7中),虚线边框为结果写入全局GR(GR8-15中),一共使用PE36个,参见图5和图6。

[0036] 本发明实施例提供的基于软件定义可重构处理器的FFT算法处理方法,通过获取FFT算法中每一层的蝶形运算结果,并根据FFT算法中每一层的蝶形运算结果,将FFT的运算过程转换为相应的数据流图,再将所述数据流图映射到可重构处理单元阵列PEA中,即可完成对FFT算法的处理,由于在多层蝶形运算中,每层的计算过程一致,可重构处理器中多个可重构处理单元并行执行,利用多个可重构处理单元构成的可重构处理单元阵列PEA处理FFT算法,能够有效提高FFT算法的运算效率。

[0037] 为了减少可重构处理单元阵列PEA中各PE的互联开销,减小互联时面积和功耗的影响,可以使用全局共享和局部共享寄存器。具体如下:

[0038] 作为一种示例,如图5所示,所述可重构处理单元阵列PEA包括:8×8个异构处理单元PE;

[0039] 8×8个异构处理单元PE包括:4个4×4的异构处理单元PE,每个4×4的异构处理单元PE分别与7个局部数据寄存器连接,用于共享7个局部数据寄存器的数据信息。

[0040] 作为另一种示例,如图6所示,所述可重构处理单元阵列PEA包括:8×8个异构处理单元PE,所述8×8个异构处理单元PE与4个全局迭代寄存器和8个全局数据寄存器连接,用于共享8个全局数据寄存器的数据信息和4个全局迭代寄存器的配置信息。

[0041] 在实施例中,PEA中共享一个全局寄存器堆GR,寻址的大小为20个32bit的寄存器堆,但是GR采用数据局部和全局共享结合、数据和配置信息共享分离的设计方式来提高GR的利用率,同时降低GR的面积和功耗。在图5和图6中:

[0042] (1) 在配置信息和数据信息分离存储的GR方案中,GR的高4个寄存器GR16~GR19为迭代寄存器,存储配置信息中的迭代和Idle信息,只能被配置中的迭代字段读取。GR中的低16个寄存器GR0~GR15为数据寄存器,用于存放输入输出的数据,可以供PE的运算访问,包括协处理器接口的读取,ALU运算的操作数input1和input2,以及LSU运算的地址Addr和Store-data的读取。

[0043] (2) 在数据局部和全局共享结合的GR设计方案中。GR0-GR7为1/4的PEA局部共享

(即 4×4 的异构处理单元PE)的GR寄存器,即每 $1/4$ 的PEA都有一个独立的局部GR寄存器堆,相应的PE虽然共享相同的编码地址,但实际上访问的GR物理空间不同,即实际上有四个独立这样的局部共享的GR堆,不同 $1/4$ 的PEA间不能实现该段地址的GR的数据共享;GR8-GR15为这个PEA全局共享的GR寄存器,即四个 $1/4$ 的PEA都共享该地址段GR寄存器堆的物理空间,不同 $1/4$ 的PEA间能通过该地址的GR实现数据共享。综上所述,全局寄存器GR0-GR7是 $1/4$ 局部的PEA能共享数据信息,GR8-GR15全局PEA能共享数据信息,GR16-GR19全局PEA能共享配置信息。

[0044] 进一步地,如图7所示, 8×8 个异构处理单元PE包括:28个访存PE和64个计算PE,其中,28个访存PE包括8个第一访存PE和20个第二访存PE,8个第一访存PE为 8×8 个PE单元中的第1行的8个PE单元,20个第二访存PE为第8行的8个PE单元和第2行至第7行每行中的第一个PE单元和最后一个PE单元;64个计算PE包括第一计算PE和第二计算PE,所述第二计算PE为对应的28个访存PE,第一计算PE为剩余的36个PE。

[0045] 在实施例中,8个第一访存PE可以访问本PEA的共享内存,也能够访问相邻一个PEA的共享内存,20个第二访存PE能访问本PEA的共享内存。64个计算PE都能够进行计算,但计算类型根据位置不同有些差异,其中,第二计算PE不能进行除法和取模运算,内部运算的PE则支持表示广泛意义的ALU的计算类型,如加、减、移位、逻辑运算等同时也包括了MUL和MAC类型的运算,目前支持20种不同的运算。

[0046] 为了能够实现粗粒度计算处理单元阵列高效的计算能力,本PE必须支持与其他PE和寄存器之间灵活的数据传输,具体地,28个访存PE的互连方式和64个计算PE的互连方式为Intra-PEA的互连,所谓Intra-PEA的互连,是指PEA模块内部的 8×8 个PE的互相连接。基于异构化的PE,采用mesh的互连结构,并针对异构化PE的特点进行了优化调整。目前本粗粒度计算处理单元阵列提供了9种其他PE数据的路由,分别是:

[0047] 1. 相邻的4个PE(上、下、左、右);

[0048] 2. 同行和同列两端的PE(上端、下端、左端、右端);

[0049] 3. 本身PE;

[0050] 28个访存PE的具体互连方式如下:

[0051] 将28个访存PE分为4个顶角PE,所述4个顶角PE分别为 8×8 个PE单元中的第1行的第一个PE、第1行的第8个PE、第8行的第一个PE和第8行的第8个PE,28个访存PE中剩余的PE为边沿PE;

[0052] 顶角PE按照如下方式实现28个访存PE的互连:

[0053] 连接与顶角PE处于同行和同列距离为1、2、3和7的PE;

[0054] 边沿PE按照如下方式实现28个访存PE的互连:

[0055] 对处于第1行和第8行的边沿PE,连接与该边沿PE相邻的PE和与该边沿PE处于同一行的顶角PE,连接与该边沿PE处于同列的距离为1、2、3和7的PE;

[0056] 对处于第1列和第8列的边沿PE,连接与该边沿PE相邻的PE和与该边沿PE处于同一列的顶角PE,连接与该边沿PE处于同行的距离为1、2、3和7的PE。

[0057] 64个计算PE的具体互连方式如下:

[0058] 对于处于第2行至第4行、第2列至第4列之间的第一计算PE中,任一PE连接相邻的4个PE,连接处于同行左端的访存PE,不连接处于同行右端的访存PE,连接处于同列上端的访

存PE,不连接处于同列下端的访存PE;

[0059] 对于处于第2行至第4行、第5列至第7列之间的第一计算PE中,任一PE连接相邻的4个PE,连接处于同行右端的访存PE,不连接处于同行左端的访存PE,连接处于同列上端的访存PE,不连接处于同列下端的访存PE;

[0060] 对于处于第5行至第7行、第2列至第4列之间的第一计算PE中,任一PE连接相邻的4个PE,连接处于同行左端的访存PE,不连接处于同行右端的访存PE,连接处于同列下端的访存PE,不连接处于同列上端的访存PE;

[0061] 对于处于第5行至第7行、第5列至第7列之间的第一计算PE中,任一PE连接相邻的4个PE,连接处于同行右端的访存PE,不连接处于同行左端的访存PE,连接处于同列下端的访存PE,不连接处于同列上端的访存PE。

[0062] 基于同一发明构思,本发明实施例中还提供了一种基于软件定义可重构处理器的FFT算法处理装置,如下面的实施例所述。由于基于软件定义可重构处理器的FFT算法处理装置解决问题的原理与基于软件定义可重构处理器的FFT算法处理方法相似,因此,基于软件定义可重构处理器的FFT算法处理装置的实施可以基于软件定义可重构处理器的FFT算法处理方法的实施,重复之处不再赘述。以下所使用的,术语“单元”或者“模块”可以实现预定功能的软件和/或硬件的组合。尽管以下实施例所描述的装置较佳地以软件来实现,但是硬件,或者软件和硬件的组合的实现也是可能并被构想的。

[0063] 图2为本发明实施例提供的基于软件定义可重构处理器的FFT算法处理装置的结构示意图,如图2所示,该装置包括:

[0064] 蝶形运算结果获取模块201,用于获取FFT算法中每一层的蝶形运算结果;

[0065] 数据流图转换模块202,用于根据FFT算法中每一层的蝶形运算结果,将FFT的运算过程转换为相应的数据流图;

[0066] 映射模块203,用于将所述数据流图映射到可重构处理单元阵列PEA中。

[0067] 在本发明实施例中,所述可重构处理单元阵列PEA包括: 8×8 个异构处理单元PE;

[0068] 8×8 个异构处理单元PE包括:4个 4×4 的异构处理单元PE,每个 4×4 的异构处理单元PE分别与7个局部数据寄存器连接,用于共享7个局部数据寄存器的数据信息。

[0069] 在本发明实施例中,所述可重构处理单元阵列PEA包括: 8×8 个异构处理单元PE,所述 8×8 个异构处理单元PE与4个全局迭代寄存器和8个全局数据寄存器连接,用于共享8个全局数据寄存器的数据信息和4个全局迭代寄存器的配置信息。

[0070] 在本发明实施例中, 8×8 个异构处理单元PE包括:28个访存PE和64个计算PE,其中,28个访存PE包括8个第一访存PE和20个第二访存PE,8个第一访存PE为 8×8 个PE单元中的第1行的8个PE单元,20个第二访存PE为第8行的8个PE单元和第2行至第7行每行中的第一个PE单元和最后一个PE单元;64个计算PE包括第一计算PE和第二计算PE,所述第二计算PE为对应的28个访存PE,第一计算PE为剩余的36个PE。

[0071] 为了实现上述目的,根据本申请的另一方面,还提供了一种计算机设备。该计算机设备包括存储器、处理器、通信接口以及通信总线,在存储器上存储有可在处理器上运行的计算机程序,所述处理器执行所述计算机程序时实现上述实施例方法中的步骤。

[0072] 处理器可以为中央处理器(Central Processing Unit,CPU)。处理器还可以为其他通用处理器、数字信号处理器(Digital Signal Processor,DSP)、专用集成电路

(Application Specific Integrated Circuit,ASIC)、现场可编程门阵列(Field-Programmable Gate Array,FPGA)或者其他可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件等芯片,或者上述各类芯片的组合。

[0073] 存储器作为一种非暂态计算机可读存储介质,可用于存储非暂态软件程序、非暂态计算机可执行程序以及单元,如本发明上述方法实施例中对应的程序单元。处理器通过运行存储在存储器中的非暂态软件程序、指令以及模块,从而执行处理器的各种功能应用以及作品数据处理,即实现上述方法实施例中的方法。

[0074] 存储器可以包括存储程序区和存储数据区,其中,存储程序区可存储操作系统、至少一个功能所需的应用程序;存储数据区可存储处理器所创建的数据等。此外,存储器可以包括高速随机存取存储器,还可以包括非暂态存储器,例如至少一个磁盘存储器件、闪存器件、或其他非暂态固态存储器件。在一些实施例中,存储器可选包括相对于处理器远程设置的存储器,这些远程存储器可以通过网络连接至处理器。上述网络的实例包括但不限于互联网、企业内部网、局域网、移动通信网及其组合。

[0075] 所述一个或者多个单元存储在所述存储器中,当被所述处理器执行时,执行上述实施例中的方法。

[0076] 本发明实施例还提供了一种计算机可读存储介质,所述计算机可读存储介质存储有执行上述方法的计算机程序。

[0077] 本领域内的技术人员应明白,本发明的实施例可提供为方法、系统、或计算机程序产品。因此,本发明可采用完全硬件实施例、完全软件实施例、或结合软件和硬件方面的实施例的形式。而且,本发明可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质(包括但不限于磁盘存储器、CD-ROM、光学存储器等)上实施的计算机程序产品的形式。

[0078] 本发明是参照根据本发明实施例的方法、设备(系统)、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器,使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

[0079] 这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中,使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品,该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

[0080] 这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上,使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理,从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

[0081] 以上所述的具体实施例,对本发明的目的、技术方案和有益效果进行了进一步详细说明,所应理解的是,以上所述仅为本发明的具体实施例而已,并不用于限定本发明的保护范围,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本

发明的保护范围之内。

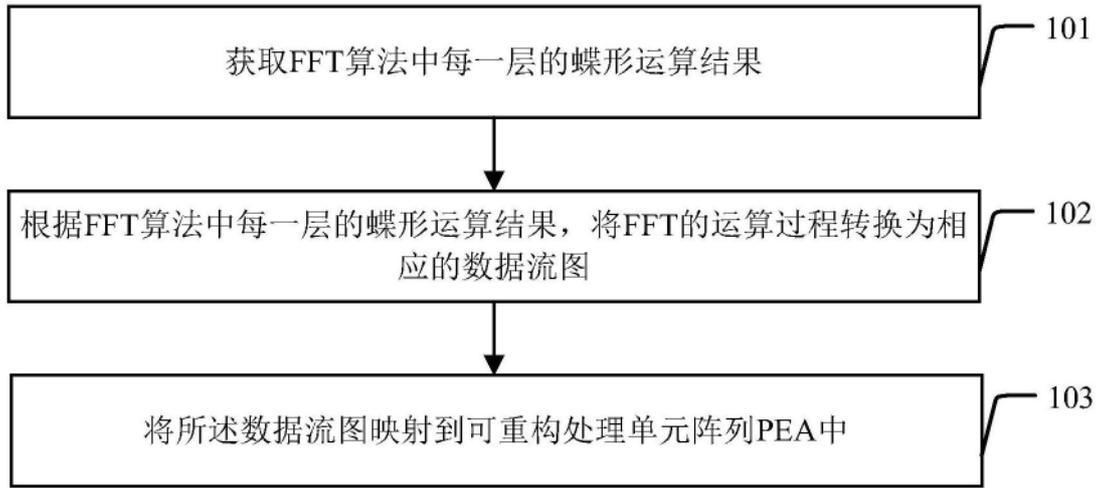


图1

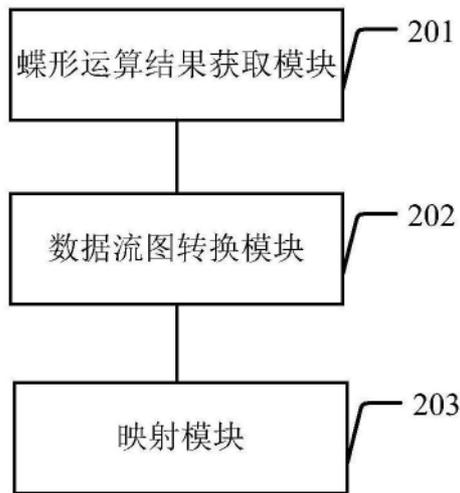


图2

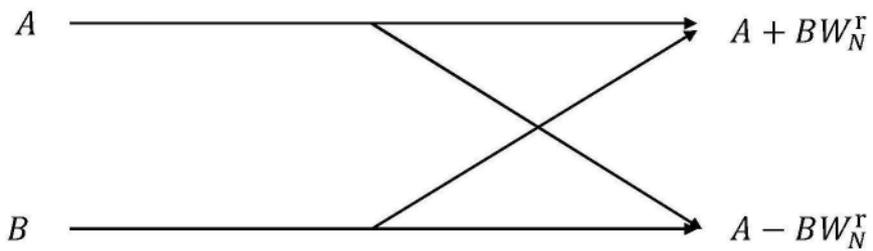


图3

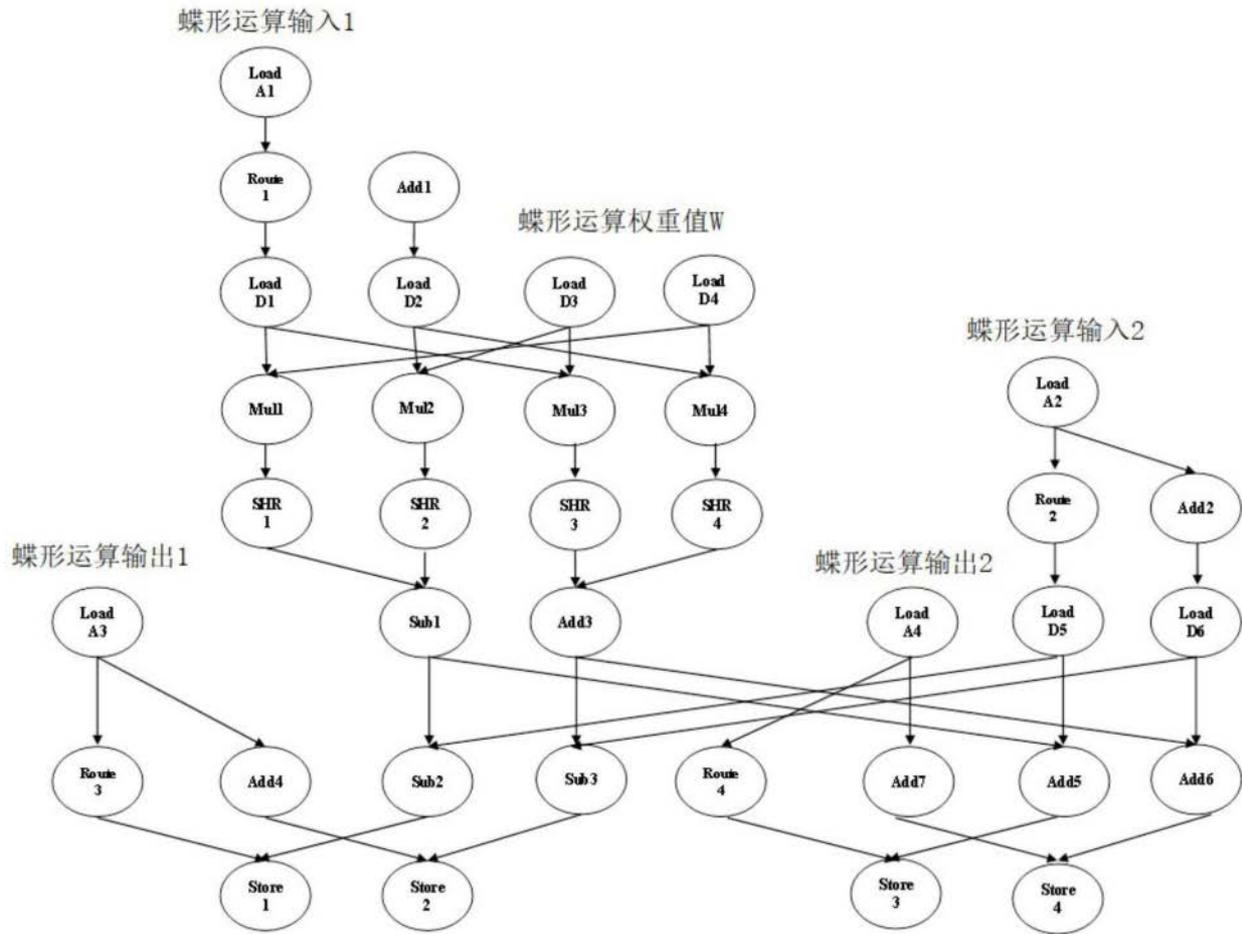


图4

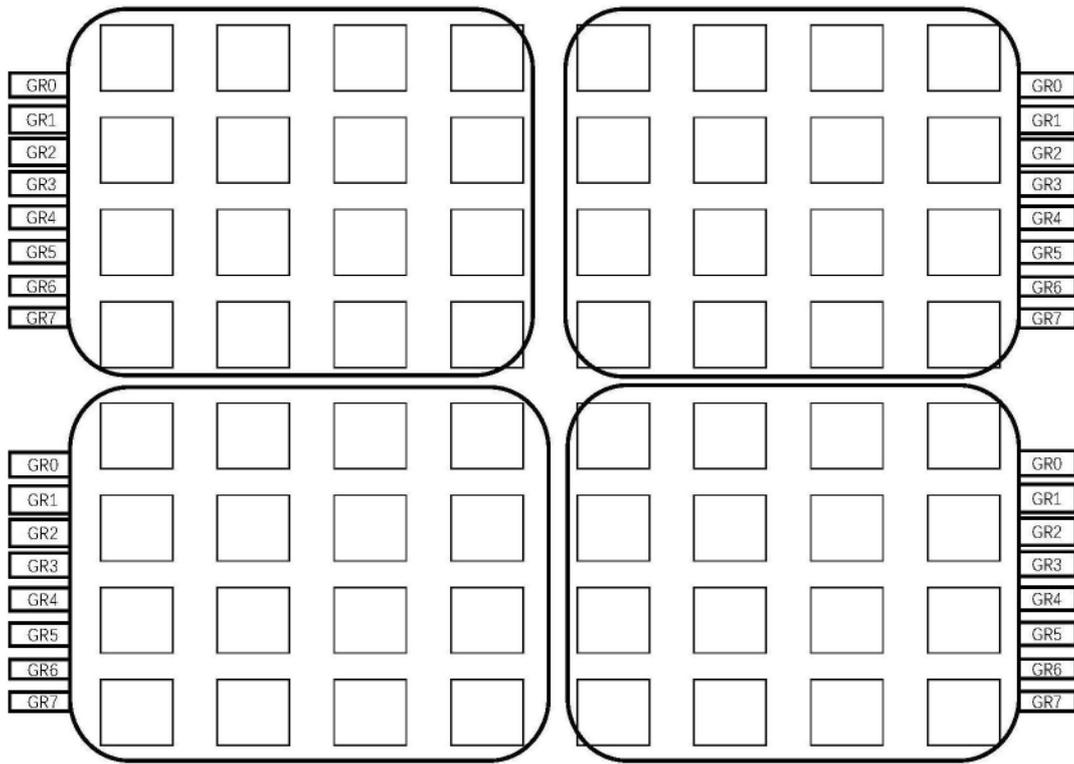


图5

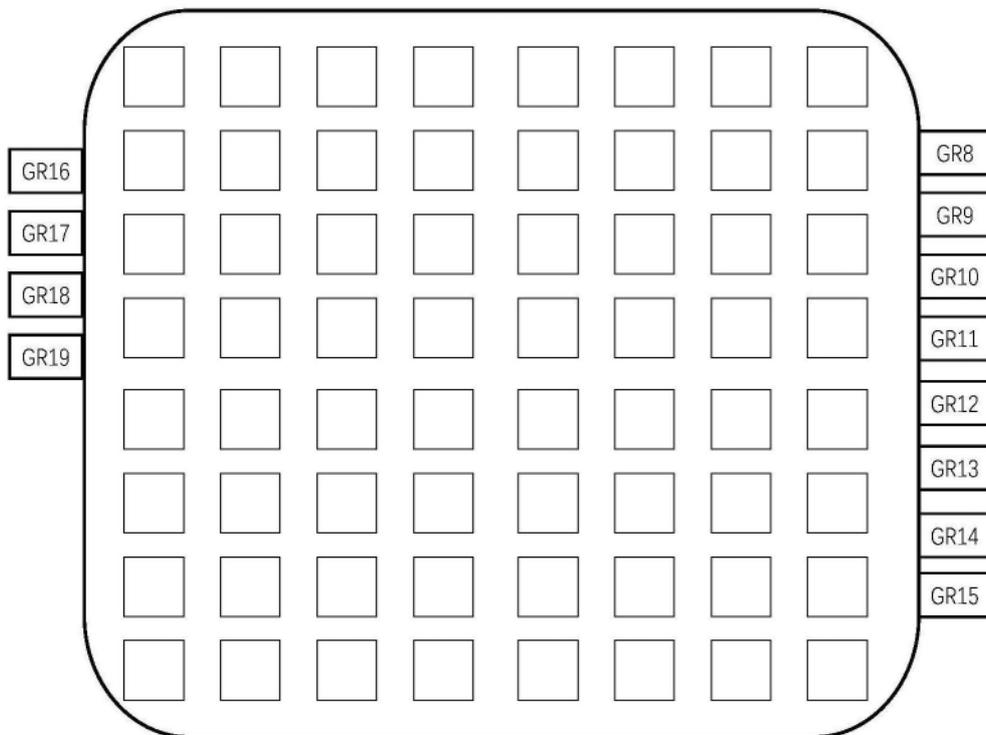


图6

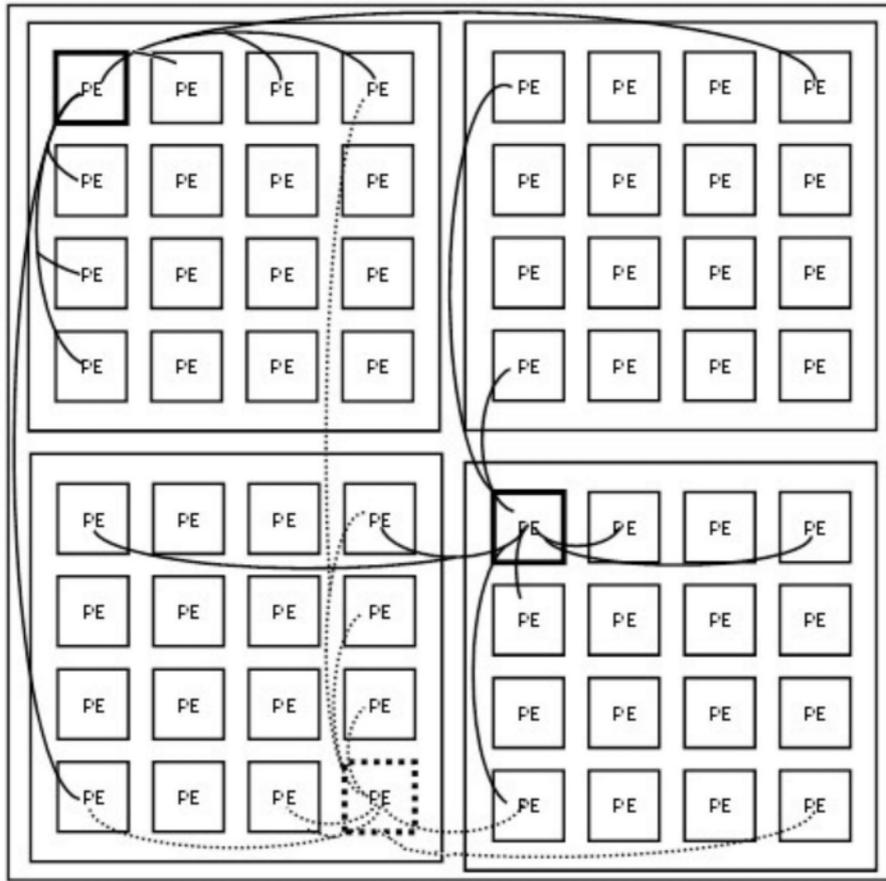


图7

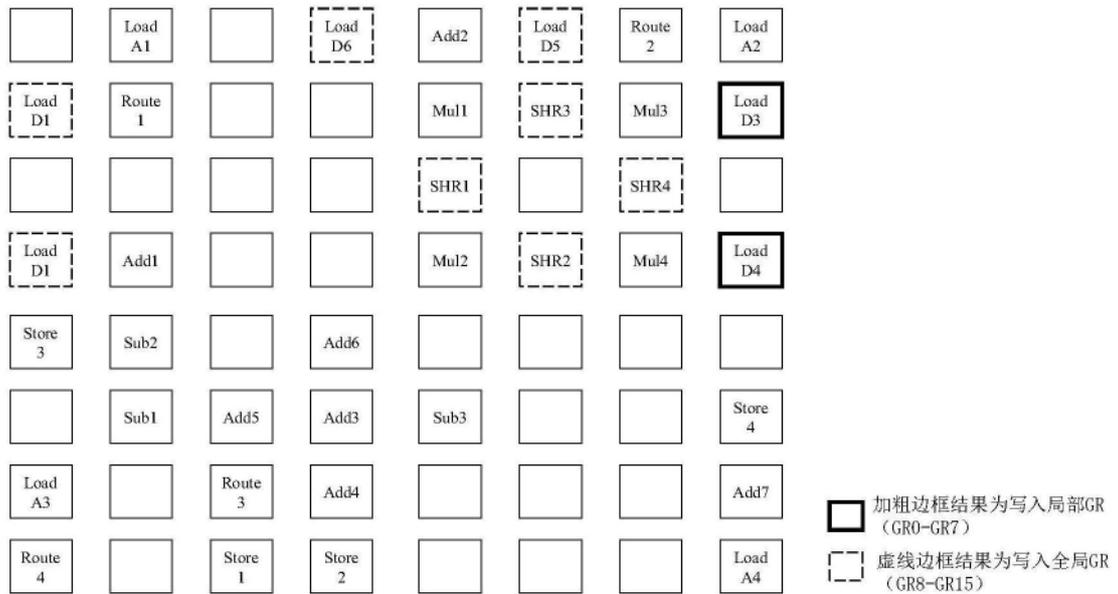


图8